

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 哈洛 A 多尼

DOWNEY, HAROLD A.

2. 蘇珊 H 多尼

DOWNEY, SUSAN H.

3. 詹姆士 W 米勒

MILLER, JAMES W.

住居所地址：(中文/英文)

1. 美國德州奧斯汀市北衛斯頓路205號

205 NORTH WESTON LANE, AUSTIN, TEXAS 78733, U.S.A.

2. 美國德州奧斯汀市北衛斯頓路205號

205 NORTH WESTON LANE, AUSTIN, TEXAS 78733, U.S.A.

3. 美國德州奧斯汀市第33西街209號

209 W. 33RD STREET, AUSTIN, TEXAS 78705, U.S.A.

國 籍：(中文/英文)

1.-3.均美國 U.S.A

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年04月09日；10/409,766

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

此申請案已於2003年4月9日於美國以專利申請案第10/409,766號提出申請。

【發明所屬之技術領域】

本發明大體而言係關於積體電路(IC)晶片，具體而言係關於用於IC晶片之輸入/輸出電路。

【先前技術】

一IC晶片可包括位於其表面上用於將該IC晶片之電路耦接至外部結構的結合襯墊。在封裝IC之一實例中，一IC晶片之結合襯墊藉由結合導線被耦接至一封裝基板之指狀結合物。該等指狀結合物耦接至位於該封裝IC表面上的球狀物，例如具有球狀晶格陣列(BGA)之封裝IC。

隨著積體電路技術的發展，期望增加晶片中的電路數量，增加晶片電路運行速度並減小晶片尺寸。電路數量的增加連同運行速度的增加可能導致需要在晶片上具有更多結合襯墊，其中晶片尺寸的減小使得用於該等結合襯墊之空間量減少。

此外，由於電路數量增加而晶片尺寸減小，設計一IC晶片之過程變得更加複雜。為了提高IC晶片設計的效率，可使用多個標準化電路設計塊來設計IC晶片電路。舉例而言，可由一輸入/輸出單元標準化設計塊來設計IC晶片之輸入/輸出單元。

因此，需要一種有效的晶片設計，其使得可在增加結合襯墊佈局之效率的同時將標準化設計塊用於輸入/輸出單

元設計。

【發明內容】

一種包括一輸入/輸出(I/O)單元之積體電路晶片。該輸入/輸出單元包括一基板中的主動式輸入/輸出電路、複數個金屬互連層、一絕緣層、一第一襯墊及一第二襯墊。該等複數個金屬互連層形成於該基板上。該絕緣層形成於該等複數個金屬互連層上。該第二襯墊形成於該絕緣層上且直接位於該等複數個互連層之最終金屬層中至少兩個金屬結構上。藉由該絕緣層中至少一個開口將襯墊選擇性地耦接至至少兩個金屬結構中的一個。

【實施方式】

以下詳細描述用於實現本發明之一種模式。該描述意在作為本發明之示例，而不應被認為具有限制性。

圖1為一實施例之封裝IC 101之俯視圖，其包括一IC晶片103，該IC晶片103在封裝之前已連接至一封裝基板105。在圖示的實施例中，基板105為球狀晶格陣列(BGA)基板。但是，亦可應用其他類型的封裝基板。結合襯墊(例如，111，113，114及116)位於IC晶片103週邊，用於將晶片103(圖1中未示)之電路耦接至指狀結合物(例如，123)及位於封裝基板105上的電源環119與121。在圖1中，該等結合襯墊呈成行(in-line)對組態排列。舉例而言，外襯墊114與內襯墊111位於同行以形成一成行對。外襯墊114比內襯墊111更接近IC晶片103之邊緣。每一成行對係輸入/輸出單元之一部分。結合襯墊對的內襯墊(例如111及116)係用於向及/或自

晶片103載運輸入/輸出訊號的訊號襯墊。該等結合襯墊藉由結合導線(例如, 135)被耦接至指狀結合物123。指狀結合物123被連接至與位於封裝基板105反面的球狀物(未圖示)連接的傳導通道125。該等球狀物(未圖示)為封裝IC提供外部電連接。輸入/輸出單元包括用於處理輸入訊號及/或輸出訊號之主動式輸入/輸出電路(例如圖2中的211)。

外結合襯墊(例如, 113及114)係用於將IC晶片103耦接至位於封裝基板105上的接地環119或VDD電源環121中任一個的電源襯墊(例如, 電源或接地)。IC晶片103之每一電源襯墊直接位於晶片103之最終金屬互連層(例如, 圖3中的316)中多個傳導結構上, 且藉由一鈍化層(例如, 晶片103的303)中的開口被選擇性地耦接至該等傳導結構中的一個, 下文將對此進行更全面的描述。

在圖1之實施例中, 由於接地環119及電源環121位於封裝基板105之指狀結合物(例如, 123)的內側, 所以將該等電源襯墊(例如, 113及114)置放於成行結合襯墊對的外襯墊位置, 以便於導線結合。在一替代實施例中, 可將該等電源襯墊置放於成行結合襯墊對的內襯墊位置, 而將訊號襯墊置放於其外襯墊位置。

接地環119及VDD電源環121分別耦接至位於基板105反面(外表面)上的接地球狀物(未圖示)及電源球狀物(未圖示)。襯墊113耦接至接地環119且襯墊114耦接至電源環121。在某些實施例中, 接地環119及電源環121被各自分割以允許外部訊號線(未圖示)穿過基板105上的環狀物。在其

他實施例中，經分割的環之每一段可被用於為晶片103提供不同的電位。其他實施例可包括三個或三個以上的環，每個環被組態成可為晶片103提供不同的電位。在某些實施例中，外觀墊可與位於封裝基板105上的指狀結合物結合。

在圖1的實施例中，外(電源)結合襯墊於該IC晶片103週邊被交替地組態為電源襯墊及接地襯墊。在一替代實施例中，兩個相鄰輸入/輸出單元中的外結合襯墊可被組態為接地襯墊，隨後將兩個輸入/輸出單元中的外結合襯墊組態為電源襯墊。然後，可以每組四個輸入/輸出單元的形式重複此模式。可在其他實施例中使用接地襯墊及電源襯墊之其他交替配置方式。在某些實施例中，僅將接地襯墊及電源襯墊之子集與基板上的傳導結構進行導線結合。

圖2為晶片103之局部俯視圖。就圖2所示之視圖而言，輸入/輸出單元203位於晶片103週邊，在單元203左右兩側的相鄰輸入/輸出單元205與207之間。在一實施例中，以與輸入/輸出單元203相同的標準化設計塊來組態輸入/輸出單元205與207。輸入/輸出單元203包括以成行對組態排列之結合襯墊208及結合襯墊206。結合襯墊208充當一電源結合襯墊，其耦接至晶片103的電源匯流排或接地匯流排中的任一個。襯墊206充當訊號襯墊。電源匯流排213、214及215(以虛線顯示)位於最終金屬互連層316中的晶片103表面之下。在一實施例中，電源匯流排213、214及215為導體，其圍繞互連層中的晶片103週邊之至少一部分延伸，從而為晶片103之基板中的輸入/輸出單元及主動式核心電路(例如，

圖5中的520)提供電源及接地電壓。在一實施例中，標準化設計塊包括針對位於輸入/輸出單元中的匯流排213、214及215之部分的匯流排分斷。在某些實施例中，該等匯流排可位於晶片103之較低金屬互連層中。

在圖示的實施例中，襯墊208藉由鈍化層(圖3中的303)中位置221的四個保形填充開口被耦接至匯流排213。在一實施例中，開口為3×3微米。開口的尺寸及數量可隨不同實施例而改變。舉例而言，在其他實施例中，襯墊可藉由一個開口(例如，10×50微米的開口)被耦接至最終金屬互連層中的結構。結合襯墊206藉由位置232處四個保形填充開口被耦接至亦位於最終金屬互連層中的訊號導體231。

單元203包含位於晶片103之基板中的互連層之下的主動式輸入/輸出電路211(以間歇長度之虛線展示)。主動式輸入/輸出電路211可包含輸出電路(例如，具有相關預驅動器電路之降壓及升壓輸出驅動器)、輸入電路、靜電放電(ESD)保護電路及自我測試電路(皆未圖示)。在其他實施例中，該主動式輸入/輸出電路可包括其他類型的習知輸入/輸出電路。該主動式輸入/輸出電路與訊號襯墊206相關聯。

在一實施例中，如圖2所示，輸入/輸出單元203區域對應於需要僅含有結合襯墊206、結合襯墊208、電源、接地、訊號導體及主動式輸入/輸出電路211之區域。在圖2所示之實施例中，輸入/輸出單元203、205及207毗鄰但並不重疊。因此，在此實施例中，雖然結合襯墊206及208疊加於輸入/輸出單元203之主動式輸入/輸出電路211上，但是其並不疊

加於任何不相關的主動式輸入/輸出電路(例如，輸入/輸出單元205及207中的主動式輸入/輸出電路或晶片103之主動式核心電路)上。在替代實施例中，襯墊206及208之部分可部分地疊加於不相關的主動式輸入/輸出電路上。此外，襯墊206之部分可疊加於主動式核心電路(例如，IC晶片103的主動式核心電路)上。舉例而言，參見圖5之實施例。

在圖2所示之實施例中，結合襯墊208與襯墊206位於同行以形成一成行結合襯墊對。在替代實施例中，襯墊208可於輸入/輸出單元203中相對於襯墊206偏移。在圖2中，襯墊206與208在尺寸上相似。在替代實施例中，襯墊206與208可為不同尺寸。

圖3為圖2之部分剖視圖。襯墊206及208被圖示為位於鈍化層303上。在一實施例中，鈍化層303為包含氮化矽的絕緣層。金屬互連層312、金屬互連層314及最終金屬互連層316位於層303之下，且位於絕緣層345、343及341與鈍化層303之間。金屬互連層的數量在不同實施例中可變化。舉例而言，IC晶片之一實施例可包括6個金屬互連層。電源匯流排215、接地匯流排213及電源匯流排214位於最終金屬互連層316中。導體233及231亦位於最終金屬互連層316中。每一互連層中的傳導結構可藉由延伸通過插入絕緣層(例如343)的傳導通道(例如323)進行耦合。在某些實施例中，絕緣層303可包含不同材料的多個層。該等金屬互連層及絕緣層位於基板302中的主動式輸入/輸出電路211上。

襯墊206直接位於最終金屬互連層316中的訊號導體231

及電源匯流排214上。襯墊206被圖示成藉由位置232的保形填充開口被耦接至訊號導體231。襯墊208直接位於匯流排215、匯流排213及導體233上，三者全部位於最終互連層316中。導體233藉由通道313、導體315、通道317、導體321、通道323、導體325及通道327被耦接至匯流排214。如圖3中所示，襯墊208藉由直接位於匯流排213上的鈍化層303中的開口(例如，於位置221處)被選擇性地耦接至接地匯流排213。在由與輸入/輸出單元203相同的標準化設計塊設計的晶片103之其他輸入/輸出單元的情況下，電源襯墊(例如208)可實際上藉由鈍化層303中位置349(圖3中以虛線展示)處的開口(或某些實施例中的單一開口)被選擇性地耦接至匯流排215，或藉由鈍化層303中位置347處的開口被耦接至匯流排214。在一實施例中，使用一絕緣層遮罩(未圖示)圖案化絕緣層303。層303係遮罩可程式化的，其用於選擇性地將襯墊208耦接至匯流排213、匯流排215或導體233中的任何一個。

在一實施例中，藉由對層303上之鋁層進行濺鍍沈積然後對該鋁層進行選擇性蝕刻來形成襯墊206及208。對鋁的濺鍍沈積保形填充了鈍化層303中的開口(例如，位置221及232處的開口)。在一實施例中，金屬互連層312、314及316中的傳導結構(例如213、315及321)係由銅製得。在某些實施例中，可將一傳導障壁薄層(例如，包含鈹的傳導障壁薄層)定位於鈍化層303之開口(例如，位置221處)中的鋁與最終金屬互連層316中的銅之間，以防止兩種相異且相鄰的金

屬(例如,襯墊208的鋁與匯流排213的銅)之間的擴散並促進二者之間的黏著。在其他實施例中,該等金屬互連層及/或結合襯墊可能由其他材料製得,例如金、銅或鋁。在其他實施例中,可使用其他類型的傳導通道。

提供一輸入/輸出單元設計,其具有一可藉由在絕緣層中選擇性地置放開口而被選擇性地耦接至最終金屬互連層中數個傳導結構的結合襯墊,此可允許使用通用輸入/輸出單元設計,其可被程式化成耦接至若干傳導結構之任何一個。此優點可減少IC晶片設計之複雜性,因為可使用相同標準化輸入/輸出單元設計塊來設計所有(或至少絕大多數)輸入/輸出單元。

此外,使用一可選擇性地耦接至兩襯墊輸入/輸出單元中的多個傳導結構的襯墊可有利地為一晶片提供更大的晶片利用空間,從而使每一IC晶片可具有更多輸入/輸出單元。在某些情況下,可將一襯墊耦接至一訊號而將第二襯墊選擇性地耦接至電源或接地導體中的任一個,從而允許併入電源或接地襯墊中的任一個的單一輸入/輸出襯墊單元,以最大化一組輸入/輸出單元中的電源及接地置放之靈活性。

在其他實施例中,可將最終金屬互連層316中的某些傳導結構耦接至訊號線,以使得可將襯墊208選擇性地耦接至一個或多個訊號線中的一個。在其他實施例中,最終金屬互連層中襯墊直接位於其上的傳導結構的數量可變化。在一實施例中,襯墊208直接位於若干個傳導結構上,其中每一傳導結構耦接至IC晶片之不同電源電位。在此實施例中,

襯墊 208 可耦接至供給 IC 晶片 103 的電源電位之任何一個。在此實施例之一實例中，襯墊 208 可選擇性地耦接至 +3.3 V 匯流排、-3.3 V 匯流排、+1.8 V 匯流排或接地匯流排。

在其他實施例中，耦接直接位於一襯墊下的每一傳導結構以提供不同的訊號。可藉由在鈍化層中形成至少一個開口將襯墊選擇性地耦接至任一訊號，從而將該襯墊耦接至選擇性訊號導體。舉例而言，一襯墊可位於兩個結構上，其中一結構經耦接以提供一對微分訊號(differential signal)中的一個，而另一結構經耦接以提供該對微分訊號中的另一個。

在其他實施例中，襯墊 206 可直接位於多個傳導結構上，其中襯墊 206 可藉由鈍化層 303 中至少一開口選擇性地耦接至該等傳導結構中的一個。在一實施例中，該等傳導結構將被組態以載運訊號。在其他實施例中，該等傳導結構之至少一個將被耦接至一電源導體。

圖 4 為根據本發明之另一 IC 晶片之部分剖視圖。晶片 401 之結合襯墊包括一形成於最終金屬互連層 416 中的部分及一鋁帽(aluminum cap)。舉例而言，輸入/輸出單元 402 包含襯墊 406 及 408，其分別具有形成於最終金屬互連層 416 中的多個部分 407 及 409，該層在一實施例中係由銅製得。同樣，結合襯墊 406 及 408 各自包括鋁帽 418 及 419，其覆蓋每一襯墊形成於層 316 中的由鈍化層 403 中的開口所曝露的部分(例如，407 及 409)。鋁帽(例如，418 及 419)用於改進導線結合良率及工藝性。在某些實施例中，襯墊 406 及 408 可包括

位於該等鋁帽之鋁與層416之銅之間的障壁層(未圖示)。但是，根據本發明之其他IC晶片之結合襯墊可不包括此等帽蓋。

輸入/輸出單元402包括位於襯墊406及408之下的主動式輸入/輸出電路411。主動式輸入/輸出電路411之上為一第一金屬互連層412、一第二金屬互連層414及一最終金屬互連層416。在一實施例中，金屬互連層412、414及416係由銅形成。在替代實施例中，該等金屬互連層可主要由鋁形成。三個金屬互連層位於絕緣層445、443、441與鈍化層403之間。在某些實施例中，絕緣層445、443、441及鈍化層403可包括若干層不同材料。在一實施例中，鈍化層403為一包含氮化矽之絕緣層。

雖然在圖4中展示了三個金屬互連層，但是金屬互連層的數量在不同實施例中可能變化。在圖4之實施例中，接地匯流排413、電源匯流排415及訊號導體433位於金屬互連層414中。訊號導體432及訊號導體431亦位於金屬互連層414中。一互連層中的金屬導體可藉由延伸穿過一絕緣層(例如443)之傳導通道(例如461, 463)被耦接至另一互連層中的金屬導體。

襯墊406直接位於金屬互連層414中的訊號導體431及訊號導體432之上。如圖示，襯墊406藉由位於絕緣層441中位置467開口處的傳導通道465被選擇性地耦接至訊號導體431。在根據與輸入/輸出單元402相同的標準化設計塊所設計的晶片401之其他輸入/輸出單元的情況下，襯墊406可實

際上藉由位於絕緣層441中位置468(以虛線展示)開口處的傳導通道被選擇性地耦接至電源匯流排432。

襯墊408直接位於電源匯流排415、接地匯流排413及訊號導體433的部分上，以上三個部分位於金屬互連層414中。襯墊408被圖示為藉由位於絕緣層441中位置422開口處的傳導通道421被耦接至接地匯流排413。在根據與輸入/輸出單元402相同的標準化設計塊所設計的晶片401之其他輸入/輸出單元的情況下，襯墊408可實際上藉由位於絕緣層441中位置449開口處的傳導通道(以虛線展示)被選擇性地耦接至電源匯流排415，或藉由位於絕緣層441中位置447之開口處的傳導通道(以虛線展示)被耦接至訊號導體433。因此，結合襯墊408可選擇性地耦接至接地匯流排413、電源匯流排415或訊號導體433中的任何一個。所以，標準化輸入/輸出單元中的外(電源)結合襯墊408可經組態以用於為晶片401提供電壓電位、接地電位或訊號路徑。

結合襯墊408可被耦接至該等金屬互連層416、414及412之其他傳導結構。舉例而言，第一金屬互連層412中的導體450被展示成藉由傳導通道421、匯流排413及傳導通道430被耦接至襯墊408。在某些實施例中，IC晶片之該等電源及接地匯流排可位於其他金屬互連層中(例如412)。

在圖4所示實施例中，傳導通道421被展示成直接位於襯墊部分408之由鈍化層403中的開口所曝露的部分之下。在替代實施例中，該等通道可直接置放於襯墊部分408之未被鈍化層403中的開口曝露的部分之下。

在圖4所示之實施例中，可藉由將傳導通道分別置放於絕緣層441中位置422、449或447來將外(電源)結合襯墊408選擇性地耦接至接地匯流排413、電源匯流排415或訊號導體433。在設計及佈局該IC晶片401期間，由於每一此等位置均位於同一絕緣層441中，所以用於將層441圖案化之遮罩可被程式化成將外結合襯墊408選擇性地耦接至匯流排413、匯流排415或導體433中的一個。相應的，襯墊408可被程式化，以根據其下方的傳導通道之位置被耦接至一電源導體或一訊號導體。

圖5為根據本發明之另一實施例之IC晶片的部分俯視圖。IC晶片500包含一位於IC晶片500週邊的輸入/輸出單元501。輸入/輸出單元501包含一外結合襯墊503及一內結合襯墊505。結合襯墊503及結合襯墊505各自包含一導線結合區域(分別為513及509)，用於將導線結合至襯墊。結合襯墊503及結合襯墊505各自包含一探針區域(分別為511及507)，用於接收一為了達成測試目的之探針。襯墊503及505位於定位於IC晶片500之基板中的主動式輸入/輸出電路506上。襯墊505亦於位於IC晶片500之基板中之核心電路520上延伸。

在其他實施例中，可將一直接位於金屬互連層之多個傳導結構上且選擇性地耦接至該等傳導結構之任何一個的襯墊，實施於單一襯墊輸入/輸出單元或具有兩個以上襯墊之輸入/輸出單元中。在其他實施例中，此等襯墊可用於襯墊交錯排列之IC晶片。

同樣在其他實施例中，可將一可選擇性地耦接至直接位於其下的一互連層之多個傳導結構中的任何一個的襯墊，實施於具有包含其他類型組態之其他類型的IC晶片(例如覆晶IC晶片)中。對於一覆晶組態而言，認為IC晶片之襯墊位於該IC晶片之互連層上(即使是在封裝IC中)，該IC晶片以具有襯墊的表面朝下的方式加以定向，且將該等互連層定向於該封裝IC中一上方位置。

在本發明之一態樣中，一積體電路(IC)晶片包含複數個輸入/輸出(I/O)單元。該等複數個輸入/輸出單元中的每一個包含位於IC晶片之基板中的主動式輸入/輸出電路及形成於該基板上的複數個金屬互連層。該等複數個金屬互連層包含一第一電源導體、一第二電源導體及一訊號導體。每一輸入/輸出單元亦包含一形成於該等複數個金屬互連層上之絕緣層、一形成於該絕緣層上並耦接至訊號導體之第一襯墊、及一形成於該絕緣層上之第二襯墊。該第二襯墊直接位於該等複數個金屬互連層之一頂部金屬層中至少兩個金屬結構上。該第二襯墊藉由絕緣層中之至少一個開口被選擇性地耦接至至少兩個金屬結構中的一個。

在本發明之另一態樣中，一積體電路(IC)晶片包含一輸入/輸出(I/O)單元。該輸入/輸出單元包含位於該IC晶片之基板中之主動式輸入/輸出電路、複數個形成於該基板上之金屬互連層及一形成於該等複數個金屬互連層上之絕緣層。該輸入/輸出單元亦包含一形成於該絕緣層上並藉由該絕緣層中至少一個開口耦接至該等複數個金屬互連層中的一

第一金屬結構之第一襯墊及一形成於該絕緣層上之第二襯墊。該第二襯墊直接位於該等複數個金屬互連層中的一頂部金屬層中至少兩個金屬結構上。該第二襯墊藉由直接位於該等至少兩個金屬結構中的一個上之該絕緣層中的至少一個開口被耦接至該等至少兩個金屬結構中的一個。

在本發明之另一態樣中，一種製造一IC晶片之方法包含為一半導體晶片之輸入/輸出單元提供標準化設計塊。該輸入/輸出單元包含一金屬互連層、一形成於該金屬互連層上的絕緣層、一用於輸送訊號的第一襯墊及用於輸送一電源電位的第二襯墊。該第二襯墊直接形成於該金屬互連層中至少兩個金屬結構上。該絕緣層包含複數個位置。至少兩個金屬結構之每一金屬結構對應於該等複數個位置中的一個。至少兩個金屬結構之第一個為一用於輸送第一電源電位之導體且至少兩個金屬結構之第二個為一用於輸送第二電源電位之導體。該方法包含將遮罩程式化，以藉由對應於至少兩個金屬結構中的一個的該等複數個位置之一處的至少一個開口將該第二襯墊選擇性地耦接至至少兩個金屬結構中的一個。該方法亦包含使用遮罩來圖案化該絕緣層。

雖然已展示並描述本發明之特定實施例，但熟習此項技術者將認識到，基於此教示，可不背離本發明及其較寬廣態樣而作出進一步變換及修改，並且因此，附加申請專利範圍將所有此等變換及修改涵蓋於其範圍之內，如同將其涵蓋於本發明之真實精神及範圍中一樣。

【圖式簡單說明】

圖1為根據本發明連接至一封裝基板之IC晶片之一實施例的俯視圖。

圖2為根據本發明之IC晶片之一實施例的部分俯視圖。

圖3為根據本發明之圖2中的IC晶片之部分剖視圖。

圖4為根據本發明之另一IC晶片之部分剖視圖。

圖5為根據本發明之IC晶片之另一實施例的部分俯視圖。

除非另有說明，相同參考符號在不同圖中的使用表示同一零件。

【主要元件符號說明】

101	封裝 IC
103	IC 晶片
105	基板
111	內襯墊
113	外襯墊
114	外襯墊
116	內襯墊
119	接地環
121	電源環
123	指狀結合物
125	傳導通道
131	結合導線
133	結合導線
135	結合導線
205	輸入/輸出單元

206	襯墊
207	輸入/輸出單元
208	襯墊
211	主動式輸入/輸出電路
213	接地匯流排
214	電源匯流排
215	電源匯流排
221	位置
231	訊號導體
232	位置
233	導體
302	基板
303	鈍化層/絕緣層
312	金屬互連層
313	通道
314	金屬互連層
315	導體
316	最終金屬互連層
317	通道
321	導體
323	傳導通道
325	導體
327	通道
341	絕緣層

343	絕緣層
345	絕緣層
347	位置
349	位置
402	輸入/輸出單元
403	鈍化層
406	襯墊
407	襯墊之部分
408	襯墊
409	襯墊之部分
411	主動式輸入/輸出電路
412	第一金屬互連層
413	接地匯流排
415	電源匯流排
416	最終金屬互連層
418	鋁帽
419	鋁帽
421	傳導通道
422	位置
431	訊號導體
432	訊號導體
433	訊號導體
441	絕緣層
443	絕緣層

445	絕緣層
447	位置
449	位置
450	導體
461	傳導通道
463	傳導通道
465	傳導通道
467	位置
468	位置

十、申請專利範圍：

1. 一種包含複數個輸入/輸出(I/O)單元的積體電路(IC)晶片，該等複數個輸入/輸出單元中的每一個包括：
 - 位於該IC晶片的一基板中的主動式輸入/輸出電路；
 - 形成於該基板上的複數個金屬互連層，該等複數個金屬互連層包含一第一電源導體、一第二電源導體及一訊號導體；
 - 一形成於該等複數個金屬互連層上的絕緣層；
 - 一形成於該絕緣層上並被耦接至該訊號導體之第一襯墊；及
 - 一形成於該絕緣層上之第二襯墊，該第二襯墊直接位於該等複數個金屬互連層中的一頂部金屬層中至少兩個金屬結構上，其中該第二襯墊藉由該絕緣層中之至少一個開口被選擇性地耦接至該等至少兩個金屬結構中的一個。
2. 如申請專利範圍第1項之IC晶片，其中該等至少兩個金屬結構之一第一個被耦接至該第一電源導體，該第一電源導體被組態成輸送一第一電源電位，且該等至少兩個金屬結構之一第二個被耦接至該第二電源導體，該第二電源導體被組態成輸送一第二電源電位。
3. 如申請專利範圍第2項之IC晶片，其中該第二襯墊藉由該絕緣層中之該至少一個開口被耦接至該等至少兩個金屬結構之該第一個或該等至少兩個金屬結構之該第二個中的任一個。

4. 如申請專利範圍第1項之IC晶片，其中該絕緣層包含一鈍化層。
5. 如申請專利範圍第1項之IC晶片，其中該等複數個金屬互連層包括銅且該第一及該第二襯墊包括鋁。
6. 如申請專利範圍第1項之IC晶片，其中使用一絕緣層遮罩來圖案化該絕緣層，且該絕緣層為遮罩可程式化，以藉由直接位於該等至少兩個金屬結構中的一個上的該絕緣層中的一預定位位置處的該至少一個開口將該第二襯墊選擇性地耦接至該等至少兩個金屬結構中的一個。
7. 一種包含一輸入/輸出(I/O)單元的積體電路(IC)晶片，該輸入/輸出單元包括：
 - 位於該IC晶片之一基板中的主動式輸入/輸出電路；
 - 形成於該基板上之複數個金屬互連層；
 - 一形成於該等複數個金屬互連層上的絕緣層；
 - 一形成於該絕緣層上並藉由該絕緣層中之至少一個開口被耦接至該等複數個金屬互連層之一第一金屬結構的第一襯墊；及
 - 一形成於該絕緣層上之第二襯墊，該第二襯墊直接位於該等複數個金屬互連層之一頂部金屬層中至少兩個金屬結構上，其中該第二襯墊藉由直接位於該等至少兩個金屬結構中的一個上的該絕緣層中的至少一個開口被選擇性地耦接至該等至少兩個金屬結構中的一個。
8. 如申請專利範圍第7項之IC晶片，其中該等至少兩個金屬結構之一第一個係用於傳導一第一電源電位，且該等至

少兩個金屬結構之一第二個係用於傳導一第二電源電位。

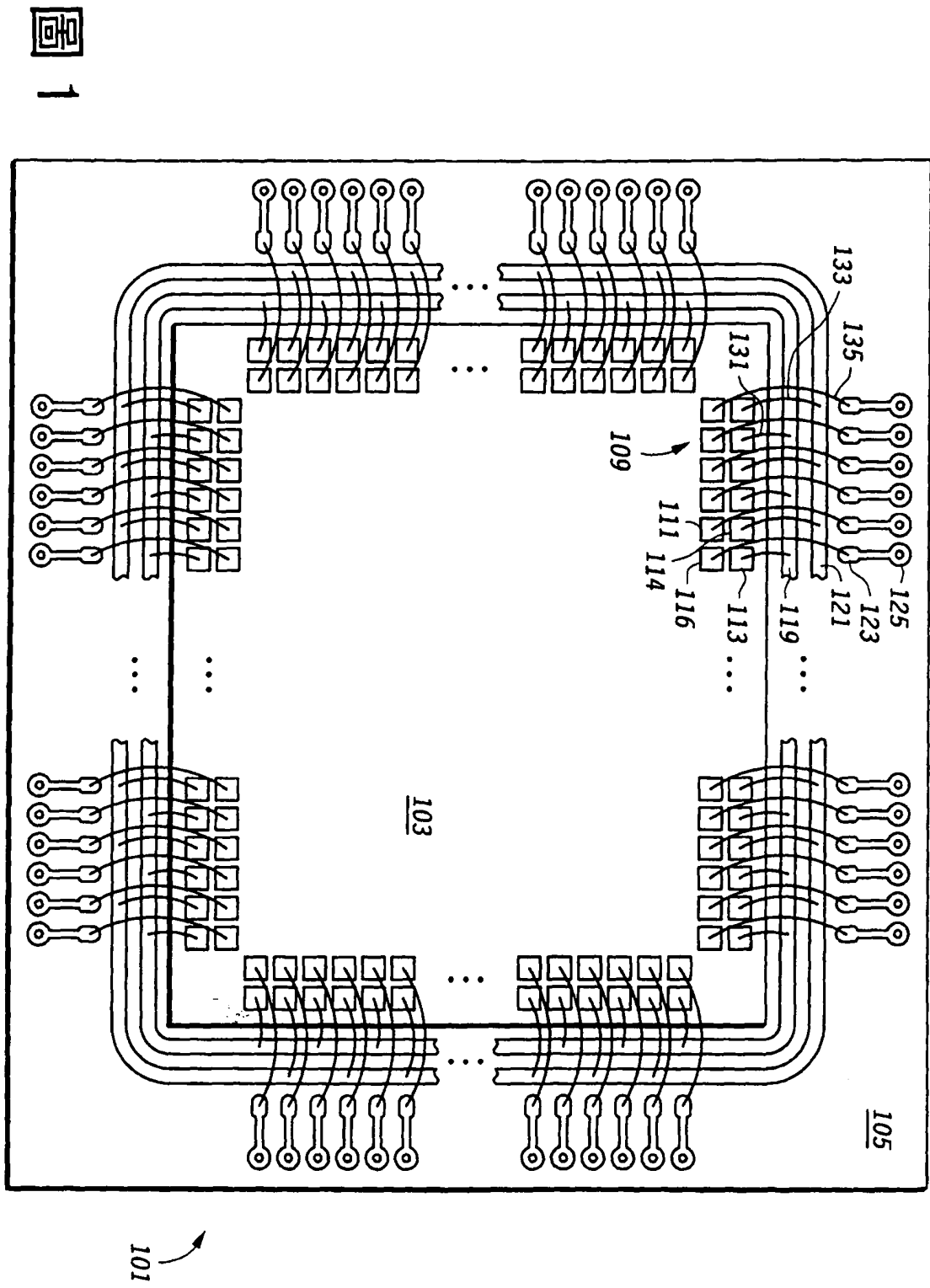
9. 如申請專利範圍第7項之IC晶片，其中該第一襯墊之一部分於無關於該輸入/輸出單元之該主動式輸入/輸出電路的主動式電路上延伸。
10. 一種製造一IC晶片的方法，包括：

為一半導體晶片之一輸入/輸出單元提供一標準化設計塊，該輸入/輸出單元包含一金屬互連層、一形成於該金屬互連層上的絕緣層、一用於輸送一訊號的第一襯墊及一用於輸送一電源電位的第二襯墊，該第二襯墊直接形成於該金屬互連層中至少兩個金屬結構上，該絕緣層包含複數個位置，其中該等至少兩個金屬結構之每一金屬結構對應於該等複數個位置中的一個，其中該等至少兩個金屬結構之一第一個為一輸送一第一電源電位的導體，而該等至少兩個金屬結構之一第二個為一輸送一第二電源電位的導體；

程式化一遮罩，以藉由對應於該等至少兩個金屬結構中的一個的複數個位置中的一個處的至少一個開口將該第二襯墊選擇性地耦接至該等至少兩個金屬結構中的一個；

使用該遮罩來圖案化該絕緣層。

拾壹、圖式：



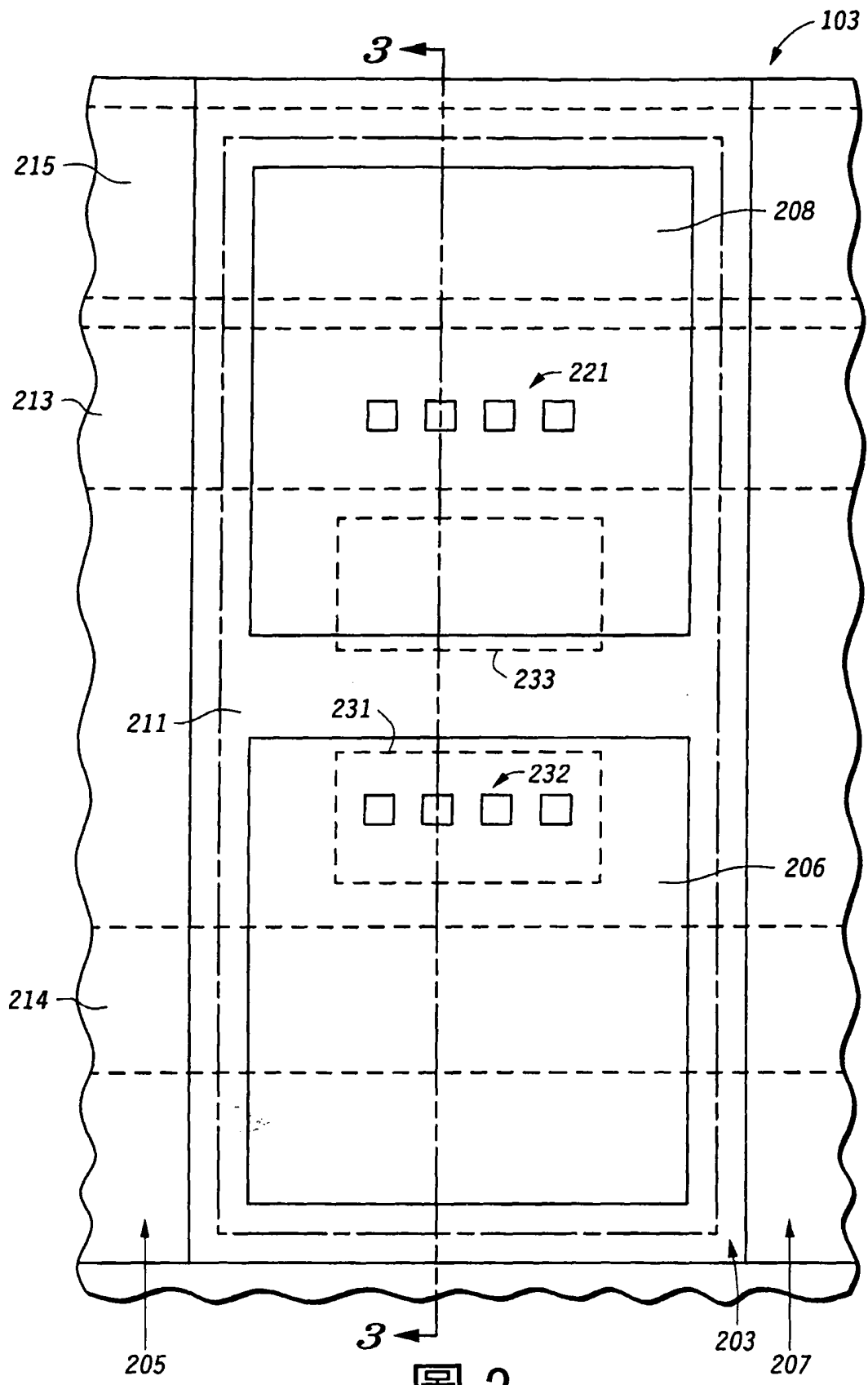


圖 2

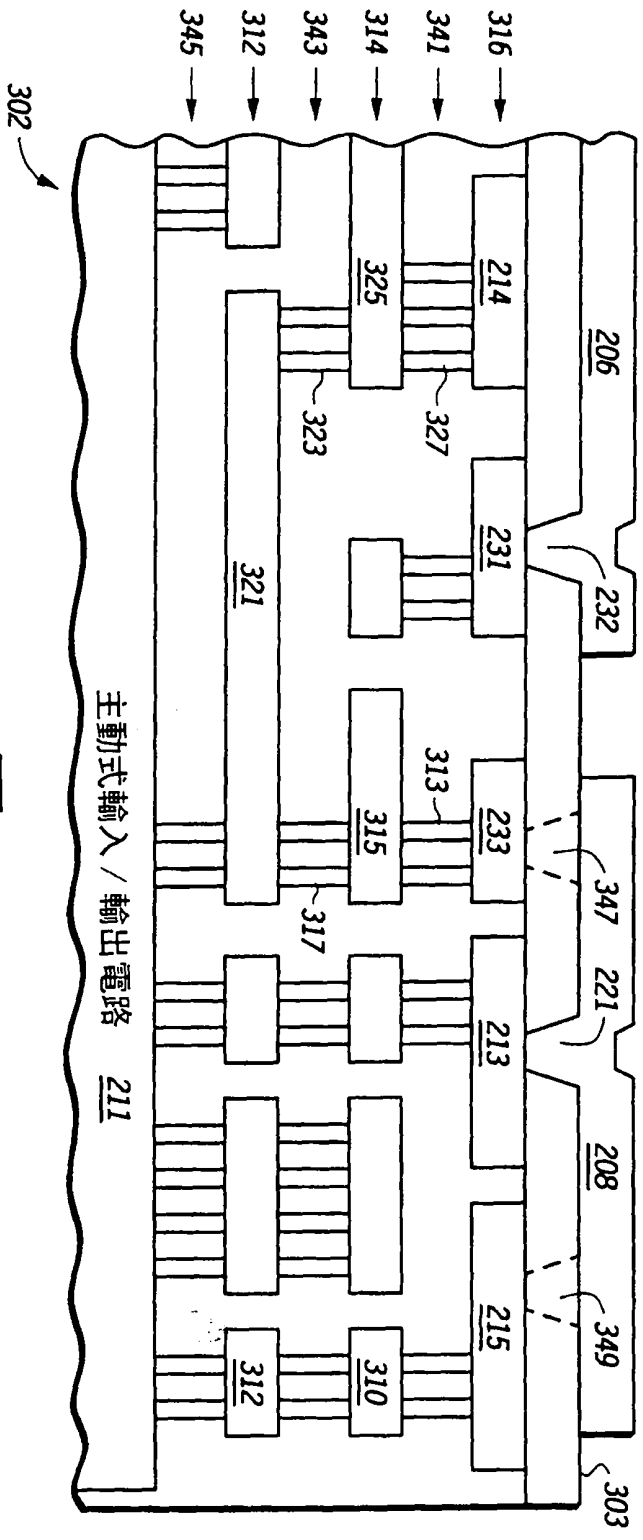


圖 3

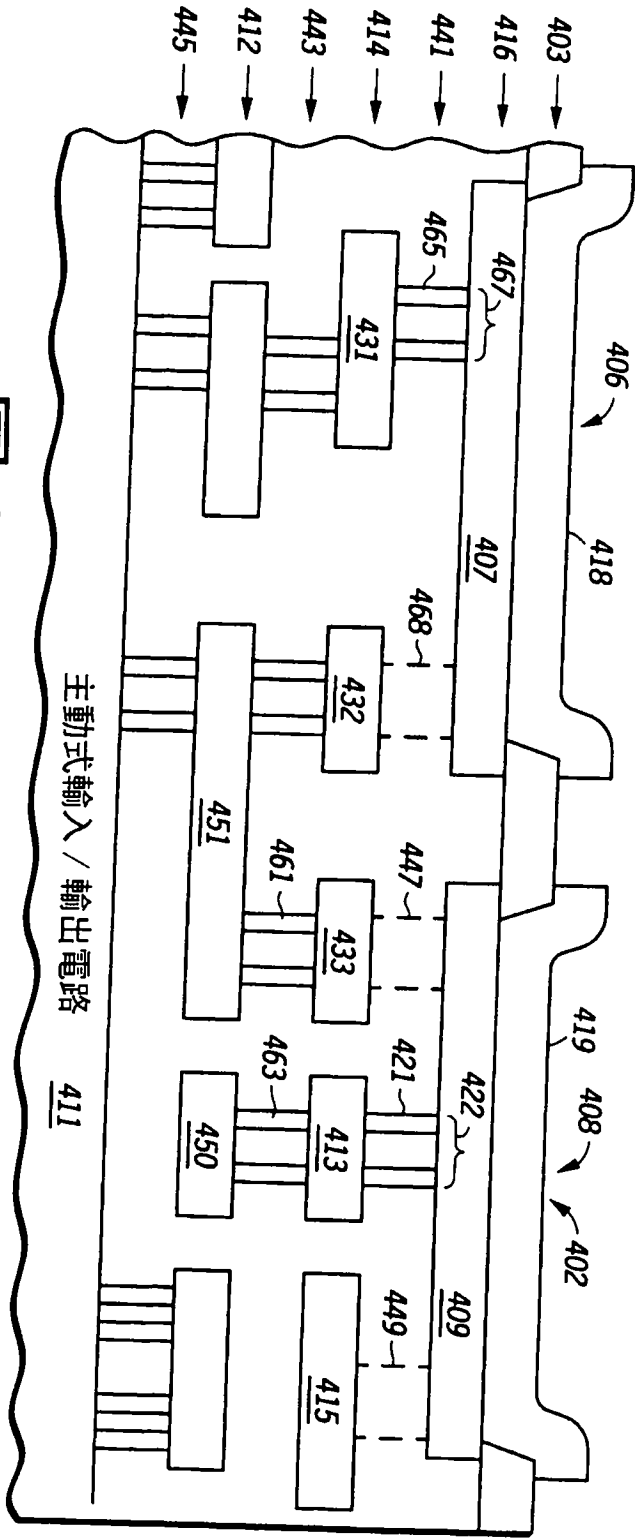


圖 4

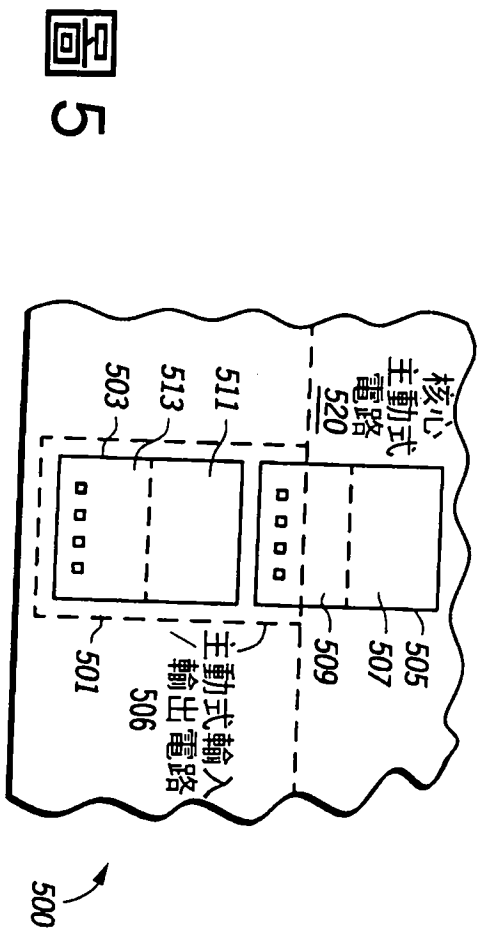


圖 5

七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

206	襯墊
208	襯墊
211	主動式輸入/輸出電路
213	接地匯流排
214	電源匯流排
215	電源匯流排
221	位置
231	訊號導體
232	位置
233	導體
302	基板
303	鈍化層/絕緣層
312	金屬互連層
313	通道
314	金屬互連層
315	導體
316	最終金屬互連層
317	通道
321	導體
323	傳導通道
325	導體

327	通 道
341	絕 緣 層
343	絕 緣 層
345	絕 緣 層
347	位 置
349	位 置

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

公告本

發明專利說明書

中文說明書替換頁(93年10月)

E
充

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：093109990

※ 申請日期：93.4.9

※IPC 分類：H01L 23/48 (2006.01)

一、發明名稱：(中文/英文)

H01L 23/52 (2006.01)

積體電路晶片輸入/輸出單元

INTEGRATED CIRCUIT DIE I/O CELLS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,

U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

五、中文發明摘要：

一種包括一輸入/輸出(I/O)單元(203)之積體電路晶片(103)。該輸入/輸出單元包括一基板中的主動式輸入/輸出電路(211)、複數個金屬互連層(316, 314)、一絕緣層、一第一襯墊(206)及一第二襯墊(208)。該等複數個金屬互連層形成於該基板上。該絕緣層形成於該等複數個金屬互連層上。該第二襯墊(208)形成於該絕緣層上且直接位於該等複數個互連層之最終金屬層中至少兩個金屬結構(213, 215)上。藉由該絕緣層(303)中至少一個開口(例如：在位置221)將襯墊選擇性地耦接至至少兩個金屬結構中的一個。

六、英文發明摘要：

An integrated circuit die (103) includes an input/output (I/O) cell (203). The I/O cell includes active I/O circuitry (211) in a substrate, a plurality of metal interconnect layers (316, 314), an insulating layer, a first pad (206), and a second pad (208). The plurality of metal interconnect layers are formed over the substrate. The insulating layer is formed over the plurality of metal interconnect layers. The second pad (208) is formed over the insulating layer and positioned directly over at least two metal structures (213, 215) in a final metal layer of the plurality of interconnect layers. The pad is selectively coupled to one of at least two metal structures by at least one opening (211) in the insulating layer (303).