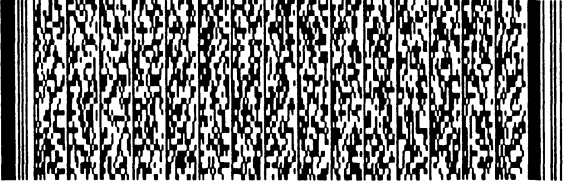


申請日期: 9.12	案號: 91120854
類別: 公告	

(以上各欄由本局填註)

發明專利說明書		557566
一、發明名稱	中文	半導體裝置及其製造方法
	英文	SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME
二、發明人	姓名 (中文)	1. 前田茂伸 2. 松本拓治 3. 岩松俊明 4. 一法師隆志
	姓名 (英文)	1. Shigenobu MAEDA 2. Takuji MATSUMOTO 3. Toshiaki IWAMATSU 4. Takashi IPPOSHI
	國籍	1. 日本 2. 日本 3. 日本 4. 日本
	住、居所	1. 東京都千代田區丸之內二丁目2番3號 三菱電機股份有限公司內 2. 東京都千代田區丸之內二丁目2番3號 三菱電機股份有限公司內 3. 東京都千代田區丸之內二丁目2番3號 三菱電機股份有限公司內 4. 東京都千代田區丸之內二丁目2番3號 三菱電機股份有限公司內
三、申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. 三菱電機株式会社(MITSUBISHI DENKI KABUSHIKI KAISHA)
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸之內二丁目2番3號
	代表人 姓名 (中文)	1. 谷口一郎
	代表人 姓名 (英文)	1. Ichiro TANIGUCHI
		

本案已向

國(地區)申請專利

日本 JP

申請日期

2002/04/25 2002-124180

案號

主張優先權

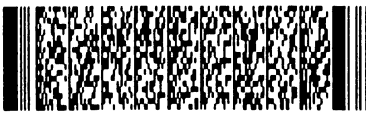
有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

【發明所屬之技術領域】

本發明係有關於半導體裝置，特別有關於具有溝槽分離絕緣膜之半導體裝置的製造方法。

【先前技術】

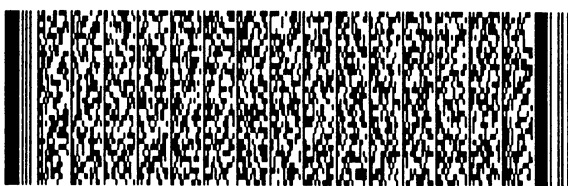
形成於矽基板上配設有埋層氧化膜以及SOI層的SOI基板的SOI構造的半導體裝置，由於具有可減低寄生電容，且能以高速穩定動作以及低電力消耗的特徵，因此被用於可攜式機器等。

SOI元件的一範例，是藉由在SOI層之表面內設置到達埋層氧化膜之溝槽，於該溝槽內埋入絕緣物形成之完全溝槽分離絕緣膜，將元件之間完全電性分離的完全溝槽分離（FTI）構造。然而，衝突電離（impact ionization）現象產生之載體（carrier），（在NMOS為電洞）會滯留在通道形成區域，因此產生扭結（kink），動作耐壓劣化，又通道形成區域的電位不穩定因此會因延遲時間的頻率數依存性等的基板浮遊效果而產生各種問題。

考慮上述的情況下，而有以殘留既定厚度之SOI層於溝槽的底部與埋層氧化膜之間而在SOI層的表面內形成溝槽，在該溝槽內埋入絕緣物而形成之部分溝槽分離構造（PTI）。

第74圖係顯示PTI構造之MOS電晶體Q10的剖面構造。即，在第74圖，係顯示MOS電晶體Q10之閘極寬度方向的剖面構造。

如第74圖所示，以矽基板1、埋層氧化膜以及SOI層構



五、發明說明 (2)

成之SOI基板的SOI層3的表面內，配設部分分離氧化膜PT，並在以部分分離氧化膜PT定義之活性區域AR上依次配設閘極氧化膜11以及閘極電極12。

在部分分離氧化膜PT之底部與埋層氧化膜2之間存在有SOI層3而成為井區域WR，載體的移動可能通過該井區域WR，能防止載體滯留在通道形成區域，又由於能夠通過井區域WR固定（本體固定）通道形成區域的電位，因此有不會因基板浮遊效果發生各種問題的優點。

然而，在PTI構造，部分分離氧化膜PT的深度主要是在溝槽形成時的蝕刻所定義，由於蝕刻的變化，即使在同一個晶片內，不同的晶片之間亦會產生部分分離氧化膜PT之深度的差異。

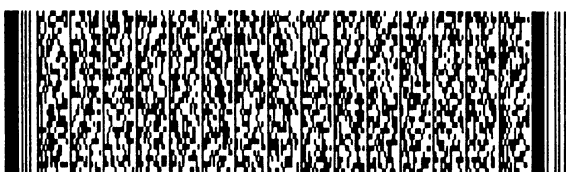
如第74圖所示，是以SOI層3的主面表面到底部的深度d10定義部分分離氧化膜PT的深度，例如 $d10=100\text{ nm}$ 為設計值的場合，實際形成之部分分離氧化膜PT的深度為 $d10=100\text{ nm} \pm 5\text{ nm}$ ，深度差異在 $95 \sim 105\text{ nm}$ 的範圍。

若SOI層3的厚度為 150 nm ，部分分離氧化膜PT之下部的井區域WR的厚度則為 $45 \sim 55\text{ nm}$ 的範圍，若井區域WR的設計值為 50 nm ，則相當於 $\pm 10\%$ 的變化。

以第75圖以及第76圖說明在部分分離氧化膜PT的溝槽形成時的蝕刻。

首先，如第75圖所示準備SOI基板，並於SOI基板的SOI層3形成氧化膜4。

接著，以CVD方法在氧化膜4上形成多晶矽膜21，並於



五、發明說明 (3)

多晶矽膜21上以CVD方法形成氮化膜22。再者，氧化膜4、多晶矽膜21以及氮化膜22具有補助用以形成分離氧化膜的功能，因此亦稱為補助膜。

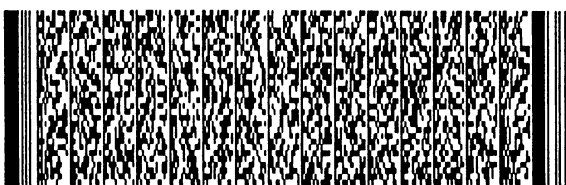
之後，如第76圖所示，使用具有既定之開口圖案之光阻（未圖示）為蝕刻罩幕乾蝕刻或濕蝕刻將氮化膜22以及多晶矽膜21選擇性移除。

再以圖案化之氮化膜22為蝕刻罩幕，貫通氧化膜4，同時蝕刻SOI層3到既定深度形成溝槽TR。該蝕刻不是將SOI層3完全蝕刻使埋層氧化膜2露出，而是殘留既定厚度之SOI層3在溝槽TR的底部而調整蝕刻條件。

氮化膜22、多晶矽膜21、氧化膜4以及SOI層3的蝕刻量合計為200~400 nm，例如即使部分分離氧化膜PT的深度設定為淺如50 nm，蝕刻量合計為150~350 nm，蝕刻的合計量由於沒有變動，因此並沒有很大的差異。

所以對厚度70 nm的SOI層3，溝槽TR的深度為50 nm的場合，部分分離氧化膜PT之下部的井區域WR的厚度，為 ± 5 nm左右，警區域WR的厚度之設計值若為20 nm，相當於 $\pm 25\%$ 的變動是不容許的。上述變動，會因SOI層3之厚度變薄而增加，PTI構造之本體固定的本質界線（body fixation）受限。如此，在薄膜SOI層，部分分離氧化膜之形成困難，且難以PTI構造本體固定。

又，以PTI構造本體固定之外的本體固定的方法，可考慮變化閘極電極之平面形狀，或本體固定用之本體接觸部的形成位置之構造。



五、發明說明 (4)

第77圖是顯示稱為T型閘極之閘極電極的平面佈局，閘極寬度方向的一端部在閘極長度方向增大而構成閘極接觸墊GP，平面視形狀成為T字形的閘極電極12。

閘極電極12T的T字頭部的前端外方配設本體接觸部BD。本體接觸部的SOI層3的表面內形成有與源極汲極相反導電型的雜質區域。

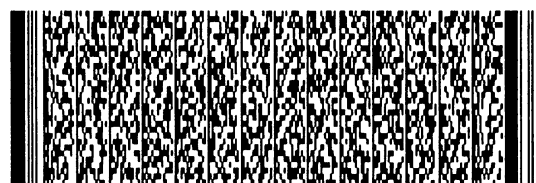
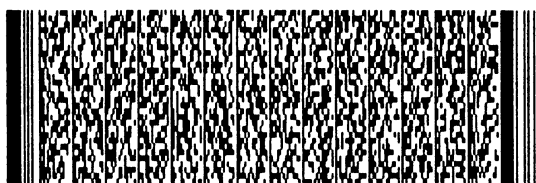
包含源極汲極區域的活性區域AR與本體接觸部BD是連續的。

第78圖係顯示第77圖中AA現之箭頭方向剖面構造。如第78圖所示，閘極電極12之下的SOI層3，MOS電晶體的導電型為N型的場合，含有較低濃度（ P^- ）的P型雜質，另一方面本體接觸部BD則含有較高濃度（ P^+ ）P型雜質。活性區域AR以及本體接觸部BD係以完全溝槽分離氧化膜FT定義。

採用如此構造，由於活性區域AR以及本體接觸部BD係以完全溝槽分離氧化膜FT定義，不會發生溝槽深度的變化，沒有SOI層3變薄的問題，又由於通過本體接觸部BD而能固定通道形成區域的電位，因此可實現穩定的動作。

達成同樣作用效果的構造，是如第79圖所示之稱為H型閘極之構造，和如第80圖所示之稱為源極帶（source tie）之構造。

如第79圖所示之H型閘極，具有閘極寬度方向之兩端部在閘極長度方向增大，平面視形狀成為H字形的閘極電極12H，並有2個本體接觸部BD。



五、發明說明 (5)

如第79圖所示之源極帶構造，在源極區域SR的一部份配設有帶狀的本體接觸部BD，本體接觸部BD的一端則連接閘極電極12之下的通道區域而構成。

然而，採用T型閘極構造和H型閘極構造的場合，閘極電極的面積增加，閘極汲極之間的寄生電容增加，會有不適合以高速度穩定動作的問題。

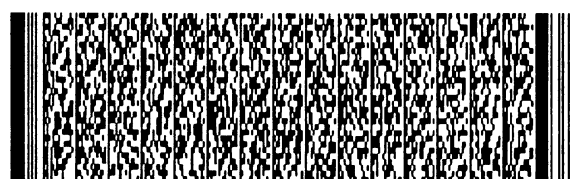
【發明內容】

【發明所欲解決的問題】

本發明即為了解決如上述的問題點，其目的為實現在SOI層的厚度薄的SOI元件，可本體固定，同時可以高速度穩定動作。

【解決問題的方法】

本發明之申請專利範圍第1項所述之半導體裝置的製造方法，該半導體裝置具備配設於半導體基板、埋層氧化膜以及SOI層依次層積之SOI基板的前述SOI層上的MOS電晶體，與設置在前述SOI層的表面內，從外部可電位固定的本體接觸(body contact)部；前述MOS電晶體的閘極電極的平面視形狀具有至少在閘極寬度方向的一方的端部在閘極長度方向寬而構成閘極接觸墊(gate contact pad)的形狀；前述本體接觸部是設置在前述閘極接觸墊的閘極寬度方向的端部外方的前述SOI層的表面內，通過前述SOI層而電性連接至前述閘極電極下部的通道形成區域；前述MOS電晶體的閘極絕緣膜在閘極寬度方向具有第1厚度的第1部分、第2厚度的第2部分，前述第2厚度比前述第1厚度厚；

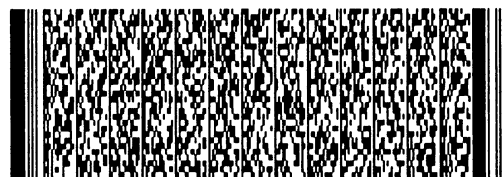
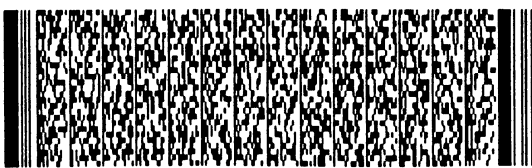


五、發明說明 (6)

該方法包括：在前述SOI層上選擇性形成包含前述閘極絕緣膜之第2部分的前述第2厚度的絕緣膜之步驟(a)；以及連續包含前述第2部份之前述第2厚度的絕緣膜而在前述SOI層上選擇性形成包含前述閘極絕緣膜之第1部分的前述第1厚度的絕緣膜之步驟(b)；其中前述步驟(a)包括至少在成為前述本體接觸墊的下部之區域上形成前述第2厚度的絕緣膜。

本發明之申請專利範圍第2項所述之半導體裝置的製造方法，其中前述MOS電晶體係藉由雙氧化層製程(dual oxide process)兼用形成具有厚度不同之第1以及第2閘極絕緣膜之第1以及第2MOS電晶體的步驟；前述步驟(a)是在前述雙氧化層製程，包含兼用形成前述第1以及第2閘極絕緣膜之中，厚度較厚者的步驟而形成包括前述閘極絕緣膜之第2部份之前述第2厚度的絕緣膜的步驟；前述步驟(b)是在前述雙氧化層製程，包含兼用形成前述第1以及第2閘極絕緣膜之中，厚度較薄者的步驟而形成前述閘極絕緣膜之第1部份的步驟。

本發明之申請專利範圍第3項所述之半導體裝置的製造方法，其中在定義成為前述MOS電晶體的形成區域時，還包括形成將前述MOS電晶體電性分離之溝槽分離絕緣膜之步驟；前述步驟(a)包括(a-1)形成前述溝槽分離絕緣膜時不除去形成於前述SOI層上之補助膜之底層氧化膜而殘留，成為包含前述閘極絕緣膜之第2部份之前述第2厚度之絕緣膜的步驟。



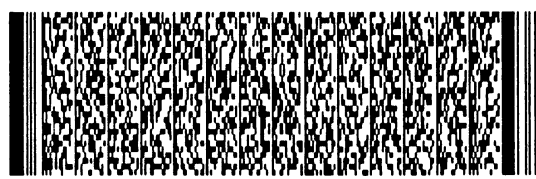
五、發明說明 (7)

本發明之申請專利範圍第4項所述之半導體裝置的製造方法，前述MOS電晶體包含第1以及第2MOS電晶體；前述步驟(a-1)適用於形成包含前述第1以及第2MOS電晶體中任一者的前述第2部分的前述第2厚度的絕緣膜之步驟；前述第1以及第2MOS電晶體中任一者的前述第1部分是以雙氧化層製程形成不同厚度。

本發明之申請專利範圍第5項所述之半導體裝置的製造方法，其中在定義成為前述MOS電晶體之形成區域的活性區域，前述本體接觸部的形成區域以及前述活性區域與前述本體接觸部的形成區域的連接部的同時，還包括形成將前述MOS電晶體電性分離之溝槽分離絕緣膜的步驟；前述步驟(a)包括：(a-1)在前述SOI層上形成作為形成前述溝槽分離絕緣膜時之補助膜的多層膜；(a-2)在前述多層膜上，圖案化至少包括前述閘極絕緣膜之第2部分的前述第2厚度之絕緣膜的形成區域為開口部的光阻；

(a-3)以蝕刻除去不被前述光阻覆蓋之區域，到達前述SOI層的表面；(a-4)在露出之前述SOI層之表面形成較厚的氧化膜，對應前述開口部之區域的前述較厚氧化膜則成為包含前述閘極絕緣膜之第2部分的前述第2厚度的絕緣膜；前述步驟(a-1)包括在前述SOI層上形成底層氧化膜做為前述多層膜的最下層膜；前述步驟(b)是在進行前述步驟(a)後實施，包括除去前述下層氧化膜後，在該區域形成前述第1厚度的絕緣膜之步驟。

本發明之申請專利範圍第6項所述之半導體裝置的製



五、發明說明 (8)

造方法，其中前述步驟(a-2)是對應前述溝槽分離氧化膜之形成區域的部分亦形成開口部而圖案化前述光阻；藉由前述光阻的圖案化自對準決定前述MOS電晶體的閘極寬度。

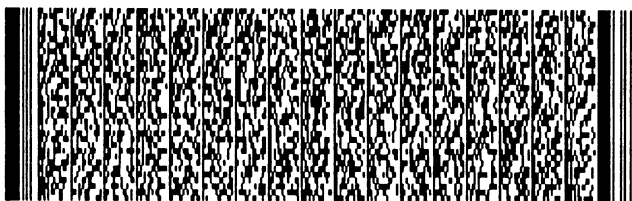
本發明之申請專利範圍第7項所述之半導體裝置的製造方法，其中前述步驟(a-3)包括過度蝕刻(overetching)前述SOI層的蝕刻步驟。

本發明之申請專利範圍第8項所述之半導體裝置的製造方法，前述步驟(a-3)包括以化學性乾蝕刻移除前述底層氧化膜的步驟。

本發明之申請專利範圍第9項所述之半導體裝置的製造方法，前述SOI層的過度蝕刻是以化學性乾蝕刻進行的步驟。

本發明之申請專利範圍第10項所述之半導體裝置的製造方法，前述步驟(a-3)包括將對應前述溝槽分離氧化膜之形成區域的部分的前述多層膜蝕刻到前述SOI層之表面的蝕刻步驟；在前述步驟(a)之後，還包括將對應前述溝槽分離氧化膜之形成區域的前述SOI層蝕刻到前述埋層氧化膜，形成用以形成前述溝槽分離氧化膜之溝槽。

本發明之申請專利範圍第11項所述之半導體裝置的製造方法，在形成前述步驟(a)之後，還包括在形成前述溝槽之前，在前述多層膜的表面以及前述較厚氧化膜的表面形成絕緣膜後，以非等向性蝕刻移除前述絕緣膜，並於前述多層膜的側面形成前述絕緣膜的側壁；



五、發明說明 (9)

以殘留前述絕緣膜之側壁的狀態形成前述溝槽。

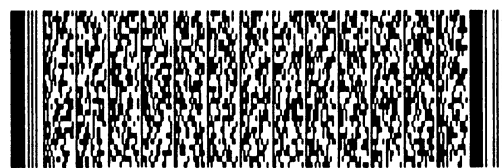
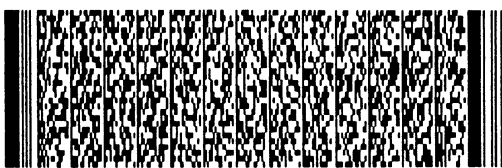
本發明之申請專利範圍第12項所述之半導體裝置的製造方法，前述絕緣膜的側壁形成步驟包括以CVD方法形成氧化矽膜。

本發明之申請專利範圍第13項所述之半導體裝置的製造方法，前述絕緣膜的側壁形成步驟包括以CVD方法形成氮化矽膜。

本發明之申請專利範圍第14項所述之半導體裝置的製造方法，前述步驟(a-3)是包含將前述溝槽分離氧化膜之形成區域之部分的前述多層膜蝕刻到前述SOI層的表面；前述步驟(a-3)與(a-4)之間，還包括蝕刻前述SOI層到前述埋層氧化膜，形成用以形成前述溝槽分離氧化膜之溝槽的步驟。

本發明之申請專利範圍第15項所述之半導體裝置的製造方法，前述溝槽之形成後，還包括氧化在前述溝槽之內壁中露出之前述SOI層的步驟。

本發明之申請專利範圍第16項所述之半導體裝置的製造方法，在定義成為前述MOS電晶體之形成區域的活性區域的同時，還包括形成將前述MOS電晶體電性分離的溝槽分離絕緣膜之步驟；前述溝槽分離絕緣膜之形成步驟包括：準備定義前述活性區域之第1光罩數據(mask data)以及定義前述本體接觸部的形成區域之第2光罩數據；以及準備定義前述溝槽分離氧化膜之非形成區域的第3光罩數據；準備前述第3光罩數據的步驟，包括：僅以既定尺

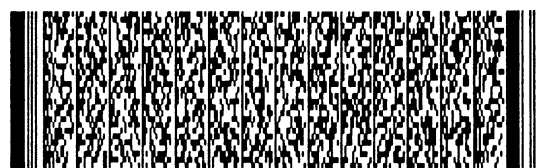
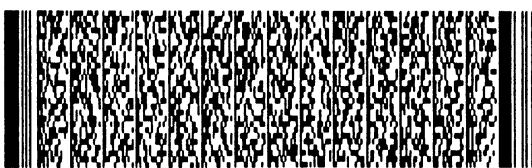


五、發明說明 (10)

寸縮小處理前述第1以及第2光罩數據，作為第1以及第2縮小處理數據；並輸入連接該第1以及第2縮小處理數據之間的連接部的數據之步驟。

本發明之申請專利範圍第17項所述之半導體裝置的製造方法，該半導體裝置具備配設於半導體基板、埋層氧化膜以及SOI層依次層積之SOI基板的前述SOI層上的MOS電晶體，與設置在前述SOI層的表面內，從外部可電位固定的本體接觸(body contact)部；前述MOS電晶體的閘極絕緣膜在閘極寬度方向具有不具氟素的第1部分與具有氟素的第2部分；其步驟包括：(a)在前述SOI層上，圖案化包含前述閘極絕緣膜之第2部分之具有氟素之絕緣膜的區域為開口部之光阻；(b)從前述開口部將氟素離子離子植入於前述SOI層內；以及(c)除去前述光阻後，氧化前述SOI層上。

本發明之申請專利範圍第18項所述之半導體裝置的製造方法，該半導體裝置具備配設於半導體基板、埋層氧化膜以及SOI層依次層積之SOI基板的前述SOI層上的MOS電晶體，與設置在前述SOI層的表面內，從外部可電位固定的本體接觸(body contact)部；前述MOS電晶體的閘極絕緣膜在閘極寬度方向具有第1厚度的第1部分與具有第2厚度的第2部分，前述第2厚度比前述第1厚度厚；其步驟包括：(a)在前述SOI層上，圖案化包含前述閘極絕緣膜之第1部分而形成前述第1厚度之絕緣膜之形成區域為開口部之光阻；(b)從前述開口部將氟素離子離子植入於前述



五、發明說明 (11)

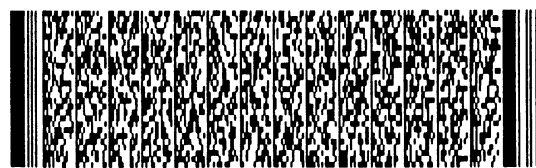
SOI層內；以及(c)除去前述光阻後，以形成前述第2厚度之絕緣膜的條件氧化前述SOI層。

本發明之申請專利範圍第19項所述之半導體裝置，在半導體基板、埋層絕緣膜以及SOI層依序積層之SOI基板的前述SOI層上配設的MOS電晶體；設置在前述SOI層之表面內，從外部可電位固定的本體接觸部；前述MOS電晶體的閘極電極的平面視形狀，具有閘極寬度方向的至少一方的端部橫跨閘極長度方向而構成閘極接觸墊的形狀；前述本體接觸部是設置在前述閘極接觸墊之閘極寬度方向的端部外方的前述SOI層的表面內，通過前述SOI層而電性連接於前述閘極電極下部的通道形成區域；前述MOS電晶體的閘極絕緣膜在閘極寬度方向具有第1厚度的第1部分、第2厚度的第2部分；前述第2厚度比前述第1厚度厚；前述閘極絕緣膜的前述第2部分至少配設在前述閘極接觸墊的下部。

本發明之申請專利範圍第20項所述之半導體裝置，其中前述第2厚度之絕緣膜包含前述閘極絕緣膜之前述第2部分，而配設在前述閘極接觸墊之下部以及其周圍。

本發明之申請專利範圍第21項所述之半導體裝置，前述第2厚度之絕緣膜，是配設在前述本體接觸部與前述通道形成區域之連接部到前述SOI層之上部。

本發明之申請專利範圍第22項所述之半導體裝置，前述本體接觸部與前述通道形成區域之連接部的前述SOI層的閘極長度方向的長度，比前述閘極電極的閘極長度，與



五、發明說明 (12)

配設在前述閘極電極之側面之側壁絕緣膜之寬度的2倍的長度的合要短。

本發明之申請專利範圍第23項所述之半導體裝置，成為前述本體接觸部與前述通道形成區域的连接部之前述SOI層之閘極長度方向的長度比前述閘極本體接觸墊的閘極長度方向的長度要短。

本發明之申請專利範圍第24項所述之半導體裝置，前述本體接觸部，是在前述MOS電晶體的源極區域的閘極寬度方向的端緣部外側的前述SOI層的表面內，鄰接前述源極區域而以帶狀設置；包含前述閘極絕緣膜之前述第2部分，前述第2厚度的絕緣膜，在前述MOS電晶體之閘極電極之閘極寬度方向的2端部之中，配設在設有帶狀之前述本體接觸部之側。

【實施方式】

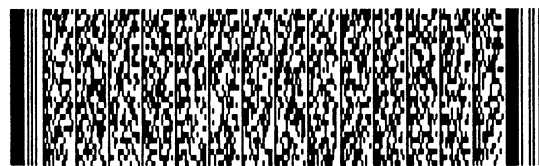
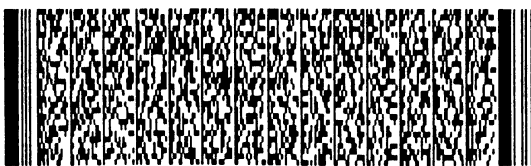
實施例1

< A-1、裝置構造 >

第1圖係顯示本發明實施例1之具有T型閘極之MOS電晶體Q1的平面佈局。

如第1圖所示MOS電晶體Q1，閘極寬度方向之一方的一端部在閘極長度方向增大變寬，具有平面視形狀成為T字形之閘極電極12。

閘極電極12的T字之頭部稱為閘極接觸墊GP，是對閘極之電性接觸部。閘極接觸墊GP的前端外方，配設本體接觸部BD。再者，本體接觸部BD的SOI層3的表面內，形成有



五、發明說明 (13)

與源極・汲極區域相反導電型的雜質區域。

又，包含源極・汲極區域SDR之活性區域AR與本體接觸部BD連接，閘極接觸墊GP則配設在與源極・汲極區域SDR與本體接觸部BD連結之活性區域AR之上。

再者，在第1圖，閘極電極12之中，多流通電流之區域顯示為R1、相當於閘極接觸墊GP之區域顯示為R2。

第2圖係顯示在第1圖中B-B線之箭頭方向剖面的構造。如第2圖所示，在以矽基板1、埋層氧化膜2以及SOI層3構成之SOI基板上配設閘極電極12，閘極電極12之下的SOI層3，在MOS電晶體Q1的導電型為N型的場合，含有較低濃度（ P^- ）的P型雜質，另一方面，本體接觸部BD則含有較高濃度（ P^+ ）的P型雜質。再者，在MOS電晶體Q1的導電型為P型的場合，閘極電極12之下的SOI層3含有較低濃度（ N^- ）的N型雜質，另一方面，本體接觸部BD則含有較高濃度（ N^+ ）的N型雜質。

閘極電極12之閘極接觸墊GP以外的部分與SOI層3之間，配設厚度1～5nm的閘極絕緣膜11，閘極接觸墊GP與SOI層3之間，則配設厚度5～15nm之閘極絕緣膜110。再者，閘極絕緣膜11與閘極絕緣膜110是連續的。

用以形成閘極絕緣膜110之光罩數據在第1圖示為RX1，但根據光罩數據RX1，閘極絕緣膜110不僅在閘極接觸墊GP的下部，亦到達本體接觸部BD上以及其周圍。

光罩數據RX1，平面視為矩形，其一邊與閘極接觸墊GP的源極・汲極區域側的一邊並不完全重疊，在本體接觸



五、發明說明 (14)

部BD側則僅移位長度 α 而配設。這是考慮實際光罩的對位時的移位。

<A-2、製造方法>

以下以第3~7圖說明MOS電晶體Q1的製造方法。

首先，如第3圖所示準備矽基板1、埋層氧化膜2以及SOI層3構成之SOI基板，並形成貫通SOI基板的SOI層3而到達埋層氧化膜2之完全溝槽分離氧化膜FT，之後，定義活性區域以及本體區域部的區域。

接著，在第4圖所示之步驟，在SOI層3上全面形成厚度5~15nm的閘極絕緣膜110。

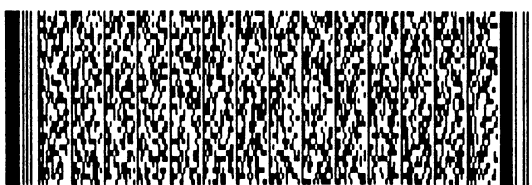
接著，在第5圖所示之步驟，根據光罩數據RX1圖案化光罩RM1，定義殘留閘極絕緣膜110之區域。之後，以濕蝕刻除去未以光罩RM1覆蓋之閘極絕緣膜110。

接著，除去光罩RM1後，在第6圖所示之步驟，在露出之SOI層3上以熱氧化形成厚度1~5nm的閘極絕緣膜11。

再者，以下以熱氧化形成之氧化膜，亦可藉由CVD方法形成。又，熱氧化在使用氧化爐方法以外亦有快速熱氧化(RTO)等的方法。包含該等氧化膜形成製程和變形例，亦可單稱為氧化。

接著，在第7圖所示之步驟，在閘極絕緣膜11以及110上圖案化閘極電極12。再者，閘極電極12之側面亦可形成側壁絕緣膜13。

之後，進行源極・汲極區域形成之雜質植入，和本體接觸部BD之形成的雜質植入以完成MOS電晶體Q1。



五、發明說明 (15)

<A-3、作用效果>

如以上說明，實施例1之MOS電晶體Q1，閘極寬度方向構成厚度不同的閘極絕緣膜，橫跨SOI層3上之大面積而配設之閘極接觸墊GP之下部的閘極絕緣膜110的厚度增厚，多流通電流的區域R1的閘極絕緣膜11的厚度變薄，而可本體固定，並能降低閘極-汲極之間的寄生電容，可得到能夠以低電力消耗和以高速度穩定動作的MOS電晶體。

又，SOI層3的厚度為10~100nm，稱為薄膜SOI層之厚度，由於是以完全溝槽分離氧化膜FT定義活性區域AR以及本體區域部BD，因此不會發生溝槽深度的變化導致不良。

如此，在以PTI構造本體固定困難的薄膜SOI層，以厚膜閘極絕緣膜可有效本體固定。再者，閘極絕緣膜與溝槽分離氧化膜是相同材質，但配設圖案是完全不同的。例如，溝槽分離氧化膜不是形成在本體接觸部BD上，厚膜閘極絕緣膜亦可延伸到本體接觸部BD上。

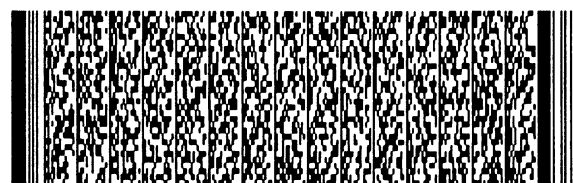
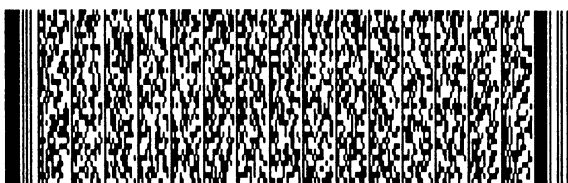
又，由於閘極絕緣膜11以及110是以熱氧化形成，膜厚的控制性良好少變動，因此可促進形成閘極絕緣膜11以及110之SOI層3的薄膜化。

再者，在上述實施例1，係顯示T型閘極，但亦可為閘極接觸墊配設在閘極電極之寬度方向之兩端的H型閘極，該2的閘極接觸墊之下部的閘極絕緣膜的厚度增厚。

實施例2

<B-1、裝置構造>

第8~11圖係顯示本發明之實施例2源極帶 (source



五、發明說明 (16)

tie) 構造之MOS電晶體Q2~Q5的平面構造。

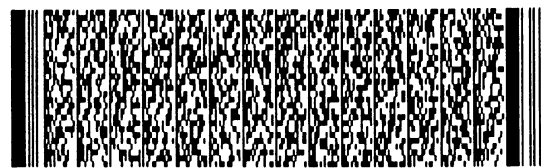
源極帶構造，是在源極區域SR的一部配設帶狀的本體接觸部BD，本體接觸部BD的一端是連接於閘極電極12之下的通道區域的構造，第8圖中，在N型的MOS電晶體Q2，沿著設置閘極電極12的閘極接觸墊GP側，與相對側之源極區域的端緣部外側配設本體區域部BD，本體接觸部BD的端部是連接於閘極電極12之下的通道區域。再者，本體接觸部BD的導電型為P型。

第9圖，在P型的MOS電晶體Q3，沿著閘極電極12的閘極接觸墊GP側，與相對側之源極區域的端緣部外側配設本體區域部BD，本體接觸部BD的端部是連接閘極電極12之下的通道區域。再者，本體接觸部BD的導電型為N型。

在MOS電晶體Q2以及Q3，閘極電極12之多流通電流之區域的閘極絕緣膜的厚度是薄薄形成，本體接觸部BD與通道區域的連接部之上部設置閘極絕緣膜，用以形成該厚的閘極絕緣膜的光罩數據示於第8圖以及第9圖中RX2。光罩數據RX2考慮光罩形成時的移位而從源極區域的端緣部於閘極接觸墊GP之反對側上移位長度 α 而配設。

又，與本體接觸部BD接觸之通道區域，僅延伸到閘極電極12之閘極長度之中央部分附近，這是以防止汲極區域DR與源極區域SR的電性短路。在第8圖以及第9圖，通道區域係以斜線表示之。

又，在第10圖，N型的MOS電晶體Q4，是沿著設置閘極電極12之閘極接觸墊GP側的源極區域SR的端緣部外側配設



五、發明說明 (17)

本體接觸部BD，本體接觸部BD的端部則連接閘極電極12之下的通道區域。再者，本體接觸部BD的導電型為P型。

在第11圖，P型的MOS電晶體Q5，是沿著設置閘極電極12之閘極接觸墊GP側的源極區域SR的端緣部外側配設本體接觸部BD，本體接觸部BD的端部則連接閘極電極12之下的通道區域。再者，本體接觸部BD的導電型為N型。

再者，在MOS電晶體Q4以及Q5，閘極電極12之電流多流通區域的閘極絕緣膜的厚度是以薄薄形成，本體接觸部BD與通道區域的連接部的上部則設置厚的閘極絕緣膜，用以形成該厚閘極絕緣膜的光罩數據在第10圖以及第11圖係表示為RX3。光罩數據RX3，考慮光罩形成時的移位而從源極區域的端緣部於閘極接觸墊GP之反對側上移位長度 α 而配設。

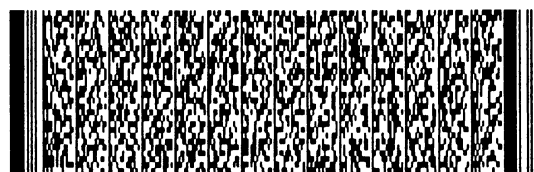
<B-2、作用效果>

如以上說明，實施例2之MOS電晶體Q2～Q5，在源極帶構造，本體接觸部BD與通道區域的連接部的上部設置厚閘極絕緣膜，閘極電極的多流通電流之區域的閘極絕緣膜的厚度薄，是可本體固定的構造，能降低閘極-汲極之間的寄生電容，可得到低電力消耗且能以高速度穩定動作的MOS電晶體。

實施例3

<C-1、裝置構造>

第12圖係顯示本發明之實施例3MOS電晶體Q11、Q12以及Q13的剖面構造。



五、發明說明 (18)

如第12圖所示，MOS電晶體Q11～Q13，是配設在矽基板1、埋層氧化膜2以及SOI層3構成之1個SOI基板上。

在第12圖，MOS電晶體Q11，具有在以完全溝槽分離氧化膜FT定義之SOI層3上，經由厚度較薄的（例如厚度1～5nm）閘極絕緣膜111而配設之閘極電極12。

又，MOS電晶體Q13，具有在以完全溝槽分離氧化膜FT定義之SOI層3上，經由厚度較厚的（例如厚度3～15nm）閘極絕緣膜112而配設之閘極電極12。

MOS電晶體Q12，在以完全溝槽分離氧化膜FT定義之SOI層3上，在閘極寬度方向，厚度較薄的閘極絕緣膜111與厚度較厚的閘極絕緣膜112是連續的構造，且該閘極絕緣膜111以及112之間配設有閘極電極12，設置閘極絕緣膜112之側的閘極電極12的端部外方的SOI層3的表面內設有本體接觸部BD。

MOS電晶體Q11，是例如閘極電壓0.5～2.0V的低電壓電晶體，MOS電晶體Q13是例如閘極電壓1.5～5.0V的高電壓電晶體，MOS電晶體Q12是在實施例1以及2中說明之可本體固定之電晶體。

如此，閘極絕緣膜之厚度不同之2種MOS電晶體形成在共同的半導體基板上的製程，稱為雙氧化層製程（dual oxide process）。

藉由雙氧化層製程，在共同的SOI基板上形成閘極絕緣膜之厚度相異之低電壓電晶體以及高電壓電晶體亦可在習知被實用化，該等閘極絕緣膜之形成步驟，若兼用MOS



五、發明說明 (19)

電晶體Q12的閘極絕緣膜111以及112的形成步驟，則無須追加新的製造步驟能形成MOS電晶體Q12，並能抑制製造成本的增加。

再者，可本體固定的MOS電晶體Q12適合使用於要求高速且穩定動作之電路部。

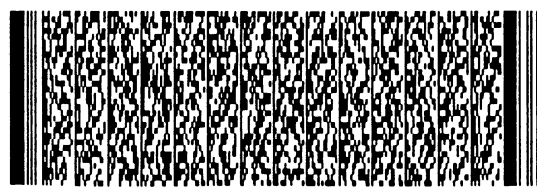
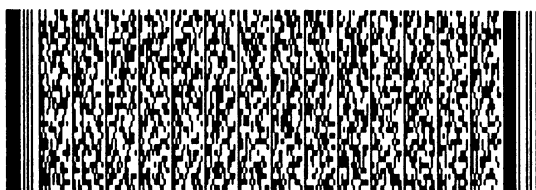
即，如MOS電晶體Q11和Q13之浮動電晶體(floating transistor)，有依存延遲時間的頻率數之浮動本體(floating body)效果的問題，必須設定較寬的計時限度(timing margin)，因此在計時(timing)重要的關鍵路徑(critical path)是不適用的，關鍵路徑適合使用沒有浮動本體效果之問題的MOS電晶體Q12等的本體固定電晶體。又，動態電路等亦適用本體固定電晶體。

然而，由於設置本體接觸部BD，必須有較廣的配設區域，在不要求高速且穩定動作的電路部，使用MOS電晶體Q11和Q13之浮動電晶體，可促進半導體積體電路的小型化。

低電壓電晶體以及高電壓電晶體的一般構造以及製造方法容後說明。

<c-2、作用效果>

如以上說明之MOS電晶體Q11~Q13，可在共同的SOI基板上，構成閘極絕緣膜之厚度相異之2種MOS電晶體，與在閘極寬度方向，厚度較薄的閘極絕緣膜與厚度較厚的閘極絕緣膜連續的可本體固定的電晶體，無須追加新的製造步驟而能得到3種MOS電晶體。



五、發明說明 (20)

實施例4

<D-1、製造方法>

以第3~7圖說明之MOS電晶體Q1的製造方法，必須有用以形成厚閘極絕緣膜110之步驟，若採用以下說明之方法，可去除形成厚閘極絕緣膜的形成步驟。

以下，以第13~19圖說明實施例4之製造方法。

首先，如第13圖所示準備SOI基板，在SOI基板的SOI層3上形成氧化膜4。該氧化膜也就是所謂的底層氧化膜（墊氧化膜），其厚度符合後續形成之厚閘極絕緣膜的厚度。

接著，以CVD方法在氧化膜4上形成多晶矽膜21，在多晶矽膜21上以CVD方法形成氮化膜22。再者，氧化膜4、多晶矽膜21以及氮化膜22是在分離氧化磨形成的輔助機能因此亦稱為補助膜。亦可不設有多晶矽膜21。

之後，以光阻罩幕RM2覆蓋對應MOS電晶體之形成區域的氮化膜22上的區域。在第14圖所示之步驟，以光阻罩幕RM2作為蝕刻罩幕，以乾蝕刻或濕蝕刻選擇性移除氮化膜22以及多晶矽膜21。

在以圖案化之氮化膜22為蝕刻罩幕，除去不被氮化膜22覆蓋之氧化膜4以及SOI層3，僅於MOS電晶體的形成區域殘留氮化膜22、多晶矽膜21、氧化膜4以及SOI層3的積層膜99。

之後，以熱氧化在SOI層3以及多晶矽層21之露出側面上形成側壁氧化膜41。



五、發明說明 (21)

接著，在第15圖所示之步驟，在基板全面以高密度電漿(HDP-CVD)方法形成氧化膜(SiO_2)HX而覆蓋積層膜99後，以CMP處理平坦化氧化膜HX，使氮化膜22之最上面露出。

HDP-CVD方法是使用比一般電漿CVD高1~2倍密度的電漿，濺鍍與沈積的同時進行堆積氧化膜，因此可得到膜質良好的氧化膜。

接著，在第16圖所示之步驟，以濕蝕刻減低氧化膜HX的厚度，以熱磷酸除去氧化膜22，再除去多晶矽膜21，得到在以完全溝槽分離氧化膜FT定義之SOI層3上殘留氧化膜4的構造。

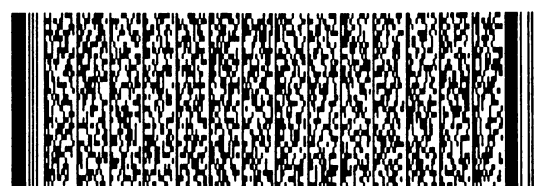
多晶矽膜21的除去，亦可使用鹼液、例如KOH(氫氧化鉀)溶液或氫與過氧化清的混合溶液之濕蝕刻，亦可使用與氧化膜有選擇性的乾蝕刻。

之後，圖案化光阻罩幕RM3以覆蓋氧化膜4上的既定區域。以該光阻罩幕RM3覆蓋的區域成為厚閘極絕緣膜的區域。

接著，在第17圖所示之步驟，以濕蝕刻除去未以光阻罩幕RM3覆蓋區域的氧化膜4。

接著，在第18圖所示之步驟以閘極氧化形成薄閘極絕緣膜11後，圖案化閘極電極12。此時，閘極電極12之閘極寬度方向的一端接合氧化膜而形成閘極電極12。

以上述步驟，得到在閘極寬度方向，厚度較薄之閘極絕緣膜11與厚度較厚之閘極絕緣膜4為連續的構造，並得



五、發明說明 (22)

到經由該閘極絕緣膜11以及4之間而配設之閘極電極12。

又，在設置閘極絕緣膜4之側的閘極電極12之端部的
外方的SOI層3的表面內設置有本體接觸部BD。

第18圖顯示在觸部BD上形成薄閘極絕緣膜11的構造，
但如第19圖所示，亦可在接觸部BD上形成閘極絕緣膜4。
藉由改變如第16圖所示之光阻罩幕RM3的圖案，可任意設
定閘極絕緣膜4殘留的區域。

<D-2、作用效果>

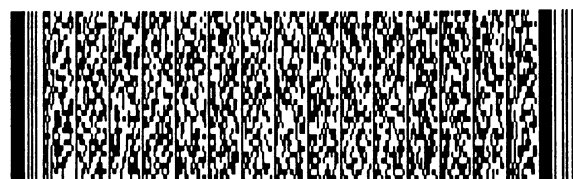
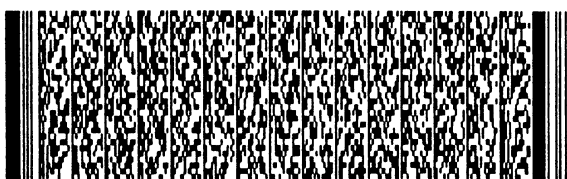
根據以上說明之實施例4的製造方法，可以簡略化之
製造步驟形成在共同的SOI基板上，構成閘極絕緣膜之厚
度相異之2種MOS電晶體，與在閘極寬度方向，厚度較薄的
閘極絕緣膜與厚度較厚的閘極絕緣膜連續的可本體固定的
2種MOS電晶體的4種MOS電晶體，並能抑制製造成本的增
加。

以下，以依序顯示製造步驟的第20～26圖說明該方
法。

首先，經過以第13～16圖說明的步驟，得到如第20圖
所示，在以完全溝槽分離氧化膜FT定義之SOI層3的複數個
區域上形成氧化膜4的構造。氧化膜4的厚度為7～30nm。

SOI層3的複數個區域區分為區域LV1、LV2、HV1以及
HV2。區域LV1以及LV2，是形成例如閘極電壓0.5～2.0之
低電壓電晶體的區域，該等為形成於低電壓區域LVR。

又，區域HV1以及HV2，是形成例如閘極電壓1.5～5.0
之高電壓電晶體的區域，該等為形成於高電壓區域HVR。



五、發明說明 (23)

接著，如第21圖所示之步驟，圖案化光阻罩幕RM4而覆蓋區域LV2以及HV2的氧化膜4上之既定區域。以該光阻罩幕RM4覆蓋之區域為厚閘極絕緣膜之區域。

之後，使用氟酸(HF)等以濕蝕刻除去未被光阻罩幕RM4覆蓋之區域的氧化膜4。

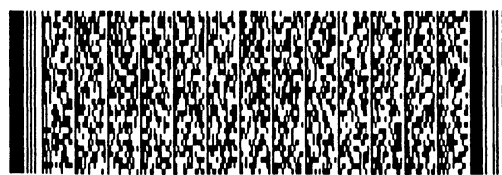
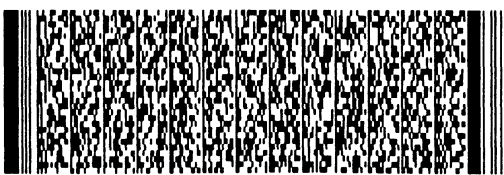
接著，除去光阻罩幕RM4後，在第22圖所示之步驟，在露出之SOI層3上以閘極氧化形成閘極絕緣膜11B。閘極絕緣膜11B的厚度為3~10nm。

接著，在第23圖所示之步驟，圖案化光阻罩幕RM5以覆蓋高電壓區域HVR的全區域，與區域LV2之氧化膜4上的既定區域。在區域LV2之氧化膜4上亦形成光阻罩幕RM4，僅殘留以光阻罩幕RM5覆蓋之部分的氧化膜，在第21圖所示之步驟，殘留比最終必須成為氧化膜4之區域要寬的區域，在第23圖所示之步驟則減小到最終必須為氧化膜4之區域，藉由光阻罩幕RM5的疊置移位，在區域LV2上可防止最終必須之氧化膜4的面積變小。

接著，在第24圖所示之步驟，藉由使用氟酸(HF)之濕蝕刻除去未被光阻罩幕RM5覆蓋之區域的氧化膜4。

接著，除去光阻罩幕RM5後，在第25圖所示之步驟，在露出之SOI層3上以閘極氧化形成閘極絕緣膜11A。閘極絕緣膜11A的厚度為1~5nm。

接著，在第26圖所示之步驟，在區域LV1、LV2、HV1以及HV2分別圖案化閘極電極12。此時，在區域LV2以及HV2，閘極電極12之閘極寬度方向的一端是接合於氧化膜4



五、發明說明 (24)

上而形成閘極電極12。

如以上之步驟，可以簡略化之製造步驟得到在區域LV1以及HV1，具有閘極絕緣膜11A以及11B之浮動電晶體QL1以及QH1，在區域LV2，則得到於閘極寬度方向，最薄的閘極絕緣膜11A與厚度最後之閘極絕緣膜4是連續的，可本體固定的電晶體QL2，在區域HV2，則得到在閘極寬度方向中間厚度的閘極絕緣膜11B與厚度最後之閘極絕緣膜4連續的可本體固定的電晶體QH2，計4種MOS電晶體。

設置電晶體QL2以及QH2的閘極絕緣膜4側之閘極電極12之端部的外方的SOI層3的表面內設置本體接觸部BD。

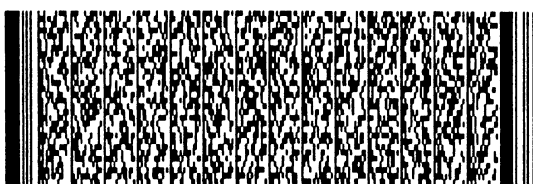
例如氧化膜4的厚度為7.2nm的場合，在第22圖所示之步驟，以閘極氧化形成厚度3.5nm之閘極絕緣膜11B時，以該閘極氧化增加氧化膜4之厚度為0.3nm，氧化膜4的厚度沒有很大變化。

實施例5

以依序顯示製造步驟之第27～33圖說明實施例5之製造方法。

首先，如第27圖所示準備SOI基板，在SOI基板的SOI層3上形成氧化膜4。該氧化膜4為所謂的底層氧化膜（墊氧化膜）。

接著，以CVD方法形成多晶矽膜21於氧化膜4上，在多晶矽膜21上以CVD方法形成氮化膜22。再者，氧化膜4、多晶矽膜21以及氮化膜22是在分離氧化磨形成的輔助機能因此亦稱為補助膜。亦可不設有多晶矽膜21。



五、發明說明 (25)

之後，以光阻罩幕RM6覆蓋對應MOS電晶體之活性區域AR以及本體接觸部之形成區域BR之氮化膜22上的區域。

此時，圖案化光阻罩幕RM6使後續形成之厚閘極絕緣膜之區域XR成為開口部OP。

以光阻罩幕RM6為蝕刻罩幕，以乾蝕刻或濕蝕刻選擇性除去氮化膜22以及多晶矽膜21。

在以圖案化之氮化膜22為蝕刻罩幕，除去未被氮化膜22覆蓋之氧化膜4以及SOI層3，僅殘留氮化膜22、多晶矽膜21以及氧化膜4之積層膜991以及992於MOS電晶體的活性區域AR與本體接觸部的形成區域BR。區域XR為下部OP1，其底部露出SOI層3。

在積層膜991之寬度W，是對應後續形成之MOS電晶體之閘極寬度。

接著，除去光阻罩幕RM6後，在第28圖所示之步驟，進行熱氧化在包含開口部OP1之底面的SOI層3的表面形成厚度10~40nm的氧化膜5。此時，在多晶矽層21之露出的側壁上亦形成氧化膜41（側壁氧化）。

接著，在第29圖所示之步驟，形成光阻罩幕RM7僅覆蓋MOS電晶體的活性區域AR、本體接觸部之形成區域BR以及厚閘極絕緣膜之形成區域XR。該光阻罩幕RM7具有定義後續形成之完全溝槽分離氧化膜之形成區域的開口圖案，在未被光阻罩幕RM7覆蓋的區域形成完全溝槽分離氧化膜。

以光阻罩幕RM7為蝕刻罩幕，除去未被光阻罩幕RM7覆



五、發明說明 (26)

蓋之區域的氧化膜5以及SOI層3，形成氮化膜22、多晶矽膜21、氧化膜4以及SOI層3的積層膜993。

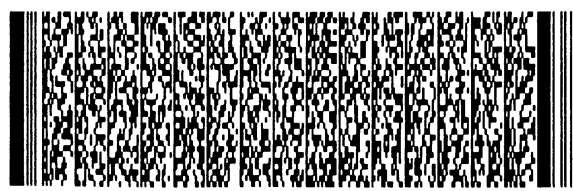
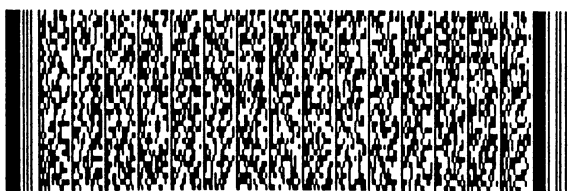
在第29圖，光阻罩幕RM7沒有完全覆蓋於氮化膜22上，這是考慮在實際製程光阻罩幕RM7引起疊置移位的原因。如此，即使引起光阻罩幕RM7疊置移位，由於氮化膜22存在作為蝕刻罩幕的功能，MOS電晶體之閘極寬度是以區域BR的氮化膜22的寬度而決定，不會受到光阻罩幕RM7疊置移位的影響。

接著，除去光阻罩幕RM7後，在第30圖所示之步驟，進行熱氧化，在SOI層3之露出的側壁上形成厚度3~30nm的氧化膜42（側壁氧化）。之後，在基板全面以高密度電漿（HDP-CVD）方法形成氧化膜（ SiO_2 ）HX而覆蓋積層膜993後，以CMP處理平坦化氧化膜HX，使氮化膜22之最上面露出。藉此，填充氧化膜HX於後續形成之完全溝槽分離氧化膜之區域IR與區域XR之開口部OP1內。

接著，在第31圖所示之步驟，以濕蝕刻減低氧化膜HX的厚度，並以熱磷酸除去氮化膜22，再除去多晶矽膜21，得到在以完全溝槽分離氧化膜FT定義之SOI層3上殘留氧化膜4以及5的構造。

多晶矽膜21的除去，亦可使用鹼液、例如KOH（氫氧化鉀）溶液或氮與過氧化氫的混合溶液之濕蝕刻，亦可使用與氧化膜有選擇性的乾蝕刻。

之後，在第32圖所示之步驟，除去底層氧化膜4後，在MOS電晶體的活性區域AR以及本體接觸部的形成區域BR



五、發明說明 (27)

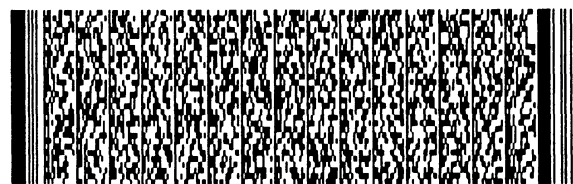
上形成氧化膜4A。該氧化膜4A是閘極絕緣膜，其厚度例如較佳為擇自1~10nm的範圍。在活性區域AR的氧化膜4A上圖案化閘極電極12。此時，閘極電極12被圖案化，使閘極寬度方向之一端部接合在氧化膜5上，另一端部則接合於完全溝槽分離氧化膜FT上，形成於區域BR的氧化膜4A上的部分，實質功能為閘極。再者，氧化膜5亦可稱為閘極絕緣膜，而構成氧化膜4A與5為連續之閘極絕緣膜。之後，以源極・汲極雜質的植入形成源極・汲極區域，又，以雜質植入於設置閘極絕緣膜5側之閘極電極12的端部的下方的SOI層3的表面內而形成本體接觸區BD，得到MOS電晶體Q21。

再者，如以第30圖說明之，係顯示在SOI層3之側壁形成氧化膜42之範例，第33圖係顯示第30圖之區域D的詳細構造。

如第33圖所示，在SOI層3之側壁形成氧化膜42時，形成在SOI層3的底面與埋層氧化膜2之間浸入之氧化膜421。氧化膜421形成時，對SOI層3加上機械應力，導致漏電。

如第29圖所示之步驟後，除去光阻罩幕RM7後，不進行熱氧化，而在基板全面以HDP-CVD方法形成氧化膜 $(\text{SiO}_2)_\text{HX}$ ，亦可如第34圖所示覆蓋積層膜993而得到SOI層3之側壁不被氧化的構造。

然而，由於以如第29圖所示之用以形成完全溝槽分離氧化膜的蝕刻，在SOI層3之側壁受到損傷的場合為漏電的原因，在該場合較佳是進行側壁氧化而防止漏電。



五、發明說明 (28)

因此，最佳是考慮起因於形成在SOI層3之側壁的氧化膜42的漏電，與SOI層3之側壁的蝕刻損傷造成漏電的抵銷(trade off)關係，而決定是否進行SOI層3的側壁氧化。

<E-1-1、變形例1>

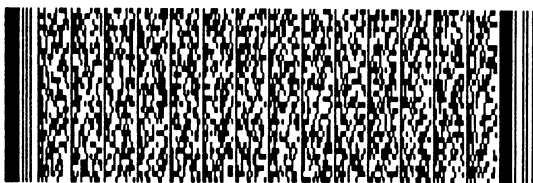
亦可採用如第35～37圖所示之步驟取代第28級第29圖所示之步驟。

即，實施以第27圖說明之步驟後，除去光阻罩幕RM6，取而代之以第35圖所示般僅覆蓋MOS電晶體的活性區域AR、本體接觸部的形成區域BR以及厚閘極絕緣膜之形成區域XR而形成光阻罩幕RM8。

接著，在第36圖所示之步驟，以光阻罩幕RM8為蝕刻罩幕，除去未被光阻罩幕RM8覆蓋之區域的氧化膜以及SOI層3，形成氮化膜22、多晶矽膜21、氧化膜4以及SOI層3的積層膜993。

接著，除去光阻罩幕RM8後，在第37圖所示之步驟，進行熱氧化而形成厚度10～40nm之氧化膜5於SOI層3的表面，同時在多晶矽層21以及SOI層3之露出之側壁上形成氧化膜41以及42（側壁氧化）。

再者，採用上述方法時，形成氧化膜5的同時亦可進行SOI層3的側壁氧化，因此有簡略化製造步驟的優點，但另一方面，由於無法選擇不進行SOI層3的側壁氧化，採用上述方法，較佳是考慮與上述漏電的抵銷(trade off)關係而決定。



五、發明說明 (29)

<E-1-1、變形例2>

亦可採用以下說明之第38~40圖所示之步驟取代第27~29圖。

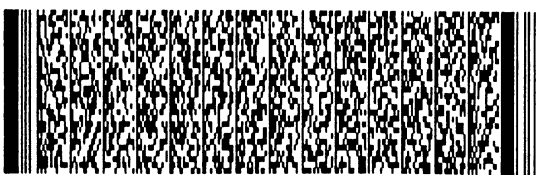
即，如第38圖所示，在SOI基板上形成氮化膜22、多晶矽膜21以及氧化膜4的積層膜，以光阻罩幕RM6覆蓋對應MSO電晶體的形成區域之氮化膜22上的區域。

此時，圖案化光阻罩幕RM6使後續形成之厚閘極絕緣膜的區域XR為開口部OP。

以光阻罩幕RM6為蝕刻罩幕，以乾蝕刻或濕蝕刻選擇性移除氮化膜22以及多晶矽膜21。

再以圖案化之氮化膜22為蝕刻罩幕，除去未被氮化膜22覆蓋之氧化膜4以及SOI層3，僅在MOS電晶體的活性區域AR與本體接觸部之形成區域BR殘留氮化膜22、多晶矽膜21以及氧化膜4的積層膜991以及992。區域XR成為下部OP1，其底部露出SOI層3。此時，以過度蝕刻若干除去SOI層3。該除去厚度最大為50nm。又，由於一個一個依次蝕刻氮化膜22、多晶矽膜21以及氧化膜4，PTI的形成不同，SOI層3的過度蝕刻量難以產生變化。

接著，除去光阻罩幕RM6後，在第39圖所示之步驟，形成光阻罩幕RM8僅覆蓋MOS電晶體的活性區域AR、本體接觸部的形成區域BR以及厚閘極絕緣膜的形成區域XR，以光阻罩幕RM8為蝕刻罩幕，除去未被光阻罩幕RM8覆蓋之區域的氧化膜4以及SOI層3，形成氮化膜22、多晶矽膜21、氧化膜4以及SOI層3的積層膜993。



五、發明說明 (30)

接著，除去光阻罩幕RM8後，在第40圖所示之步驟，進行熱氧化包含開口部OP1的底面而在SOI層而在SOI層3形成厚度10~40nm的氧化膜5，同時在多晶矽層21以及SOI層3的露出的側壁上形成氧化膜41以及42（側壁氧化）。

氧化膜由於形成在SOI層3之過度蝕刻的部分，其厚度容易增厚。

亦可在實施以第38圖所示之步驟後，氧化開口部OP1內而形成氧化膜5。

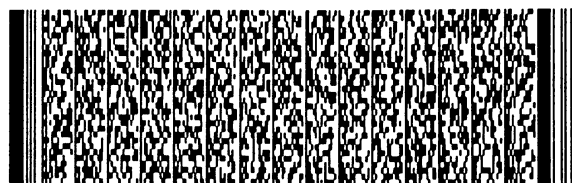
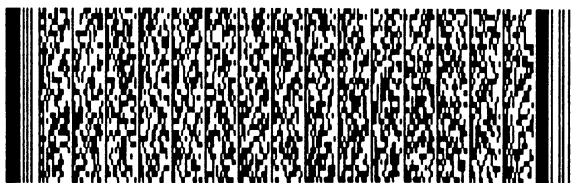
又，在第27圖以及第38圖所示之步驟，係以乾蝕刻或濕蝕刻選擇性移除氮化膜22以及多晶矽膜21，再以圖案化之氮化膜22為蝕刻罩幕，除去氧化膜4以及SOI層3說明，但除去氧化膜4以及SOI層3時，使用化學性乾蝕刻（CDE）之蝕刻損傷小的蝕刻，在SOI層3的表面不會有蝕刻損傷，進行過度蝕刻的場合，過度蝕刻量的控制性亦良好。

CDE是一種在特定的氣體雰囲気中，或壓力控制的真空中進行的乾蝕刻，使用化學活性基(radical)作為蝕刻種，且使用形成活性基之部位與進行蝕刻之部位為分離之裝置而進行蝕刻。

蝕刻種例如有報告（Press Journal Co., Ltd. 發行，月刊Semiconductor World 1994. 1 P64~P67）使用之CF₄氣體與O₂氣體之混合氣體的電漿而得之氟素（F）基的範例。

<E-1-3、變形例3>

已可在SOI基板上形成氮化膜22、多晶矽膜21以及氧



五、發明說明 (31)

化膜4的積層膜後，首先進行定義完全溝槽分離氧化膜之形成區域的蝕刻。

即，如第41圖所示，在形成於SOI基板上的氮化膜22、多晶矽膜21以及氧化膜4的積層膜上，形成具有定義完全溝槽分離氧化膜之形成區域的開口圖案的光阻罩幕RM9，並除去未被光阻罩幕RM9覆蓋之區域的氮化膜22、多晶矽膜21、氧化膜4以及SOI層3。

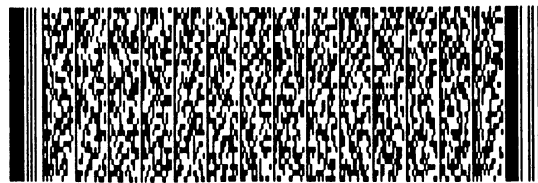
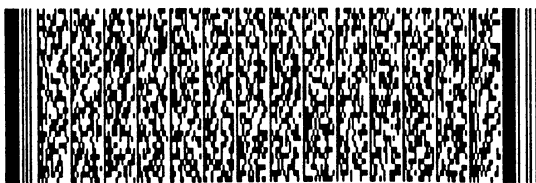
之後，在第42圖所示之步驟，在SOI基板全面形成僅有後續形成厚閘極絕緣膜之區域XR為開口部OP而圖案化之光阻罩幕RM10，以光阻罩幕RM10為蝕刻罩幕，除去氮化膜22、多晶矽膜21、氧化膜4而形成開口部OP1。

之後，氧化開口部OP1內而形成氧化膜5的步驟，是使用第37圖所說明之步驟，亦可採用第40圖說明之步驟。

<E-2、平面佈局>

以下以第43～46圖說明在第27～32圖說明之各步驟的平面佈局的一範例。

第43圖係顯示第27圖所示之步驟使用的光阻罩幕RM6的平面佈局，在對應MOS電晶體的活性區域AR以及本體接觸部的形成區域BR的區域上配設各個形狀相異的光阻，除此之外的區域則為開口部。配設光阻的區域，也就是所謂的場(field)區域。又在第43圖，定義包含活性區域（未圖示）之場區域的光阻數據顯示為FM1，定義包含本體接觸部的形成區域BR（未圖示）的場區域示為光阻數據FM2。在光阻數據FM1與FM2之間，使用第27圖說明，作為



五、發明說明 (32)

厚閘極絕緣膜的形成區域。

第44圖係顯示在第29圖所示之步驟使用之光阻罩幕RM7的平面佈局，配設有對應MOS電晶體的活性區域AR、後續形成之厚閘極絕緣膜的區域XR以及本體接觸部的形成區域BR之區域連續的光阻，以外的區域則為開口部。配設光阻的區域，與以光罩數據FM1以及FM2定義之以需線圍住的區域以外的區域，極為完全溝槽分離氧化膜的形成區域。在第44圖，係顯示定義完全溝槽分離氧化膜之非形成區域FTR的光罩數據為FTM。

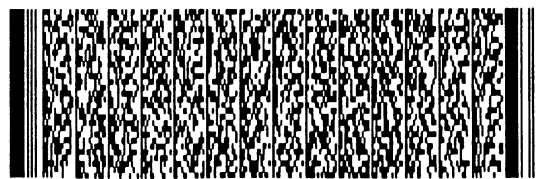
第45圖係顯示在第32圖所示之步驟中用以形成之閘極電極12的光阻罩幕RM11（未圖示於第32圖）的平面佈局，僅在形成閘極電極12之部分配設光阻。

第46圖顯示以上說明之光阻罩幕RM6、RM7以及RM11形成之MOS電晶體Q21的平面佈局。

在第46圖，係顯示具備含有源極・汲極區域的活性區域AR以及閘極電極12之MOS電晶體Q21，與設置在閘極電極12之閘極接觸墊GP側的閘極寬度方向外方的本體接觸部BD。

第47圖係顯示定義活性區域AR的源極・汲極雜質的植入區域以及本體接觸部BD的雜質植入區域之光罩數據SDM以及BM，在第46圖重疊的模式圖。

在第47圖，以光罩數據SDM以及BM所示之矩型區域成為光阻的開口部。閘極墊GP的先端較佳是以到達光罩數據BM的區域內而設定光罩數據BM。閘極墊GP的先端不到光罩



五、發明說明 (33)

數據BM的區域內時，源極・汲極雜質被導入於本體接觸部BD與活性區域AR之間的SOI層內，因此必須防止上述導入。

形成植入罩幕的場合，有以光阻的材質不同之2個形成方法。

即，有以CVD等設計應雜質植入之區域後，以該區域之外的區域為遮光部而製造負光罩，以上述曝光正型光阻而形成開口優先光罩的方法，與以CVD等設計應植入雜質的區域後，製成以該區域為光罩上的遮光部的正光阻，以上述負型光阻曝光而形成開口優先光罩的方法兩種。

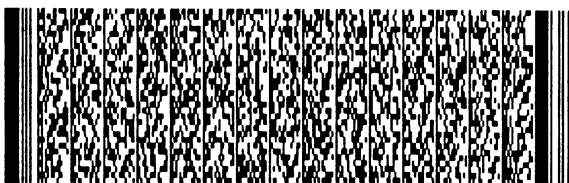
在第47圖，閘極電極12的閘極墊GP側的閘極寬度方向外方設置本體接觸部BD的構造，但亦可為閘極電極12反轉的平面佈局。該平面佈局示於第48圖。

在第48圖，係為設置本體接觸部BD於與閘極電極12的閘極墊GP的相對側的閘極寬度方向外方的佈局。

<E-3、作用效果>

根據以上說明之實施例5的製造方法，採用以補助膜形成完全溝槽分離氧化膜之方法的場合，在閘極寬度方向為閘極絕緣膜之厚度相異的構造，能在橫跨SOI層3上的廣面積而配設之閘極接觸墊GP的下部，形成厚閘極絕緣膜5，在電流多的區域的閘極絕緣膜15厚度較薄，為可本體固定的構造，並能降低閘極-汲極之間的寄生電容，能得到低電力消耗和以高速穩定動作的MOS電晶體。

又，在第28圖，顯示為積層膜991的寬度W，MOS電晶



五、發明說明 (34)

體的閘極寬度可以1次微影製板製程自對準而決定，能得到閘極寬度變動少的MOS電晶體。

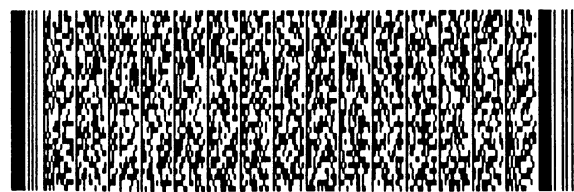
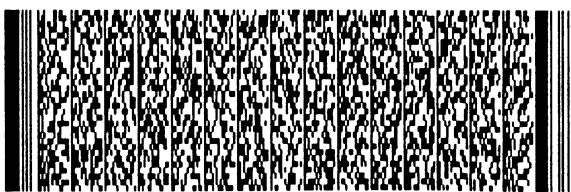
又，本體固定之MOS電晶體的平面佈局，亦可如第49圖所示之構造，由B.W. Min等發表（2001 IEEE International SOI Conference P71, 72），但該構造具有形成源極-汲極之間的漏電流路徑（leakage path）的可能性。

即，在第49圖，於活性區域101與本體接觸區域103之間配設有部分溝槽分離區域102，閘極電極104是延伸到部分溝槽分離區域102上的途中。因此，進行源極・汲極植入的場合，在閘極電極102的先端與本體接觸區域103之間的區域X（斜線區域）的溝槽分離區域102下部的SOI層亦被導入源極・汲極雜質，具有經由區域X在源極・汲極之間產生漏電流的可能性。

為了防止上述，區域X的SOI層的雜質（與源極・汲極雜質相反導電性）的濃度，必須為高而不被植入的源極・汲極雜質所補償。如此，源極・汲極雜質層或形成於其下部的空乏層難以到達埋層氧化膜2，而無法有SOI元件之特徵接合（junction）電容小的優點。又，源極・汲極雜質層和空乏層即使到達埋層氧化膜2，通道區域的雜質濃度高時，接合電容增大，亦沒有SOI元件的優點。

然而，若採用如第47、48圖所示之本實施例的平面佈局，就不會發生這樣的問題。

<E-4、平面佈局的變形例>



五、發明說明 (35)

如第47圖所示之平面佈局，完全溝槽分離氧化膜的非形成區域FTR的平面視形狀為T字形，對應T字的腳步之部分的閘極長度方向的長度，是設定比閘極電極12之閘極接觸墊GP的閘極長度方向的長度更長，如第50圖所示，對應T字的腳步之部分的閘極長度方向的長度亦可比閘極電極12之閘極接觸墊GP的閘極長度方向的長度短。

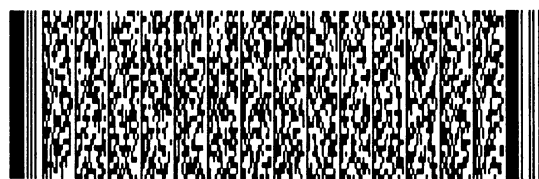
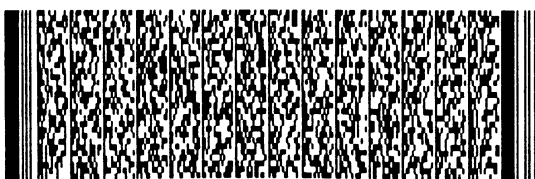
如此構造，本體接觸部BD與活性區域AR之間的連接部被閘極接觸墊GP覆蓋，植入源極・汲極雜質時，可防止被導入該連接部。

<E-5、光罩數據的半自動製作>

如第43～45圖所名，第46圖所示之MOS電晶體的平面佈局的製作，必須至少3個光阻罩幕RM6、RM7以及RM11，但採用以下方法，則可以簡便地得到形成光阻罩幕RM7之光罩數據FTM。

即，定義完全溝槽分離氧化膜的非形成區域FTR的光罩數據FTM，可使用定義活性區域AR的光罩數據FM1以及定義本體接觸部之形成區域BR的光罩數據FM2半自動製作。

第51圖，係顯示光罩數據FTM的半自動製作法，僅以 ε 尺寸縮小(undersize)處理光罩數據FM1以及FM2，可自動得到光罩數據FTM1以及FTM2（縮小處理數據），對其輸入光罩數據FTM1與FTM2之間的光罩數據FTM3（本體接觸區域與活性區域之間的連續部的數據），可得到定義完全溝槽分離氧化膜之非形成區域FTR的光罩數據FTM（換言之定義完全溝槽分離氧化膜之形成區域的光罩數據）。藉此，



五、發明說明 (36)

可簡便製得光罩數據FTM。

縮小處理，係將處理對象之數據等方向性以既定量縮小的處理，例如若為(L31 UN 0.1 μm)，當初的場數據(field data)(稱為L31)定義為矩形區域的場合，是指四邊分別向內側移動0.1 μm 。

<E-6、應用例>

以上說明之實施例5之製造方法的應用例，是形成閘極絕緣膜之厚度相異之兩種MOS電晶體的方法，第52～55圖依序顯示其製造步驟的剖面圖。

首先，經過以第27～31圖說明之步驟，如第52圖所示，在以完全溝槽分離氧化膜FT定義之SOI層3之2個區域R10以及R20上形成氧化膜5。氧化膜5的厚度為10～40nm。

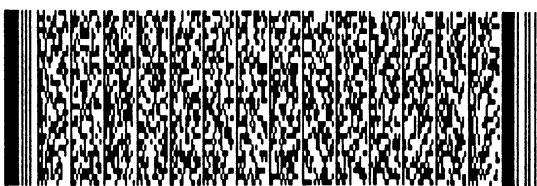
接著，在第53圖所示之步驟，對區域R10以及R20之露出的SOI層3進行閘極氧化，形成閘極絕緣膜11B。閘極絕緣膜11B的厚度為3～10nm。

接著，在第54圖所示之步驟，圖案化光阻罩幕RM21以覆蓋區域R20，以使用氟酸(HF)等的濕蝕刻除去未被光阻罩幕RM21覆蓋之區域R10的閘極絕緣膜11B。

接著，除去光阻罩幕RM21後，如第55圖所示之步驟，以閘極氧化在露出之SOI層3上形成閘極絕緣膜11A。閘極絕緣膜11A的厚度為1～5nm。

以下經過以第32圖說明之步驟，可得到閘極絕緣膜之厚度相異之2種MOS電晶體。

<E-7、改良例>



五、發明說明 (37)

定義活性區域與該活性區域之完全溝槽分離氧化膜之邊界稱為場邊界 (field edge)，在該場邊界上配設閘極電極的場合，會在場邊界部分因製造步驟形成凹陷，閘極電極陷入，產生所謂閘極捲曲 (gate winding) 的現象。

以下，以依序顯示製造步驟剖面圖之第56～58圖說明防止該閘極捲曲之製造方法。

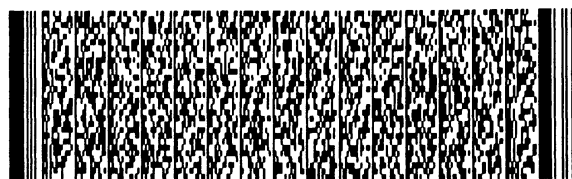
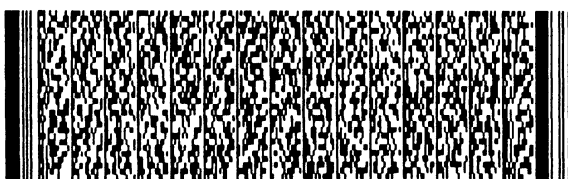
首先，經過以第27、28圖說明之步驟，在SOI層3的表面形成厚度10～40nm的氧化膜5，同時以側壁氧化在多晶矽層21之露出的側壁上形成氧化膜41。在第56圖所示之步驟，在SOI基板的全面以CVD方法形成厚度5～20nm的氧化膜45。

接著，在第57圖所示之步驟，形成光阻罩幕RM12僅覆蓋MOS電晶體的活性區域AR、本體接觸部之形成區域BR以及厚閘極絕緣膜的形成區域XR。這與第29圖所示之光阻罩幕RM7相同。

以光阻罩幕RM12為蝕刻罩幕，除去未被光阻罩幕RM12覆蓋之區域的氧化膜5以及45、SOI層3，形成氮化膜22、多晶矽膜21、氧化膜4以及SOI層3的積層膜993。氮化膜22以及多晶矽膜21之側壁上殘留有氧化膜45。

之後，經過以第30、31圖說明之步驟，得到如第58圖所示之構造。

如第58圖所示，在完全溝槽分離氧化膜FT與活性區域AR之邊界的場邊界部分，與完全溝槽分離氧化膜FT與本體接觸部之形成區域BR的邊界部分氧化膜之厚度局部增厚形



五、發明說明 (38)

成突起部 (bulge) MP。

該突起MP，相當於以熱氧化形成之氧化膜5的端緣部，以熱氧化形成之氧化膜5，由於比以HDP-CVD方法形成之氧化膜HX，蝕刻率小，因此再以第31圖說明之氧化膜HX的濕蝕刻，氧化膜5之端緣部仍保留有突起部分。

在突起部MP，從完全溝槽分離氧化膜FT的端部以寬度d1表示之區域，係為上部形成氧化膜45的區域，是氧化膜HX的蝕刻之影響再更小的區域。因此氧化膜45可說是增大突起部MP的側壁(spacer)。

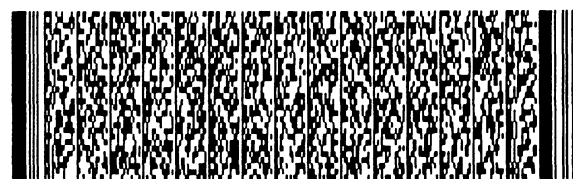
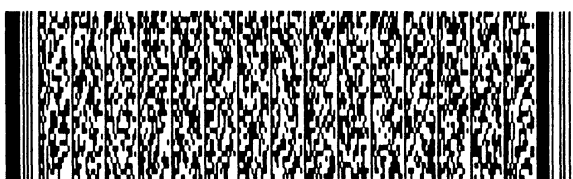
如此，在場邊界部上形成突起部MP，即使在場邊界上接合閘極電極的場合，亦能防止閘極捲曲。

以上的說明，經過以第27及28圖說明之步驟後，顯示在SOI基板上全面以CVD方法形成氧化膜的範例，但亦可形成氮化膜取代側壁。

第59圖是顯示經過第27及第28圖說明之步驟後，以CVD方法在SOI基板的全面形成氮化膜46後，以非等向性蝕刻，除去氮化膜46，在氮化膜22以及多晶矽膜21的殘留氮化膜46。

在該狀態，如第60圖所示，形成光阻罩幕RM13僅覆蓋MOS電晶體的活性區域AR、本體接觸部的形成區域BR以及厚閘極絕緣膜之形成區域XR。這與第29圖所示之光阻罩幕RM7相同。

以光阻罩幕RM13為蝕刻罩幕，除去未被光阻罩幕RM13覆蓋區域的氧化膜5以及45，SOI層3，形成氮化膜22、多



五、發明說明 (39)

晶矽膜21、氧化膜4以及SOI層3的積層膜。氮化膜46是殘留於氮化膜22以及多晶矽膜21的側壁上。

之後，經過以第30、31圖說明之步驟，得到如第58圖所示之構造。

實施例6

以第1圖說明之實施例1的MOS電晶體Q1的平面佈局，光罩數據RX1之一邊，與閘極接觸墊GP的源極・汲極區域側的一邊完全重疊，在本體接觸部BD僅顯示長度 α 。

然而，該場合，閘極接觸墊GP的一部份因為是形成於伯閘極絕緣膜上，因此在該區域有寄生電容增加的可能性。

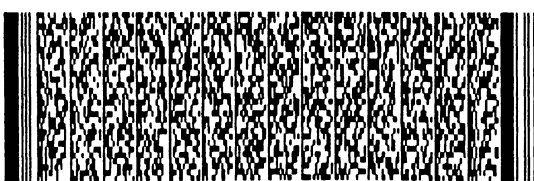
本發明之實施例6，係說明排除上述可能性之MOS電晶體之平面佈局以及其製造方法。

<F-1、平面佈局>

在如第61圖所示之MOS電晶體Q1A，厚閘極絕緣膜之光罩數據RX1的一邊，與閘極接觸墊GP的源極・汲極區域側的一邊完全重疊，在活性區域AR側僅位移長度 β 而配設。其他與以第1圖說明之MOS電晶體Q1相同構造係給予同一符號，因此省略重複說明。

長度 β 是定義為從閘極接觸墊GP的活性區域AR側之端緣部，到光罩數據RX1之活性區域AR側之端緣部的長度。

採用如此的平面佈局，閘極接觸墊GP完全形成於厚閘極絕緣膜上，因此為可本體固定的構造，能降低閘極-汲極之間的寄生電容，能得到低電力消耗且能以高速穩定動



五、發明說明 (40)

作的MOS電晶體。

<F-2、雜質植入時的考慮>

採用如第61圖所示之平面佈局時，在第61圖之A區域（斜線區域），即閘極長度變窄，在閘極電極12之下部存在厚閘極絕緣膜的區域，有產生源極-汲極之間漏電流的可能性。

為了防止上述，盡可能減少在第61圖之A區域LDD（低摻雜汲極）植入（延伸植入）時的植入雜質。

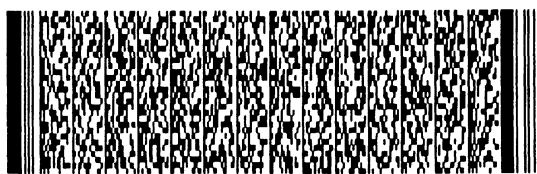
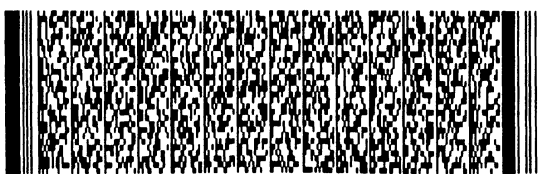
第62圖係顯示LDD植入時的第61圖中C-C線的箭頭方向剖面（即A區域的剖面）的構造。如第62圖所示，與是在閘極電極12之下部，與從閘極之兩側面於閘極長度方向長度 γ 的範圍，配設厚閘極絕緣膜110。

因此，低摻雜汲極層（或源極・汲極延伸層）的形成時，以與活性區域AR的植入能量相同的能量植入雜質，由於厚閘極絕緣膜110而阻止植入雜質，在第61圖之A區域的SOI層3的植入雜質量，比在活性區域之SOI層3的雜質植入量少，可減低漏電流。

如此製造步驟上的考慮，採用第47以及第48圖所示之構造，或第50圖所示之構造的場合皆為有效的。

又，可考慮盡可能減少如第61圖所示之A區域，源極・汲極植入時的植入雜質，而能降低源極-汲極之間的漏電流。

第63圖係顯示源極・汲極植入時的在第61圖之C-C線的箭頭方向的剖面圖。



五、發明說明 (41)

<G-1、製造方法>

首先，如第64圖所示準備矽基板1、埋層氧化膜2以及SOI層3構成之SOI基板，形成貫通SOI基板的SOI層3而到達埋層氧化膜2之完全溝槽分離氧化膜，之後，定義成為活性區域以及本體接觸部的區域。

根據例如第1圖所示之光罩數據RX1圖案化光阻罩幕RM31。光阻罩幕RM31，開口部OP10的形成區域，是對應厚閘極絕緣膜的形成區域。

之後，從光阻罩幕RM31上植入氟素離子於SOI層3內。此時的植入條件，植入能量為10~50 keV，劑量為 $1 \times 10^{14} \sim 1 \times 10^{15} / \text{cm}^2$ 。

接著，除去光阻罩幕RM31後，以形成薄閘極絕緣膜的條件進行熱氧化，如第65圖所示，植入氟素離子的SOI層3的區域上形成時效電子物性的厚閘極絕緣膜110，在未被光阻罩幕RM31覆蓋之SOI層3的區域上形成薄閘極絕緣膜11。

這是因為植入於SOI層3之氟素，擴散到氧化膜中而降低氧化膜的介電常數，電子特性上的厚度實質上增厚。

實際上第65圖的閘極絕緣膜110的厚度並未增加。

又，亦可利用植入氮素的SOI層上形成薄氧化膜現象。

即，根據L. K. Han (IEDM 97 p643~646)，揭露在矽基板上植入氮素 $5 \times 10^{15} / \text{cm}^2$ 以上時，其上形成之氧化膜的厚度比非植入的場合薄50%以上。



五、發明說明 (42)

因此，在第66圖所示之步驟，根據例如第1圖所示之光罩數據RX2圖案化光阻罩幕RM32。光阻罩幕RM32，開口部OP20的形成區域為對應薄閘極絕緣膜之形成區域。

之後，從光阻罩幕RM32上植入氮素離子於SOI層3內。此時的植入條件，植入能量為3~30keV，劑量為 $5 \times 10^{14} / \text{cm}^2$ 。

接著，除去光阻罩幕RM32後，以形成厚閘極絕緣膜之條件進行熱氧化，如第67圖所示，在植入氮素離子的SOI層3的區域上形成薄閘極絕緣膜11，在以光阻罩幕RM32覆蓋之SOI層3的區域上形成厚閘極絕緣膜110。

該場合之薄閘極絕緣膜11的厚度為厚閘極絕緣膜110的一半程度。

<G-2、作用效果>

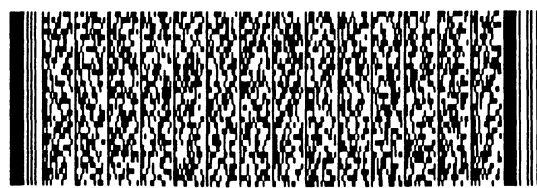
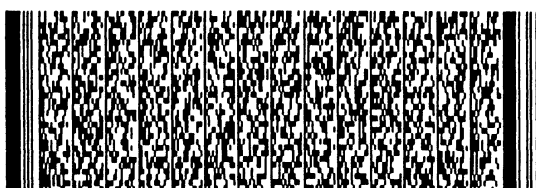
如以上說明，在SOI層中選擇性進行氟素或氮素的離子植入，在1次的氧化步驟，可得到閘極寬度方向閘極絕緣膜的厚度相異的構造。

在矽層中植入氟素或氮素時，矽層內產生微量的結晶缺陷，該缺陷為使用期破壞者（life time killer），因此亦有提高本體固定之SOI元件中本體固定能力的效果。

<H、低電壓電晶體以及高電壓電晶體>

以下使用第68~72圖說明高電壓電晶體以及低電壓電晶體的製造方法。

首先，如第68圖所示，在矽基板等的半導體基板201上形成厚度較厚的絕緣膜202。



五、發明說明 (43)

如第69圖所示，形成圖案化之光阻203覆蓋高電壓動作區域A1上，以光阻203為罩幕對絕緣膜202進行蝕刻處理除去形成於低電壓動作區域A2上的絕緣膜202。

之後，如第70圖所示，藉由除去光阻203而形成全面性膜厚較薄的絕緣膜，形成絕緣膜204於低電壓動作區域A2，同時若干增加高電壓動作區域A1的絕緣膜202的膜厚度。之後，全面堆積導電層205。

如第71圖所示，選擇性蝕刻導電層205，在高電壓動作區域A1形成閘極絕緣膜61以及閘極電極62，同時形成閘極絕緣膜71以閘極電極72於低電壓動作區域A2上。此時，閘極絕緣膜61是形成比閘極絕緣膜71更厚，閘極電極62是形成比閘極電極72的閘極長度更長。

以第1光阻（在第72圖未圖示）覆蓋低電壓動作區域A2，同時僅於高電壓動作區域A1植入雜質離子64，進行形成LDD之起源（origin）的雜質擴散區域63的第1 LDD植入處理，並以第2光阻（在第71圖未圖示）覆蓋高電壓動作區域A1，同時僅於低電壓動作區域A2植入雜質離子74，進行形成LDD之起源的雜質擴散區域73的第2 LDD植入處理。

如此，分別進行第1以及第2的LDD植入步驟，通常雜質擴散區域63是形成比雜質擴散區域73要深。第1以及第2的LDD植入處理，亦可與袋狀（pocket）區域形成之袋狀（pocket）植入處理併行。

如第72圖所示，依次形成下層、上層成為側壁的絕緣膜（側壁絕緣膜）而進行蝕刻，在高電壓動作區域A1，在



五、發明說明 (44)

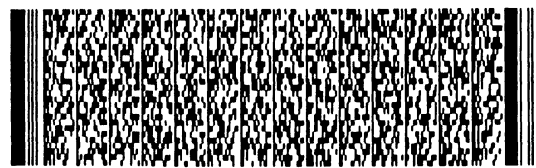
閘極電極62之側面形成上層側壁65以及下層側壁66組成之側壁絕緣膜，同時在低電壓動作區域A2，在閘極電極72之側面形成上層側壁75以及下層側壁76組成之側壁絕緣膜。

在高電壓動作區域以閘極電極62、上層側壁65以及下層側壁66做為罩幕，在低電壓動作區域以閘極電極72、上層側壁75以及下層側壁76做為罩幕，進行從上方的雜質離子55的植入實施源極・汲極區域形成處理，在高電壓動作區域A1形成源極・汲極區域67與LDD區域68（側壁65、66下的雜質擴散區域63），在低電壓動作區域A2形成源極・汲極區域77與LDD區域78（側壁75、76下的雜質擴散區域73）。

其結果，在高電壓動作區域A1形成閘極絕緣膜61、閘極電極62、上層側壁65、下層側壁66、源極・汲極區域67、LDD區域68組成之高電壓MOS電晶體Q101，在低電壓動作區域A2形成閘極絕緣膜71、閘極電極72、上層側壁75、下層側壁76、源極・汲極區域77、LDD區域78組成之低電壓MOS電晶體Q102。在此所謂高電壓MOS電晶體是指主要以3.3V動作之輸出用的MOS電晶體，低電壓MOS電晶體是指主要以1.8V動作之理論動作用的MOS電晶體。

使用第73圖所示之流程圖說明利用上述之製造方法得到CMOS構造之半導體裝置之場合的製造方法。

再者，第73圖所示之流程圖顯示高電壓動作區域A1以及低電壓動作區域A2之雙方已形成閘極絕緣膜以及閘極電極後的處理步驟。



五、發明說明 (45)

首先，以步驟S1進行對NMOS電晶體的LDD植入處理，以步驟S2進行對PMOS電晶體的LDD植入處理，以步驟S3進行對NMOS電晶體的LDD植入處理，以步驟S4進行對PMOS電晶體的LDD植入處理。

步驟S1～S4的處理並無特別順序，步驟S1、S2個別之袋狀(pocket)區域形成之袋狀植入處理亦可併行實施。

接著，以步驟S5實施使用濕處理（包含濕蝕刻，使用液體之洗淨等）之前處理。使用濕處理之前處理例如RCA洗淨等。RCA洗淨是指以 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$ 處理（進行微粒除去之處理）與 $\text{HCl}/\text{H}_2\text{O}_2$ （進行金屬污染除去之處理）合併的處理。

以步驟S6形成下層側壁後，以步驟S7形成上層側壁後進行蝕刻，HF（氟酸）處理等的後處理，在全MOS電晶體的閘極電極之側面形成側壁。

之後，以步驟S8對全部（高電壓以及低電壓）的NMOS電晶體實施源極・汲極區域形成處理，以步驟S9對全部的PMOS電晶體實施源極・汲極區域形成處理。步驟S8、S9的處理順序並不一定。

之後，在源極・汲極區域的表面以及閘極電極的表面形成 CoSi_2 、 TiSi_2 等的金屬矽化物（自對準矽化物Salicide），完成整個MOS電晶體。

如以上說明，確立了在1個半導體基板上，形成低電壓電晶體以及高電壓電晶體之技術，該技術是將使用第12圖說明之實施例3的方法，與第20～26圖說明之實施例4的



五、發明說明 (46)

方法組合，而能以簡略化之步驟製得複數種類的MOS電晶體。

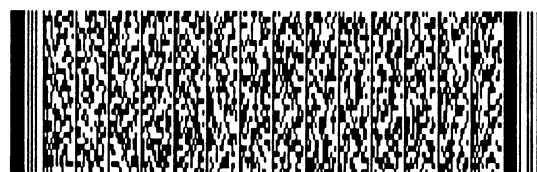
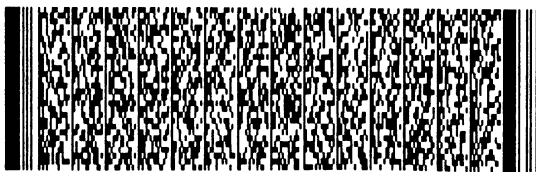
【發明效果】

根據本發明之申請專利範圍第1項所述之半導體裝置的製造方法，在採用使用補助膜形成溝槽分離氧化膜的方法的場合，可得到閘極絕緣膜，在閘極寬度方向具有第1厚度的第1部分，第2厚度的第2部分，兩者為連續之半導體裝置，例如橫跨SOI層上之廣面積而配設之閘極接觸墊之下部的閘極絕緣膜之厚度增厚，多流通電流之區域的閘極絕緣膜的厚度變薄，是可本體固定的構造，並能降低閘極-汲極之間的寄生電容，能得到低電力消耗且能以高速度穩定動作的MOS電晶體。

根據本發明之申請專利範圍第2項所述之半導體裝置的製造方法，藉由兼用以雙氧化層製程在閘極寬度方向具有第1厚度的第1部分，第2厚度的第2部分的閘極絕緣膜，形成具有厚度相異之第1以及第2閘極絕緣膜之第1以及第2MOS電晶體的步驟，無須追加新的製造步驟，能抑制製造成本的增加。

根據本發明之申請專利範圍第3項所述之半導體裝置的製造方法，形成溝槽分離絕緣膜時不除去而殘留形成於SOI層上之補助膜的底層氧化膜，由於包含閘極絕緣膜之第2部分的第2厚度的絕緣膜，可削減厚閘極絕緣膜的形成步驟，簡略化步驟而能抑制製造成本的增加。

根據本發明之申請專利範圍第4項所述之半導體裝置



五、發明說明 (47)

的製造方法，在第1以及第2MOS電晶體的製造步驟，由於兼用底層氧化膜為包含閘極絕緣膜之第2部分的第2厚度的絕緣膜，可削減形成厚閘極絕緣膜的步驟，能簡略化步驟並抑制製造成本的增加。

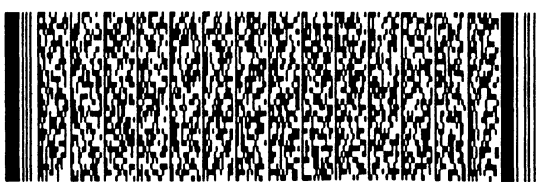
根據本發明之申請專利範圍第5項所述之半導體裝置的製造方法，在採用使用補助膜形成溝槽分離氧化膜的方法的場合，可得到閘極絕緣膜，在閘極寬度方向具有第1厚度的第1部分，第2厚度的第2部分，兩者為連續之半導體裝置，例如橫跨SOI層上之廣面積而配設之閘極接觸墊之下部的閘極絕緣膜之厚度增厚，多流通電流之區域的閘極絕緣膜的厚度變薄，是可本體固定的構造，並能降低閘極-汲極之間的寄生電容，能得到低電力消耗且能以高速度穩定動作的MOS電晶體。

根據本發明之申請專利範圍第6項所述之半導體裝置的製造方法，由於可自對準以1次微影製程決定MOS電晶體的閘極寬度，可得到閘極寬度之變動少的MOS電晶體。

根據本發明之申請專利範圍第7項所述之半導體裝置的製造方法，過度蝕刻SOI層而蝕刻，形成氧化膜因此可容易增加厚度。

根據本發明之申請專利範圍第8項所述之半導體裝置的製造方法，由於是以化學性乾蝕刻除去底層氧化膜，因此可縮小對SOI層的蝕刻損傷。

根據本發明之申請專利範圍第9項所述之半導體裝置的製造方法，由於係以化學性乾蝕刻進行SOI層的過度蝕



五、發明說明 (48)

刻，過度蝕刻量的控制性良好。

根據本發明之申請專利範圍第10項所述之半導體裝置的製造方法，可形成完全溝槽分離氧化膜。

根據本發明之申請專利範圍第11項所述之半導體裝置的製造方法，先形成用以形成完全溝槽分離氧化膜的溝槽，在多層膜的側面形成絕緣膜的側壁，能在完全溝槽分離氧化膜與活性區域之邊界的場邊界部分形成氧化膜之厚度局部增厚的突起部，在場邊界上接合閘極電極的場合，亦能防止閘極的捲曲。

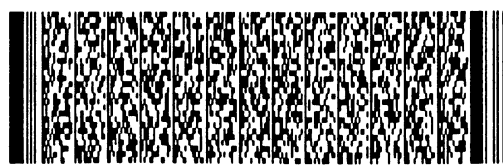
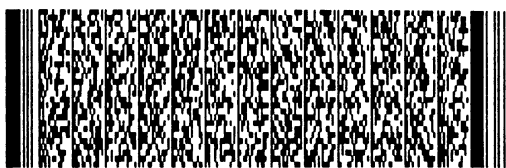
根據本發明之申請專利範圍第12項所述之半導體裝置的製造方法，可提供得到絕緣膜之側壁的具體方法。

根據本發明之申請專利範圍第13項所述之半導體裝置的製造方法，可提供得到絕緣膜之側壁的具體方法。

根據本發明之申請專利範圍第14項所述之半導體裝置的製造方法，在形成後氧化膜之前，形成用以形成完全溝槽分離氧化膜的溝槽。

根據本發明之申請專利範圍第15項所述之半導體裝置的製造方法，由於氧化在溝槽之內壁露出之SOI層，以用以形成溝槽的蝕刻，即使在SOI層之側壁受到損傷的場合，亦能防止成為漏電流的原因。

根據本發明之申請專利範圍第16項所述之半導體裝置的製造方法，可使用定義活性區域之第1光罩數據以及定義本體接觸部之形成區域的第2光罩數據輕易製得定義溝槽分離氧化膜之非形成區域的第3光罩數據。



五、發明說明 (49)

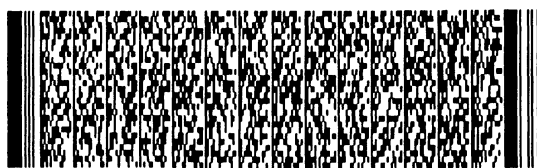
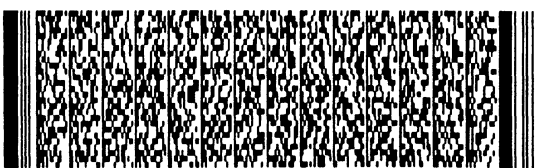
根據本發明之申請專利範圍第17項所述之半導體裝置的製造方法，植入於SOI層之氟素擴散到氧化膜中降低氧化膜的介電常數，並增厚電子物理實效上厚度。因此，在植入氟素離子之SOI層之區域上形成電子物理實效上厚的閘極絕緣膜，再以光阻罩幕覆蓋之SOI層的區域上形成實效上薄的閘極絕緣膜，因此能以1次氧化步驟形成厚度相異的氧化膜，能夠簡略化製造步驟。

根據本發明之申請專利範圍第18項所述之半導體裝置的製造方法，在植入氟素離子之SOI層的區域上形成薄閘極絕緣膜，在以光阻罩幕覆蓋之SOI層的區域上形成厚閘極絕緣膜，可以一次氧化步驟形成厚度相異的氧化膜，能夠簡略化製造步驟。

根據本發明之申請專利範圍第19項所述之半導體裝置的製造方法，例如橫跨SOI層上之廣面積而配設之閘極接觸墊之下部的閘極絕緣膜之厚度增厚，多流通電流之區域的閘極絕緣膜的厚度變薄，是可本體固定的構造，並能降低閘極-汲極之間的寄生電容，能得到低電力消耗且能以高速度穩定動作的MOS電晶體。

根據本發明之申請專利範圍第20項所述之半導體裝置的製造方法，由於厚閘極絕緣膜配設在閘極接觸墊的下部以及其周圍，因此能防止形成在源極-汲極之間的漏電流。

根據本發明之申請專利範圍第21項所述之半導體裝置的製造方法，由於第2厚度之絕緣膜配設在本體接觸部與



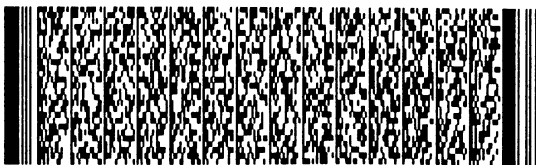
五、發明說明 (50)

通道形成區域的連接部到SOI層之上部，因此能防止再連接部有不需要的雜質植入。

根據本發明之申請專利範圍第22項所述之半導體裝置的製造方法，本體接觸部與通道形成區域的連接部之SOI層的閘極長度方向的長度，比閘極電極之閘極長度，與配設在閘極墊及之側面的側壁絕緣膜的寬度的2倍的長度合要短，閘極長度縮窄，在閘極電極之下部存在厚閘極絕緣膜的區域的SOI層，可極力防止LDD植入的雜質以及源極・汲極植入的雜質被導入，並能降低漏電流。

根據本發明之申請專利範圍第23項所述之半導體裝置的製造方法，本體接觸部與通道形成區域的連接部之SOI層的閘極長度方向的長度由於比閘極接觸墊的閘極長度方向的長度要短，連接部以閘極接觸墊覆蓋，在源極・汲極雜質的植入時，可防止被導入該連接部。

根據本發明之申請專利範圍第24項所述之半導體裝置的製造方法，例如橫跨SOI層上之廣面積而配設之閘極接觸墊之下部的閘極絕緣膜之厚度增厚，多流通電流之區域的閘極絕緣膜的厚度變薄，是可本體固定的構造，並能降低閘極-汲極之間的寄生電容，能得到低電力消耗且能以高速度穩定動作的MOS電晶體。



圖式簡單說明

第1圖係顯示本發明之實施例1之MOS電晶體的平面構造。

第2圖係顯示本發明之實施例1之MOS電晶體的平面構造。

第3圖係顯示本發明之實施例1之MOS電晶體的平面構造。

第4圖係顯示本發明之實施例1之MOS電晶體的平面構造。

第5圖係顯示本發明之實施例1之MOS電晶體的平面構造。

第6圖係顯示本發明之實施例1之MOS電晶體的平面構造。

第7圖係顯示本發明之實施例1之MOS電晶體的平面構造。

第8圖係顯示本發明之實施例2之源極帶(source tie)構造的MOS電晶體的平面構造。

第9圖係顯示本發明之實施例2之源極帶構造的MOS電晶體的平面構造。

第10圖係顯示本發明之實施例2之源極帶構造的MOS電晶體的平面構造。

第11圖係顯示本發明之實施例2之源極帶構造的MOS電晶體的平面構造。

第12圖係顯示本發明之實施例3之MOS電晶體的平面構造。



圖式簡單說明

第13圖係顯示本發明之實施例4之MOS電晶體的製造步驟。

第14圖係顯示本發明之實施例4之MOS電晶體的製造步驟。

第15圖係顯示本發明之實施例4之MOS電晶體的製造步驟。

第16圖係顯示本發明之實施例4之MOS電晶體的製造步驟。

第17圖係顯示本發明之實施例4之MOS電晶體的製造步驟。

第18圖係顯示本發明之實施例4之MOS電晶體的製造步驟。

第19圖係顯示本發明之實施例4之MOS電晶體的製造步驟。

第20圖係說明本發明之實施例4之製造方法的應用例。

第21圖係說明本發明之實施例4之製造方法的應用例。

第22圖係說明本發明之實施例4之製造方法的應用例。

第23圖係說明本發明之實施例4之製造方法的應用例。

第24圖係說明本發明之實施例4之製造方法的應用例。



圖式簡單說明

第25圖係說明本發明之實施例4之製造方法的應用例。

第26圖係說明本發明之實施例4之製造方法的應用例。

第27圖係說明本發明之實施例5之MOS電晶體之製造步驟的圖示。

第28圖係說明本發明之實施例5之MOS電晶體之製造步驟的圖示。

第29圖係說明本發明之實施例5之MOS電晶體之製造步驟的圖示。

第30圖係說明本發明之實施例5之MOS電晶體之製造步驟的圖示。

第31圖係說明本發明之實施例5之MOS電晶體之製造步驟的圖示。

第32圖係說明本發明之實施例5之MOS電晶體之製造步驟的圖示。

第33圖係說明本發明之實施例5之MOS電晶體之製造步驟的圖示。

第34圖係說明本發明之實施例5之MOS電晶體之製造步驟的圖示。

第35圖係說明本發明之實施例5之MOS電晶體之製造步驟，不氧化SOI層的側壁之步驟的圖示。

第36圖係說明本發明之實施例5之MOS電晶體之製造步驟的變形例的圖示。



圖式簡單說明

第37圖係說明本發明之實施例5之MOS電晶體之製造步驟的變形例的圖示。

第38圖係說明本發明之實施例5之MOS電晶體之製造步驟的變形例的圖示。

第39圖係說明本發明之實施例5之MOS電晶體之製造步驟的變形例的圖示。

第40圖係說明本發明之實施例5之MOS電晶體之製造步驟的變形例的圖示。

第41圖係說明本發明之實施例5之MOS電晶體之製造步驟的圖示。

第42圖係說明本發明之實施例5之MOS電晶體之製造步驟的圖示。

第43圖係說明本發明之實施例5之MOS電晶體之製造步驟的平面圖。

第44圖係說明本發明之實施例5之MOS電晶體之製造步驟的平面圖。

第45圖係說明本發明之實施例5之MOS電晶體之製造步驟的平面圖。

第46圖係說明本發明之實施例5之MOS電晶體之製造步驟的平面圖。

第47圖係說明本發明之實施例5之MOS電晶體之平面構造的圖。

第48圖係說明本發明之實施例5之MOS電晶體之平面構造的圖。



圖式簡單說明

第49圖係說明本發明之實施例5之MOS電晶體之優點的平面圖。

第50圖係說明本發明之實施例5之MOS電晶體之平面構造的變形例的圖。

第51圖係說明本發明之實施例5之MOS電晶體之光罩數據之製作的平面圖。

第52圖係說明本發明之實施例5之製造方法的應用例的圖示。

第53圖係說明本發明之實施例5之製造方法的應用例的圖示。

第54圖係說明本發明之實施例5之製造方法的應用例的圖示。

第55圖係說明本發明之實施例5之製造方法的應用例的圖示。

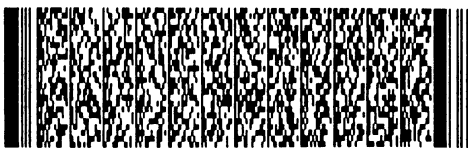
第56圖係說明本發明之實施例5之製造方法的改良例的圖示。

第57圖係說明本發明之實施例5之製造方法的改良例的圖示。

第58圖係說明本發明之實施例5之製造方法的改良例的圖示。

第59圖係說明本發明之實施例5之製造方法的改良例的圖示。

第60圖係說明本發明之實施例5之製造方法的應用例的圖示。



圖式簡單說明

第61圖係說明本發明之實施例6之MOS電晶體的平面構造的圖示。

第62圖係顯示本發明之實施例6之MOS電晶體的製造途中的剖面構造的圖示。

第63圖係顯示本發明之實施例6之MOS電晶體的製造途中的剖面構造的圖示。

第64圖係顯示本發明之實施例7之MOS電晶體的製造步驟的圖示。

第65圖係顯示本發明之實施例7之MOS電晶體的製造步驟的圖示。

第66圖係顯示本發明之實施例7之MOS電晶體的製造步驟的圖示。

第67圖係顯示本發明之實施例7之MOS電晶體的製造步驟的圖示。

第68圖係為說明雙氧化層製程的圖示。

第69圖係為說明雙氧化層製程的圖示。

第70圖係為說明雙氧化層製程的圖示。

第71圖係為說明雙氧化層製程的圖示。

第72圖係為說明雙氧化層製程的圖示。

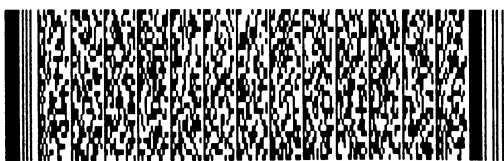
第73圖係為說明雙氧化層製程的流程圖圖示。

第74圖係顯示一般PTI構造之MOS電晶體的剖面構造。

第75圖係說明習知PTI構造之MOS電晶體的製造步驟。

第76圖係說明習知PTI構造之MOS電晶體的製造步驟。

第77圖係顯示習知MOS電晶體的平面構造。



圖式簡單說明

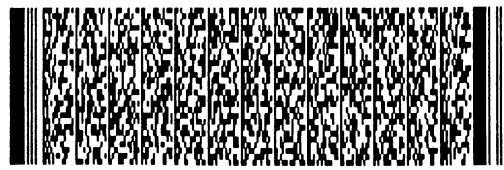
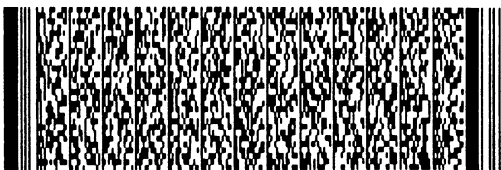
第78圖係顯示習知MOS電晶體的平面構造。

第79圖係顯示習知MOS電晶體的平面構造。

第80圖係顯示習知MOS電晶體的平面構造。

【符號說明】

- | | |
|-----------------------------------|---------------|
| 1～矽基板； | 2～埋層氧化膜； |
| 3～SOI層； | 4、42、421～氧化膜； |
| 11、61、71、110、111、112～閘極絕緣膜； | |
| 12、62、72～閘極電極； | 21～多晶矽膜； |
| 22～氮化膜； | 63、73～雜質擴散區域； |
| 64、74～雜質離子； | 65、75～上層側壁； |
| 66、76～下層側壁； | 68、78～LDD區域； |
| 99、993～積層膜； | A1～高電壓動作區域； |
| A2～低電壓動作區域； | AR～活性區域； |
| HX～氧化膜； | RX1～光罩數據； |
| RM1、RM2、RM3、RM4、RM5、RM6、RM7～光阻罩幕； | |
| Q1、Q2、Q3、Q11、Q12、Q13～MOS電晶體； | |
| Q101～高電壓電晶體； | Q102～低電壓電晶體； |
| PT～溝槽； | BD～本體接觸部； |
| R1、R2～區域顯示； | FT～氧化膜； |
| GP～閘極接觸墊； | |
| 67、77、SDR～源極・汲極區域； | |
| SR～源極區域； | PTI～部分溝槽分離； |
| PT～部分分離氧化膜； | FTI～完全溝槽分離； |



圖式簡單說明

WR ～ 井 區 域 ；

MP ～ 突 起 部 。



四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

課題：

提供可本體固定，同時實現以高速度穩定動作的SOI元件。

解決方法：

閘極電極12之閘極接觸墊GP以外的部分與SOI層3之間，配設厚度1～5nm的閘極絕緣膜11，在閘極接觸墊GP與SOI層3之間，配設厚度5～15nm的閘極絕緣膜110。閘極絕緣膜11與閘極絕緣膜110為連續的。

伍、(一)、本案代表圖為：第__2__圖

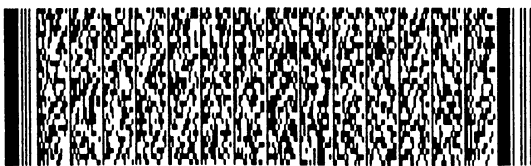
(二)、本案代表圖之元件代表符號簡單說明：

1～矽基板；

2～埋層氧化膜；

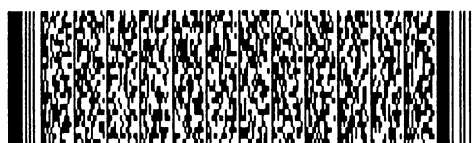
英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME)

It is an object to provide an SOI device capable of carrying out body fixation and implementing a quick and stable operation. A gate insulating film (11) having a thickness of 1 to 5 nm is provided between a portion other than a gate contact pad (GP) of a gate electrode (12) and an SOI layer (3), and a gate insulating film (110) having a thickness of 5 to 15 nm is provided between the gate contact pad (GP) and the SOI layer (3). The gate insulating film (11) and the



3 ~ SOI 層；	11、110 ~ 閘極絕緣膜；
12 ~ 閘極電極；	BD ~ 本體接觸部；
R1、R2 ~ 區域顯示；	FT ~ 氧化膜。

gate insulating film (110) are provided continuously.



六、申請專利範圍

1. 一種半導體裝置的製造方法，該半導體裝置具備配設於半導體基板、埋層氧化膜以及SOI層依次層積之SOI基板的前述SOI層上的MOS電晶體，與設置在前述SOI層的表面內，從外部可電位固定的本體接觸部；

前述MOS電晶體的閘極電極的平面視形狀具有至少在閘極寬度方向的一方的端部在閘極長度方向寬而構成閘極接觸墊的形狀；

前述本體接觸部是設置在前述閘極接觸墊的閘極寬度方向的端部外方的前述SOI層的表面內，通過前述SOI層而電性連接至前述閘極電極下部的通道形成區域；

前述MOS電晶體的閘極絕緣膜在閘極寬度方向具有第1厚度的第1部分、第2厚度的第2部分，前述第2厚度比前述第1厚度厚；

該方法包括下列步驟：

(a) 在前述SOI層上選擇性形成包含前述閘極絕緣膜之第2部分的前述第2厚度的絕緣膜；以及

(b) 在前述SOI層上選擇性形成包含前述閘極絕緣膜之第1部分的前述第1厚度的絕緣膜使包含前述第2部份之前述第2厚度的絕緣膜連續；

前述步驟(a)包括至少在成為前述本體接觸墊的下部之區域上形成前述第2厚度的絕緣膜。

2. 如申請專利範圍第1項所述之半導體裝置的製造方法，其中前述MOS電晶體係藉由兼用雙氧化層製程(dual oxide process)形成具有厚度不同之第1以及第2閘極絕



六、申請專利範圍

緣膜之第1以及第2 MOS電晶體的步驟；

前述步驟(a)是在前述雙氧化層製程，兼用包含形成前述第1以及第2閘極絕緣膜之中，厚度較厚者的步驟而形成包括前述閘極絕緣膜之第2部份之前述第2厚度的絕緣膜的步驟；

前述步驟(b)是在前述雙氧化層製程，兼用包含形成前述第1以及第2閘極絕緣膜之中，厚度較薄者的步驟而形成前述閘極絕緣膜之第1部份的步驟。

3. 如申請專利範圍第1項所述之半導體裝置的製造方法，其中在定義成為前述MOS電晶體的形成區域時，還包括形成將前述MOS電晶體電性分離之溝槽分離絕緣膜之步驟；

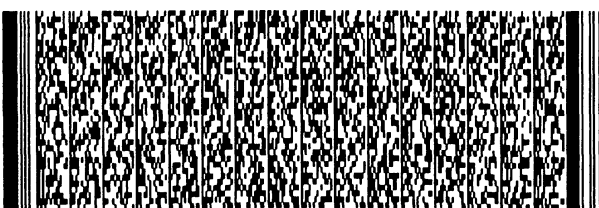
前述步驟(a)包括(a-1)形成前述溝槽分離絕緣膜時不除去形成於前述SOI層上之補助膜之底層氧化膜而殘留，成為包含前述閘極絕緣膜之第2部分之前述第2厚度之絕緣膜的步驟。

4. 如申請專利範圍第3項所述之半導體裝置的製造方法，前述MOS電晶體包含第1以及第2 MOS電晶體；

前述步驟(a-1)適用於形成包含前述第1以及第2 MOS電晶體中任一者的前述第2部分的前述第2厚度的絕緣膜之步驟；

前述第1以及第2 MOS電晶體中任一者的前述第1部分是以雙氧化層製程形成不同厚度。

5. 如申請專利範圍第1項所述之半導體裝置的製造方



六、申請專利範圍

法，其中在定義成為前述MOS電晶體之形成區域的活性區域，前述本體接觸部的形成區域以及前述活性區域與前述本體接觸部的形成區域的連接部的同時，還包括形成將前述MOS電晶體電性分離之溝槽分離絕緣膜的步驟；

前述步驟（a）包括：

（a-1）在前述SOI層上形成作為形成前述溝槽分離絕緣膜時之補助膜的多層膜；

（a-2）在前述多層膜上，圖案化至少包括前述閘極絕緣膜之第2部分的前述第2厚度之絕緣膜的形成區域為開口部的光阻；

（a-3）以蝕刻除去未被前述光阻覆蓋之區域，到達前述SOI層的表面；

（a-4）在露出之前述SOI層之表面形成較厚的氧化膜，對應前述開口部之區域的前述較厚氧化膜則成為包含前述閘極絕緣膜之第2部分的前述第2厚度的絕緣膜；

前述步驟（a-1）包括在前述SOI層上形成底層氧化膜做為前述多層膜的最下層膜；

前述步驟（b）是在進行前述步驟（a）後實施，包括除去前述底層氧化膜後，在該區域形成前述第1厚度的絕緣膜之步驟。

6. 如申請專利範圍第5項所述之半導體裝置的製造方法，其中前述步驟（a-2）是在對應前述溝槽分離氧化膜之形成區域的部分亦形成開口部而圖案化前述光阻；

藉由前述光阻的圖案化自對準決定前述MOS電晶體的



六、申請專利範圍

閘極寬度。

7. 如申請專利範圍第5項所述之半導體裝置的製造方法，其中前述步驟（a-3）包括過度蝕刻（over etching）前述SOI層的蝕刻步驟。

8. 如申請專利範圍第5項所述之半導體裝置的製造方法，其中前述步驟（a-3）包括以化學性乾蝕刻移除前述底層氧化膜的步驟。

9. 如申請專利範圍第7項所述之半導體裝置的製造方法，其中前述SOI層的過度蝕刻是以化學性乾蝕刻進行的步驟。

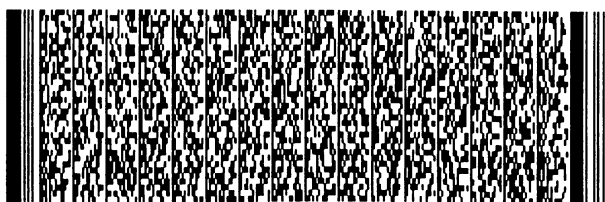
10. 如申請專利範圍第5項所述之半導體裝置的製造方法，其中前述步驟（a-3）包括將對應前述溝槽分離氧化膜之形成區域的部分的前述多層膜蝕刻到前述SOI層之表面的蝕刻步驟；

在前述步驟（a）之後，還包括將對應前述溝槽分離氧化膜之形成區域的前述SOI層蝕刻到前述埋層氧化膜，形成用以形成前述溝槽分離氧化膜之溝槽。

11. 如申請專利範圍第10項所述之半導體裝置的製造方法，其中在形成前述步驟（a）之後，還包括在形成前述溝槽之前，在前述多層膜的表面以及前述較厚氧化膜的表面形成絕緣膜後，以非等向性蝕刻移除前述絕緣膜，並於前述多層膜的側面形成前述絕緣膜的側壁；

以殘留前述絕緣膜之側壁的狀態形成前述溝槽。

12. 如申請專利範圍第5項所述之半導體裝置的製造方



六、申請專利範圍

法，其中前述步驟（a-3）是包含將前述溝槽分離氧化膜之形成區域之部分的前述多層膜蝕刻到前述SOI層的表面；

前述步驟（a-3）與（a-4）之間，還包括蝕刻前述SOI層到前述埋層氧化膜，形成用以形成前述溝槽分離氧化膜之溝槽的步驟。

13. 如申請專利範圍第1項所述之半導體裝置的製造方法，其中在定義成為前述MOS電晶體之形成區域的活性區域的同時，還包括形成將前述MOS電晶體電性分離的溝槽分離絕緣膜之步驟；

前述溝槽分離絕緣膜之形成步驟包括：

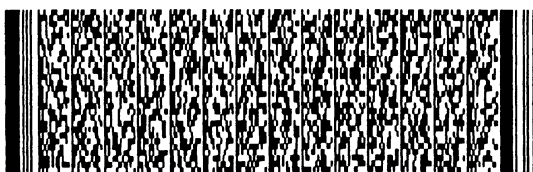
準備定義前述活性區域之第1光罩數據以及定義前述本體接觸部的形成區域之第2光罩數據；以及

準備定義前述溝槽分離氧化膜之非形成區域的第3光罩數據；

準備前述第3光罩數據的步驟，包括：

僅以既定尺寸縮小處理前述第1以及第2光罩數據，作為第1以及第2縮小處理數據；並輸入連接該第1以及第2縮小處理數據之間的連接部的數據之步驟。

14. 一種半導體裝置的製造方法，該半導體裝置具備配設於半導體基板、埋層氧化膜以及SOI層依次層積之SOI基板的前述SOI層上的MOS電晶體，與設置在前述SOI層的表面內，從外部可電位固定的本體接觸部；前述MOS電晶體的閘極絕緣膜在閘極寬度方向具有不具氟素的第1部



六、申請專利範圍

分與具有氟素的第2部分；

其步驟包括：

(a) 在前述SOI層上，圖案化包含前述閘極絕緣膜之第2部分之具有氟素之絕緣膜的區域為開口部之光阻；

(b) 從前述開口部將氟素離子離子植入於前述SOI層內；以及

(c) 除去前述光阻後，氧化前述SOI層上。

15. 一種半導體裝置的製造方法，該半導體裝置具備配設於半導體基板、埋層氧化膜以及SOI層依次層積之SOI基板的前述SOI層上的MOS電晶體，與設置在前述SOI層的表面內，從外部可電位固定的本體接觸部(body contact)；前述MOS電晶體的閘極絕緣膜在閘極寬度方向具有第1厚度的第1部分與具有第二厚度的第2部分，前述第2厚度比前述第1厚度厚；

其步驟包括：

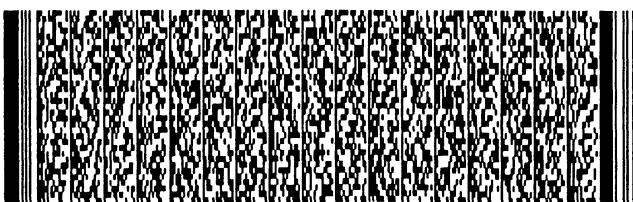
(a) 在前述SOI層上，圖案化包含前述閘極絕緣膜之第1部分而形成前述第1厚度之絕緣膜之形成區域為開口部之光阻；

(b) 從前述開口部將氮素離子離子植入於前述SOI層內；以及

(c) 除去前述光阻後，以形成前述第2厚度之絕緣膜的條件氧化前述SOI層。

16. 一種半導體裝置，其包括：

在半導體基板、埋層絕緣膜以及SOI層依序積層之SOI



六、申請專利範圍

基板的前述SOI層上配設的MOS電晶體；

設置在前述SOI層之表面內，從外部可電位固定的本體接觸部；

前述MOS電晶體的閘極電極的平面視形狀，具有閘極寬度方向的至少一方的端部橫跨閘極長度方向而構成閘極接觸墊的形狀；

前述本體接觸部是設置在前述閘極接觸墊之閘極寬度方向的端部外方的前述SOI層的表面內，通過前述SOI層而電性連接於前述閘極電極下部的通道形成區域；

前述MOS電晶體的閘極絕緣膜在閘極寬度方向具有第1厚度的第1部分、第2厚度的第2部分；

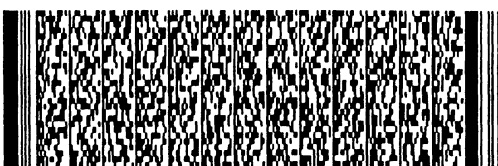
前述第2厚度比前述第1厚度厚；

前述閘極絕緣膜的前述第2部分至少配設在前述閘極接觸墊的下部。

17. 如申請專利範圍第16項所述之半導體裝置，其中前述第2厚度之絕緣膜包含前述閘極絕緣膜之前述第2部分，而配設在前述閘極接觸墊之下部以及其周圍。

18. 如申請專利範圍第17項所述之半導體裝置，其中前述第2厚度之絕緣膜，是配設在前述本體接觸部與前述通道形成區域之連接部到前述SOI層之上部。

19. 如申請專利範圍第18項所述之半導體裝置，其中前述成為前述本體接觸部與前述通道形成區域之連接部的前述SOI層的閘極長度方向的長度，比前述閘極電極的閘極長度，與配設在前述閘極電極之側面之側壁絕緣膜之寬



六、申請專利範圍

度的2倍長度之合要短。

20. 如申請專利範圍第17項所述之半導體裝置，其中成為前述本體接觸部與前述通道形成區域的連接部之前述SOI層之閘極長度方向的長度比前述閘極本體接觸墊的閘極長度方向的長度要短。

21. 一種半導體裝置，其包括：

在半導體基板、埋層絕緣膜以及SOI層依序積層之SOI基板的前述SOI層上配設的MOS電晶體；

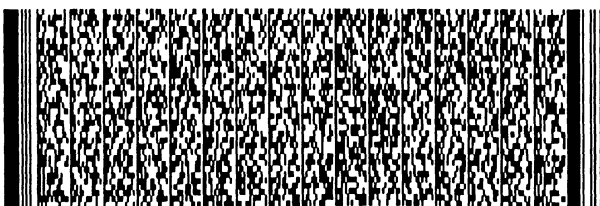
設置在前述SOI層之表面內，從外部可電位固定的本體接觸部；

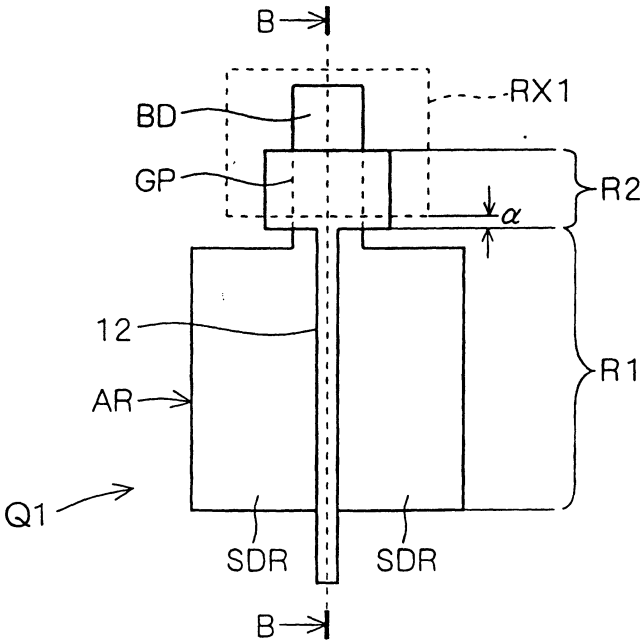
前述MOS電晶體的閘極絕緣膜，在閘極寬度方向具有第1厚度的第1部分，第2厚度的第2部分；

前述第2厚度比前述第1厚度厚；

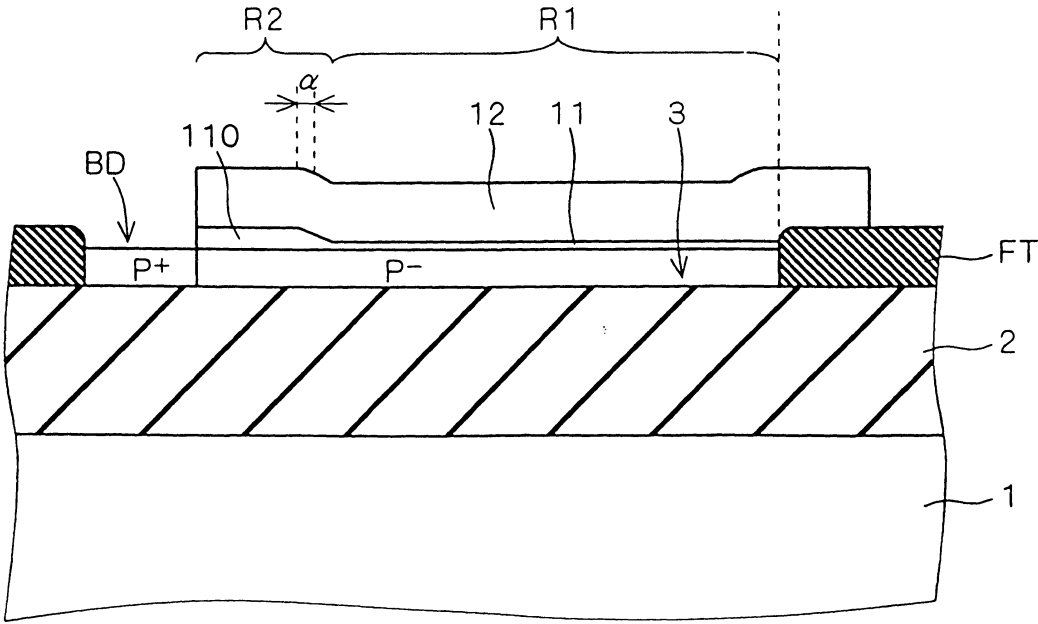
前述本體接觸部，是在前述MOS電晶體的源極區域的閘極寬度方向的端緣部外側的前述SOI層的表面內，鄰接前述源極區域而以帶狀設置；

前述第2厚度的絕緣膜，包含前述閘極絕緣膜之前述第2部分，是配設在前述MOS電晶體之閘極電極之閘極寬度方向的2端部之中，設有帶狀之前述本體接觸部之側。

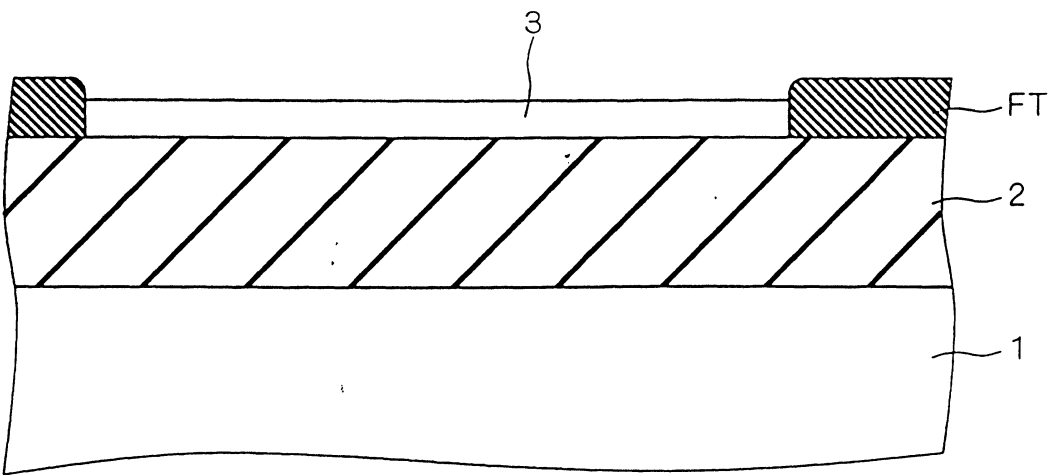




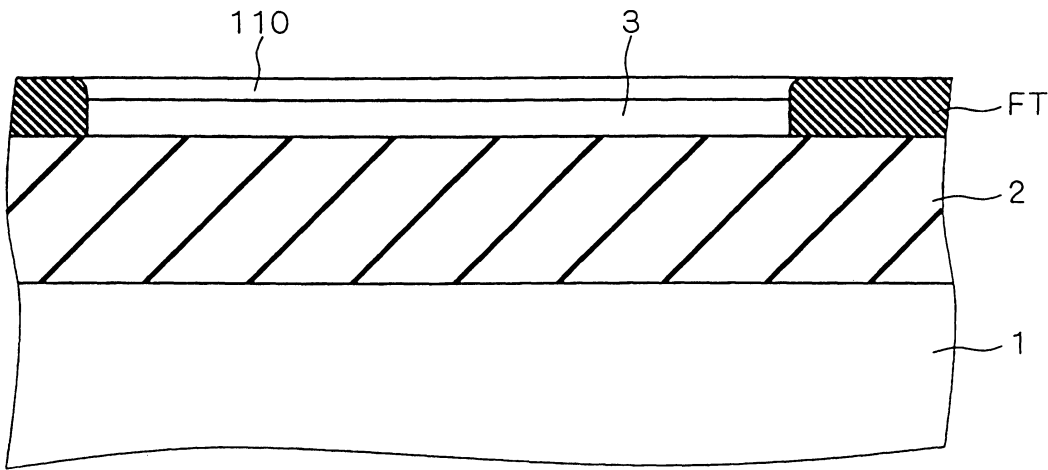
第 1 圖



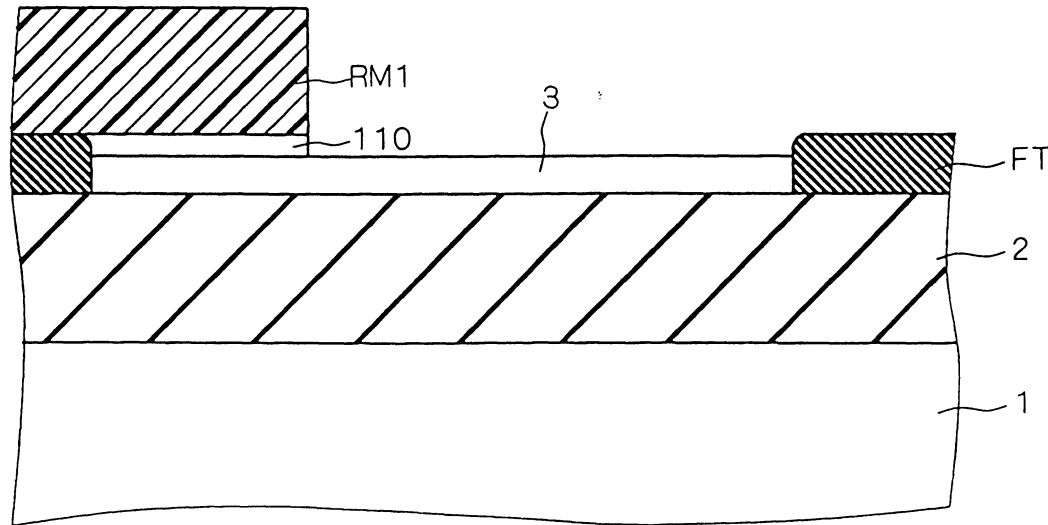
第 2 圖



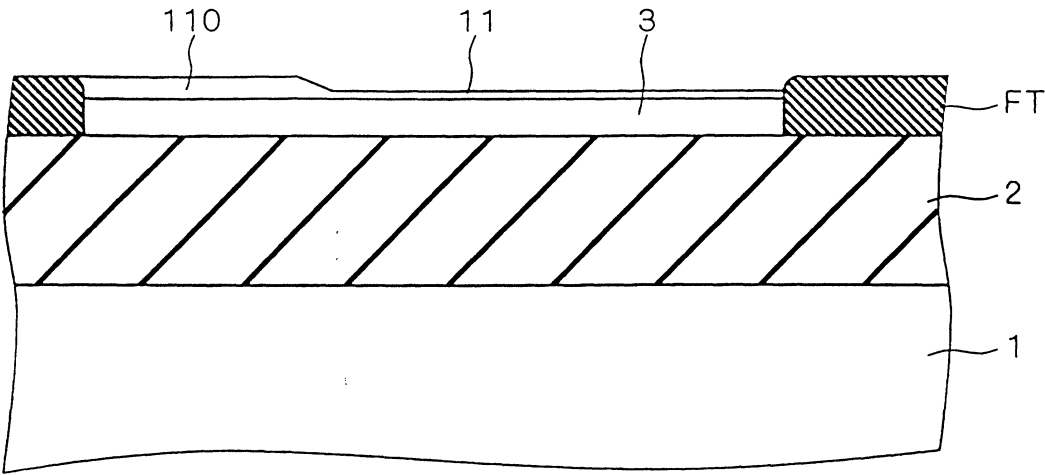
第 3 圖



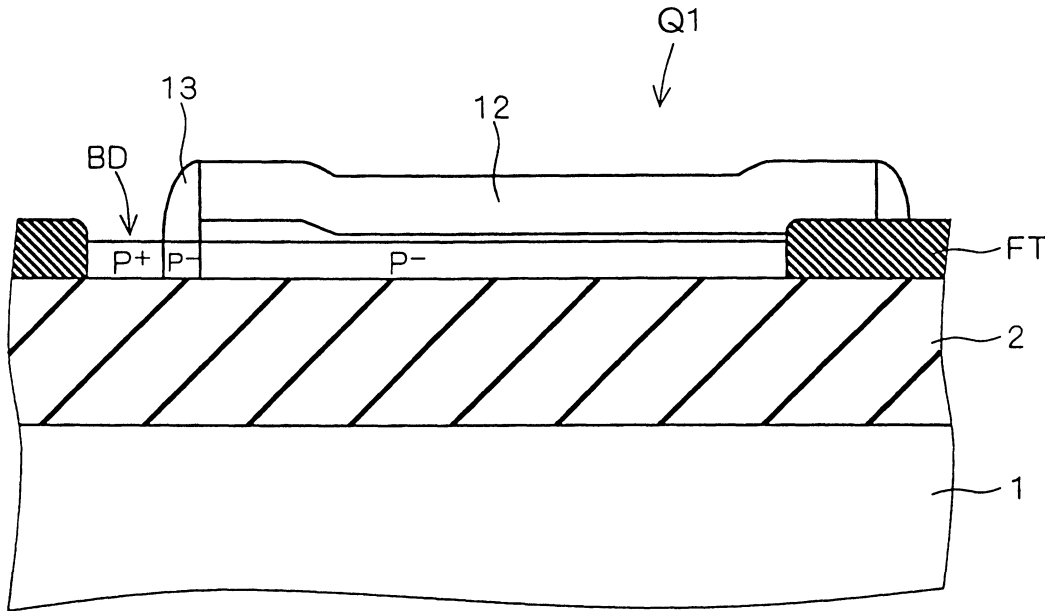
第 4 圖



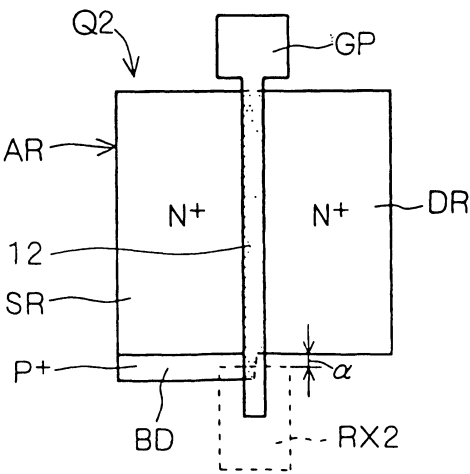
第 5 圖



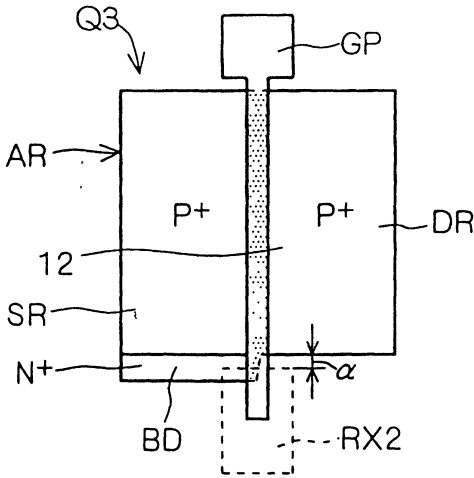
第 6 圖



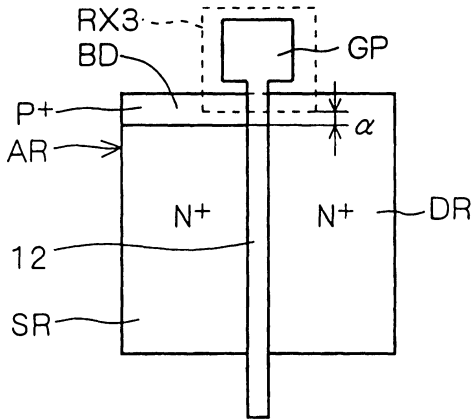
第 7 圖



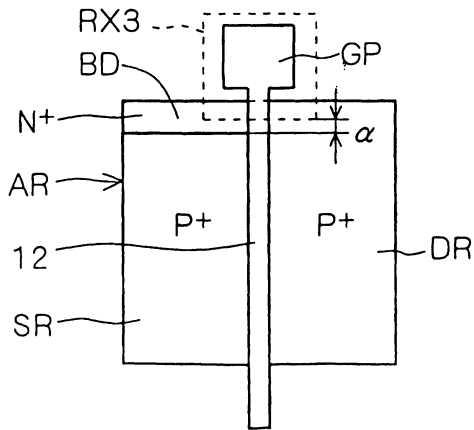
第 8 圖



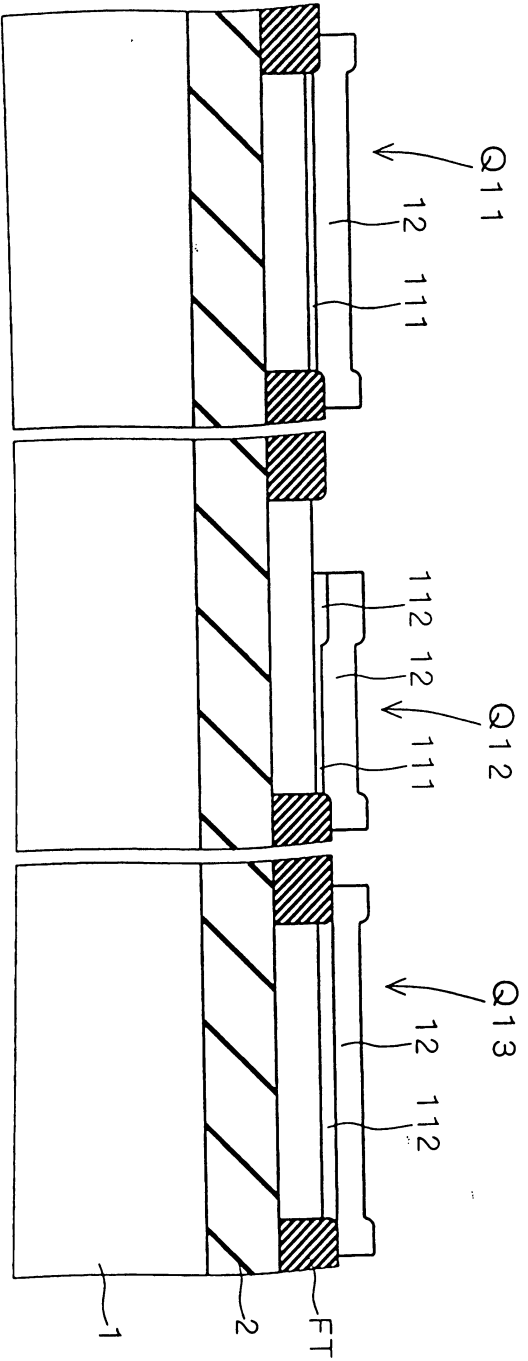
第 9 圖



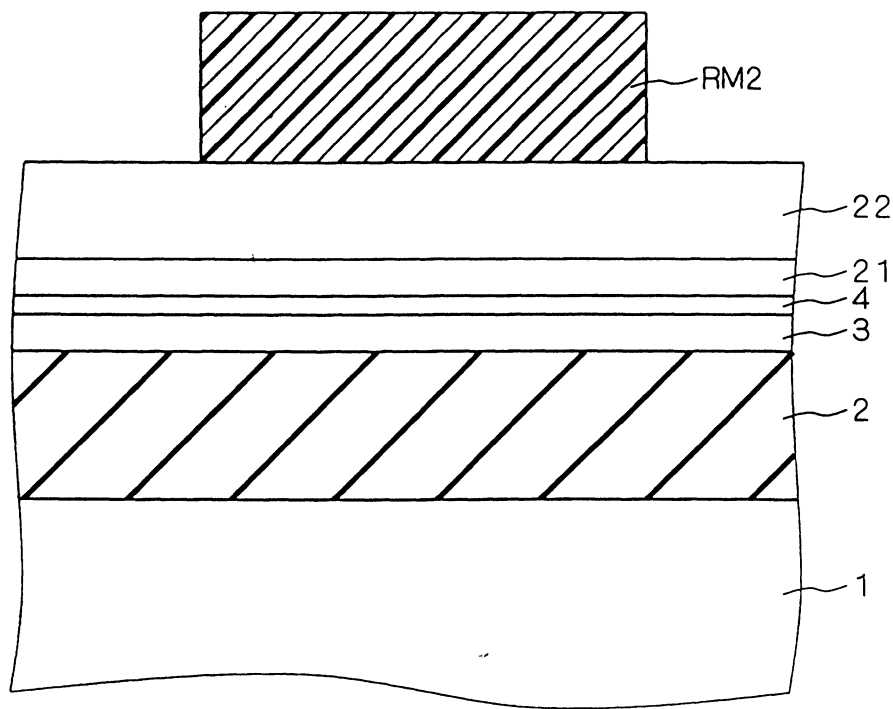
第 10 圖



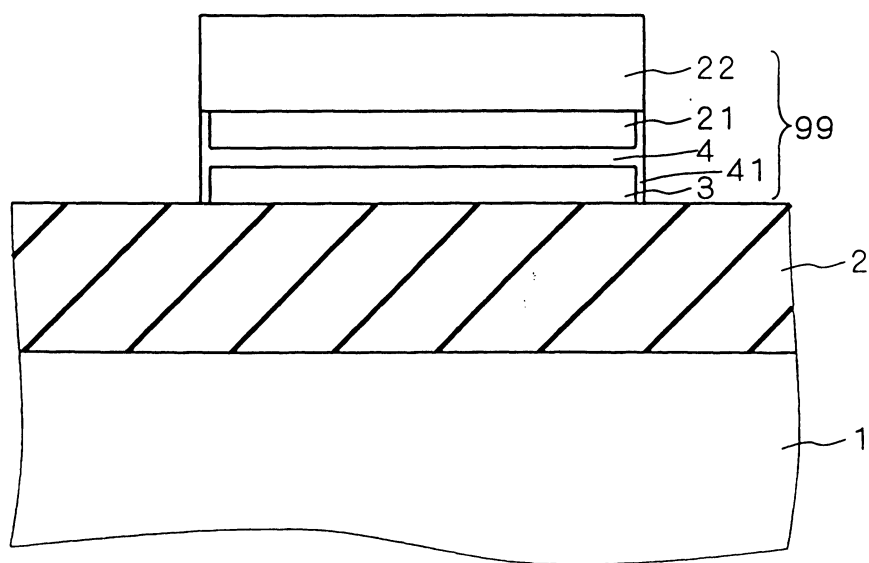
第 11 圖



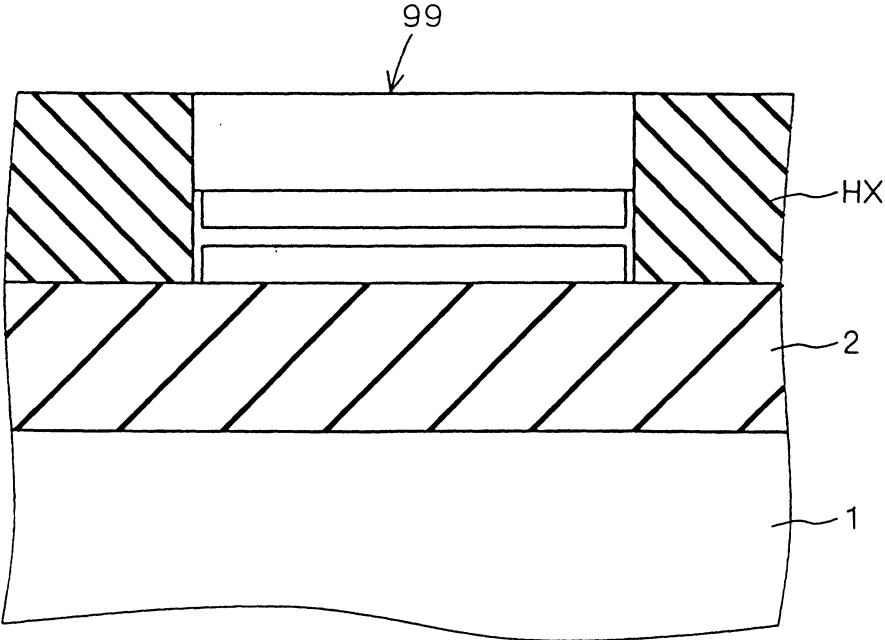
第12回



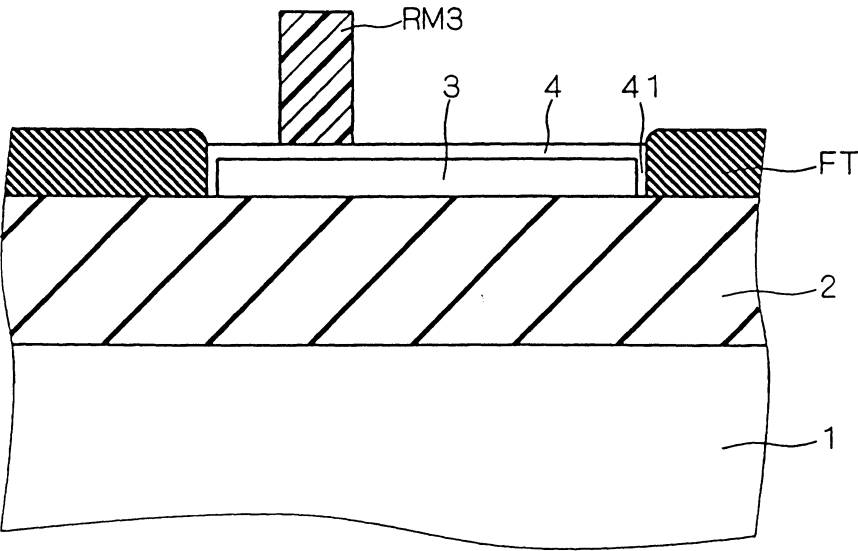
第 13 圖



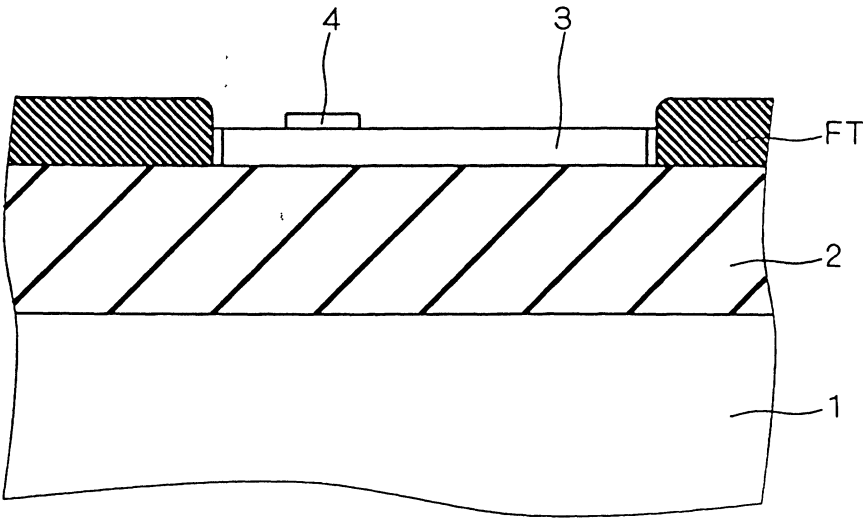
第 14 圖



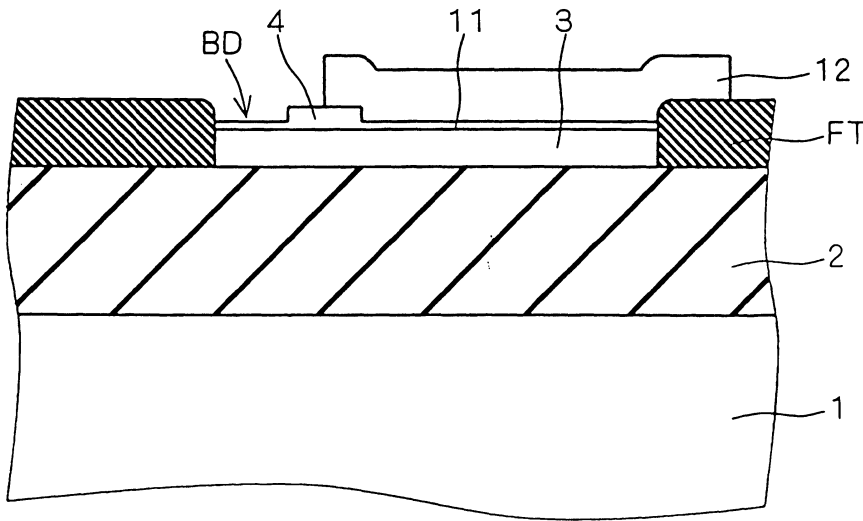
第 15 圖



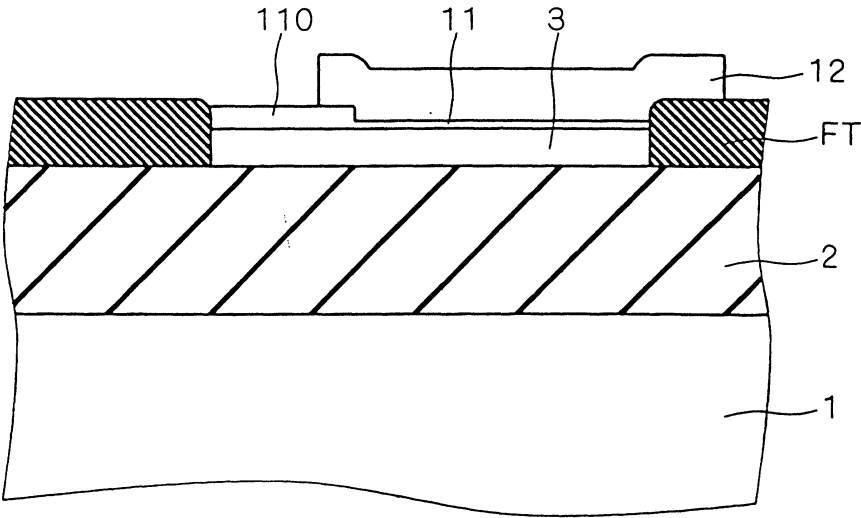
第 16 圖



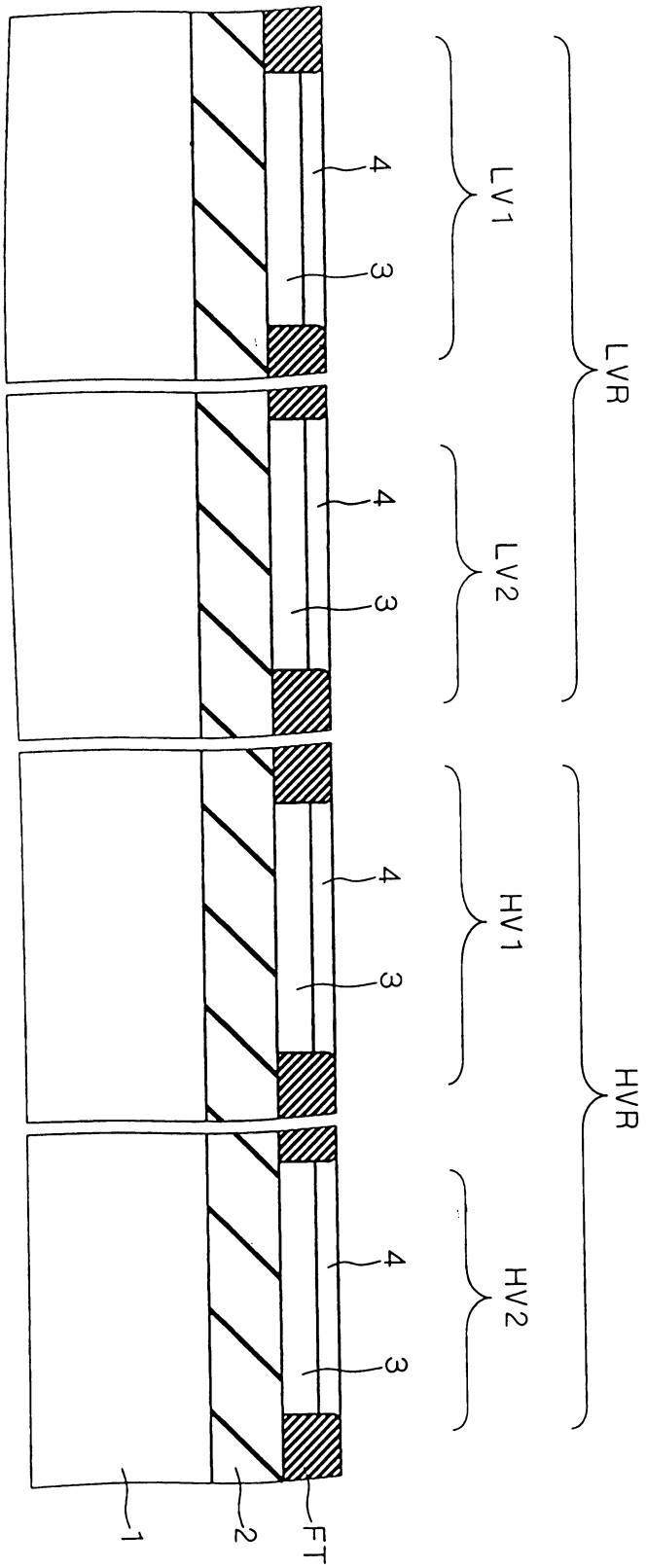
第 17 圖



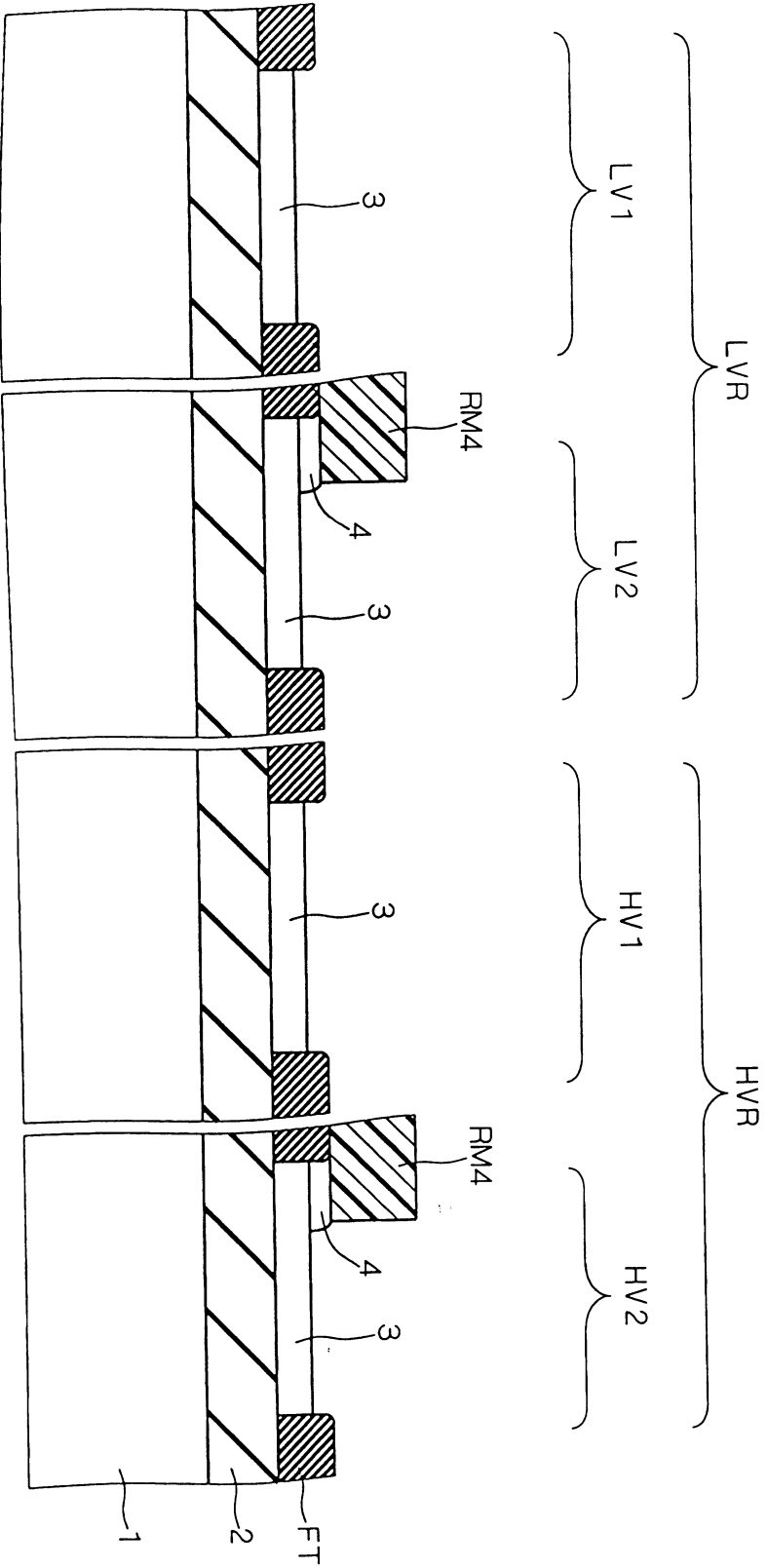
第 18 圖



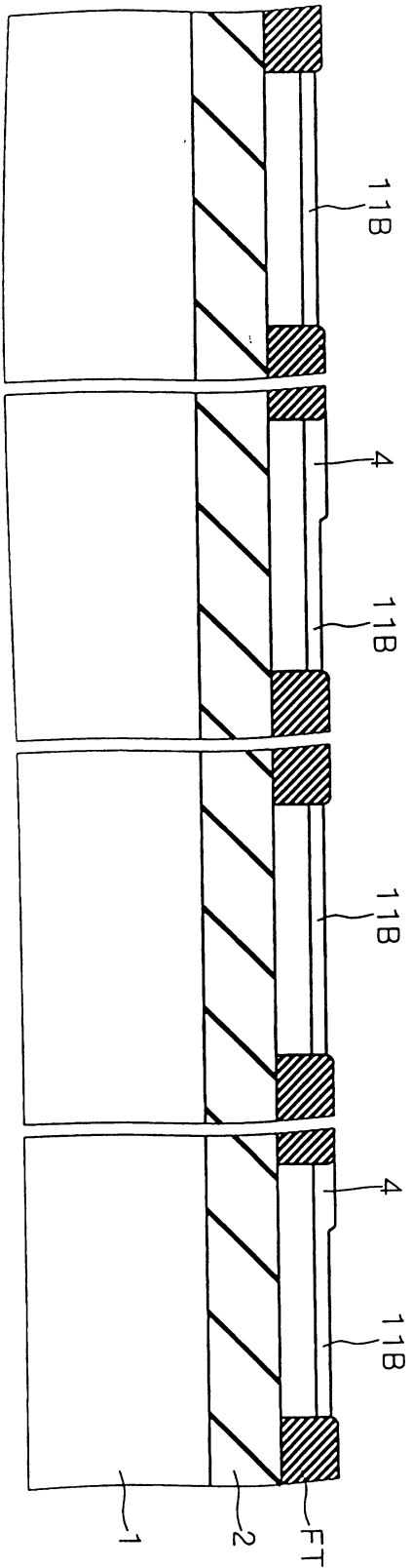
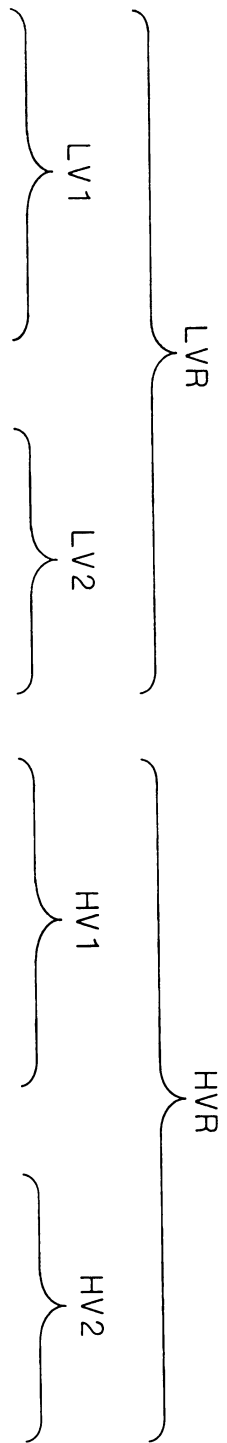
第 19 圖



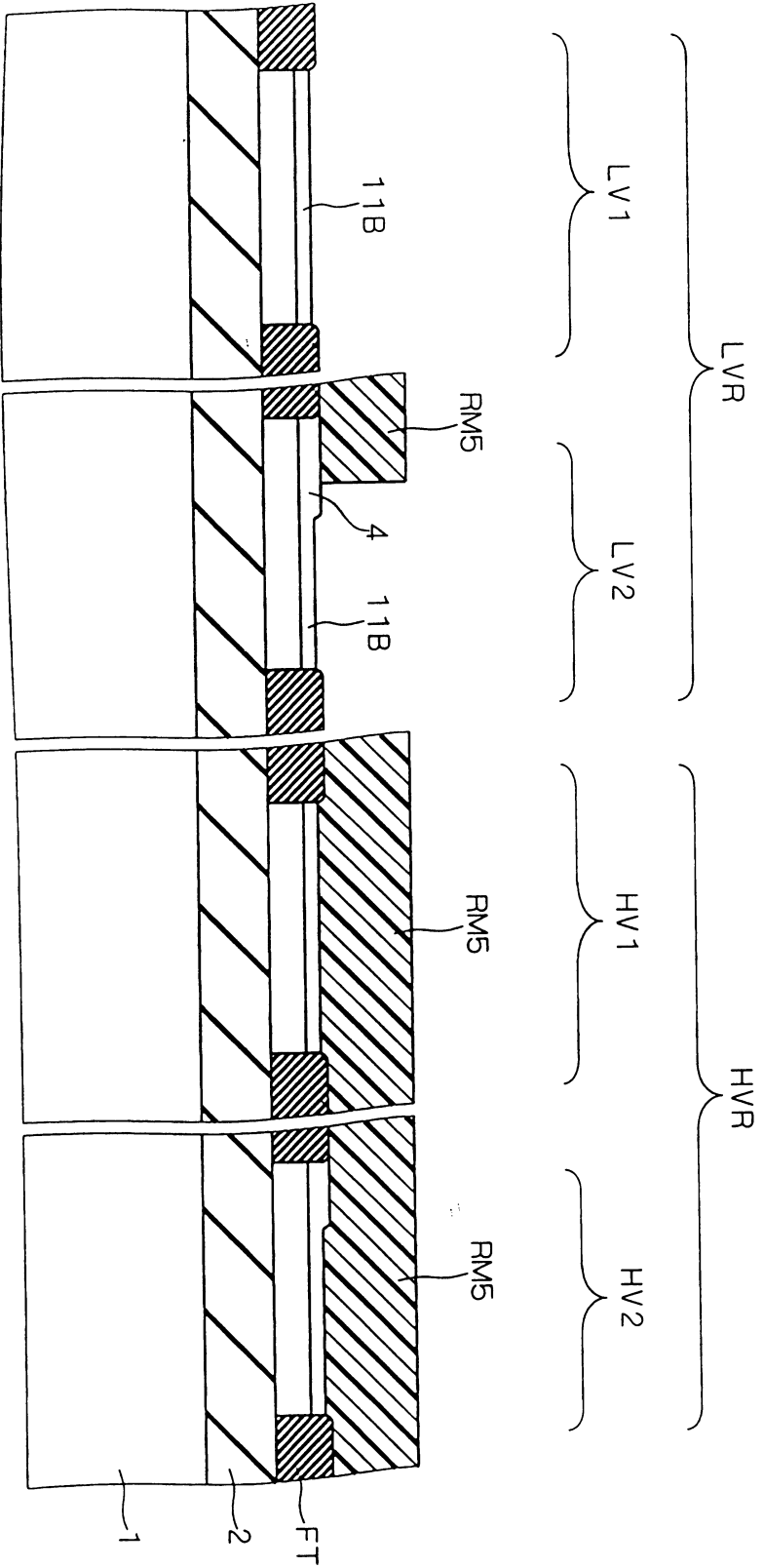
第 20 圖



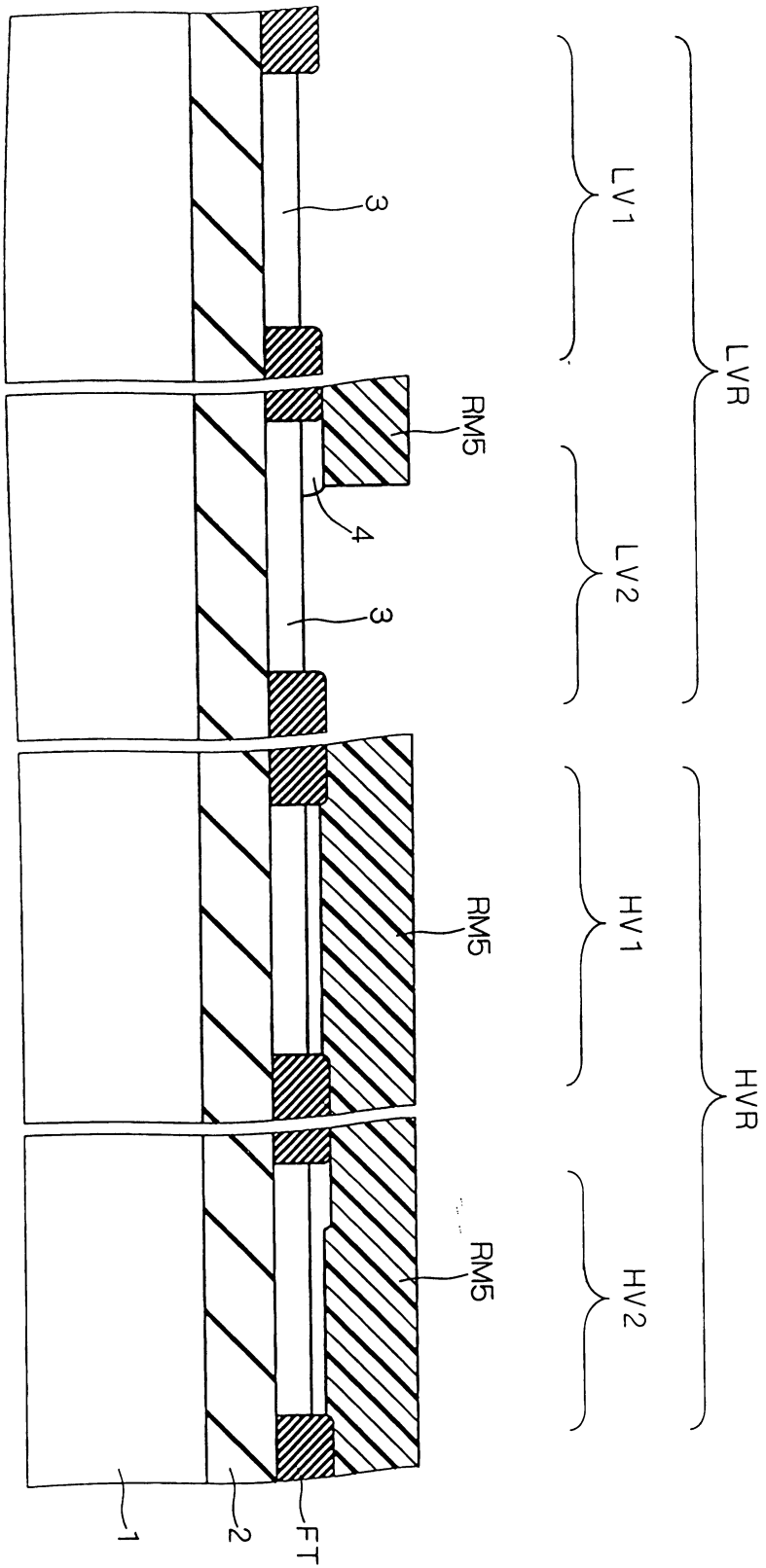
第 21 圖



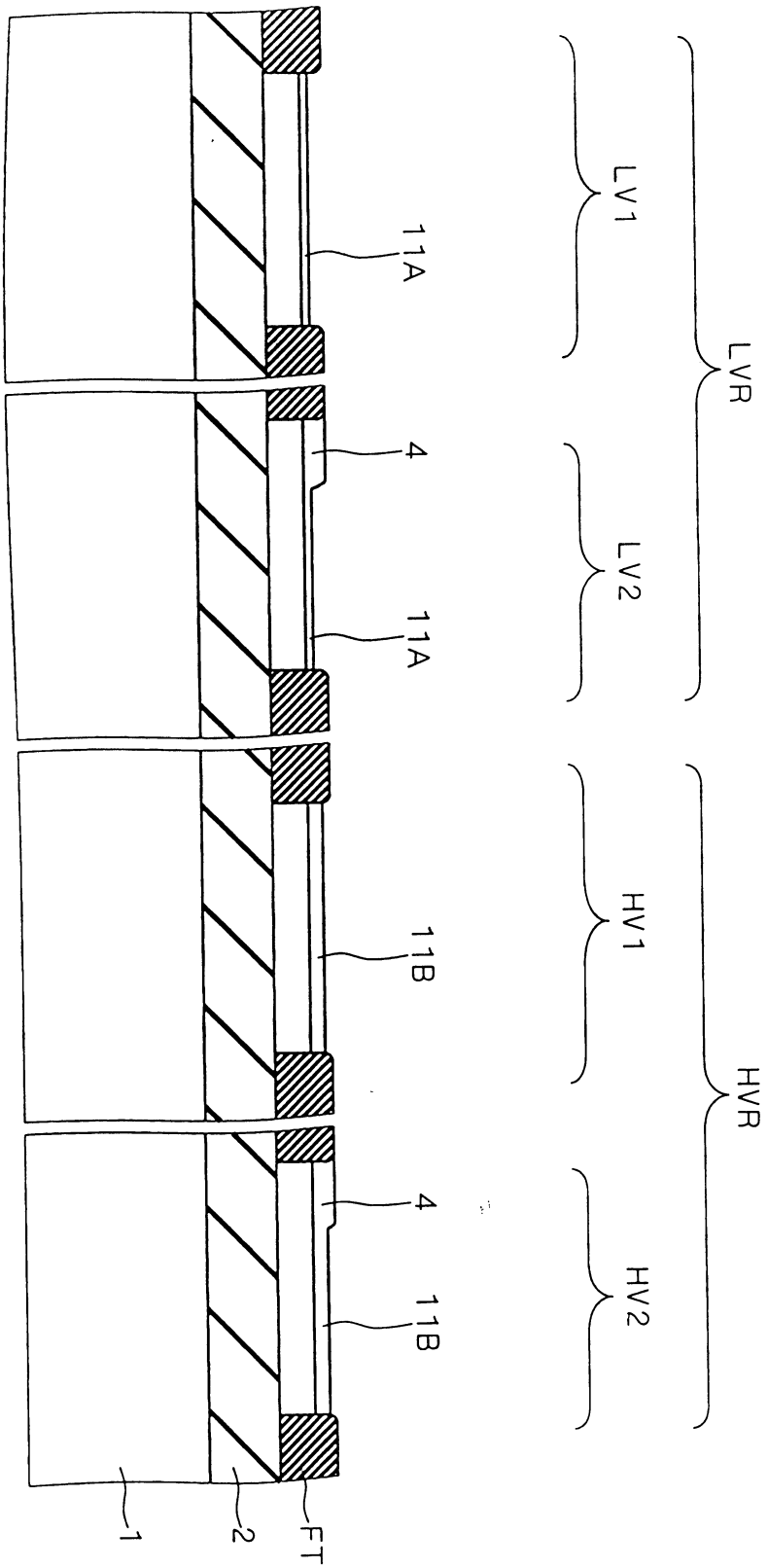
第 22 圖



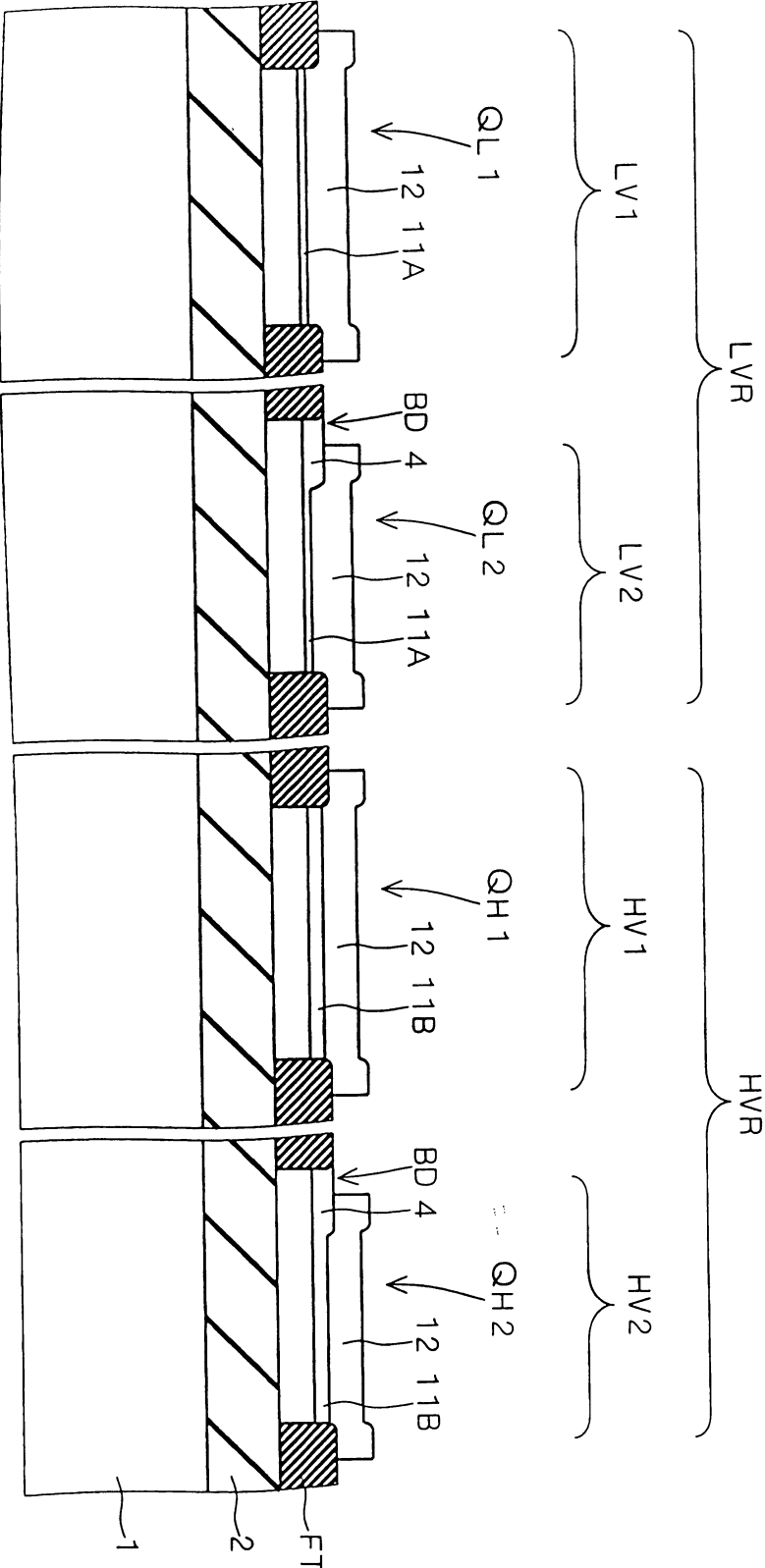
第 23 圖



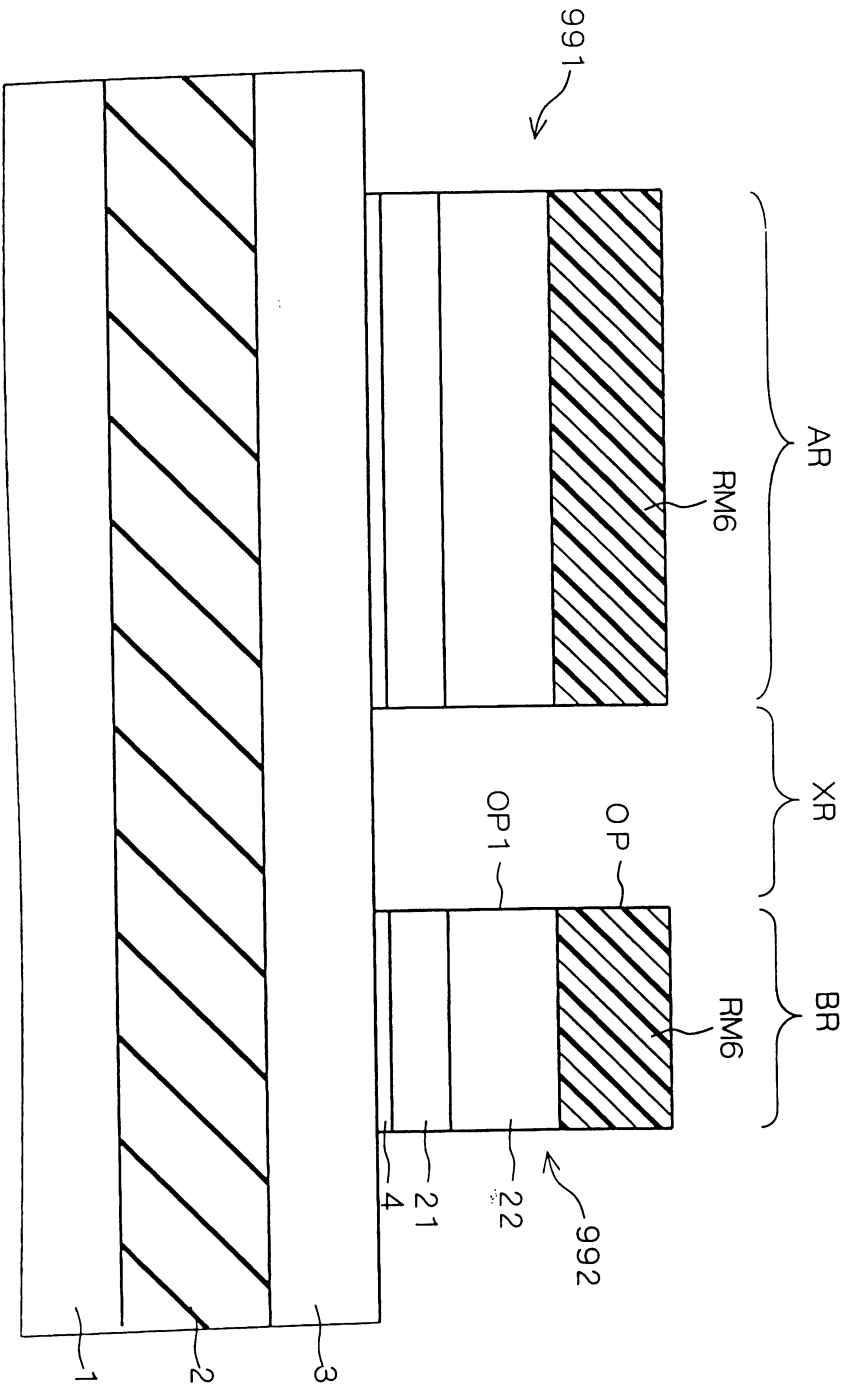
第 24 圖



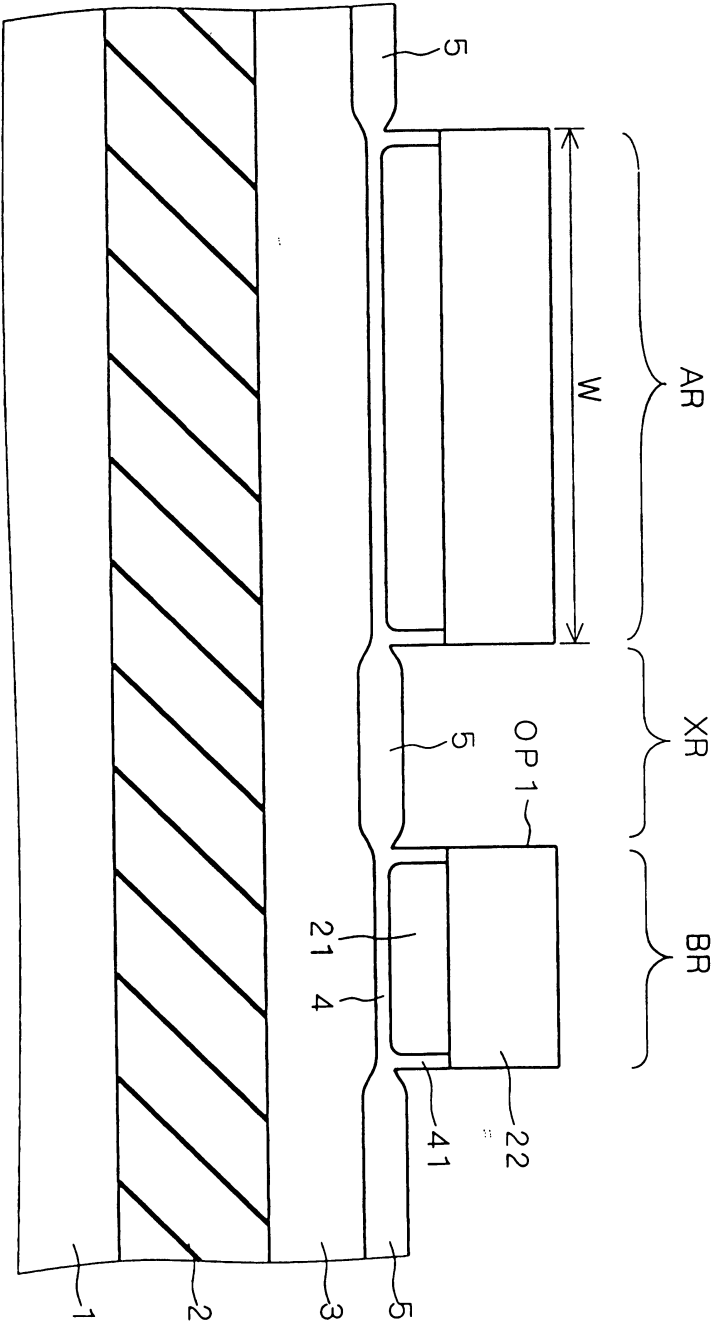
第 25 圖



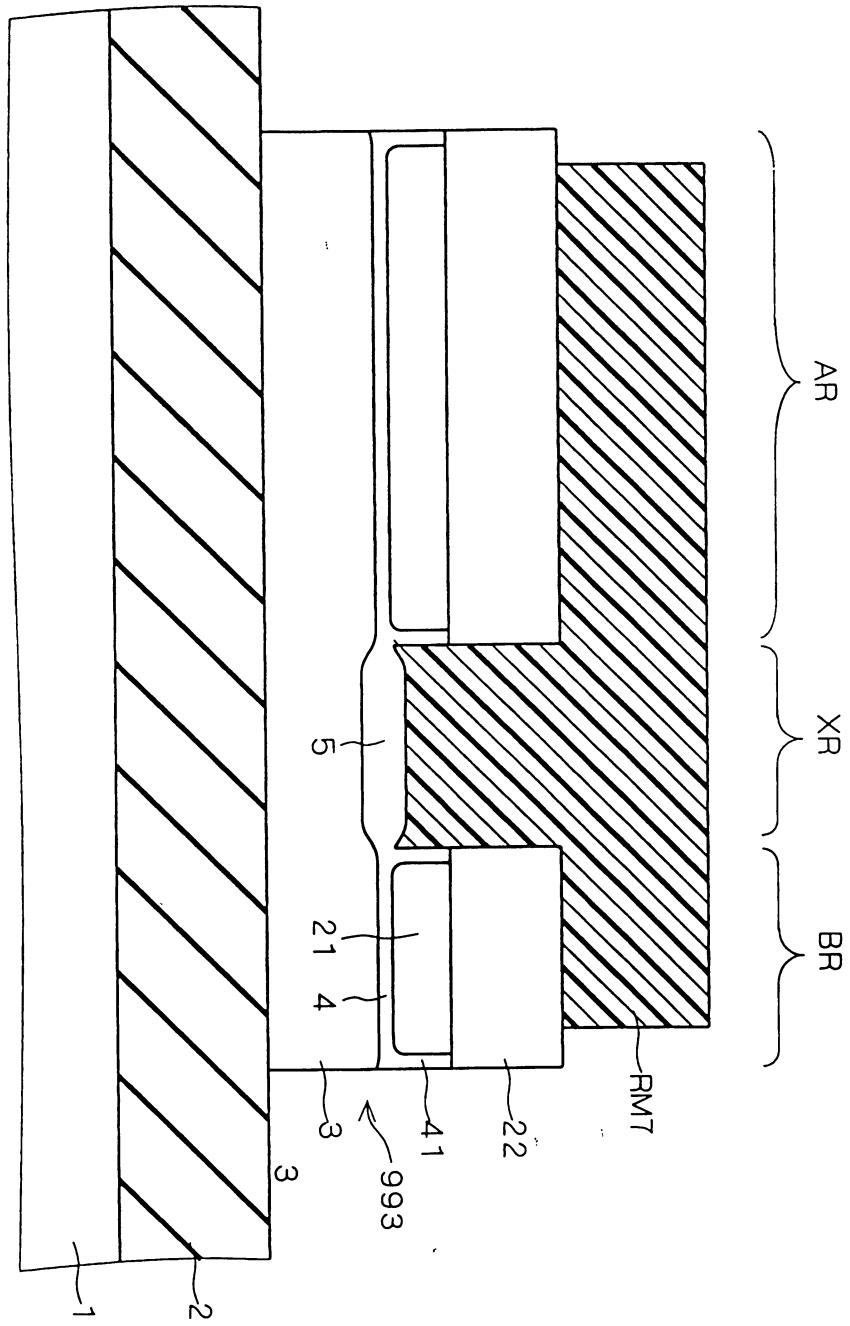
第 26 圖



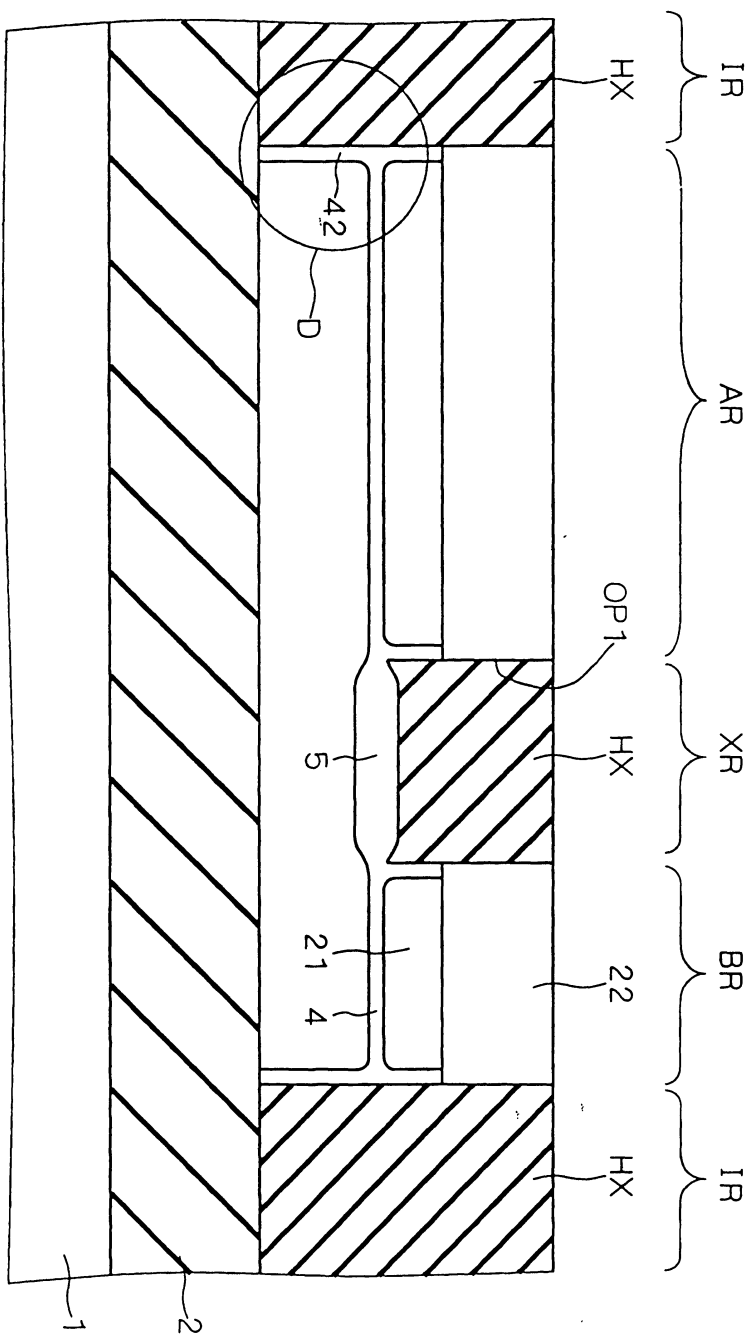
第 27 圖



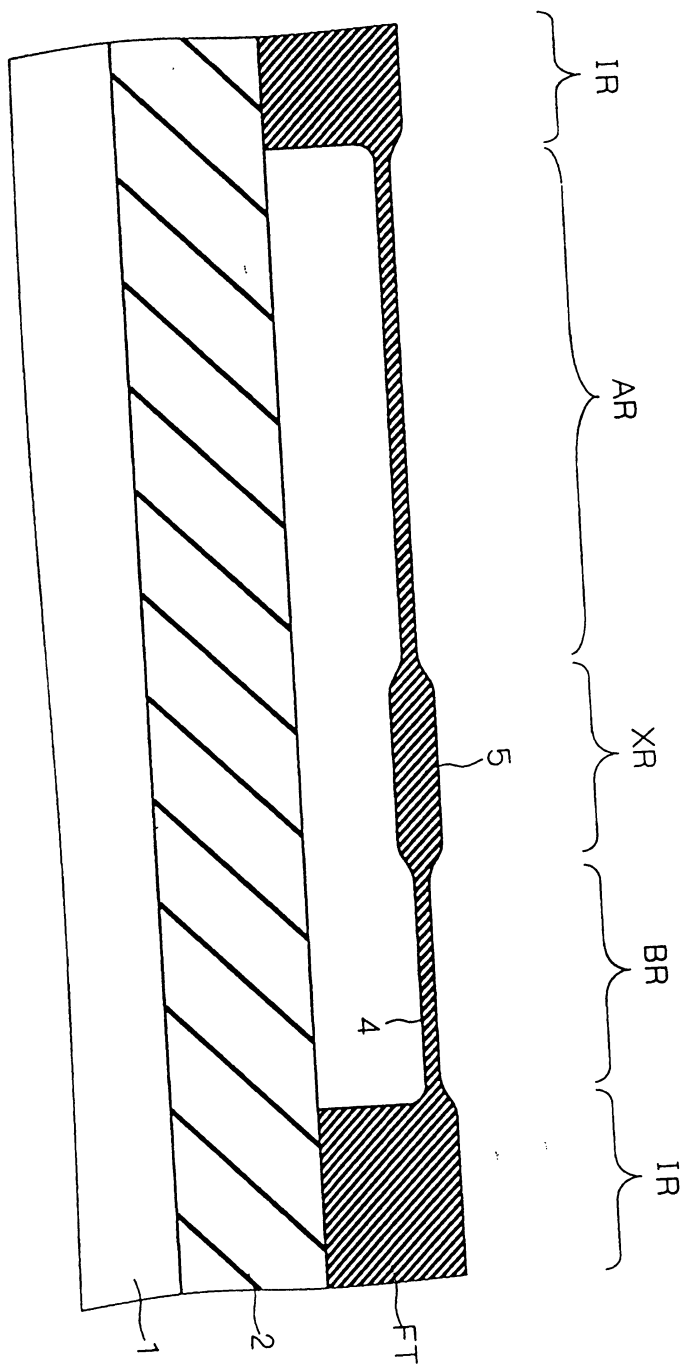
第 28 圖



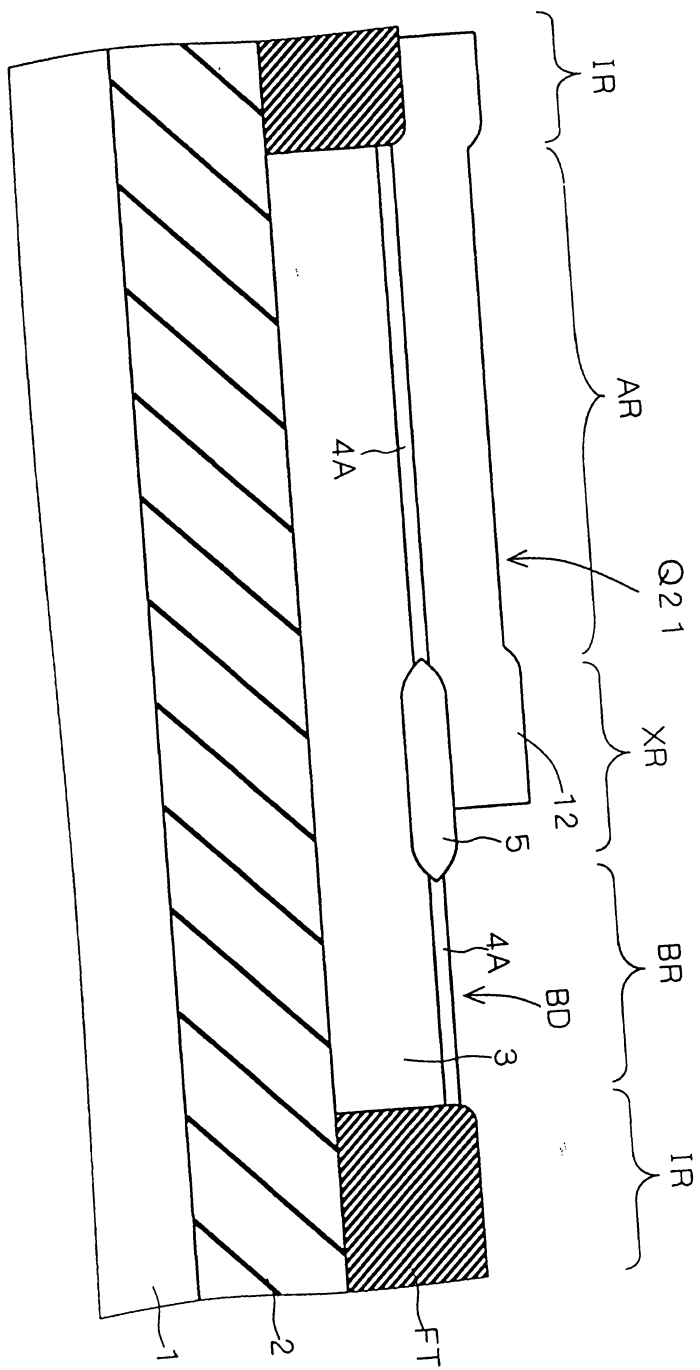
第 29 圖



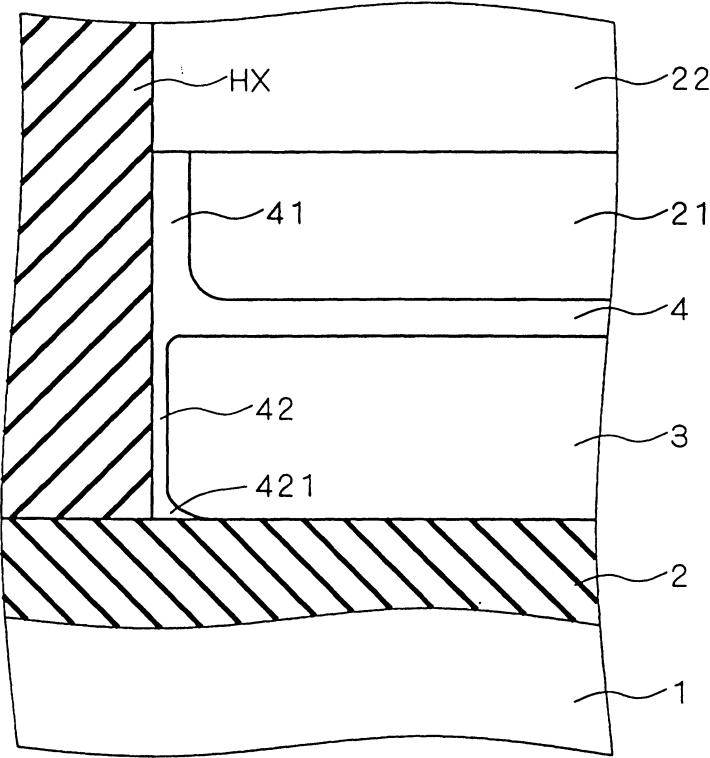
第 30 圖



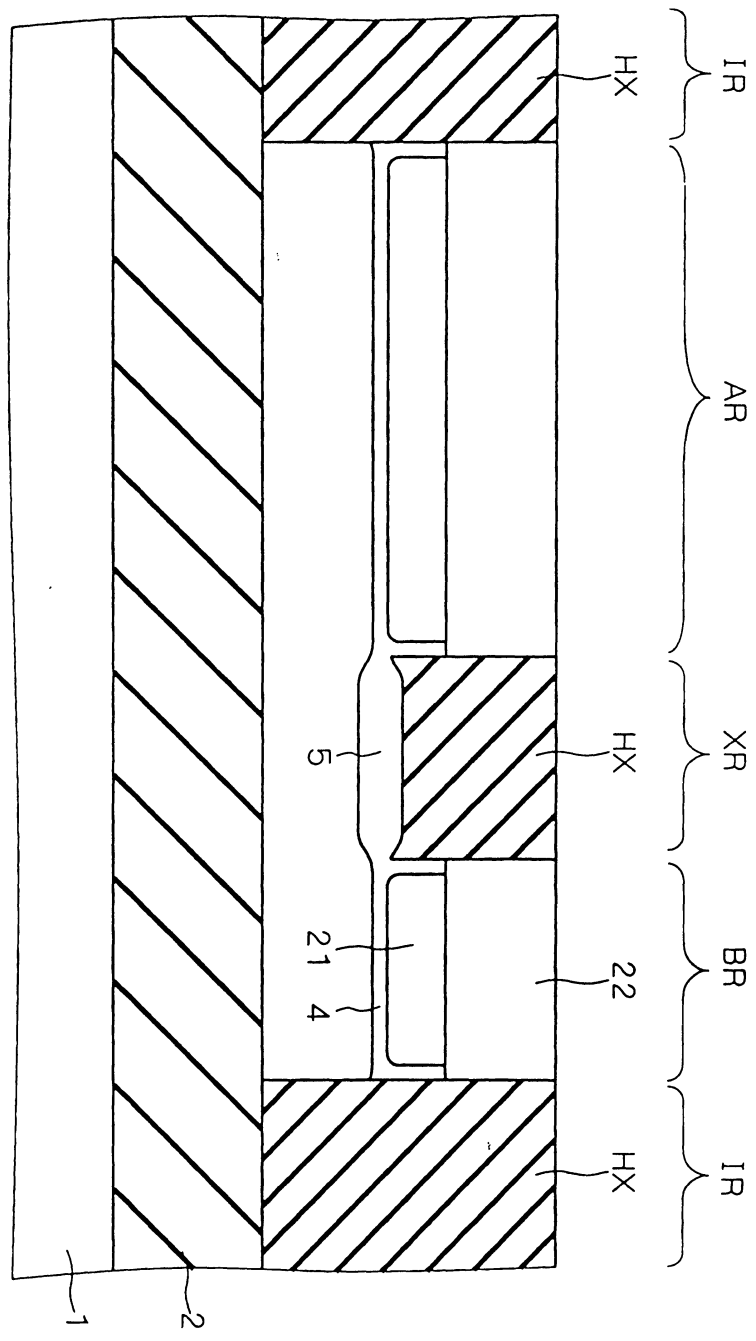
第 31 圖



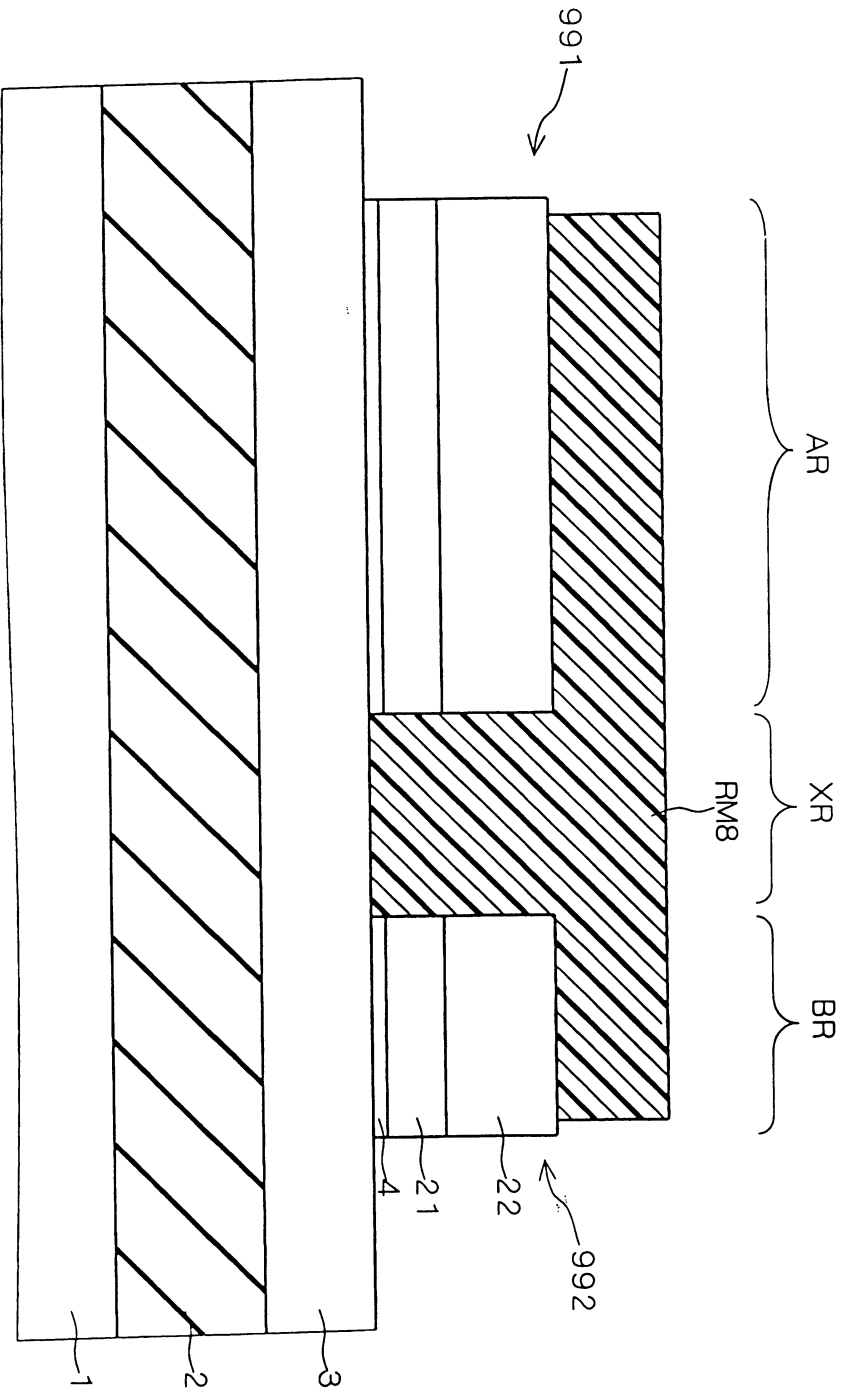
第 32 圖



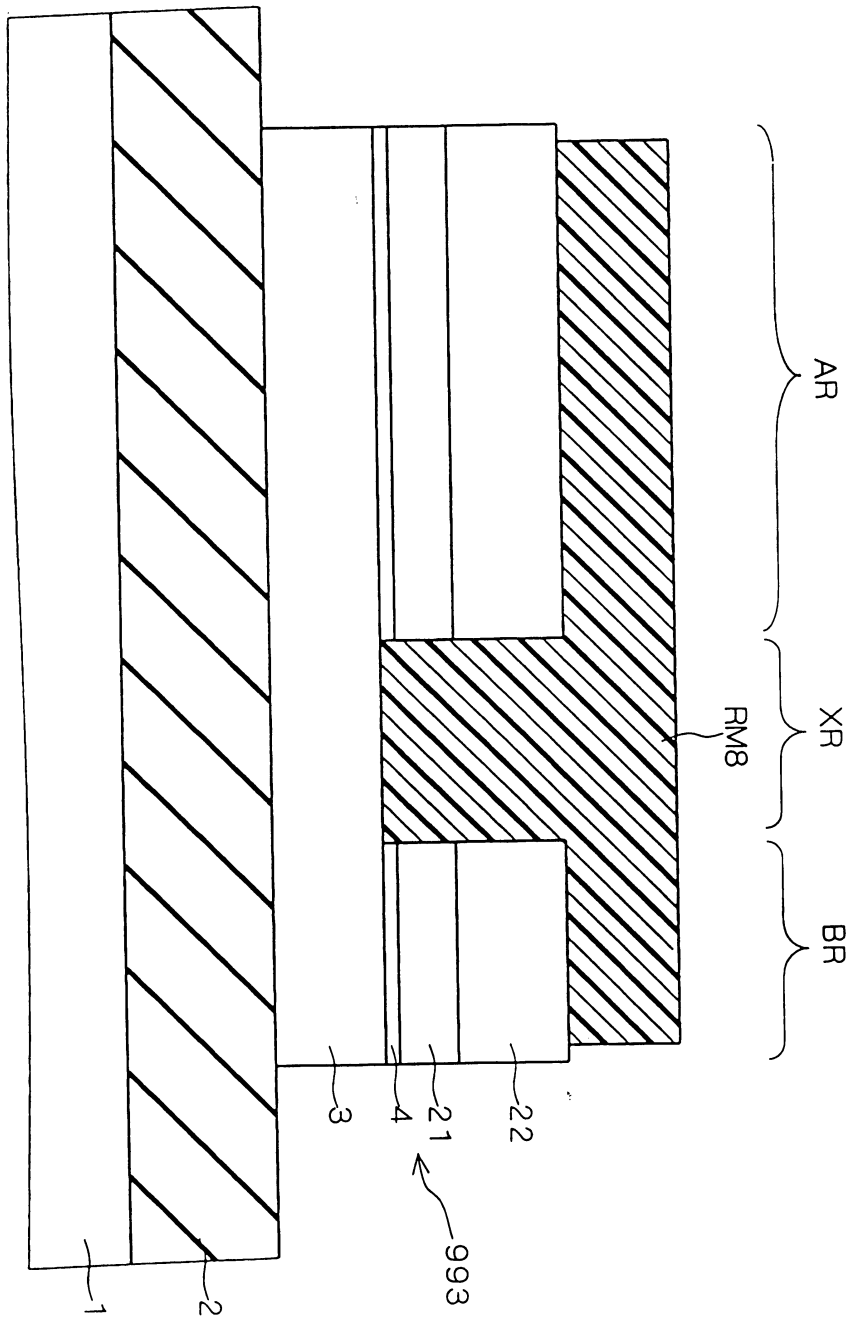
第 33 圖



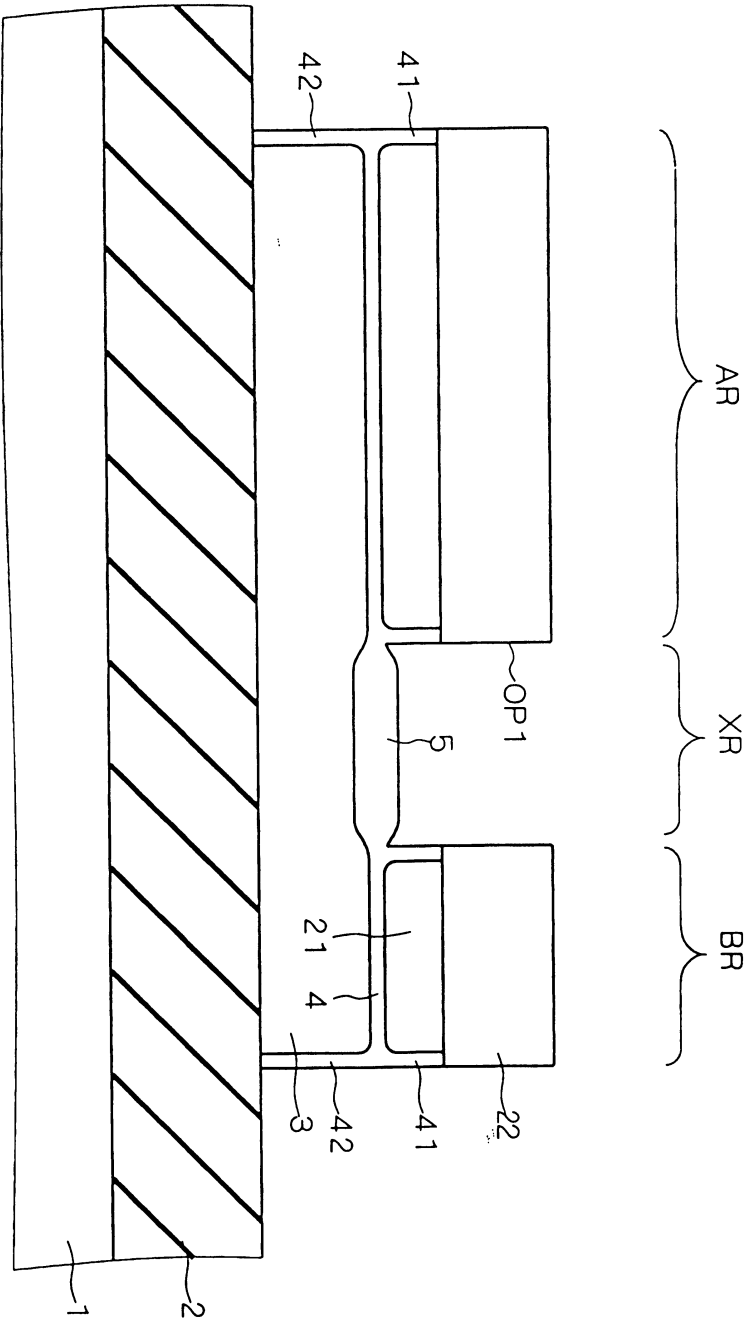
第 34 圖



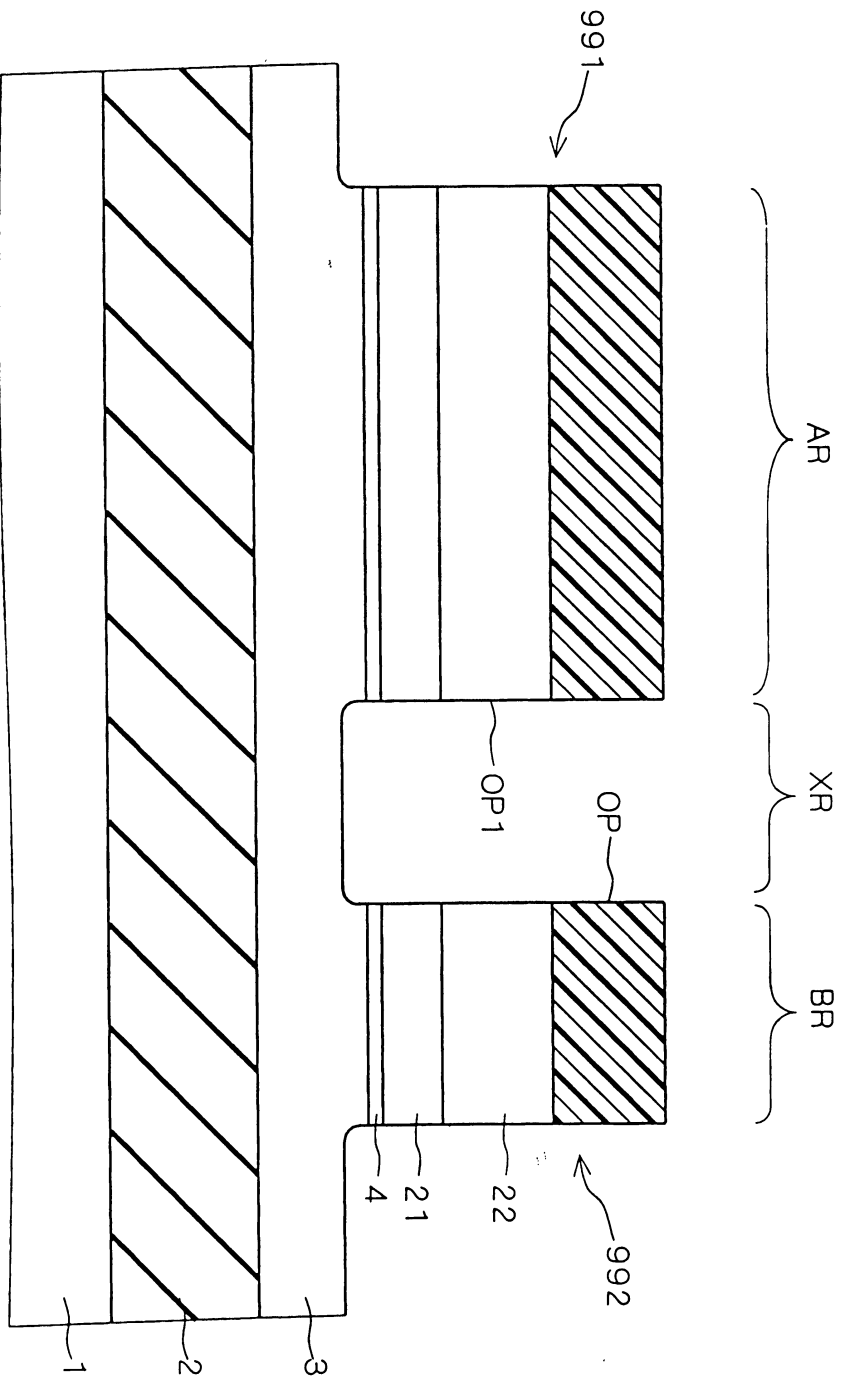
第 35 圖



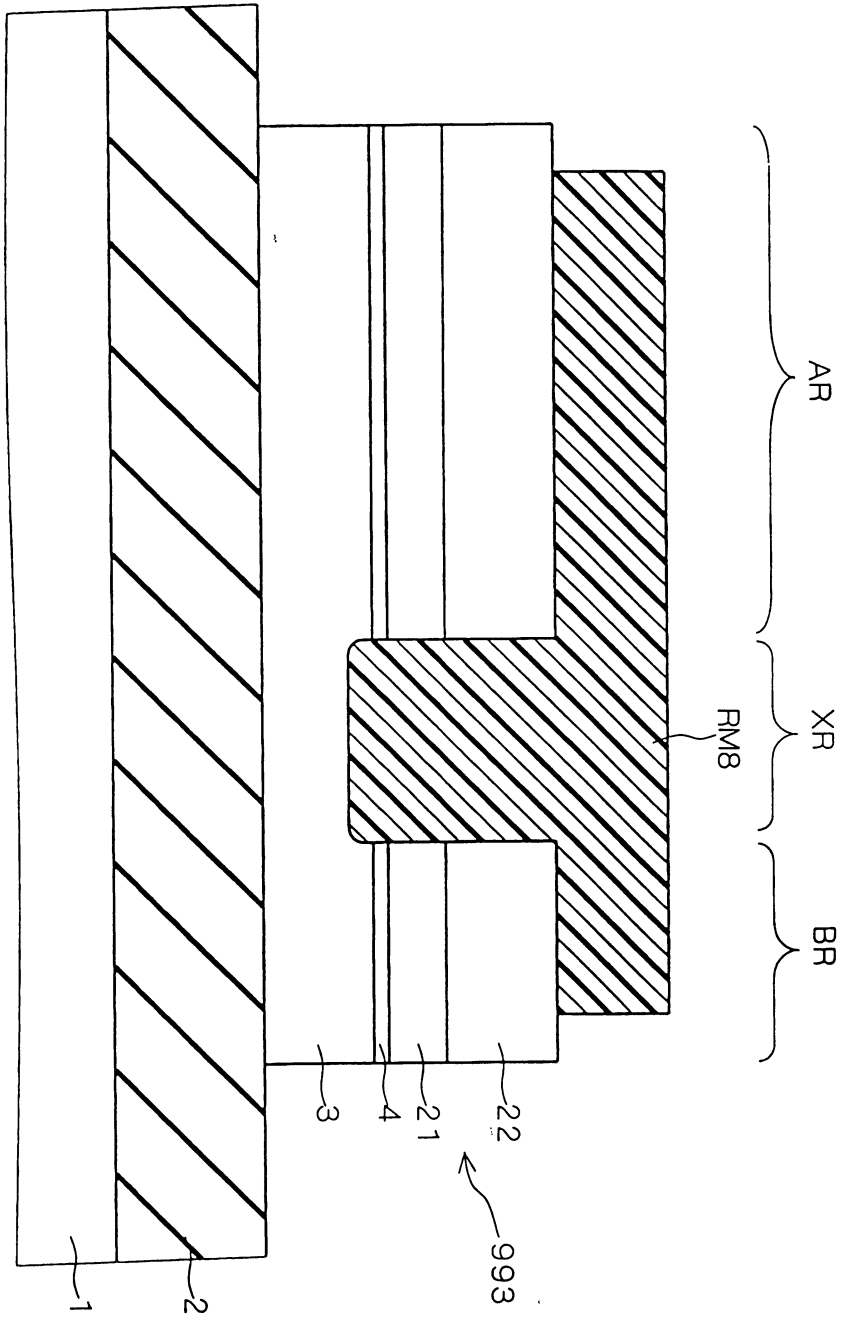
第 36 圖



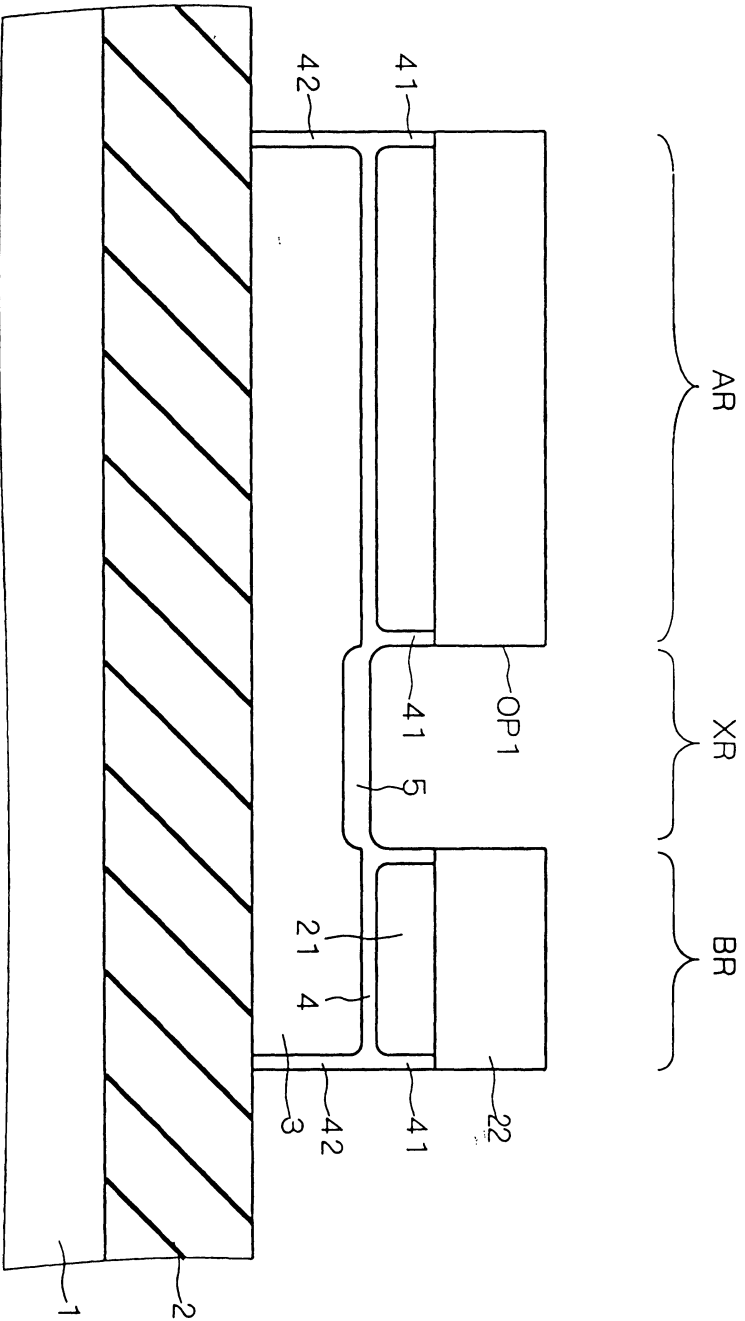
第 37 圖



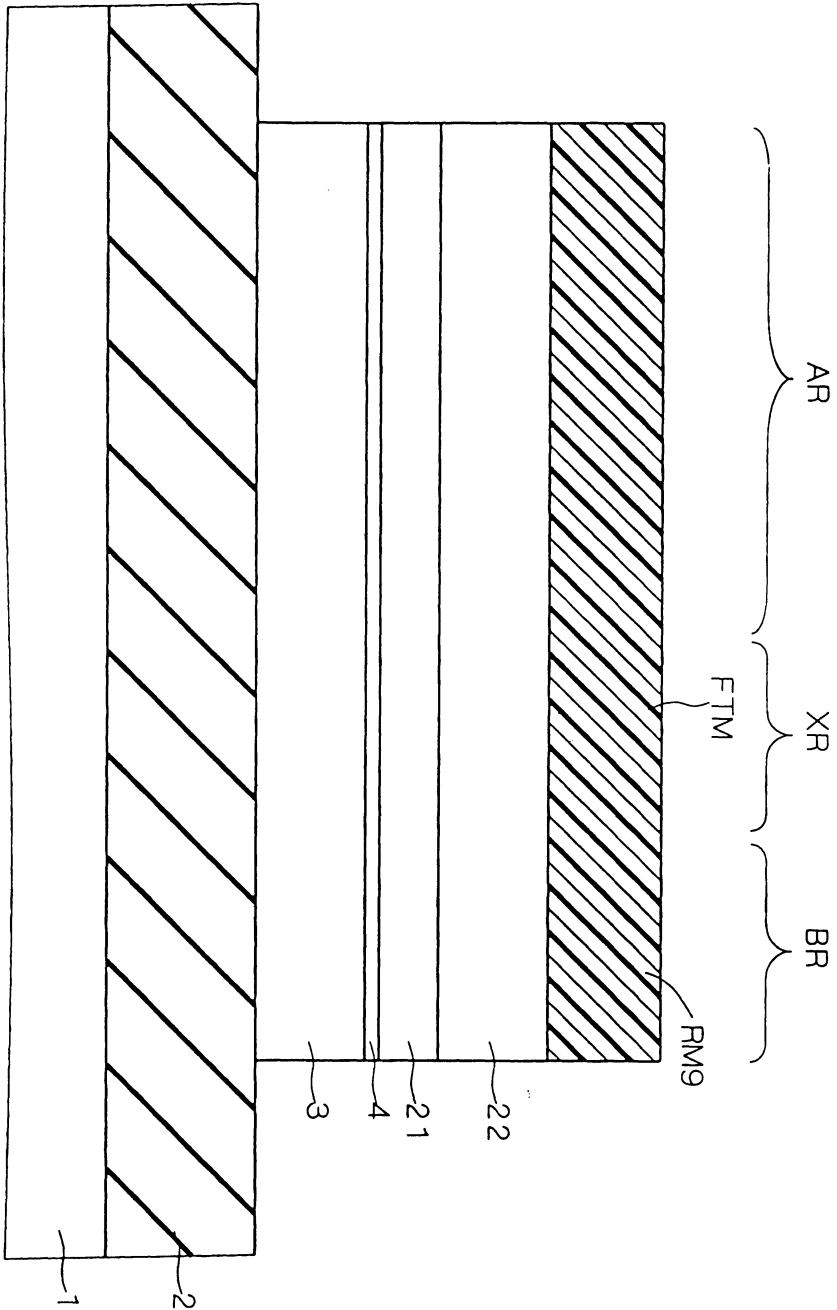
第 38 圖



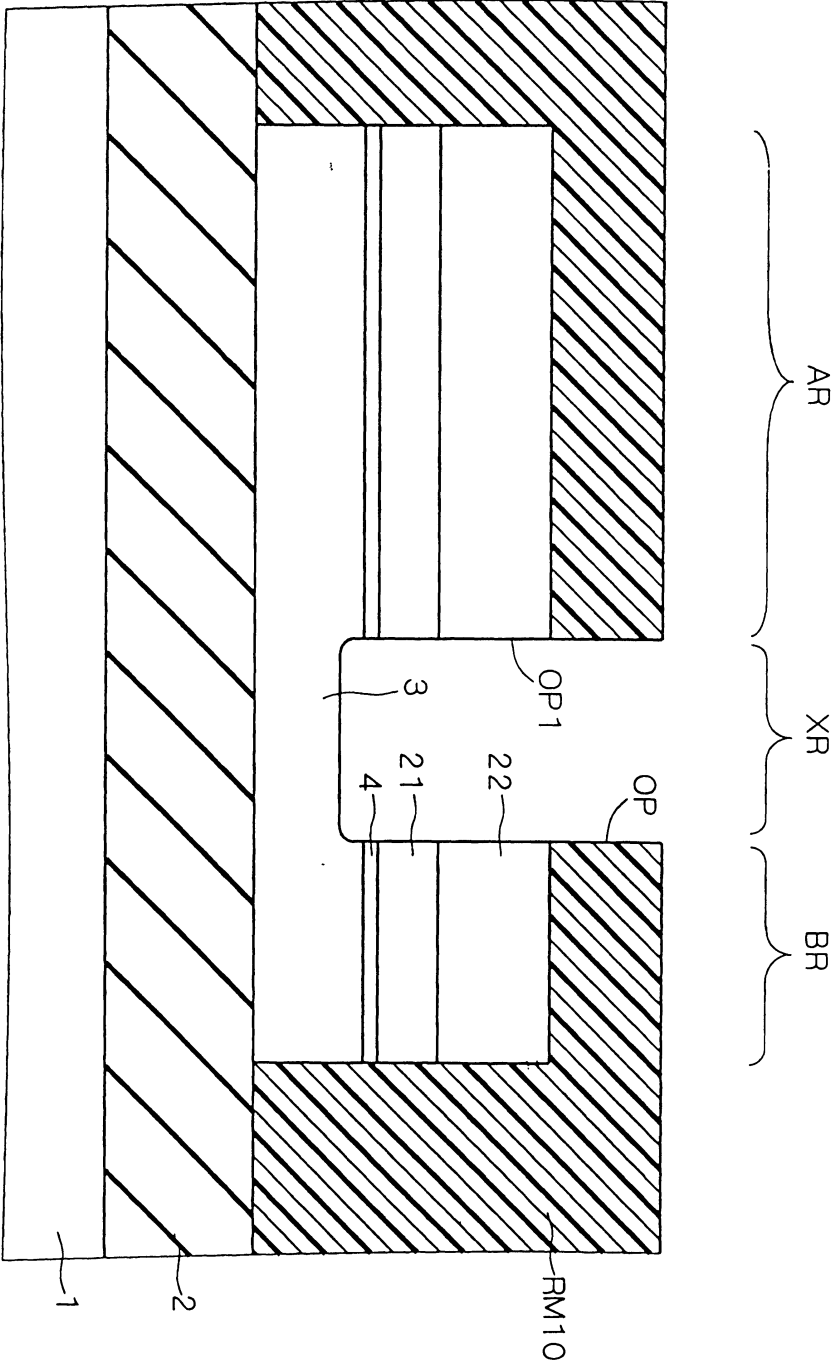
第 39 圖



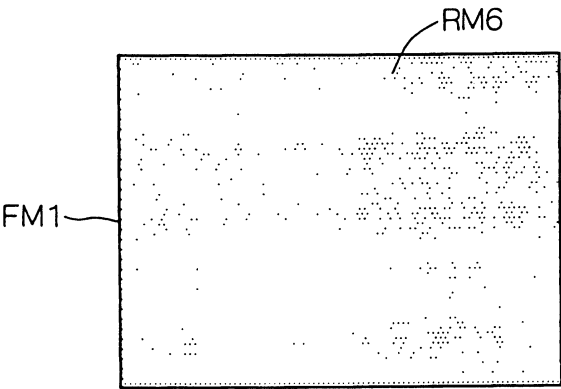
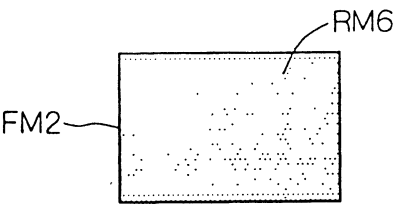
第 40 圖



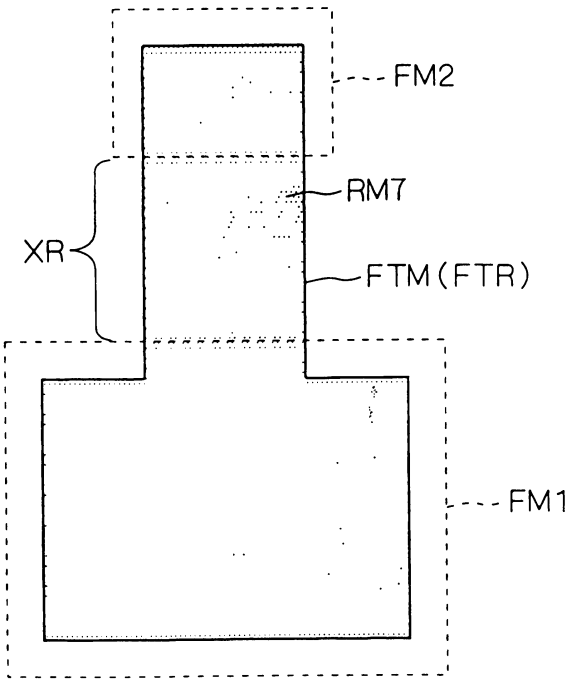
第 41 圖



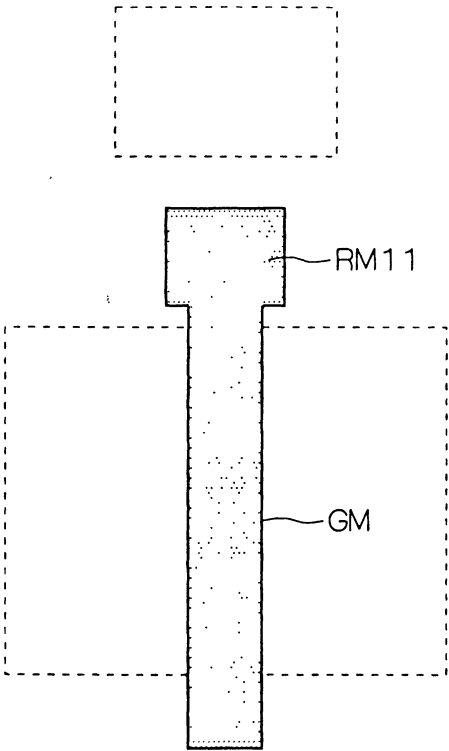
第 42 圖



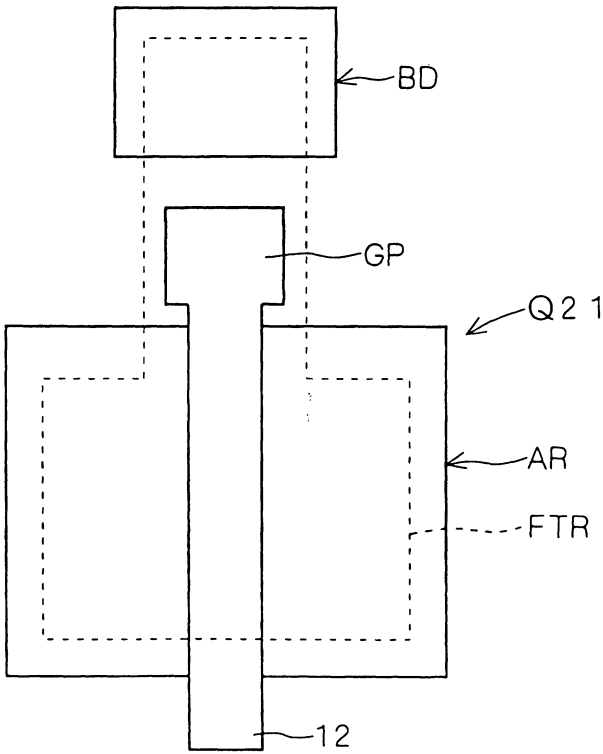
第 43 圖



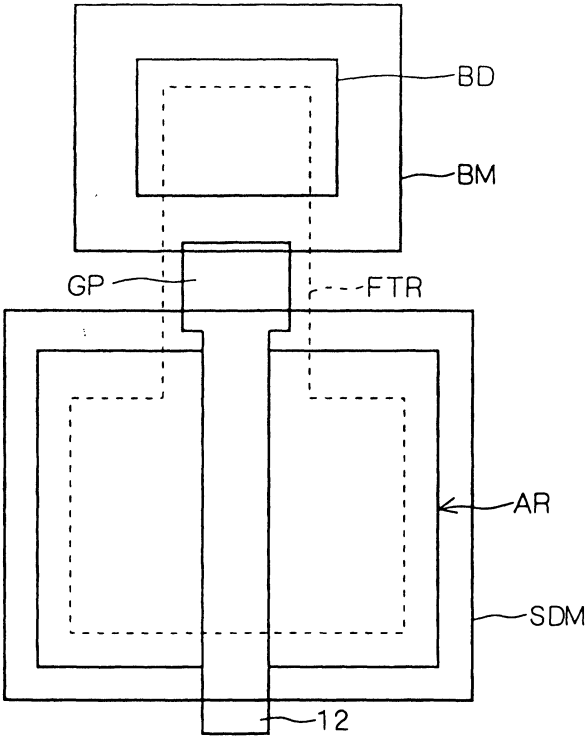
第 44 圖



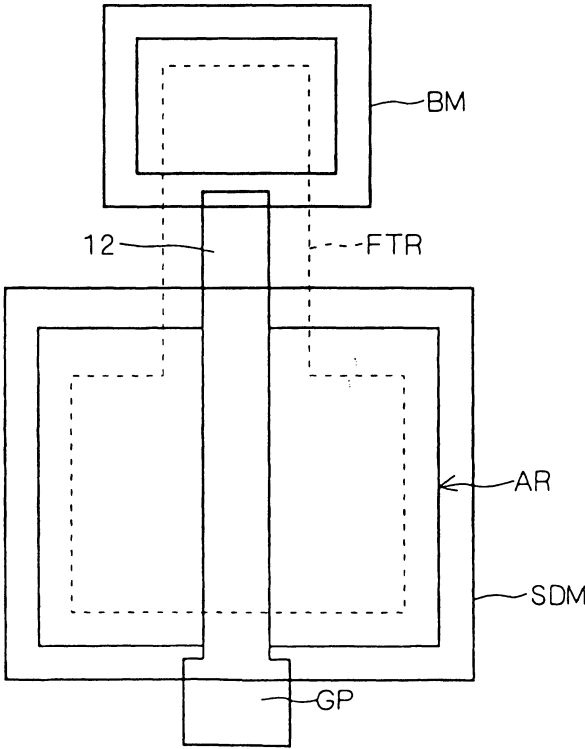
第 45 圖



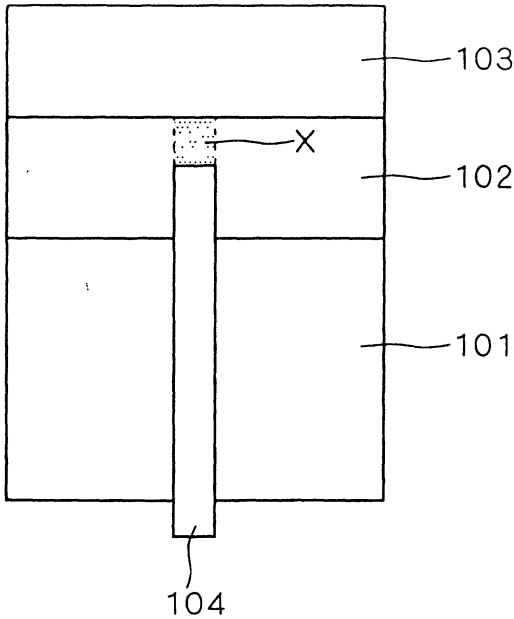
第 46 圖



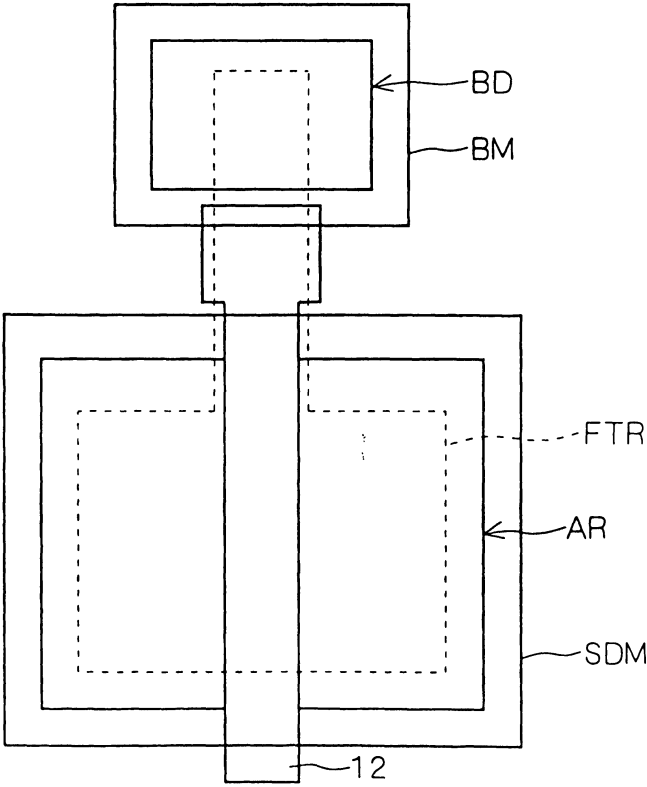
第 47 圖



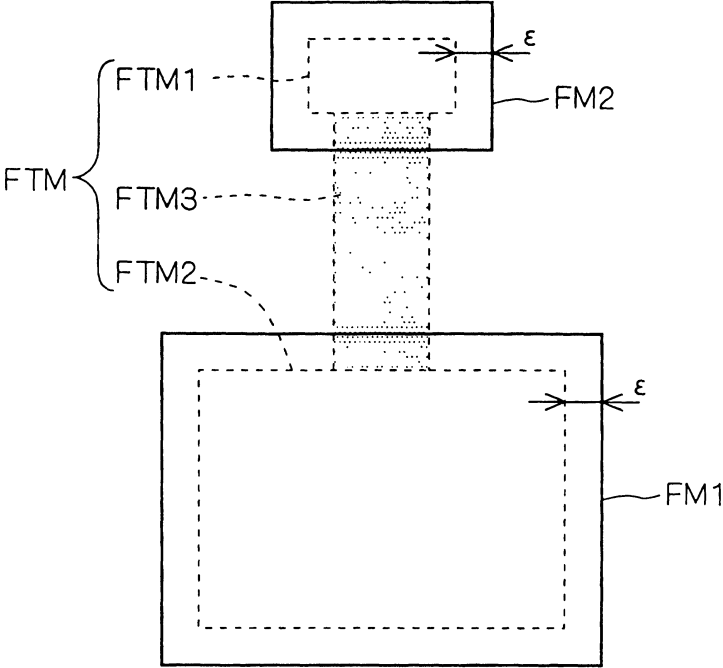
第 48 圖



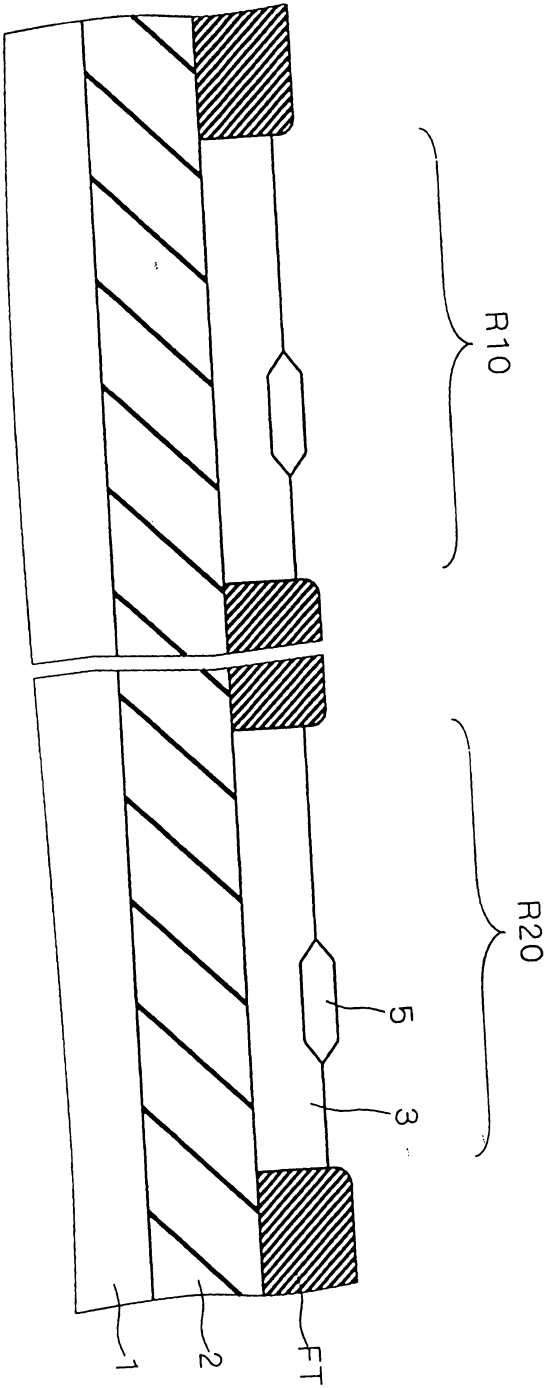
第 49 圖



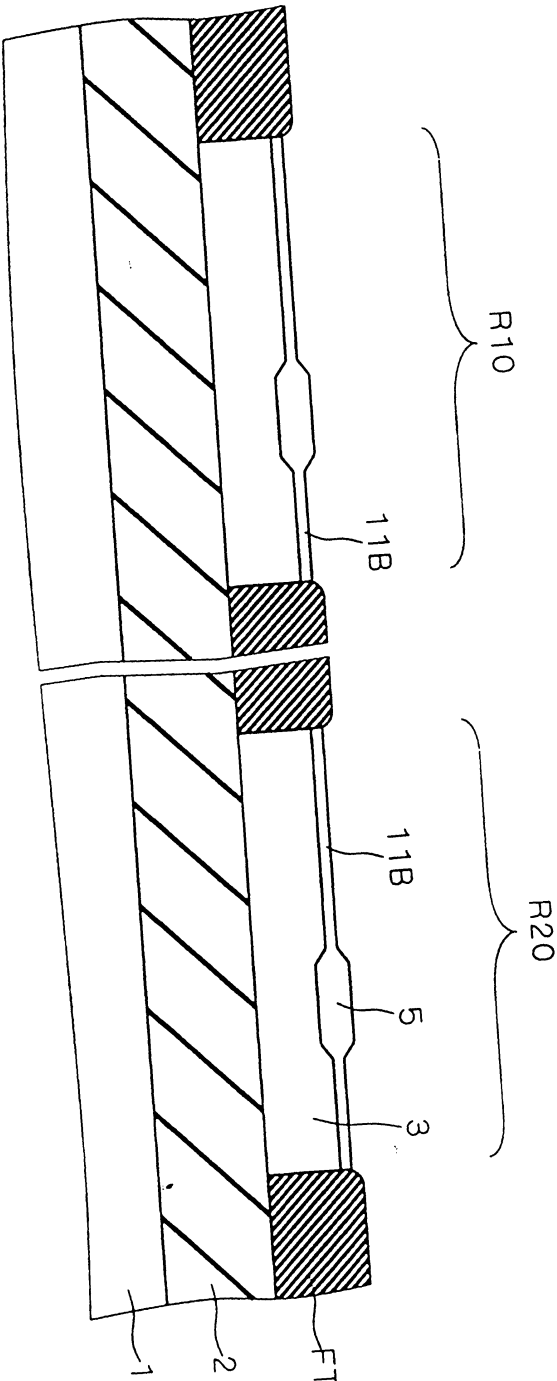
第 50 圖



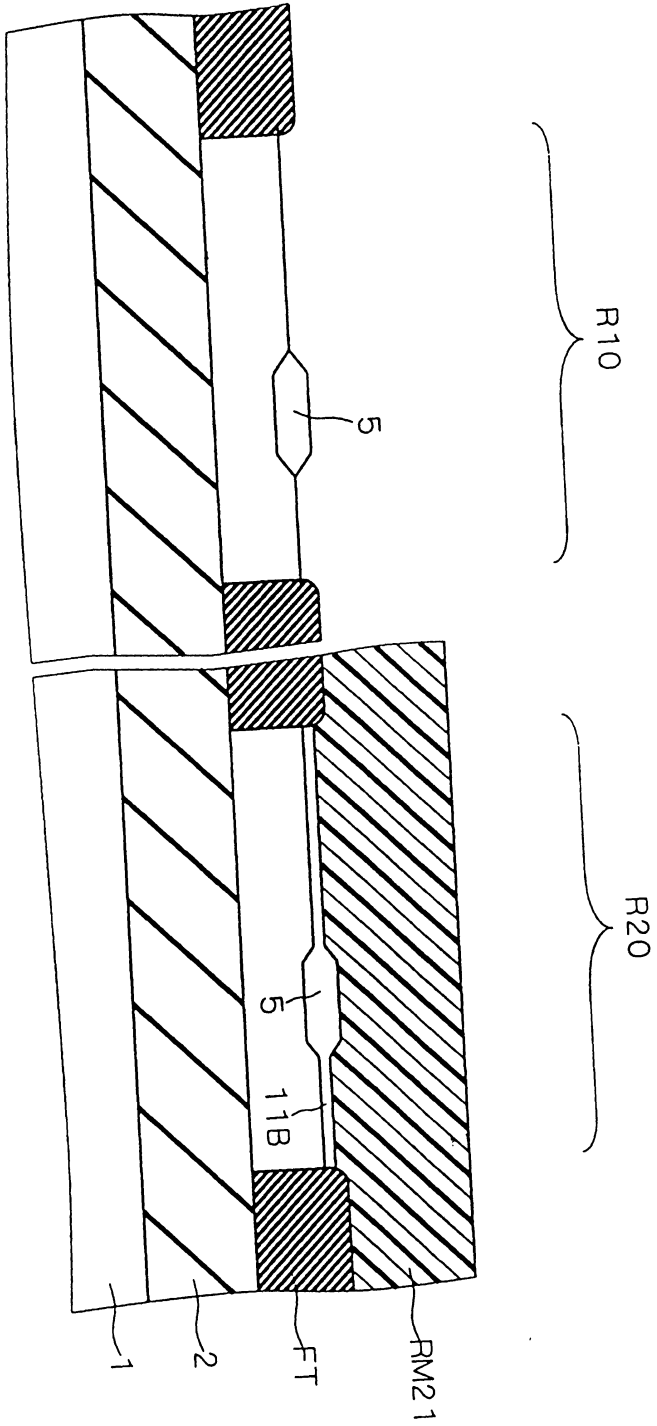
第 51 圖



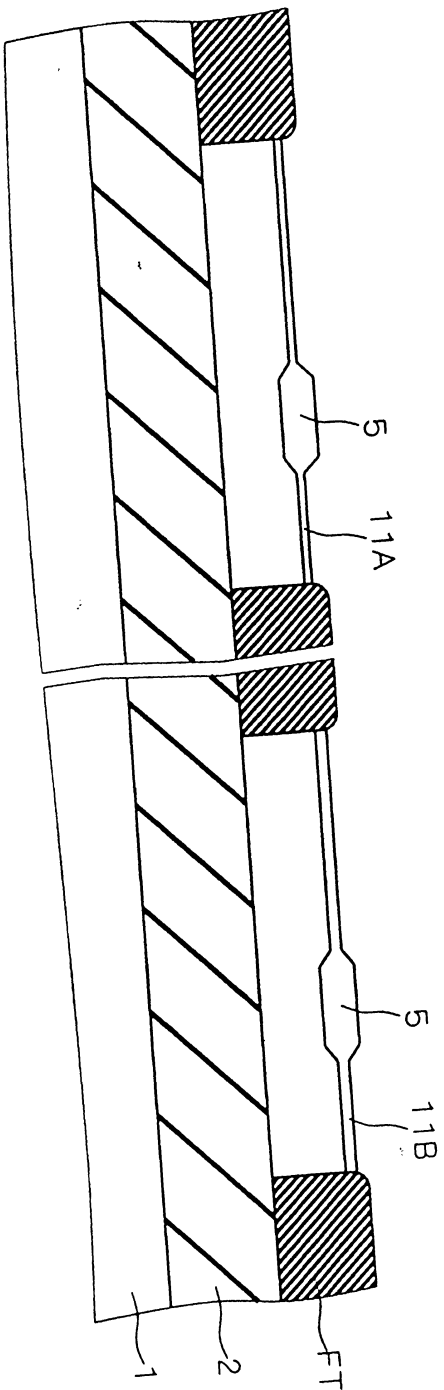
第 52 圖



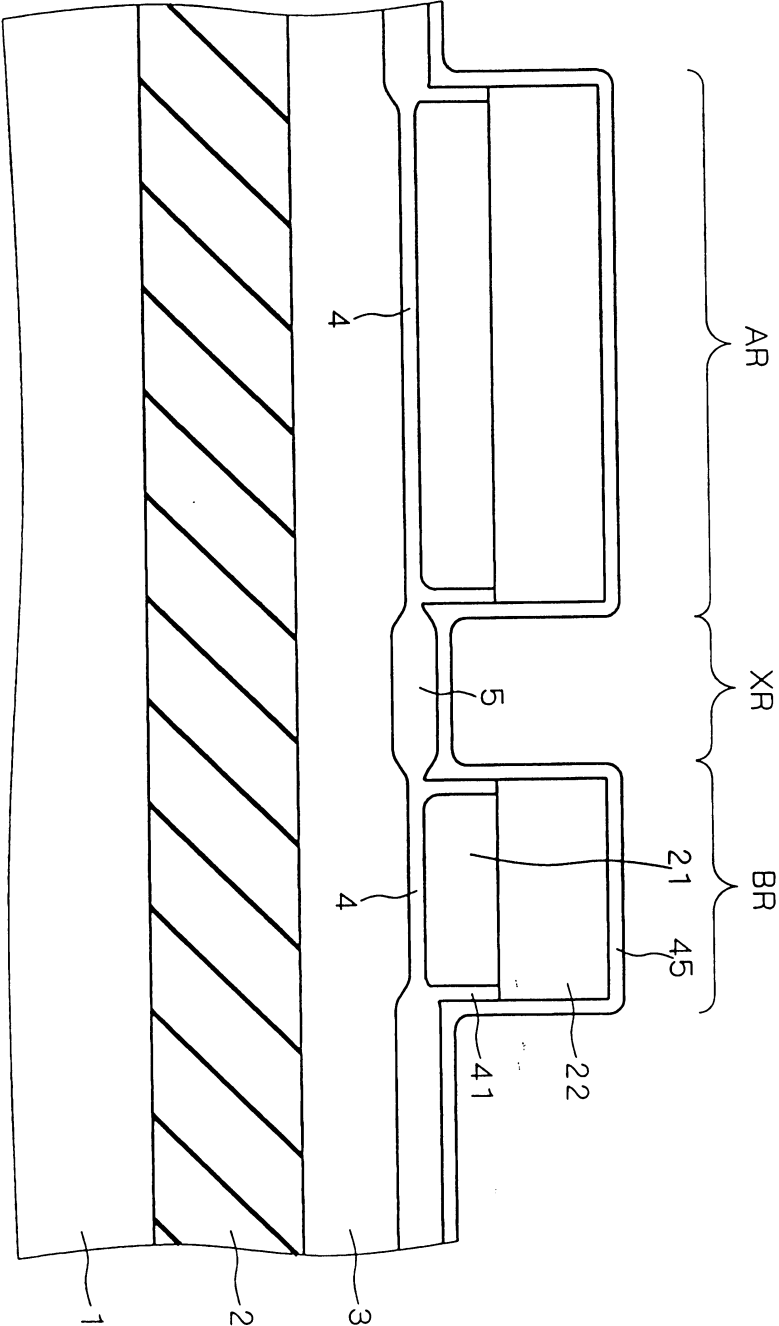
第 53 圖



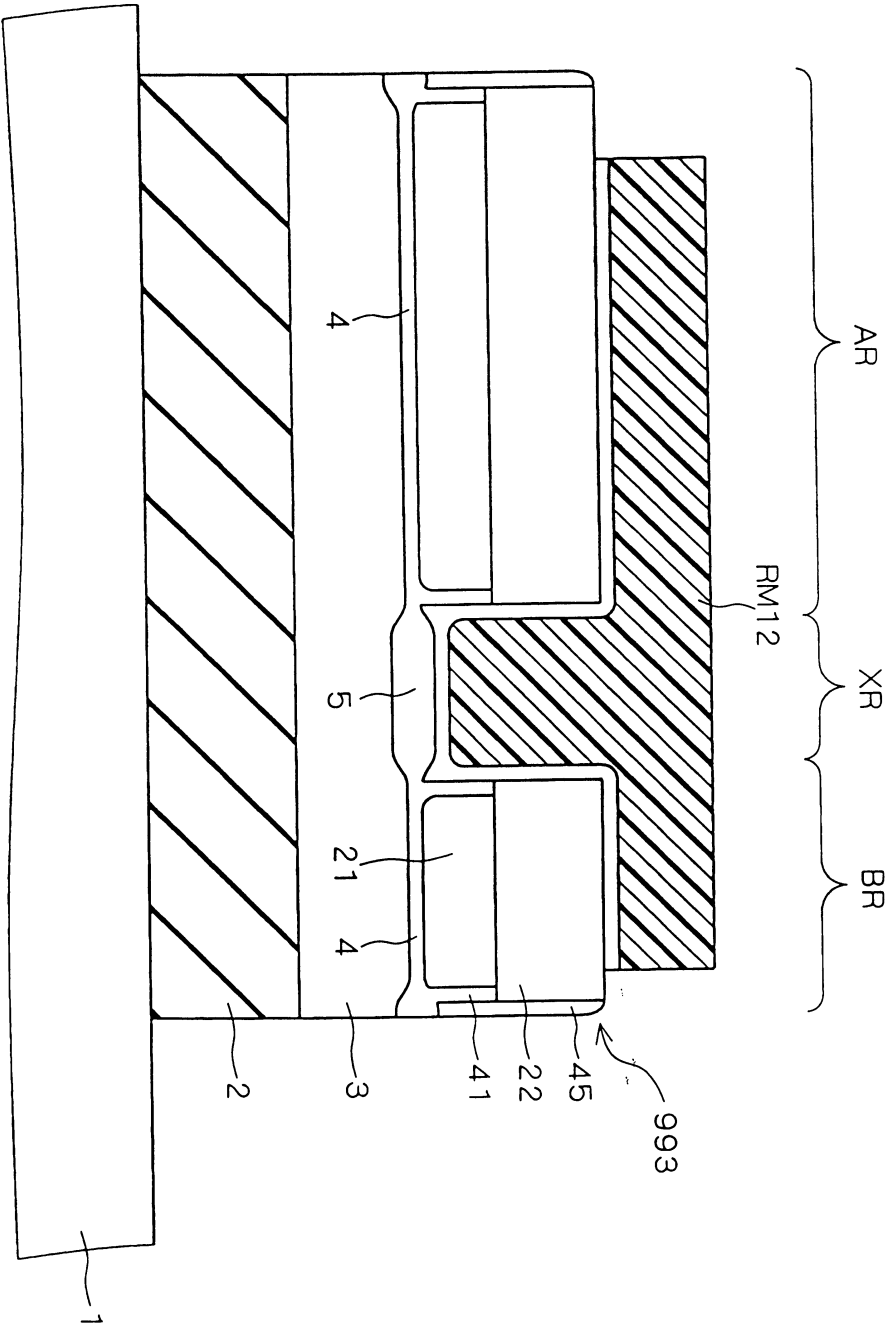
第 54 圖



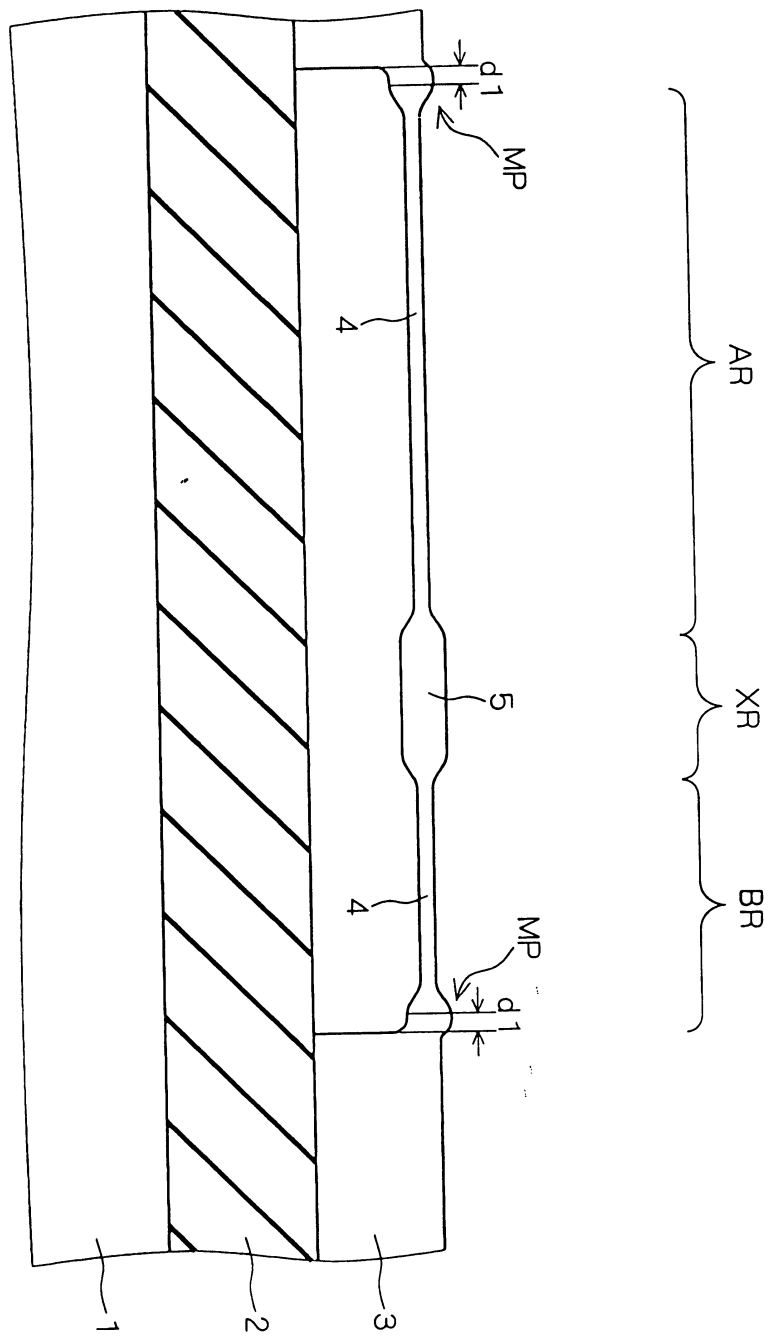
樂 55 回



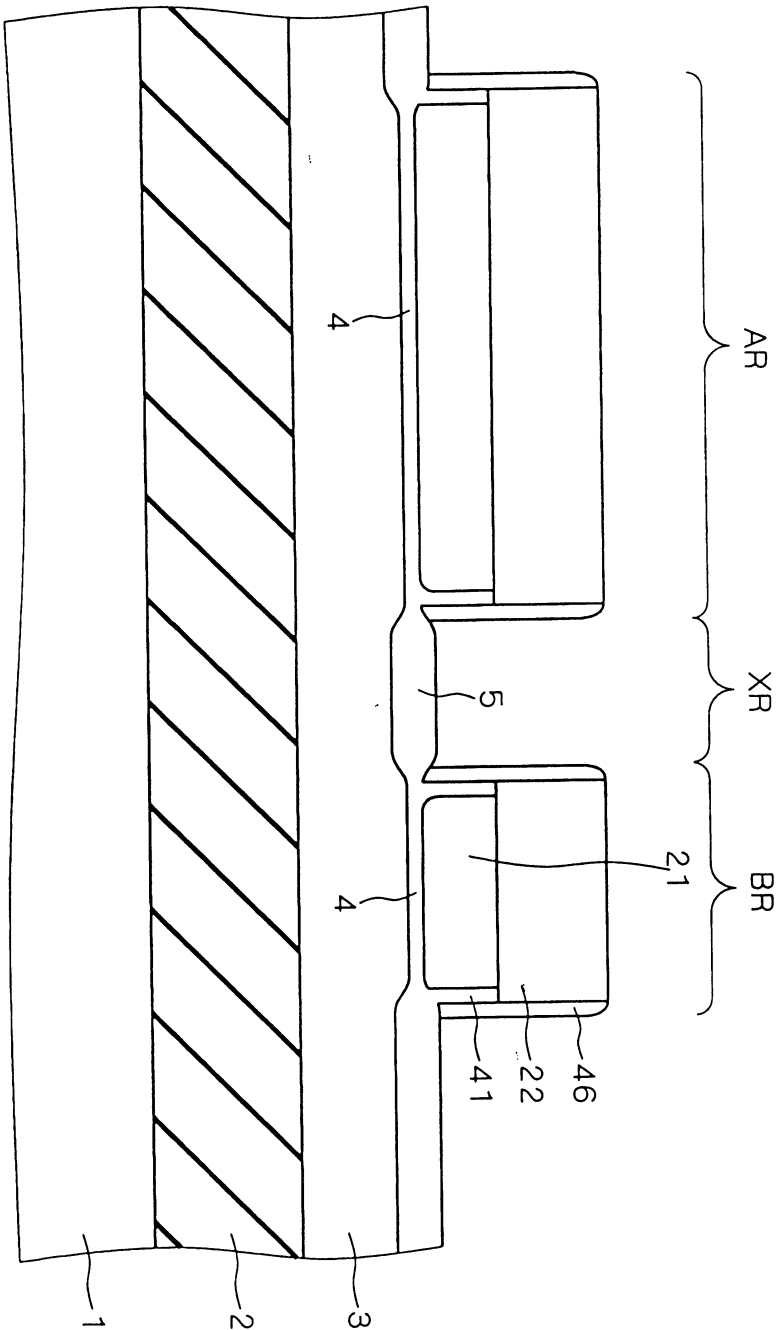
第 56 圖



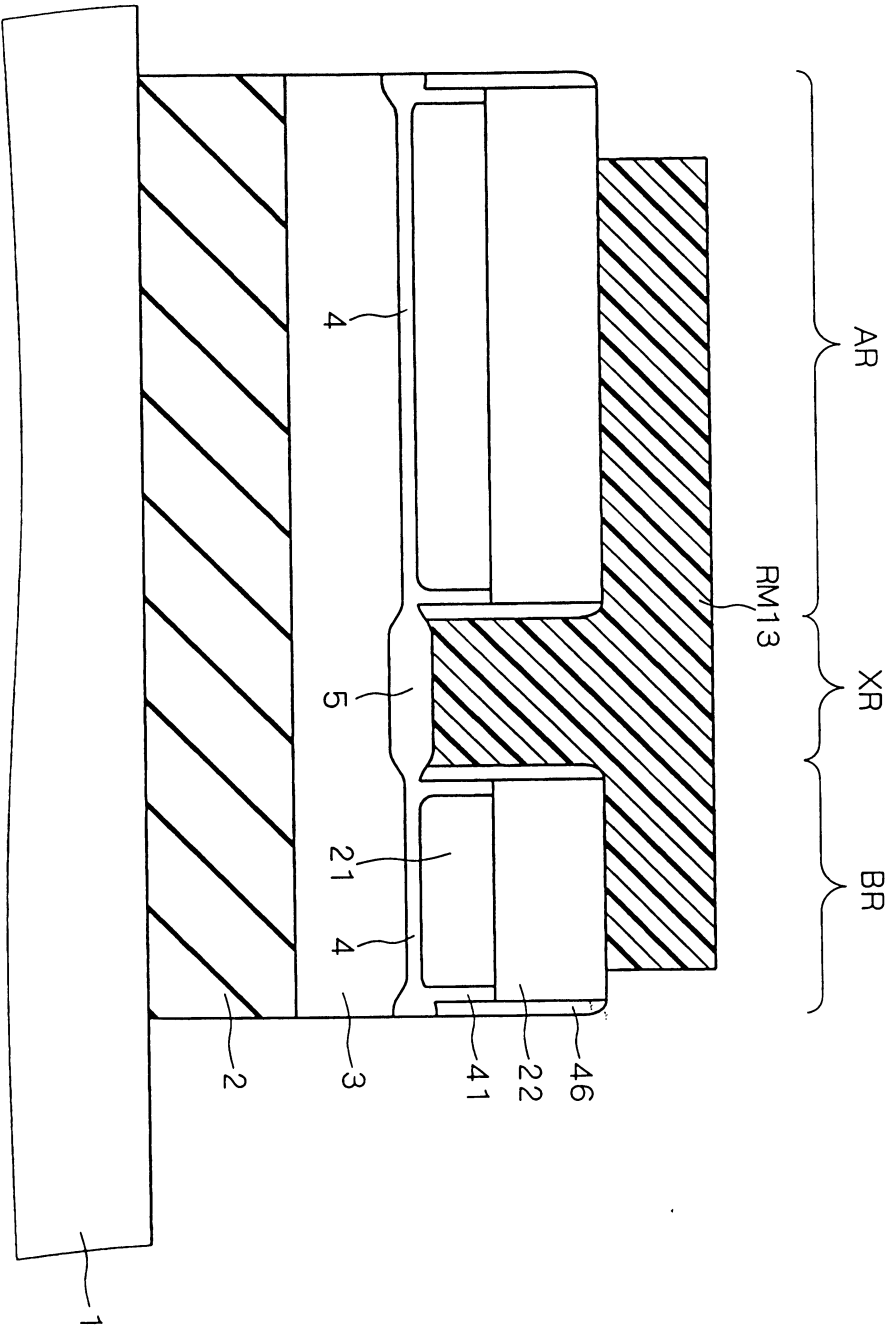
第 57 圖



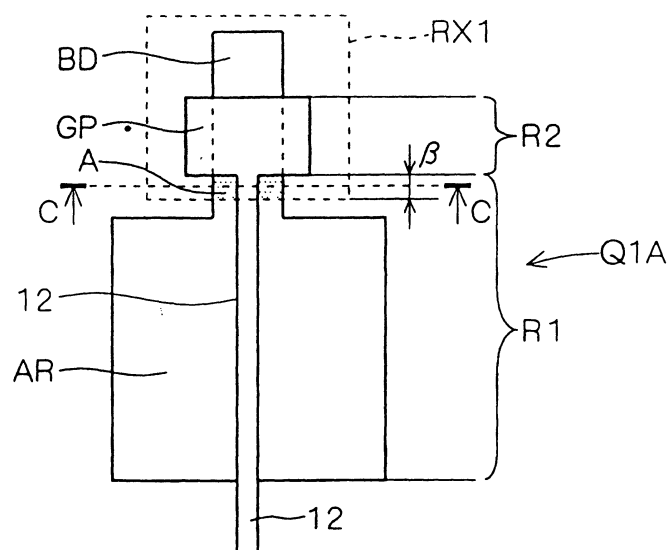
第 58 圖



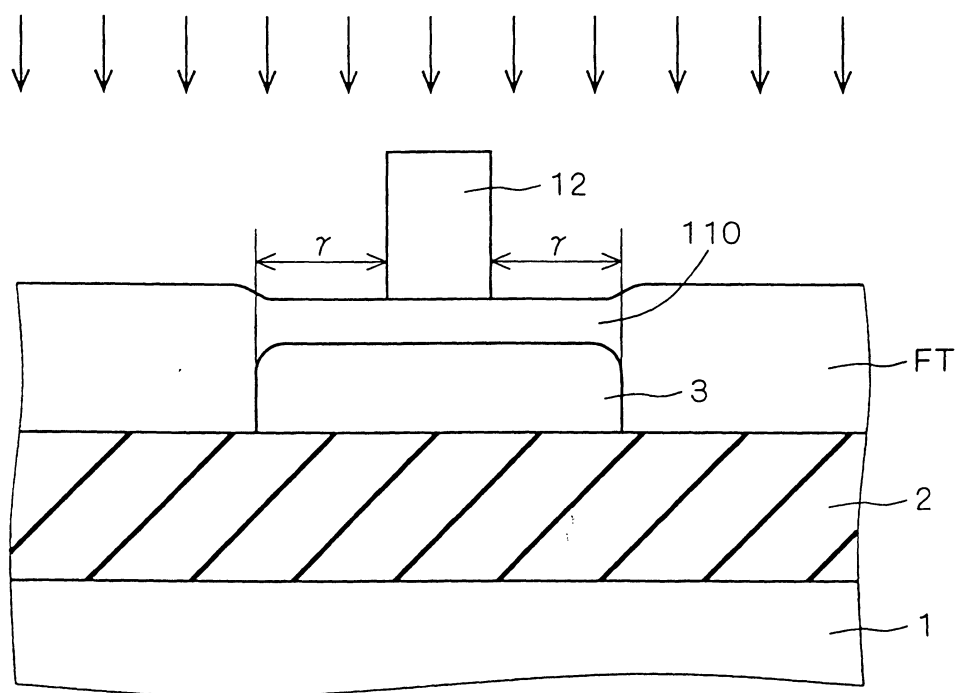
第 59 圖



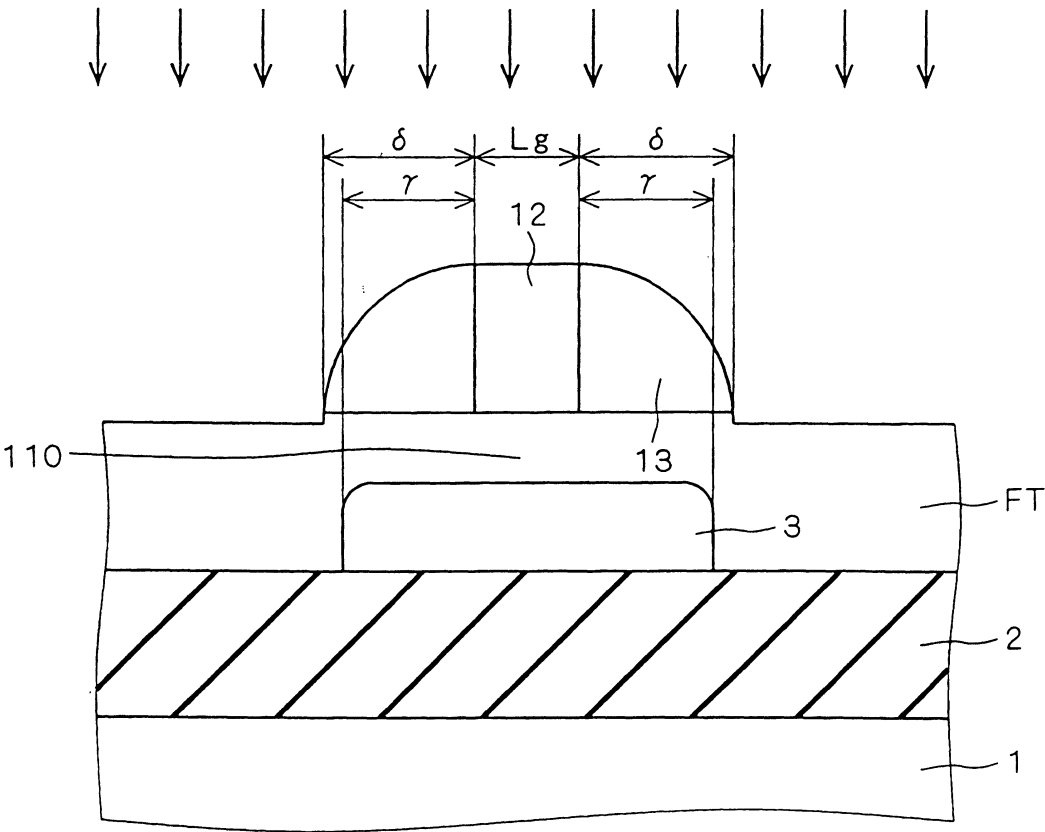
第 60 圖



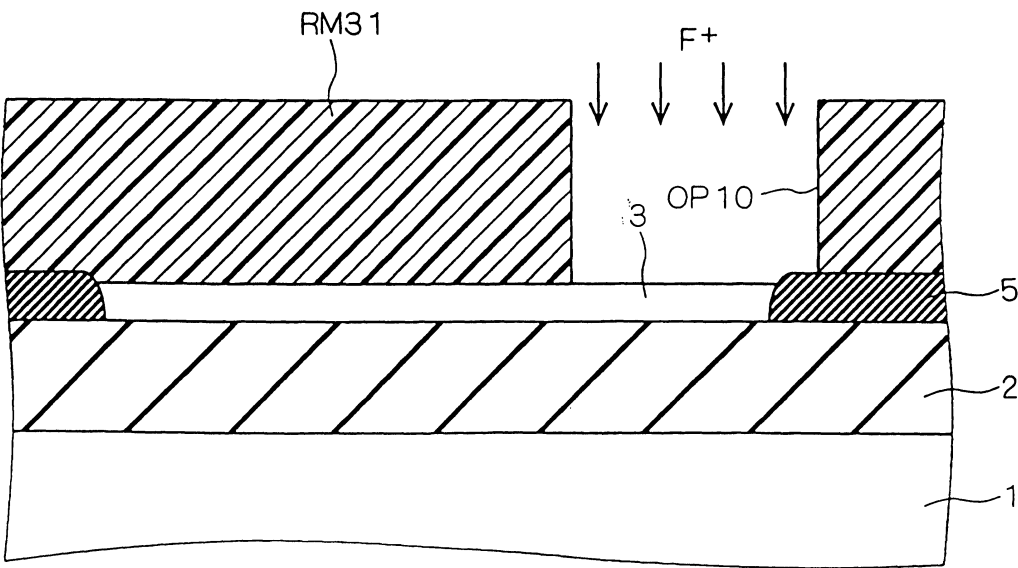
第 61 圖



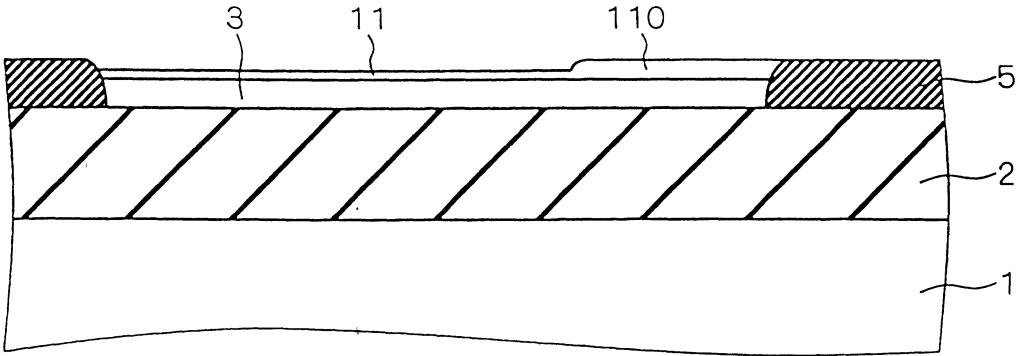
第 62 圖



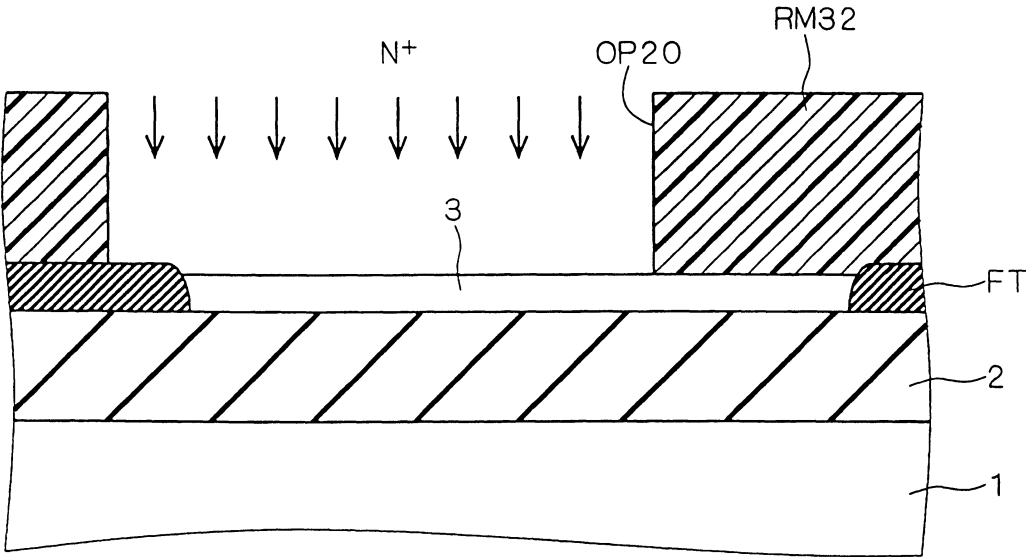
第 63 圖



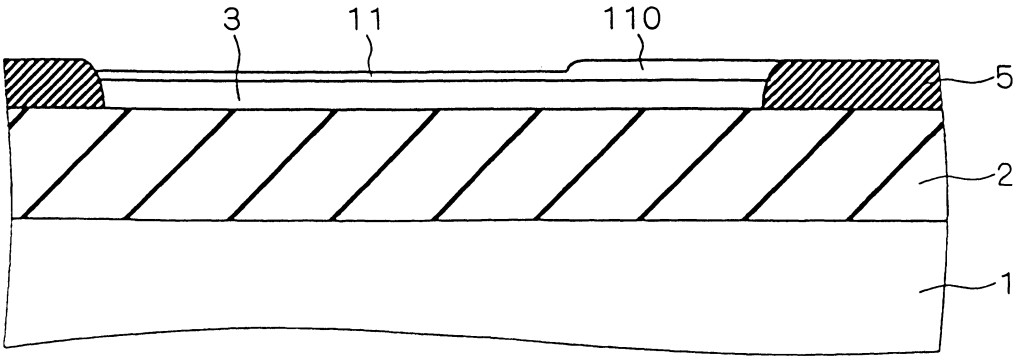
第 64 圖



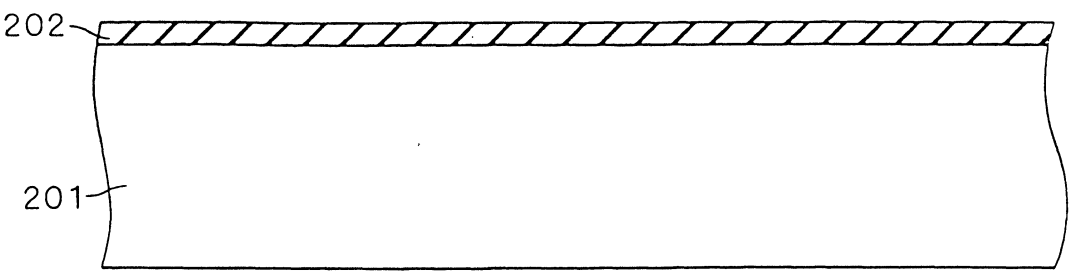
第 65 圖



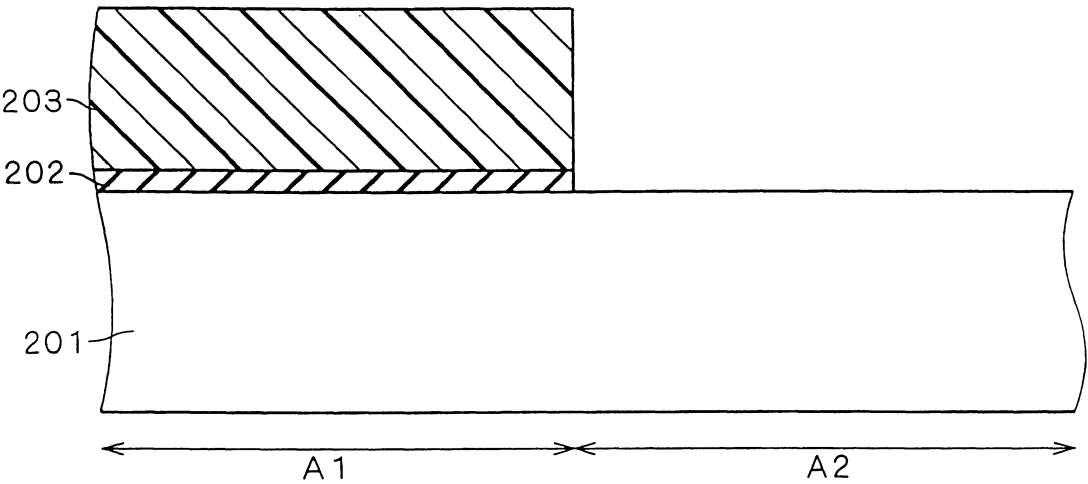
第 66 圖



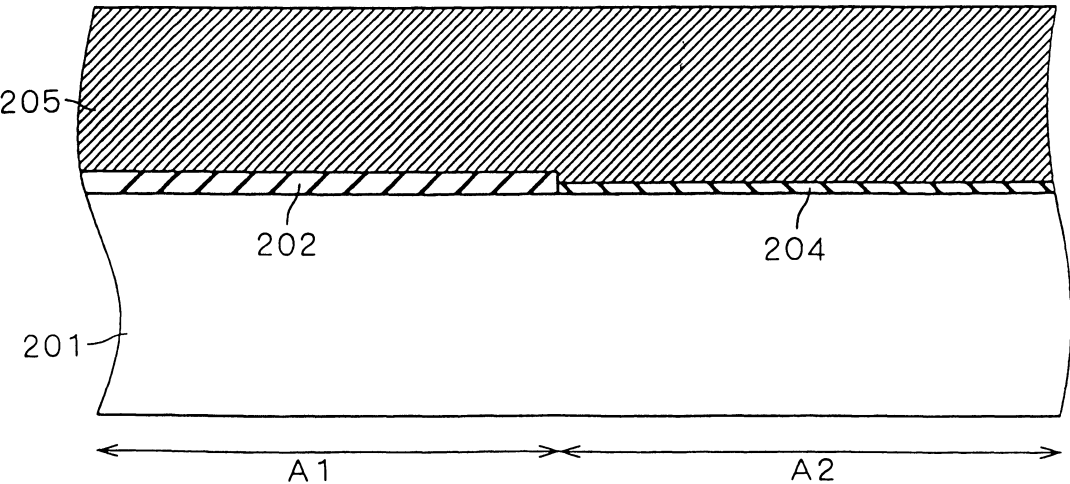
第 67 圖



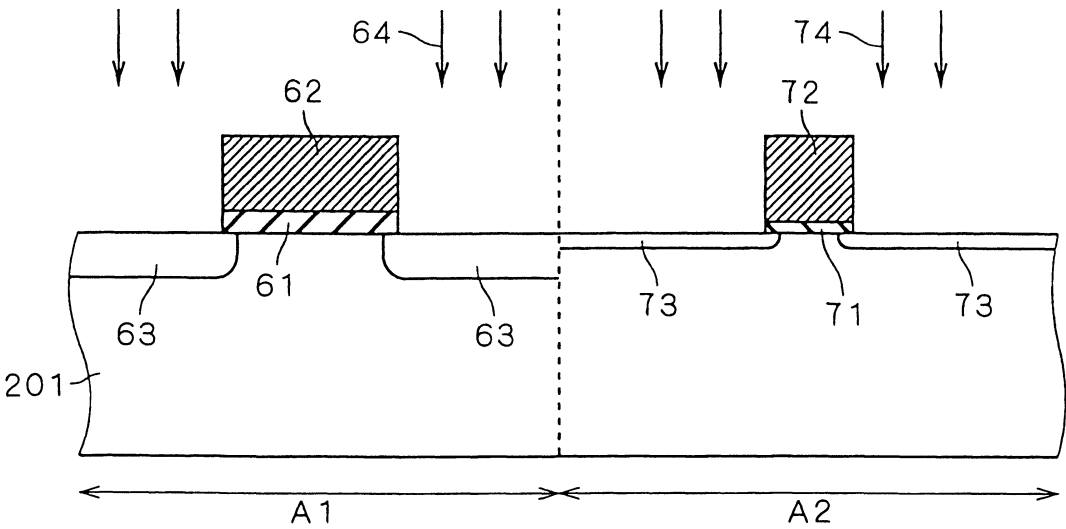
第 68 圖



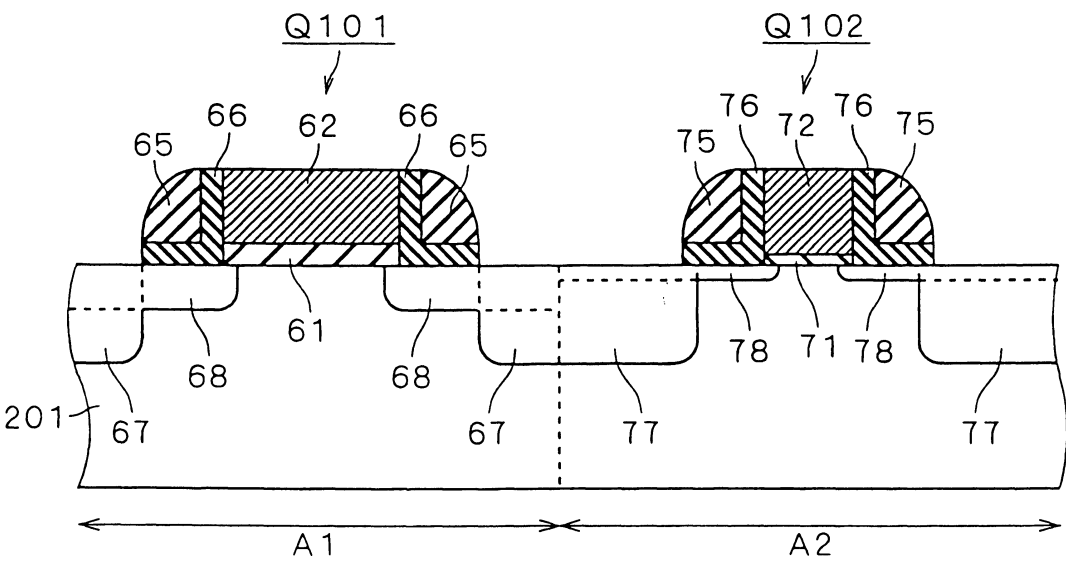
第 69 圖



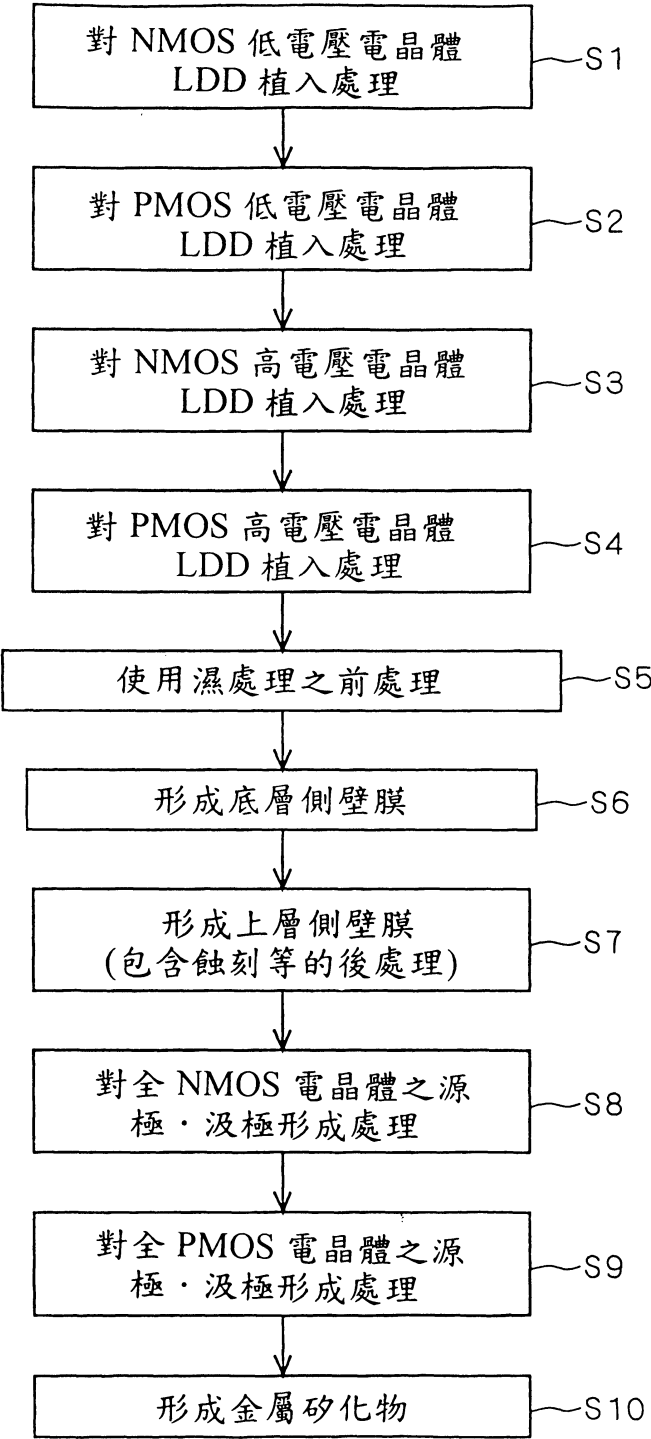
第 70 圖



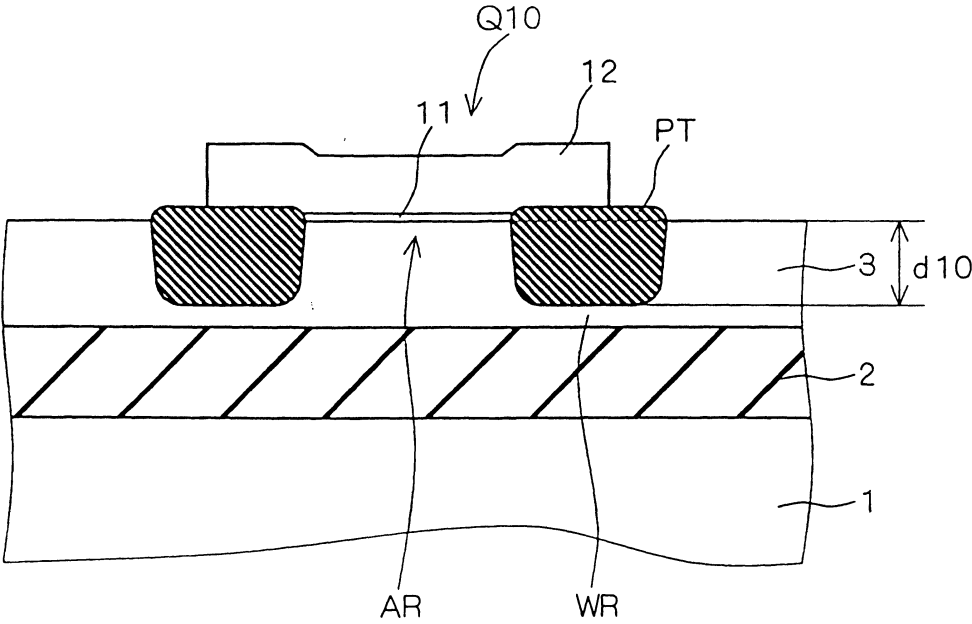
第 71 圖



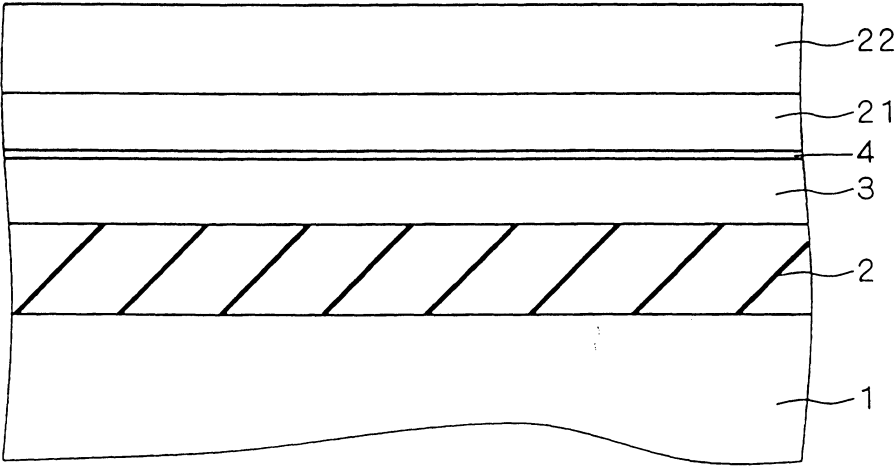
第 72 圖



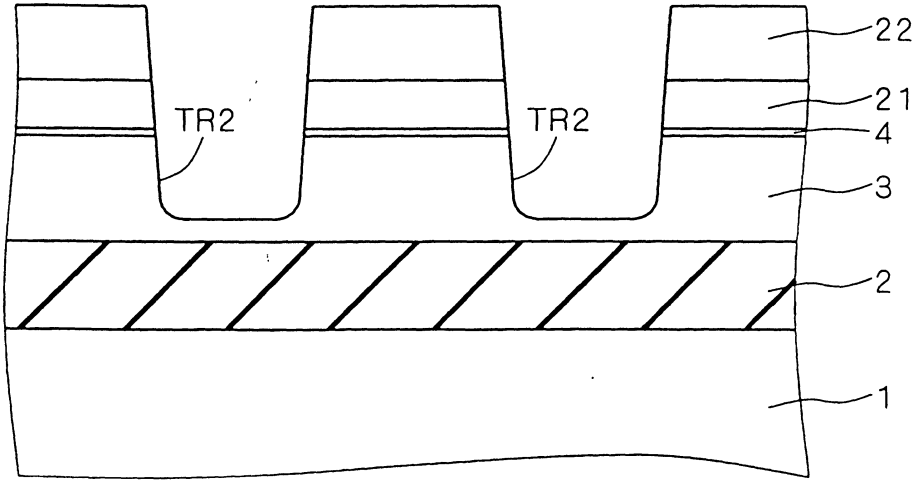
第 73 圖



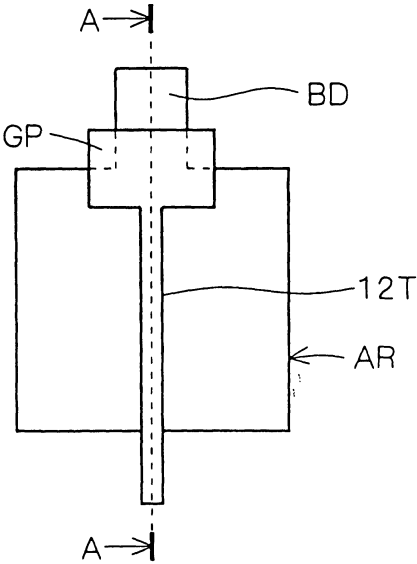
第 74 圖



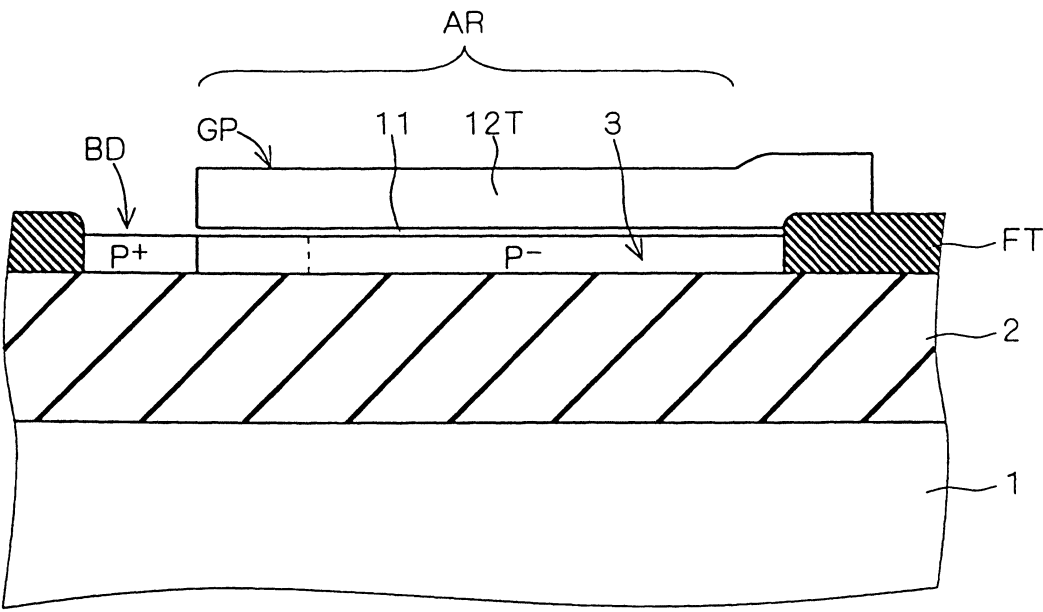
第 75 圖



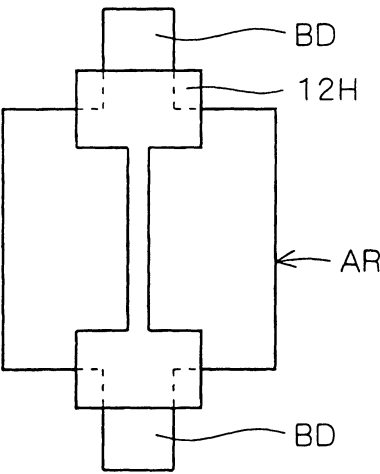
第 76 圖



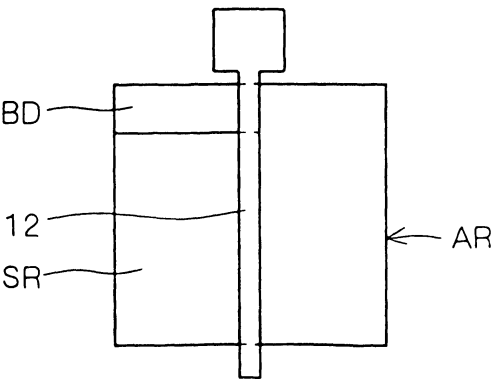
第 77 圖



第 78 圖



第 79 圖



第 80 圖