

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2014-509389

(P2014-509389A)

(43) 公表日 平成26年4月17日 (2014. 4. 17)

(51) Int. Cl.	F I	テーマコード (参考)
G O 1 R 33/09 (2006.01)	G O 1 R 33/06 R	2 G O 1 7
H O 1 L 43/08 (2006.01)	H O 1 L 43/08 Z	5 F O 9 2

審査請求 有 予備審査請求 有 (全 41 頁)

(21) 出願番号	特願2013-552114 (P2013-552114)	(71) 出願人	506061842
(86) (22) 出願日	平成23年2月3日 (2011. 2. 3)		ゼンジテック ゲゼルシャフト ミット
(85) 翻訳文提出日	平成25年9月27日 (2013. 9. 27)		ベシュレンクテル ハフツング
(86) 国際出願番号	PCT/EP2011/051585		S e n s i t e c G m b H
(87) 国際公開番号	W02012/103950		ドイツ連邦共和国 ラーナウ (番地なし)
(87) 国際公開日	平成24年8月9日 (2012. 8. 9)		D - 3 5 6 3 3 L a h n a u , G e r m a n y

(74) 代理人 110000970

特許業務法人 楓国際特許事務所

(72) 発明者 ウーヴェ、ロライト

ドイツ連邦共和国 35580ヴェッツラー
ー、テウートビルグシュトラッセ 4

最終頁に続く

(54) 【発明の名称】 磁界感知デバイス

(57) 【要約】

本発明は、機能的に異なる層 (38、60、70) を備えた磁界感知デバイス (50) に関する。ホイートストンブリッジ層 (70) はホイートストンブリッジ (18) の少なくとも2つの抵抗器 (20) を備え、各々の抵抗器 (20) は抵抗器部分要素 (22) の形態をした磁界感知素子 (10) を備え、フリップ導体層 (38) は、各々の磁界感知素子 (10) の内部磁化状態をフリップするフリップ導体 (30) を備える。フリップ導体 30 は複数の導体ストライプ (32) を備え、これらの導体ストライプ (32) は、フリップ導体層 (38) の少なくとも2つの異なるフリップ導体副層 (38-1、38-2) の上に配列され、ビアを介して相互に電気結合される。フリップ導体 (30) の多層配列は磁界感知デバイス (50) のコンパクトな設計を提供し、磁界感知デバイスの減少された電力消費、減少されたインダクタンス、および改善された感度が達成され得る。

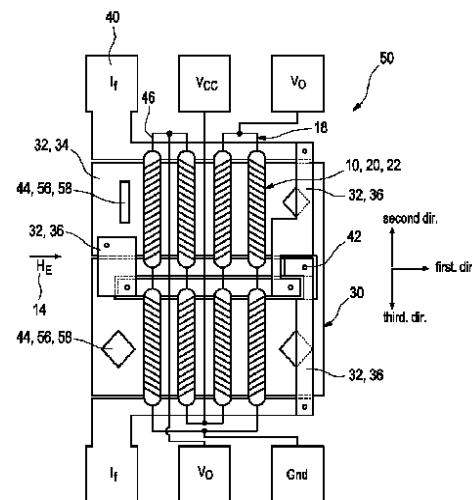


Fig. 6

【特許請求の範囲】

【請求項 1】

幾つかの機能的に異なる層（38、60、70）を備え、ホイートストンブリッジ層（70）がホイートストンブリッジ（18）の少なくとも2つの抵抗器（20）を備え、各々の抵抗器（20）は副抵抗器（22）の形態をした少なくとも1つの磁界感知素子（10）を備え、フリップ導体層（38）が、各々の磁界感知素子（10）の内部磁化状態をフリップする少なくとも1つのフリップ導体（30）を備える磁界感知デバイス（50）であって、前記フリップ導体（30）は複数の導体ストライプ（32）を備え、該複数の導体ストライプ（32）は、前記フリップ導体層（38）の少なくとも2つの異なるフリップ導体副層（38-1、38-2）の上に配列され、ビアを介して相互に電気結合されたことを特徴とする磁界感知デバイス。

10

【請求項 2】

関連づけられた磁界感知素子（10）のフリップ磁界を提供し、ホイートストンブリッジ層（70）の側に対面する第1のフリップ導体副層（38-1）の上に配列された導体ストライプ（32、34）の第1の組、および導体ストライプ（34）の前記第1の組の電気接続を提供し、少なくとも1つの第2のフリップ導体副層（38-2）の上に配列された導体ストライプ（32、36）の少なくとも第2の組から成る配列を特徴とする、請求項1に記載の磁界感知デバイス。

【請求項 3】

導体ストライプ（32、34）の前記第1の組が、前記磁界感知素子（10）の長手方向整列に関して本質的に垂直に方位され、導体ストライプ（32、36）の前記第2の組は、前記磁界感知素子（10）の前記長手方向整列に関して本質的に平行に方位されたことを特徴とする、請求項2に記載の磁界感知デバイス。

20

【請求項 4】

導体ストライプ（32、34）の前記第1の組が、前記磁界感知素子（10）の中心部分（80）のためにフリップ磁界を提供する前記垂直方位導体ストライプ（34）、および前記磁界感知素子（10）の端部分（82）のためにフリップ磁界を提供する垂直導体ストライプ（34）から成るインターディジタル配列を備えることを特徴とする、請求項2または3に記載の磁界感知デバイス。

【請求項 5】

前記磁界感知素子（10）の中心部分（80）のために提供されるフリップ磁界に関して、増加されたフリップ磁界が各々の磁界感知素子（10）の双方の端部分（82）に提供され得るように、導体ストライプ（34）の前記第1の組が設計および配列されたことを特徴とする、請求項1から4のいずれか一項に記載の磁界感知デバイス。

30

【請求項 6】

均一なフリップ磁界が、磁気感知素子（10）の中心部分（80）で励起され得るように、導体ストライプ（32、34）の前記第1の組の少なくとも1つの導体ストライプが、電流分布を提供するために設計された少なくとも1つの電流分布要素（44）、好ましくは導体ストライプ（32、34）のコンダクタンスプロファイル（54）または非伝導区域（56）、特に窪み（58）を備え、これによって好ましくは前記導体ストライプ（32、34）が、前記磁界感知素子（10）の中心部分（80）の内部磁化状態をフリップするように適合されることを特徴とする、請求項2から5のいずれか一項に記載の磁界感知デバイス。

40

【請求項 7】

前記抵抗器（20）が、副抵抗器（22）の形態をした少なくとも2つの磁界感知素子（10）を備え、各々の磁界感知素子（10）は、フリップ導体（30）の関連づけられた垂直導体ストライプ（34）の電流の流れ方向に関するその配列に依存して、正または負のバーバーポール整列（26、28）を有するバーバーポール構造（16）を備えることを特徴とする、請求項1から6のいずれか一項に記載の磁界感知デバイス。

【請求項 8】

50

前記ホイトストンブリッジ層（７０）の上の前記少なくとも２つの抵抗器（２０）の副抵抗器（２２）のインターディジタル配列（２４）を特徴とする、請求項７に記載の磁界感知デバイス。

【請求項９】

前記磁界感知素子（１０）の双方の長手方向端部分（８２）のテーパ形態、好ましくは楕円形態を特徴とする、請求項１から８のいずれか一項に記載の磁界感知デバイス。

【請求項１０】

前記ブリッジ抵抗器（２０）が、前記第１のフリップ導体副層（３８－１）の下および／または前記第２のフリップ導体副層（３８－２）の中にあるように、ホイトストンブリッジ層（７０）の上に配列されたことを特徴とする、請求項１から９のいずれか一項に記載の磁界感知デバイス。

10

【請求項１１】

補償導体（６０）が、外部磁界を補償する補償磁界を生成し、前記補償導体（６０）は、少なくとも１つの補償導体層（６２）の上に、好ましくは前記ホイトストンブリッジ層（７０）の上部に、および前記フリップ導体層（３８）に隣接しておよび／または互い違いに、配置されたことを特徴とする、請求項１から１０のいずれか一項に記載の磁界感知デバイス。

【請求項１２】

前記補償導体（６０）が、複数の導体ストライプ（３２）を備え、該複数の導体ストライプは、前記補償導体層（６２）の少なくとも２つの異なる補償導体副層（６２－１、６２－２）の上に配列され、ビアを介して相互に電気結合され、補償磁界を提供する補償導体ストライプ（６６）の第１の組が前記第１の補償導体副層（６２－１）の上に配列され、補償導体ストライプ（６６）の前記第１の組の電気接続を提供する補償導体ストライプ（６８）の第２の組が前記第２の補償導体副層（６２－２）の上に配列され、補償導体ストライプ（６６）の前記第１の組は、前記ホイトストンブリッジ層（７０）の上において隣接して、および前記第１のフリップ導体副層（３８－１）の下に、配列されることを特徴とする、請求項１１に記載の磁界感知デバイス。

20

【請求項１３】

前記フリップ導体（３０）および／または前記補償導体（６０）の少なくとも一部分が、本質的にＵ字形、渦巻き形、および／または蛇行形態として配列されることを特徴とする、請求項１から１２のいずれか一項に記載の磁界感知デバイス。

30

【請求項１４】

前記フリップ導体（３０）および／または前記補償導体（６０）の材料が高伝導性であり、好ましくは銅、アルミニウム、銀、金、またはこれらの合金を備え、好ましくはバーバーポール構造（１６）を形成する材料と同じであることを特徴とする、請求項１から１３のいずれか一項に記載の磁界感知デバイス。

【請求項１５】

ブリッジ抵抗器（２０）の少なくとも１つの磁界感知素子（１０）の磁化状態を独立にフリップするため、電氣的に分離された２つ以上のフリップ導体（３０－１、３０－２）の各々が提供されることを特徴とする、請求項１から１４のいずれか一項に記載の磁界感知デバイス。

40

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、外部磁界の方向および大きさを感知する磁界感知デバイスに関する。

【背景技術】

【０００２】

ＡＭＲ効果（異方性磁気抵抗効果）は、多数のセンサで、特に、電子コンパスのように地球の磁界を測定し、または（導体の周りに生成された磁界を測定することによって）電流を測定して、トラフィックの検出ならびに線形位置および角度の感知を行うために使用

50

される。典型的には、A M R 磁界感知デバイスは、A M R 効果を利用する磁界感知素子を備える。A M R 効果は、外部磁界が適用されたとき、伝導材料の電気抵抗値を変化させる伝導材料特性である。ホイートストンブリッジ構成の使用は、A M R 感知ブリッジ抵抗器の抵抗変動の高感知測定を可能にする。高度にコンパクトな電子デバイス、たとえば、ナビゲーションシステム、パルスウォッチ、スピードメータ、モバイルコンピュータ、および類似の電子製品の多くが、ますます磁界センサを備えるようになったため、高度に集積された小さい磁界センサチップの必要性が生じている。

【0003】

A M R センサチップの感度は、磁界フリップ機構を導入することによって増加され得ることが周知である。各々の A M R 磁気感知素子の内部磁化が周期的にフリップされ、磁界の単一成分の差分測定が遂行され得るようにされる。それゆえに、典型的なセンサチップは、フリップ磁界を生成する磁気フリップ導体を備え、フリップ導体は A M R センサチップの単一チップ層の中に集積される。磁界センサチップを組み込んだ多くの電気デバイスは、低容量のバッテリーまたは蓄電池によって電力を与えられる。ゆえに、フリップ機構は、多くの電力を消費することなく磁界測定の分解能および精度を向上させる高フリップ頻度を達成することが望まれる。さらに、従来設計のフリップ導体のサイズは、磁界センサチップの全体的寸法を支配するので、フリップ導体の設計を小型化することがさらに望ましい。これはインダクタンスの減少を助け、結果としてフリップ頻度を増加する。

【0004】

フリップ導体が渦巻き設計を有するように形成され、磁界センサチップ区域の主な部分をカバーする磁界感知デバイスは、米国特許第 5 2 4 7 2 7 8 号から公知である。フリップ導体のレイアウトは、センサチップのサイズを決定する。フリップ導体は単一層の上に配列され、誘電絶縁層によってホイートストンブリッジ層およびチップ基板から分離される。センサチップの単一層の上に比較的大きなフリップ導体を配列することは、磁界感知素子の内部磁化をフリップする十分大きなフリップ磁界を生成するとき、比較的高い電気エネルギー消費を生じ、チップ区域の大きな部分を占有し、電気エネルギーの著しい量を消費し、高いインダクタンスを顕示し、比較的低いフリップ頻度のみが取得され、磁界感知の時間分解能を限定する。

【0005】

技術水準の磁界感知デバイスで遭遇される問題は、A M R 抵抗器構成に関して磁界導体が相対的に大きく、電気エネルギーの相対的に高い量を消費し、フリップ頻度の増加を許さず、磁界感知デバイスの一層高い小型化および一層良好な分解能が限定される態様に存在する。それゆえに、一層高い集積度、一層小さいチップサイズ、一層低い電力消費、磁界感知の一層高い時間分解能および感度を可能にする向上した磁界感知デバイスを提供することが望ましい。

【発明の概要】

【0006】

本発明の目的は、請求項 1 に従った磁界感知デバイスによって達成される。

【0007】

本発明は、機能的に異なる幾つかの層を備え、ホイートストンブリッジ層がホイートストンブリッジの少なくとも 2 つの抵抗器を備えた磁界感知デバイスを示唆する。ホイートストンブリッジの各々の抵抗器は、少なくとも 1 つの磁界感知素子を副抵抗器として備える。フリップ導体層は、各々の磁界感知素子の内部磁化状態をフリップする少なくとも 1 つのフリップ導体を備える。フリップ導体は複数の導体ストライプを備え、これらの導体ストライプはフリップ導体層の少なくとも 2 つの異なるフリップ導体副層の上に配列され、副層の導体ストライプはビア接続、すなわち、いわゆるビアを介して相互に電気結合される。こうして、磁界感知デバイスは、フリップ導体が少なくとも 2 つの副層の上に配列され、これらの副層が相互の上部に存在するかホイートストン抵抗器を挟むセンサチップ設計を示唆する。このような設計は、従来の磁気センサチップ区域のサイズのほぼ半分を要求する。これは少なくとも 2 つの副層の上に配列されたフリップ導体の多層構造から生

じる。3次元構造は、磁界感知素子が位置決めされる区域の外側でチップサイズを低減し、センサチップの全体的サイズを一層コンパクトにする。さらに、コンパクト設計に起因して、漂遊磁界が減少され、インダクタンスが低減され得る。磁界感知素子に隣接する磁気活性導体ストライプは、U字形、蛇行形、または渦巻き形を有するように設計され、既存のフリップ導体構造と同等または優越した効果をフリップ機構に及ぼし得る。フリップ機構の基本的コンセプトは従来の設計に従う。すなわち、磁気感知素子に近いフリップ導体副層の導体ストライプに関して各々の抵抗器の磁気抵抗ストライプの方位をフリップする。結果として、抵抗器配列の磁界感知素子は相互に一層近く位置決めされ、磁界感知素子は一層均一にされ、材料不純物および加工欠陥は2つ以上の抵抗器へ同等に影響し、次のような改善を生じる。

10

【0008】

・ R/θ 関係曲線の改善された線形性。ここで θ は、磁界感知素子の整列に関して測定されるべき外部磁界の角度であり、 R は素子の電気抵抗である。

【0009】

・温度変化および加工変動に対する減少された感度。

【0010】

・ホイートストンブリッジ構成の低減されたオフセット電圧 V_{off} 。

【0011】

・一層コンパクトな設計および一層小さなチップサイズ。

【0012】

・低減された漂遊磁界に起因するフリップコイルの減少されたインダクタンス。

20

【0013】

・増加された感知頻度限定。

【0014】

・減少されたフリップ電圧、フリップ電流 I_F 、およびエネルギー消費。

【0015】

一般的に、フリップ磁界またはフリップ磁気インパルスを提供するために設計される磁気活性導体ストライプ、および活性導体ストライプを導電する導体ストライプは、双方の副層の上に任意の形態で位置決めされ得る。好ましい実施形態によれば、フリップ導体は、関連づけられた磁界感知素子のフリップ磁界を提供する磁気活性導体ストライプの第1の組を備え得る。導体ストライプの第1の組は、ホイートストンブリッジ層の側に対面する第1のフリップ導体副層の上に配列され得る。

30

【0016】

さらに、磁界感知デバイスは、導体ストライプの第1の組の電気接続を提供する導体ストライプの少なくとも1つの第2の組を備え得る。この第2の組は、少なくとも1つの第2のフリップ導体副層の上に配列される。このようにして、双方の副層は特定の技術目的に設計される。すなわち、第1の層は、フリップ磁界を生成する導体ストライプの第1の組を備え、第2の層は、導体ストライプの第1の組を接続する導体ストライプの第2の組を備え、各々の磁気感知素子の内部磁化状態をフリップするフリップ磁界をフリップ電流が生成し得るようにされる。好ましくは、第1の磁気活性副層はホイートストンブリッジの抵抗器の磁界感知素子の近くに位置決めされ、副抵抗器の内部磁気状態をフリップするのに十分なフリップ磁界を小さな電流が生成し得るようにされる。導体ストライプの第1の組と磁界感知素子との間の距離を減少することは、フリッププロセスのエネルギー消費を低減する。

40

【0017】

一般的に、フリップ導体は、磁界感知素子の内部磁化と平行または反平行な磁界を提供する。たとえば、導体ストライプは、ソレノイドまたは円筒コイルとして設計され得る。好ましい実施形態および前述された実施形態によれば、導体ストライプの第1の組は、磁界感知素子の長手方向整列に関して本質的に垂直に方位され、導体ストライプの第2の組は、磁界感知素子の長手方向整列に関して本質的に平行に方位される。導体ストライプは

50

、電流の流れに垂直な磁界をストライプに沿って生成する。それゆえに、磁界感知素子の長さ方向に関して垂直に方位された導体ストライプは、磁気フリップ素子の内部状態と平行または反平行なフリップ磁界を生成し、垂直導体ストライプの第1の組の第2の副層接点の平行方位ストライプへ垂直導体ストライプを電気接続し得る。双方の副層の間の電気接続はビアまたは結合線によって形成される。このようにして、低減された幾何学的寸法を有するコンパクトで効率的な導体コイル配列が提供され得る。

【0018】

一般的に、第1のフリップ導体副層の導体ストライプは、関連づけられた磁界感知素子の内部磁化方向と好ましくは垂直に方位された単一ストライプであり得る。代替として、導体ストライプはU字形、渦巻き形、または蛇行形であり、内部磁化方向に関して平行に方位された領域をさらに備え得る。そのような単一平行方位導体ストライプ、U字形、渦巻き形、または蛇行形導体ストライプは指を形成し、複数の非接続導体ストライプが相互に係合し得るようにされる。前述された実施形態によれば、導体ストライプの第1の組は、磁界感知素子の中心部分のためにフリップ磁界を提供する垂直方位導体ストライプおよび磁界感知素子の端部分のためにフリップ磁界を提供する垂直導体ストライプから成るインターディジタル配列を備え得る。反対方向の電流の流れを有する導体ストライプが相互に隣接するインターディジタル配列は、低減されたインダクタンスおよび最小化された漂遊磁界を有するコンパクトな設計を提供する。第2の副層の平行方位導体ストライプは、導体ストライプの第1の組の指を接続する。

【0019】

好ましい実施形態によれば、磁界感知素子の中心部分のために提供されるフリップ磁界に関して増加されたフリップ磁界が、各々の磁界感知素子の双方の端部分で提供され得るように、導体ストライプの第1の組が設計および配列され得る。磁界感知素子のフリップは、比較的強いフリップ磁界を磁界感知素子の双方の端へ適用し、低減されたフリップ磁界を磁界感知素子の中心部分へ適用することによって確保される。増加されたフリップ磁界は、フリップ導体を通して流れる磁気フリップ電流の中心部分に関して電流密度を端部分で増加することによって、双方の端部分で提供され得る。たとえば、低減された幅を磁界感知素子の端部分で有し、増加された幅を磁界感知素子の中心部分で有するフリップ導体ストライプを配列し、またはコンダクタンスプロファイルを有するフリップ導体ストライプを設計して、磁界感知素子の端部分でフリップ電流密度が増加されるようにすることは、磁界感知素子の内部磁化状態を安定および信頼可能にフリップするフリップ磁界を提供する。

【0020】

前述された実施形態と組み合わせて有利な好ましい実施形態によれば、均一なフリップ磁界が磁界感知素子の中心部分で励起され得るように、導体ストライプの第1の組の少なくとも1つの導体ストライプが、電流分布を提供するように設計された少なくとも1つの電流分布要素、好ましくはコンダクタンスプロファイルまたは非伝導区域、特に窪みを備え、これによって好ましくは、導体ストライプが磁界感知素子の中心部分の内部磁化状態をフリップするように適合され得る。電流分布要素は、磁気感知素子の中心部分に均一な電流分布を提供するように設計される。その高度にコンパクトな設計に起因して、フリップ導体は複数の粗いエッジを備える。電流分布要素は、好ましくは磁界感知素子の中心部分で磁気フリップ電流の均一な分布を提供するための、導体ストライプの第1の組の孔、窪み、または非伝導部分であり得る。このようにして、均一なフリップ磁界が中心部分のために提供され、任意選択的に、電流分布要素を設計して、増加された磁界を磁界感知素子の端部分で提供し得る。もし導体ストライプが不完全伝導材料から構成されるならば、電流分布材料はコンダクタンスプロファイルをさらに備え得る。コンダクタンスプロファイルは、均一な電流分布を磁界感知素子の中心領域で強制し、任意選択的に、増加された電流分布を端部分で強制する。

【0021】

好ましい実施形態によれば、抵抗器は、少なくとも2つの磁界感知素子を副抵抗器とし

て備え得る。各々の磁界感知素子は、フリップ導体の関連づけられた垂直導体ストライプの電流の流れ方向に関するその配列に依存して、正または負のバーバーポール整列を有するバーバーポール構造を備える。このようにして、隣接する磁気活性フリップ導体副層の導体ストライプは、ホイートストンブリッジ網の中の各々の抵抗器の磁気抵抗ストライプ（磁界感知素子）の数の半分の磁化方向を1つの方向に設定し、磁気抵抗ストライプの数の半分の磁化方向を他の方向に設定し、センサデバイスの改善された線形性および向上した感度が達成され得るようにする。たとえば、抵抗器は少なくとも2つの磁界感知素子を備え、正のバーバーポール配列を有する第1の素子および負のバーバーポール配列を有する第2の素子が直列に接続される。双方の素子は、それらの対応する磁気活性フリップ導体ストライプに関して配列され、それらの内部磁化が相互に反対にフリップされ得るようにされる。こうして、ホイートストンブリッジの U_a/H 関係曲線が線形化され、精度および感度が改善される。

10

【0022】

前述された実施形態によれば、ホイートストンブリッジ層の少なくとも2つの抵抗器の副抵抗器は、インターディジタル形式で配列され得る。詳細には、各々の抵抗器は複数の磁界感知素子の直列接続を備える。各々の抵抗器の磁界感知素子は蛇行形態で配列され、2つの直列接続された素子が「指」を形成して並ぶように配列される。第1の抵抗器の2つの隣接する指の間にギャップが形成され、第2の抵抗器の指が第1の抵抗器の2つの指の間に挟まれ得るようにされる。このようにして、第1および第2の抵抗器の指はインターディジタル形式で配列され、コンパクトな配列および双方の抵抗器の類似の材料特性および特徴を生じる。結果として、センサチップの全体的サイズが低減され、線形性、精度、および感度が改善され得る。

20

【0023】

好ましい実施形態によれば、磁界感知素子の双方の長手方向端部分はテーパ形態、好ましくは楕円形態を有し得る。テーパ形態、たとえば、磁界素子の端部分の狭くされるか細くされた楕円形態は、素子の電気接続を改善し、素子の内部状態をフリップするフリップ磁界の強さを低減する。このようにして、フリップ機構の全体的エネルギー消費が低減され得る。

【0024】

一般的に、ホイートストンブリッジ層は、第1および第2のフリップ導体副層に関して任意的に配列され得る。好ましい実施形態によれば、ブリッジ抵抗器はホイートストンブリッジ層の上で、第1のフリップ導体副層の下におよび有利には隣接して、配列され得る。ホイートストンブリッジ層も、好ましくは第2のフリップ導体副層の中に配列され、これによって第2のフリップ導体副層の伝導ストライプおよびホイートストンブリッジの磁界感知素子は同じ層の上に配列される。代替として、ホイートストンブリッジ層は第1および第2のフリップ導体副層の間に挟まれ、これによってホイートストンブリッジの磁界感知素子が第1および第2の副層の間に配置される。第1のフリップ導体副層の上部にホイートストンブリッジ層を配列することも可能である。第1のフリップ導体副層は、磁界感知素子の内部磁化を確実にフリップするためホイートストンブリッジの磁界感知素子の近くに配列されるべきである。ホイートストンブリッジの磁界感知素子は有利には第2の副層の中に位置決めされ、これによって導体ストライプの第2の組は、磁界感知素子と本質的に平行に方位される。これはチップの容積を低減し、導体ストライプの長さを短縮し、インダクタンスを低減し、フリップ導体の磁気活性導体ストライプのフリップ磁界と磁界感知素子との結合を改善する。磁界感知素子は、AMR材料ストライプ、たとえば、パーマロイを備え、それに対して、AMR材料ストライプの整列に関して好ましくは45°の角度で整列された高伝導材料のバーバーポール構造が取り付けられる。バーバーポール構造の処理中に、フリップ導体ストライプの第2の組およびフリップ導体ストライプの第1の組を接続するビアが、バーバーポール構造と同じ材料を使用して同時に製造され得る。

30

40

【0025】

50

好ましい実施形態によれば、磁界感知デバイスは、補償磁界を生成して外部磁界を補償する補償導体を備え得る。ここで補償導体は、好ましくはホイートストンブリッジ層の上部に、フリップ導体層と隣接しておよび／または互い違いに、少なくとも1つの補償導体層の上に配置される。補償導体も磁界を生成し得るが、フリップ導体とは対照的に、磁界感知素子の長さ方位と平行ではなく、長さ方位と垂直に磁界を生成する。外部磁界が補償され得るように、補償導体は、感知されるべき外部磁界の成分と平行な磁界を生成し得る。補償磁界は外部磁界を削除または補正し、磁界感知デバイスにバイアスをかけるために使用され得る。各々の層の磁気活性部分が磁界感知素子の近くに配列され得るように、フリップ導体層と補償導体層との間にホイートストンブリッジ層を配列することが有利であり得る。結果として、低減された電気エネルギーを用いてフリップ磁界ならびに補償磁界が生成され得る。補償導体層およびフリップ導体層は2つ以上の副層を備え得る。双方の導体層の副層が相互に交代して配列されるように、双方の導体層の副層が相互に互い違いにされることが有利であり得る。

10

【0026】

前述された実施形態に加えて、補償導体層の少なくとも2つの異なる補償導体副層の上に、補償導体の複数の導体ストライプを配列することが有利である。異なる副層の導体ストライプは、ビアを介して相互に電気結合され、補償磁界を提供する補償導体ストライプの第1の組が第1の補償導体副層の上に配列され、補償導体ストライプの第1の組の電気接続を提供する補償導体ストライプの第2の組が第2の補償導体副層の上に配列される。補償導体ストライプの第1の組は、ホイートストンブリッジ層の上におよび隣接して、および第1のフリップ導体副層の下に、配列され得る。好ましくは、第1の補償導体副層の磁気活性導体ストライプは、ホイートストンブリッジ層の抵抗器の近くに置かれる。さらに、第2の補償導体副層をホイートストンブリッジ層から遠くに置き、補償導体ストライプの第2の組の補償導体ストライプによって生成された磁界が、ホイートストンブリッジ抵抗器の補償磁界に悪影響を与えないようにすることが有利である。代替として、補償導体副層の第2の組がホイートストンブリッジ層の下に位置決めされ、ホイートストンブリッジ層が補償導体副層の第1および第2の組の間に挟まれて、補償導体ストライプの第2の組の導体ストライプによって生成された磁界が、補償導体ストライプの第1の組によって生成された補償磁界に貢献するようにされ得る。好ましい実施形態において、第2のフリップ導体副層の導体ストライプの組は、チップ基板の表面上で磁界感知素子に相当するAMR材料ストライプと平行に配列される。この層の上部に、第1の補償導体副層の導体ストライプの組が配列される。続いて第1のフリップ導体副層のフリップ導体ストライプの組が配列され、この後で、チップ層配列の上部に、第2の補償導体副層の補償導体ストライプの組が配列される。副層はビアによって接触され得る。こうして、補償導体ストライプおよびフリップ導体ストライプの交代する副層の互い違い配列は、コンパクト、高感知性、およびエネルギー効率的な磁界感知デバイスを提供する。この実施形態は、複数フリップ導体層配列の前述されたコンセプトを複数補償導体層配列へ移転することを示唆する。このようにして、フリップ導体コンセプトに関する有利性および改善が、補償導体についても成り立つ。

20

30

【0027】

好ましい実施形態によれば、フリップ導体および／または補償導体の少なくとも一部分は、本質的にU字形、渦巻き形、および／または蛇行形に配列される。これらの配列の全ては、垂直および平行に方位された要素を備え、これらの要素はフリップ導体および／または補償導体の磁気活性ストライプおよび電気接続導体ストライプへ割り当てられ得る。全ての配列は、反対磁界を有する磁気活性導体ストライプを提供し、コンパクトな形態で実現され得る。これらの配列は、さらに組み合わせられ得る。すなわち、副層は、U字形および渦巻き形、U字形および蛇行形、などの導体ストライプを備え得る。

40

【0028】

好ましい実施形態によれば、フリップ導体および／または補償導体の材料は高伝導性であり、好ましくは、銅、アルミニウム、銀、金、またはこれらの合金を備え、好ましくは

50

バーバーポール構造を形成する材料と同じである。高伝導性導体は、バッテリー駆動デバイスが低電圧でも高電流を生成し、十分大きな磁界を生成し得る。バーバーポール構造および導体ストライプに同じ材料を使用することは、製造の複雑さを低減し、バーバーポール構造および導体ストライプを同時に製造し得る。

【0029】

一般的に、ホイートストンブリッジの全ての磁界感知素子を同時にフリップする単一フリップ導体が提供される。好ましい実施形態によれば、ブリッジ抵抗器の少なくとも1つの磁界感知素子の磁化状態を独立にフリップするため、電氣的に分離された2つ以上のフリップ導体が提供され得る。2つの独立したフリップ導体は、磁界感知素子の半分を独立にフリップすることを可能にする。双方のフリップ導体はホイートストンブリッジ抵抗器の磁界感知素子の4つの異なるフリップ状態を生成し、ホイートストンブリッジの感度がオンまたはオフに切り換えられ得るようにする。これはブリッジのオフセット電圧の測定ならびにブリッジの自己テストの遂行を可能にする。磁界感知デバイスの精度をさらに改善するため、オフセット電圧が使用され得る。

【0030】

上記で列举された実施形態は、多数の非限定的な例を備える。たとえば、フリップ導体配列および補償導体配列のコンセプトは、相互に組み合わせられ、合併され、または移転され得る。抵抗器は、少なくとも1つまたは複数の直列接続磁界感知素子、好ましくはAMRストライプを備え得る。各々の抵抗器の磁界感知素子のバーバーポール配列は、フリップ導体に関する配列に依存して同じであるか互い違いであり得る。フリップ導体副層は、積み重ねられ得るか、ホイートストンブリッジ層を挟み得る。好ましくは、ホイートストンブリッジ層は、フリップ導体の第2の副層の中に配列される。補償導体層は、フリップ導体層の上または下に積み重ねられ得る。好ましくは、フリップ導体層および補償導体層は、ホイートストンブリッジ層を挟む。

【0031】

この後で、本発明は、添付された図面を参照して一層詳細に説明される。これらの略図はイラストとしてのみ使用され、本発明の範囲を決して限定しない。

【図面の簡単な説明】

【0032】

【図1】AMRコンセプト、および、バーバーポール構造を有しない磁界感知素子における外部磁界の角度に関する抵抗依存性を略図で示す。

【図2】図1に関して、バーバーポール構造の効果を示す。

【図3】フリップ導体を有しない技術水準の磁界感知デバイスのホイートストンブリッジ配列の略図を示す。

【図4】フリップ導体を有する磁界感知デバイスの異なる略図であって、ホイートストンブリッジ抵抗器が単一の磁界感知素子、複数の磁界感知素子、および複数のフリップ導体から構成された略図を示す。

【図5】技術水準のフリップ導体配列を有する異なる磁界感知デバイスを示す。

【図6】多層フリップ導体を有する磁界感知デバイスの第1の実施形態を略図で示す。

【図7】図6のフリップ導体層の単一の副層を示す。

【図8】磁界感知素子のインターディジタル配列を有する磁界感知デバイスの第2の実施形態を示す。

【図9】第1の副層の蛇行形およびU字形フリップ導体配列を有する磁界感知デバイスの他の実施形態を略図で示す。

【図10】図9のフリップ導体層の単一の副層を表す。

【図11】磁界感知デバイスの他の実施形態のU字形フリップ導体配列を有する副層配列を略図で示す。

【図12】フリップ導体配列および補償導体配列を有する磁界感知デバイスの他の実施形態を示す。

【図13】図12のフリップ導体層および補償導体層の単一の副層を表す。

【図 1 4】磁界感知デバイスの他の実施形態のフリップ導体層、補償導体層、およびホイートストンブリッジ層の 3 次元配列の略図を示す。

【発明を実施するための形態】

【0033】

図 1 a および図 1 b は、AMR コンセプト、および、バーバーポール構造 1 6 を有しない磁界感知素子 1 0 における外部磁界 1 4 の角度に関する抵抗依存性を略図で示す。磁気抵抗とは、外部磁界が材料へ適用されたとき、その材料の電気抵抗値が変化する材料特性である。いわゆる異方性磁気抵抗 (AMR) とは、電気抵抗が、電流方向と磁界 M の方位との間の角度 θ に依存する磁界感知素子 1 0 の特性である。この効果は、好ましくは、パーマロイの狭くて (w)、薄く (t)、長い (l) シートの中で観測され得る。ここで $l \gg w \gg t$ が成り立つ。パーマロイは、81% Ni および 19% Fe の合金である。素子 1 0 の電気抵抗 R は、感知電流が磁界 M の方向と平行であるとき最大値 $R_{\parallel}$ を有し、磁界 M が電流方向と垂直であるとき最小値 $R_{\perp}$ を有する。効果は、磁界 M に起因する原子の電子スピン整列のひずみによって引き起こされる。パーマロイ磁界感知素子 1 0 は内部磁化 M_0 1 2 を有し、この内部磁化は典型的には AMR 感知素子の長手方向および感知素子 1 0 を通って流れる電流方向へ整列する。今後、磁界 M は、内部磁化 M_0 および感知電流に平行な成分 H_p 、および感知電流および内部磁化 M_0 1 2 に垂直な H_E 1 4 へ分割されるものと仮定する。これによって、さらに $|M_0| \gg |H_p|$ が成り立つものと仮定され、今後は H_p が無視され得る。磁化 M_0 1 2 に平行な電流を考慮すると、次の関係、すなわち、 $R = R_{\perp} + (R_{\parallel} - R_{\perp}) \cos^2(\theta)$ が成り立ち、 $\tan(\theta)$ は外部垂直磁界成分 H_E 1 4 と内部磁化 M_0 1 2 との大きさの比である。これは図 1 b で描かれる。感知素子 1 0 の抵抗感度は、 $|H_E|$ が $|M_0|$ ($\theta \sim 45^\circ$) に等しければ最大化され、 $|M_0| \gg |H_E|$ および $|M_0| \ll |H_E|$ ($\theta \sim 0^\circ$ または 90°) であれば最小化される。

【0034】

図 2 a および図 2 b は、図 1 の磁界感知素子のさらなる発展を表し、 $|M_0| \gg |H_E|$ ($\theta \sim 0^\circ$) の場合に最大抵抗感度へ到達するように外部磁界感度を向上させるバーバーポール構造 1 6 を有する。図 1 の磁気抵抗ストライプ素子からスタートすると、オーム抵抗を有して内部磁化 M_0 に対する感知磁界 H_E の小さな変動を感知する磁界センサ 1 0 を有することが望ましい。 $\theta = \arctan(H_E/M_0)$ である R/θ 関係曲線は、小さな H_E 値について平坦であるから、典型的な AMR センサは、いわゆるバーバーポール構造 1 6 を装備される。バーバーポール構造 1 6 は、白金、銅、アルミニウム、銀、または金から作られた高伝導性の小さなストライプを備え、ストライプは電流の流れに関して 45° の角度で磁化可能材料 (たとえば、パーマロイ) へ取り付けられ、したがって図 2 a で示されるように、素子 1 0 を通って流れる 45° 傾斜電流 5 3 を強制する。このようにして、 R/θ 関係曲線は、小さな H_E 変動が線形抵抗変化をもたらす線形領域へシフトされ、 $R = R_{\perp} + (R_{\parallel} - R_{\perp}) \cos^2(\theta \pm 45^\circ)$ が成り立つ。図 2 a および図 2 b で分かるように、 R/θ 関係曲線の勾配は、バーバーポール整列の角度および感知磁界 H_E に関する内部磁界 M_0 の方向に依存する。上記から分かるように、抵抗変化の勾配は、バーバーポールの角度 26° 、 28° の方向および感知磁界 H_E 1 4 に関する磁化 M_0 の整列方向に依存する。

【0035】

図 3 は、磁界成分 H_E 1 4 の大きさを感知する磁界感知デバイスのホイートストンブリッジ配列 1 8 の略図を示す。ホイートストンブリッジ 1 8 は、4 つの磁界感知素子 1 0 をブリッジ抵抗器 2 0 として備え、ブリッジ抵抗器 2 0 は、正および負の角度 26° 、 28° を有するバーバーポール構造 1 6 を有する。図 3 b は、電圧 V_{ss}/G_{nd} がブリッジ 1 8 へ適用されたときの、ホイートストンブリッジ 1 8 の U_a/H 関係を表す。外部磁界 H_E 1 4 を高感度で感知するためには、通常、1 つまたは複数の感知素子 1 0 を備える 4 つの磁界感知抵抗器 2 0 R_1 、 R_2 、 R_3 、および R_4 が、そのようなホイートストンブリッジ回路 1 8 の中に配列される。ホイートストンブリッジの 2 つの脚の抵抗値における非

対称は、ブリッジの電圧差 U_a をもたらす。感知磁界 H_E 14 が存在しないときでも、温度ドリフト、生産公差、および他の影響に起因して、残るオフセット電圧 U_{off} を完全にゼロにすることはできない。3つの次元の全部でベクトルの磁界を感知するには、3つの磁界感知デバイスを組み合わせなければならない。

【0036】

所望されないオフセット電圧 U_{off} を削除するため、内部磁化を二者択一的にフリップするフリップコンセプトが開発された。このコンセプトは、強い外部フリップ磁界 H_{flip} によって磁界感知素子10の内部磁化 M_{012} を周期的にフリップし、ホイートストンブリッジ18の2つのフリップ状態の差分値 ΔU_a を使用して、外部磁界 H_E 14の大きさを決定することを示唆する。ブリッジ抵抗器20 R1、R2、R3、およびR4の単一の磁界感知素子10の内部磁化 M_{012} は、外部フリップ磁界 H_{flip} によって周期的にフリップされる。フリップ磁界の典型的な強さは、0.1から50mTである。各々のフリップステップの後、ホイートストンブリッジ18の出力値 ΔU_a は、図3bで描かれるように、 R/θ 関係曲線に従って、2つのフリップ磁化状態 H_{flip} に依存して U_{off} のあたりで対称的に変化する。センサ信号 U_a は、交代するセンサ信号であり、感知回路は静的オフセット値 U_{off} を削除し、 ΔU_a に依存して H_E の強さを決定する。

【0037】

この数年間、バーバーポールおよびフリップコンセプトに基づく異なるAMRセンサ設計が論議の対象であった。図4は、フリップ導体30を有する磁界感知デバイス50の異なる基本コンセプトをイラストおよび抽象表現で示す。ホイートストンブリッジ抵抗器20は、単一または複数の磁界感知素子10を副抵抗器22、22-1から22-4までとして備え、単一または2つの電氣的に分離されたフリップ導体30、または30-1、30-2を備える。

【0038】

図4aは、集積フリップコイル30を有する磁界感知デバイス50を表す。各々の磁界感知素子10は、互い違いのバーバーポール構造16、26、28を有する抵抗器20 R1、R2、R3、およびR4を形成する。ホイートストンブリッジ18の上方部分の磁界感知素子10 R1、R4は、ホイートストンブリッジ18の下方部分の磁界感知素子10 R2、R3とは対照的に、反対方向のフリップ磁界 H_{flip} へ露出され、磁界感知素子10 R1、R4が1つの方向に磁化され、磁界感知素子10 R2、R3が反対方向に磁化される (H_{flip} 方向のダッシュドット矢印およびドット矢印を参照)。フリップ磁界 H_{flip} はフリップ電流 I_F によって生成される。この電流はフリップ導体30を通して流れる電流パルスであってもよく、導体30は、渦巻きとして形成された複数の導体ストライプ32を備える。磁界感知素子10に関して垂直に方位された導体ストライプ32は、アンペアの法則に従ってフリップ磁界 H_{flip} を生成し、磁界感知素子10の長さ方位と平行に方位された導体ストライプ32は、磁気活性導体ストライプ32の電気接続を提供する。その結果、オフセット電圧 U_{off} が削除され得るように R/θ 関係曲線のフリップが達成され、小さなサイズの集積フリップコイルを有するコンパクトなセンサ構成が提供される。

【0039】

1993年、微細構造技術オプトエレクトロニクス協会(IMO)、ウェットラー、ドイツは、図4bで描かれる感知デバイス50を提案した。このデバイスにおいて、各々のブリッジ抵抗器20 R1、R2、R3、およびR4は、少なくとも2つの抵抗器副部品aおよびbへ分割され、各々の副部品は磁界感知素子10を副部品22-1または22-2として備え、互い違いのバーバーポール構造16、26、28を有する。各々の副抵抗器22-1、22-2 (R1a、R1b...) は、フリップ電流 I_F によって生成されたフリップ導体30のフリップ磁界 H_{flip} の反対部分へ露出され、感知素子10の生産公差または温度変動によって引き起こされたセンサオフセットをさらに減少し、抵抗器20の一層コンパクトな配列を達成し、一層小さなチップサイズをもたらす。

【0040】

図4cは、図4bの磁界感知素子デバイス50の更なる発展を略図で示す。このデバイスにおいて、フリップ導体30は2つの独立フリップ導体部分30-1および30-2へ分割される。各々の抵抗器20は、4つの副抵抗器22-1から22-4までに分割される。2つの導体部分30-1、30-2は、個々に独立して各々の副抵抗器22-1、22-2、22-3、および22-4のためにフリップ磁界 H_{flip} を調整することを可能にする。各々の抵抗器20の副抵抗器22の半分は、2つの電氣的に分離されたフリップ導体30-1、30-2の1つにかぶさる。双方のフリップ電流 I_{F1} 、 I_{F2} の相関に依存して、「正常」フリップモード（平行電流）および「非活性」モード（反対電流）を設定可能であり、こうして感知デバイス50の自己較正が可能になる。2つのフリップ導体30-1、30-2は、4つの異なるフリップ状態を提供し（ $+/-/0/0 H_{flip}$ 状態を参照）、これによって反対のフリップ電流 I_F （ $H_{flip} 0/0$ ）の場合、ホイートストンブリッジの感度がほとんど削除（非活性化）され、出力信号がオフセット電圧 U_{OFF} を表す。

【0041】

図5は、技術水準のフリップ導体配列を有するセンサ・チップ・レイアウトとしての異なる磁界感知デバイス52を示す。図5aは、ホイートストンブリッジ18を備える第1の技術水準の磁界感知デバイス52を示す。このホイートストンブリッジにおいて、各々のブリッジ抵抗器20は、抵抗器である副抵抗器22の形態をした4つの磁界感知素子10を備える。抵抗器20は直列接続されて蛇行形態に配列され、これにより2つの抵抗器20の間の各々の接続点において、図3で説明されたように、接触パッド40（ U_a 、 V_{cc} 、 Gnd ）はホイートストンブリッジ構成18との接触を可能にする。ホイートストンブリッジ18の下方部分では、グラウンド Gnd および供給電圧 V_{CC} の供給パッド40が配列される。上方接触パッド40は、ホイートストンブリッジのセンサ電圧 U_a へアクセスして、電圧差 ΔU_a を測定することを可能にする。ホイートストンブリッジ18は単一フリップ導体層の上部に配列され、単一フリップ導体層には蛇行形フリップ導体30が配列され、接触パッド40を介して結合され得るフリップ電流 I_F は、フリップ導体30の接触ストライプ32を通して流れ、フリップ磁界 H_{flip} を第2または第3の方向に生成する。フリップ導体30は単一層の上に配列され、チップ構造全体の寸法を決定し、ホイートストンブリッジ18が配列される空間を提供する。追加の電気絶縁層の上に補償導体60が配列される。この導体も蛇行形態として設計され、ホイートストンブリッジ18のブリッジ抵抗器20の数の2倍の蛇行勾配を有し、外部磁界を補償する補償電界を提供する。補償導体60はフリップ導体30と同じ原理に基くが、補償電流 I_c によって提供される磁界を生成する。この磁界は磁界感知素子10の長手方向と整列しないで垂直方向と整列し、内部磁化 M_0 に影響しないで、測定されるべき外部磁界 H_E と重ね合わせられるか、それを補償する。

【0042】

図5bは、同じくホイートストンブリッジ18を備える同様の技術水準の磁界感知デバイス52を示す。このデバイスにおいて、各々のブリッジ抵抗器20は、副抵抗器22の形態をした4つの磁界感知素子10から構成される。この感知デバイス52は、チップ52の別個の単一層の上に位置決めされた磁界フリップ導体30を備え、導体ストライプ32は、どちらかと言えば複雑な組み合わせられた蛇行形態として配列される。フリップ導体30の電気導体32は接触パッド40を提供され、この接触パッドを介して、フリップ電流パルス I_F が結合および抽出され得る。下方の接触パッド40は、異なる層の上のビア接続42を使用することによって、フリップ導体30の導体ストライプと結合される。このビア接続は、2つの層と、パッド40をフリップ導体30の第1の導体ストライプ32に接触させる短い導体ストライプとの間の、導電貫通孔である。

【0043】

図5bの磁界感知デバイス52のさらなる修正は、図5cに描かれる。ホイートストンブリッジ18は4つの抵抗器20を備え、各々の抵抗器20は副抵抗器22としての2つ

の磁界感知素子 10 から構成される。4つのブリッジ抵抗器 20 は直列に電気接続され、渦巻き磁気フリップ導体 30 の上で蛇行形態として配列される。双方の磁界感知素子 10、すなわち、各々の抵抗器 20 の副抵抗器 22 は、フリップ導体 30 の水平整列伝導ストライプ 32 の上部に位置決めされる。各々の抵抗器 20 の第 1 の磁界感知素子 10 (副抵抗器 22) は、上方方向フリップ磁界 $H_{f l i p}$ を生成するフリップ導体 30 の磁気活性導体ストライプ 32 (水平方位ストライプ 32) の上部に配列され、第 2 の素子 10 は、下方方向 $H_{f l i p}$ 磁界を生成する磁気活性導体ストライプ 32 の上部に配列される。フリップ導体 30 は接触パッド 40 へ接続されて、渦巻き形状を有する。 $H_{f l i p}$ フリップ磁界は、フリップ導体 30 を通って流れるフリップ電流 I_F によって生成される。渦巻きの中心における終端導体ストライプ 32 は、ビア 42 および次の層の上に位置決めされる導体ストライプによって接触パッド 40 へ接続される。図 5 c の右側には、フリップ導体構成 30 ならびに接続導体およびビア 42 が表される。

【0044】

図 6 は、本発明に従った磁界感知デバイス 50 の第 1 の実施形態を示す。磁界センサチップ 50 はホイートストンブリッジ 18 を備え、各々のブリッジ抵抗器 20 は 2 つの副抵抗器 22 を備え、これらの副抵抗器は、互い違いのバーバーポール構造 16、26、28 を有する磁界感知素子 10 として設計される。ホイートストンブリッジ 18 は、デバイス 50 の第 1 の層の上に配列される。ホイートストンブリッジ 18 は、電気エネルギー V_c 、 Gnd をホイートストンブリッジ 18 へ供給するため、および外部磁界 H_E 14 の結果としてパッド V_o から電圧差 ΔV_o を感知するため、4 つの接触パッド 40 へ接続される。ホイートストンブリッジ 18 は、2 つの副層 38-1 および 38-2 を備えるフリップ導体層 38 の上部に配列される。

【0045】

個々の副層の詳細な図は、図 7 a ~ 図 7 c に描かれる。フリップ電流パルス I_F を導体コイルの中へ送り込み、フリップ磁界 $H_{f l i p}$ を生成するため、フリップ導体 30 はフリップ導体層 38 の上に配列され、接触パッド 40 によって接触され得る。フリップ導体 30 の全体の設計は二重渦巻き形状である。フリップ磁界 $H_{f l i p}$ を磁界感知素子 10 の整列方向に生成する水平方位導体ストライプ 32 は、第 1 の副層 38-1 の上に配列される。これは図 7 b で表される。副層 38-1 の水平方位磁気活性導体ストライプ 32 は、フリップ磁界 $H_{f l i p}$ を生成するため導体ストライプの第 1 の組 34 を形成する。第 1 の組 34 の導体ストライプ 32 は、垂直方位接続導体ストライプ 32 へ接続される。この導体ストライプは、第 1 の組 34 のストライプ 32 を電気接続する導体ストライプ 36 の第 2 の組を形成し、第 2 の副層 38-2 の上に配列される。これは図 7 c で示される。導体ストライプ 34、36 の双方の組は、副層 38-1、38-2 の間のビア 42 を介して電気接続される。こうして、フリップ電流 I_F は、第 1 および第 2 の副層 38-1、38-2 の区分された導体ストライプ 32 を通って流れ得る。導体ストライプ 34 の第 1 の組は、磁界感知素子 10 の端部分 82 に配列された導体ストライプ 32 を備える。端部分 82 に配列された導体ストライプ 32 は、磁界感知素子 10 の中心部分 80 に配列される導体ストライプ 34 と比較して一層小さい幅を有する。このようにして、感知素子 10 の中心部分 80 に関して磁界感知素子 10 の端部分 82 で、増加されたフリップ磁界 $H_{f l i p}$ が生成され得る。こうして、感知素子 10 の内部磁化 M_0 の確実なフリップを達成する際、フリップ電流 I_F が低くされ、磁気フリップ導体 30 のインダクタンスが減少され得る。低減された漂遊磁界、したがって一層低いインダクタンスに起因して、一層高いフリップ頻度が時間分解能の増加を可能にする。というのは、固定された時間区間中に一層多数の測定値が取得され得るからである。磁界感知素子 10 の中心部分 80 に関連づけられた導体ストライプ 34 の第 1 の組の導体ストライプ 32 は、非伝導区域 56 の形態をした電流分布要素 44 を備える。電流分布要素 44 は、フリップ電流 I_F を導体ストライプ 32 の上で均一に分布するように設計される。電流分布要素 44 は均一の電流分布を提供し、減少された均一のフリップ磁界 $H_{f l i p}$ が磁界感知素子 10 の中心部分 80 で生成され、増加されたフリップ磁界 $H_{f l i p}$ が磁界感知素子 10 の端部分 82 で生成される。

。電流分布要素 44 は、磁気フリップ電流 I_F の大きさを減少することを助け、フリップ機構を最適化して電気エネルギー消費を低減するように電流分布形状を形成する。

【0046】

図 7 a は、フリップ導体層 38 の上に配列されたフリップ導体 30 のレイアウトを略図で描いている。フリップ導体 30 は接触パッド 40 を介して電気接触可能であり、フリップ電流 I_F はフリップ導体 30 の中へ入り、そこから抽出され得る。図 7 b で表わされる、フリップ磁界を生成する導体ストライプ 32 の第 1 の組は、第 1 の副層 38-1 の上に配列され、図 7 c で示される第 2 の副層 38-2 の上に配列された導体ストライプ 32 の第 2 の組へ接続される。長方形および多角形の窪み 58 の形態をした電流分布要素 44 は、磁界感知素子 10 の中心部分 80 に関連づけられた相対的に広い導体ストライプの上に配列される。第 1 および第 2 の副層の導体ストライプ 32 の間の電気接続は、ビア 40 によって提供される。第 2 の副層 38-2 は第 1 の副層 38-1 の上部に配列され、ホイートストンブリッジ 18 のブリッジ抵抗器 20 を同様に備え得る。その副抵抗器 22 は磁界感知素子 10 から構成される。その結果、センサチップ構成 50 の全体は、下部層としての副層 38-1 および上部層としての 38-2 の 2 つを備え、第 2 の副層 38-2 はホイートストンブリッジ層 70 をさらに備える。この配列は、増加された磁気感度および一層低いエネルギー消費を有する非常にコンパクトなチップ設計を提供する。

【0047】

図 8 は、ブリッジ抵抗器 20 のインターディジタル配列 24 を有する磁界感知デバイス 50 の第 2 の実施形態を表す。フリップ導体配列 30 は、図 6、図 7 で描かれた実施形態のフリップ導体と同じである。ホイートストンブリッジ 18 は 4 つの抵抗器 20 を備え、各々の抵抗器 20 は副抵抗器 22 の形態をした複数の磁界感知素子 10 を備える。各々の抵抗器 20 の磁界感知素子 10 は直列接続され、互い違いのパーバポール構造 26、28 を有する 2 つの感知素子 10 は、反対のフリップ磁界 H_{flip} を生成するフリップ導体 30 の第 1 の副層 38-1 の磁気活性導体ストライプ 32 の上に配列される。互に入り込む指が形成されるように、各々の抵抗器 20 の直列接続素子 10 は蛇行形態として配列される。ブリッジ抵抗器 20 がインターディジタル配列 24 として形成されるように、2 つの抵抗器 20 の指は相互に作用し、隣接する抵抗器の磁気素子 10 は相互の近くに配列される。ブリッジ抵抗器 20 の感知素子 10 のコンパクトな配列に起因して、材料の不純物、欠陥、または温度変動は、双方の抵抗器へ同等に影響し、したがって感知デバイスの安定度および精度を向上させる。

【0048】

図 9 は、磁界感知デバイス 50 の他の実施形態を示す。このデバイスでは、フリップ導体 30 が二重に蛇行し、U 字形導体ストライプ 32 を備える。このチップ配列 50 において、接触パッド 40 はチップレイアウトの接触側の上に配列され、ブリッジ抵抗器 18 の個々の感知素子 10 は、二重に蛇行するフリップ導体 30 に沿って直列接続で配列される。各々の抵抗器 20 は、互い違いのパーバポール構造 26、28 を有する 4 つの磁界感知素子 10 を備え、磁界感知素子 10 は、反対のフリップ磁界を生成するフリップ導体 30 の磁気活性導体ストライプ 32 の組 34 の上部に位置決めされる。

【0049】

図 9 のフリップ導体配列 30 の詳細は、図 10 に描かれる。図 10 a は、図 10 b で示される副層 38-1 および図 10 c で示される副層 38-2 の 2 つの上に位置決めされたフリップ導体 30 の構造を顕示する。フリップ導体層 38-1 の上で水平に方位された第 1 の組の導体ストライプ 32、34 は、蛇行形態として配列され、磁界感知素子 10 の端部分 82 に関連づけられた U 字形導体ストライプを備える。磁界感知素子 10 の中心部分 80 に関連づけられた導体ストライプ 32 の均一な電流密度を提供するため、円形または楕円形を有する非伝導性窪み 58 が提供される。電流分布要素 44 は、フリップ電流 I_F の電流密度を均一化して、磁界感知素子 10 の中心部分 80 のために均一なフリップ磁界 H_{flip} を提供する。ホイートストンブリッジ層 70 の AMR 感知素子 10 は、第 2 のフリップ導体の組 32、36 の垂直方位導体ストライプ 36 と一緒に第 2 の副層 38-2

の上に配列される。導体ストライプ 34、36 の 2 つの組は、ビア 42 によって電気接続される。

【0050】

図 11 は、図 9 で表わされたチップ構成のフリップ導体 30 の代替構成を描いている。図 11 a は、フリップ導体層 38 のフリップ導体 30 の全体的形状を表わす。図 11 b の第 1 の副層 38-1 は水平方位磁気活性導体ストライプ 32、34 のみを備え、図 11 c で描かれた第 2 の副層 38-2 は、垂直方位導体ストライプ 32、36 のみを備える。磁界感知素子 10 (図示されず) は、有利にはフリップ導体ストライプ 36 の第 2 の組と同じ図 11 c の層の上に配列され得る。双方の副層 38-1 および 38-2 の導体ストライプはビアによって接続される。副層 38-2 は副層 38-1 の上に配列され、図示されないホイトストンブリッジ層 70 の感知素子 10 を同様に備え得る。磁界感知素子 10 の中心部分 80 に関連づけられた導体ストライプ 34 の第 1 の組の磁気活性導体ストライプ 32 は、磁界感知素子 10 の端部分 82 に関連づけられた導体ストライプ 32 と比較して、減少された均一のフリップ磁界を生成するコンダクタンスプロファイル 54 を備える。図 9 のフリップ導体設計と比較して、ビア接続 42 の数は増加されるが、垂直および水平に方位された導体ストライプ 34、36 の厳格な分離に起因して、チップ区域の全体的サイズがさらに低減される。

【0051】

図 12 は、ホイトストンブリッジ層 70 の上部および下で、積み重ねられた層 38、62 の上に配列されたフリップ導体 30 および補償導体 60 を有する磁界感知デバイス 50 の他の実施形態を表す。フリップ導体配列は、図 6 で描かれた実施形態のフリップ導体と同じである。感知デバイス 50 は、第 1 の方向の磁界成分 H_E を感知するように適合され、フリップ磁界 H_{flip} の方向に依存して第 2 および第 3 の方向に磁化され得る磁界感知素子 10 を備える。感知デバイス 50 のフリップ導体 30 および補償導体 60 の層配列は、図 13 で示される。

【0052】

図 13 a は、図 12 のチップ設計の導体ストライプ 32 の構成を表す。この構成は、フリップ導体 30 の、図 13 d で示されるフリップ導体副層 38-1、図 13 e で表される 38-2、および補償導体 60 の、図 13 b で描かれる副層 62-1、図 13 c で描かれる 62-2 を備える。補償導体 60 ならびにフリップ導体 30 は、それぞれ 2 つの副層 38-1、38-2、62-1、および 62-2 を備え、磁気活性導体ストライプ 34、66 の第 1 の組は、それぞれ第 1 の副層 38-1、62-1 の上に配列され、導体ストライプ 34、66 の第 1 の組をそれぞれ導電するための導体ストライプ 36、68 の第 2 の組は、第 2 の副層 38-2、62-2 の上に配列される。副層 38-1、38-2 および 62-1、62-2 は、相互の上部に積み重ねられ、またはホイトストンブリッジ層 70 を挟み得る。接触パッド 40 は、ホイトストンブリッジ 18 ならびにフリップ導体 30 および補償導体 60 を伝導するため積層アセンブリを囲む。補償導体 60 は、補償電界を生成して外部磁界 H_E 14 を補償するように設計され、補償磁界は磁界感知要素 10 (図示されず) の長さ配列と垂直に方位される。磁界感知素子 10 (図示されず) は、有利にはフリップ導体副層 38-2 のフリップ導体ストライプ 36 の第 2 の組と平行に、図 13 e で描かれた層の上に配列され得る。フリップ導体 30 の副層コンセプトは補償導体 60 へも適用され得るから、フリップ導体 30 を単一層の上に配列し、補償導体 60 の導体ストライプ 66、68 の 2 つの組を 2 つの副層 62-1、62-2 の上に配列し、よって本発明の利点を補償導体層配列 60 へ移転することも考慮可能であって有利である。

【0053】

最後に、図 14 は、図 12 で描かれた 3 次元磁気センサチップ配列 50 の略組立分解断面図を表す。配列 50 は、図 13 で描かれたフリップ導体層 30、補償導体層 60、およびホイトストンブリッジ層 70 を基板 64 の上に備える。チップレイアウトの 3 次元表現は純粋にイラストであり、実際の寸法を表現するものではない。基板 64 の上には、4 つのブリッジ抵抗器 20 の磁界感知素子 10 が、ホイトストンブリッジ層 70 の上に配

列される。磁界感知素子 10 は、AMR 材料ストライプ 48、たとえば、パーマロイストライプ、および高伝導性材料、たとえば、金または銅から作られたバーバーポール構造 16 を備える。ホイートストンブリッジ 18 の 4 つの抵抗器 20 は、磁界感知デバイス 50 の主な基板区域を覆う。各々の抵抗器 20 は複数の副抵抗器 22 を備え、ここで各々の副抵抗器 22 は磁界感知素子 10 である。各々の磁界感知素子 10 は AMR 材料ストライプ 48、たとえば、パーマロイストライプを備え、上部に高伝導性材料のバーバーポール構造 16 を備える。磁界感知素子 10 が配列された同じホイートストンブリッジ層 70 の上に、第 2 のフリップ導体副層 30、38-2 が提供される。この副層は、フリップ導体ストライプ 34 の第 1 の組の導体ストライプ 32 を電気接続するフリップ導体ストライプ 32、36 の第 2 の組を備える。図 7c、図 10c、図 11c、または図 13e で表された同様の構成を参照されたい。フリップ導体ストライプ 36 の第 2 の組およびバーバーポール構造 16 の金属化は同じであり、並列に加工され得る。組み合わせられた層 70、38-2 の上部に、補償導体ストライプ 66 の第 1 の組を備える第 1 の補償導体副層 62-1 が配列され、補償磁界が生成されて外部磁界 H_E を補償する。図 13b の構成も参照されたい。第 1 の補償導体副層 62-1 の上部に、磁気活性フリップ導体ストライプ 34 の組を備える第 1 のフリップ導体副層 38-1 が配列される。図 13d も参照されたい。フリップ導体 30 の第 1 の組 34 は、ビア導体要素 42 を介して磁気フリップ層 38 の第 2 の組 36 へ接続される。ビア導体要素 42 は、有利には補償導体ストライプ 66 の第 1 の組の伝導ストライプ 32 と並列に処理され得る。最後に、第 1 のフリップ導体副層 38-1 の上部に、第 2 の補償導体副層 62-2 が配列される。副層 62-2 は、第 1 の補償導体副層 62-1 の磁気活性導体ストライプ 66 の第 1 の組を接続する導体ストライプ 68 の第 2 の組を備える。図 13c を参照されたい。補償導体ストライプ 66、68 の第 1 および第 2 の組の導体ストライプ 32 は、図示されていないビアによって接続される。副層 38-1、38-2、62-1、62-2 の互い違い設計は、最小漂遊磁界および低インダクタンスを有する高集積でコンパクトなチップ設計を提供する。このチップ設計は、低電力消費と共に高頻度および増加された感度で作動され得る。

【0054】

フリップコイル 30 の抵抗は、その磁界感知素子 10 およびそのフリップ導体 30 の形状に起因して、センサチップ 50 当たり $1\ \Omega$ へ減少され、 $H_{f l i p}$ 磁界は、 1.5 V よりも小さな電圧 V_F で 200 mA 電流 I_F によって生成され得る。フリップ導体 30 の特別の設計は、増加された $H_{f l i p}$ 磁界を素子 10 の双方の端 82 で生成し、一層小さな $H_{f l i p}$ 磁界を素子 10 の中心部分 80 で生成し、全体的に減少された $H_{f l i p}$ 磁界の強さによって内部磁化 M_0 がフリップされ得る。さらに、各々の素子 10 の端部分 82 の低減された直径は、減少された $H_{f l i p}$ 磁界を適用して内部磁化 M_0 を確実にフリップすることを可能にする。改善された設計は、小さくてコンパクトなセンサチップ配列 50 を提供する。配列 50 は 3D センサチップへ拡大され、携帯デバイスの 1.2 V 再充電可能バッテリーによって加えられ得る比較的低い電圧によって駆動され得る。本発明は、上記の例に限定されず、添付された特許請求の範囲の中で自由に変形されてもよい。

【符号の説明】

【0055】

- 10 磁界感知素子
- 12 内部磁化 M_0
- 14 外部磁界
- 16 バーバーポール構造
- 18 ホイートストンブリッジ
- 20 ブリッジ抵抗器
- 22 ブリッジ副抵抗器
- 24 インターディジタル抵抗器部分要素配列
- 26 正の角度を有するバーバーポール構造
- 28 負の角度を有するバーバーポール構造

3 0	フリップ導体	
3 2	導体ストライプ	
3 4	フリップ磁界のための導体ストライプの第 1 の組	
3 6	電気接続のための導体ストライプの第 2 の組	
3 8	フリップ導体層	
4 0	接触パッド	
4 2	ビア	
4 4	電流分布要素	
4 6	磁界感知素子の間の電気接続	
4 8	A M R 材料ストライプ	10
5 0	磁界感知デバイス	
5 2	技術水準の磁界感知デバイス	
5 3	電流密度分布	
5 4	コンダクタンスプロファイル	
5 6	非伝導区域	
5 8	窪み	
6 0	補償導体	
6 2	補償導体層	
6 4	基板	
6 6	補償磁界のための補償導体ストライプの第 1 の組	20
6 8	電気接続のための補償導体ストライプの第 2 の組	
7 0	ホイートストンブリッジ層	
7 2		
7 4		
7 6		
7 8		
8 0	磁界感知素子の中心部分	
8 2	磁界感知素子の端部分	

【図 1 a】

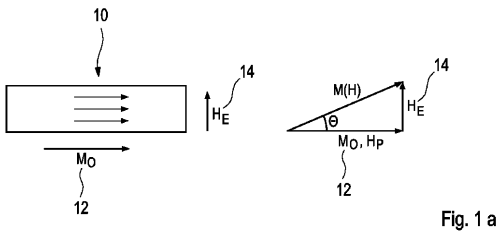


Fig. 1 a

【図 1 b】

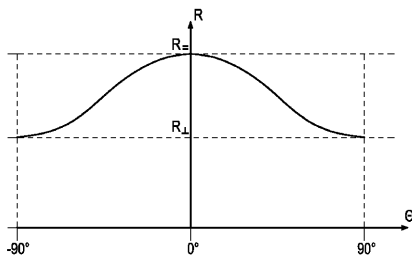


Fig. 1 b

【図 2 a】

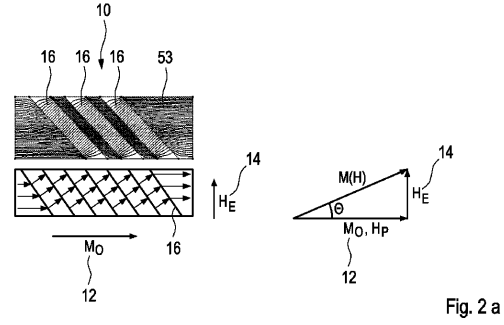


Fig. 2 a

【図 2 b】

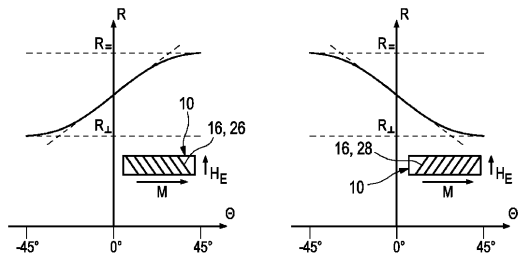


Fig. 2 b

【図 3 a】

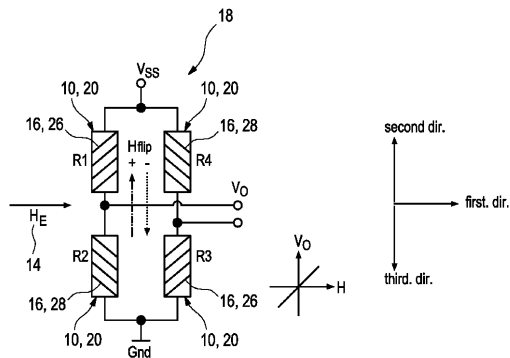


Fig. 3 a

【図 3 b】

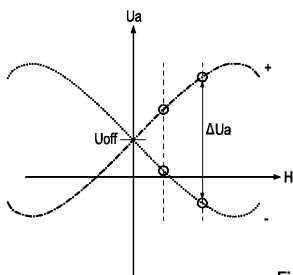


Fig. 3 b

【図 4 a】

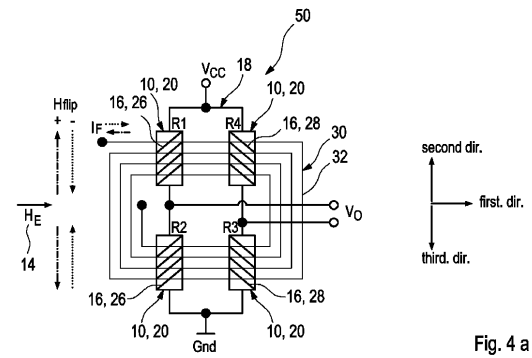


Fig. 4 a

【図 4 b】

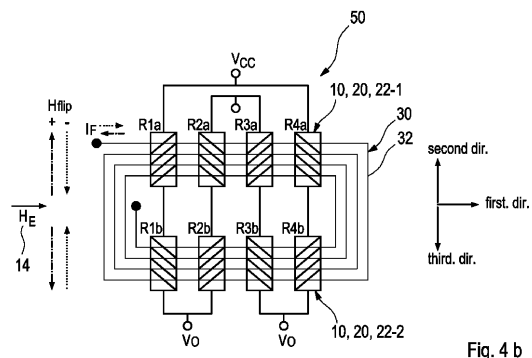


Fig. 4 b

【図 4 c】

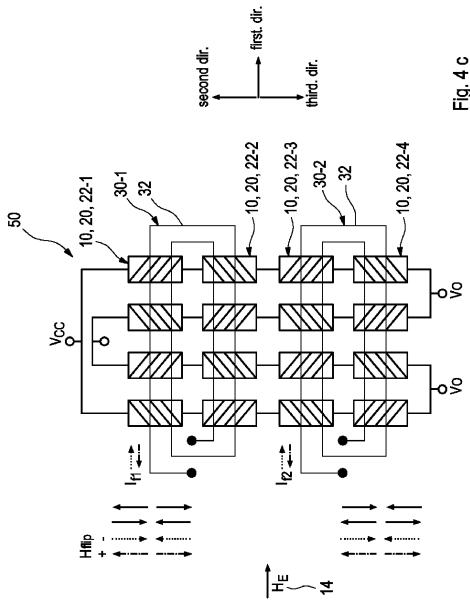


Fig. 4 c

【図 5 a】

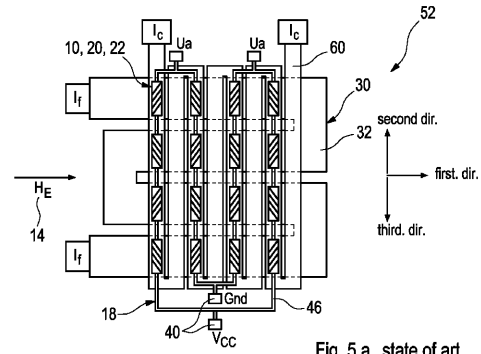


Fig. 5 a state of art

【図 5 b】

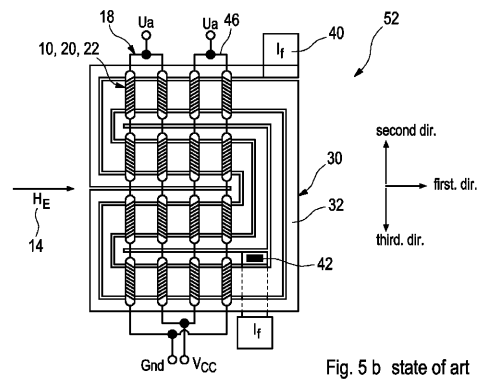


Fig. 5 b state of art

【図 5 c】

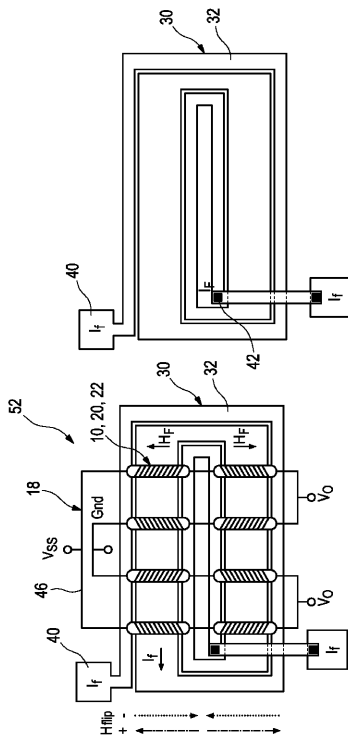


Fig. 5 c state of art

【図 6】

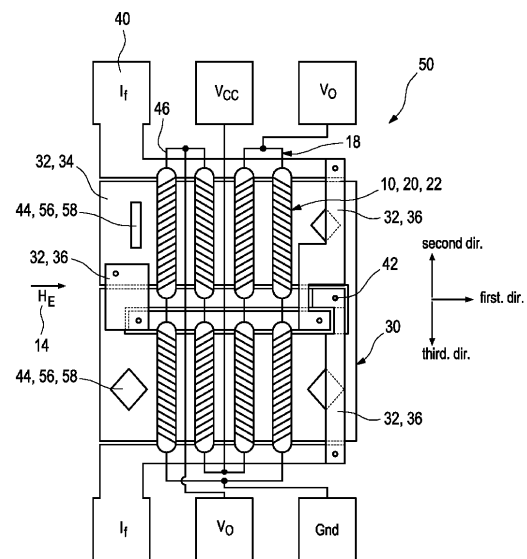


Fig. 6

【図 7 a】

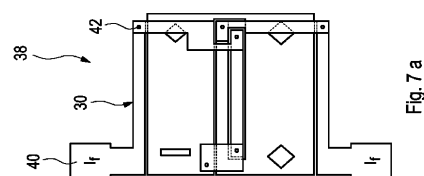


Fig. 7 a

【図 1 2】

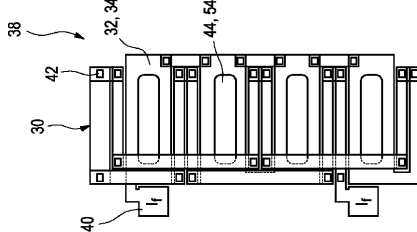


Fig. 11 a

【 ㊦ 1 1 b 】

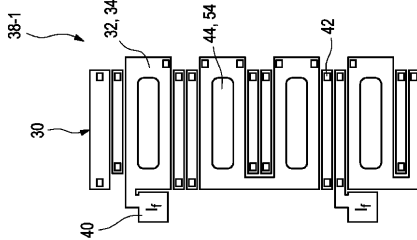


Fig. 11 b

【 図 1 1 c 】

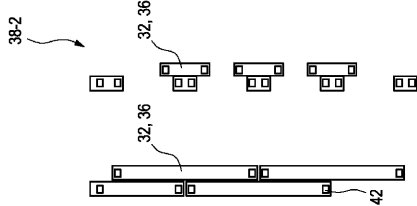


Fig. 11 c

【図 1 3 a】

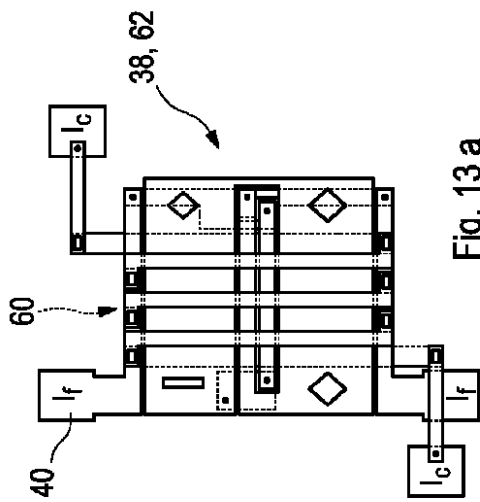


Fig. 13 a

【図 1 3 b】

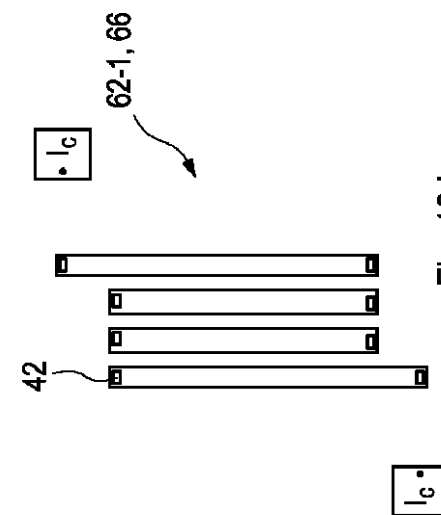


Fig. 13 b

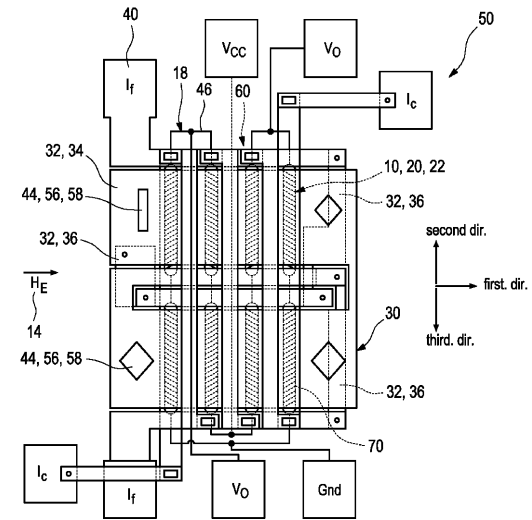
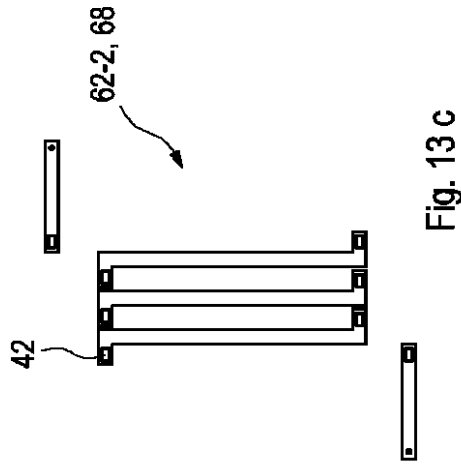
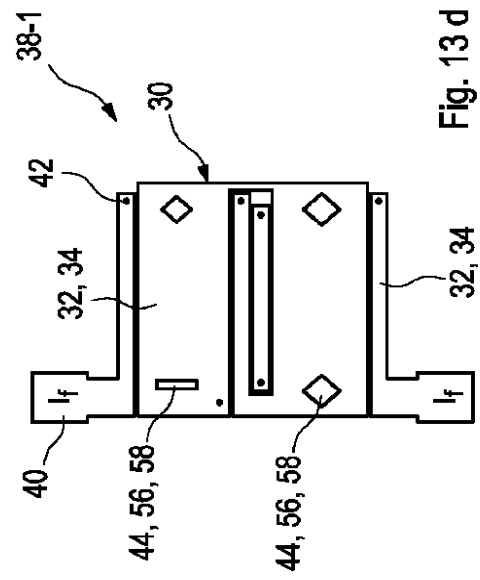


Fig. 12

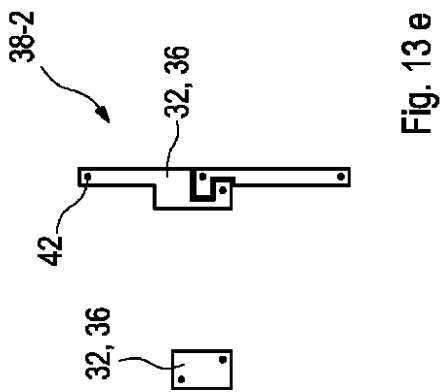
【図 13 c】



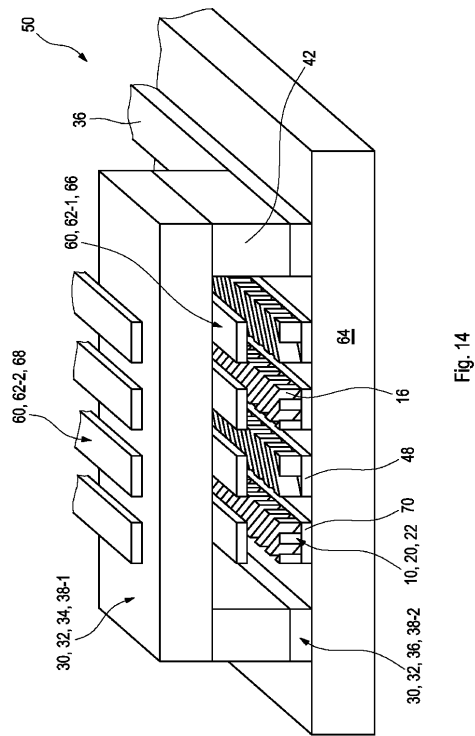
【図 13 d】



【図 13 e】



【図 14】



【手続補正書】

【提出日】平成23年11月4日(2011.11.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、外部磁界の方向および大きさを感知する磁界感知デバイスに関する。

【背景技術】

【0002】

A MR効果（異方性磁気抵抗効果）は、多数のセンサで、特に、電子コンパスのように地球の磁界を測定し、または（導体の周りに生成された磁界を測定することによって）電流を測定して、トラフィックの検出ならびに線形位置および角度の感知を行うために使用される。典型的には、A MR磁界感知デバイスは、A MR効果を利用する磁界感知素子を備える。A MR効果は、外部磁界が適用されたとき、伝導材料の電気抵抗値を変化させる伝導材料特性である。ホイートストンブリッジ構成の使用は、A MR感知ブリッジ抵抗器の抵抗変動の高感知測定を可能にする。高度にコンパクトな電子デバイス、たとえば、ナビゲーションシステム、パルスウォッチ、スピードメータ、モバイルコンピュータ、および類似の電子製品の多くが、ますます磁界センサを備えるようになったため、高度に集積された小さい磁界センサチップの必要性が生じている。

【0003】

A MRセンサチップの感度は、磁界フリップ機構を導入することによって増加され得ることが周知である。各々のA MR磁気感知素子の内部磁化が周期的にフリップされ、磁界の単一成分の差分測定が遂行され得るようにされる。それゆえに、典型的なセンサチップは、フリップ磁界を生成する磁気フリップ導体を備え、フリップ導体はA MRセンサチップの単一チップ層の中に集積される。磁界センサチップを組み込んだ多くの電気デバイスは、低容量のバッテリーまたは蓄電池によって電力を与えられる。ゆえに、フリップ機構は、多くの電力を消費することなく磁界測定の分解能および精度を向上させる高フリップ頻度を達成することが望まれる。さらに、従来設計のフリップ導体のサイズは、磁界センサチップの全体的寸法を支配するので、フリップ導体の設計を小型化することがさらに望ましい。これはインダクタンスの減少を助け、結果としてフリップ頻度を増加する。

【0004】

フリップ導体が渦巻き設計を有するように形成され、磁界センサチップ区域の主な部分をカバーする磁界感知デバイスは、米国特許第5247278号から公知である。フリップ導体のレイアウトは、センサチップのサイズを決定する。フリップ導体は単一層の上に配列され、誘電絶縁層によってホイートストンブリッジ層およびチップ基板から分離される。センサチップの単一層の上に比較的大きなフリップ導体を配列することは、磁界感知素子の内部磁化をフリップする十分大きなフリップ磁界を生成するとき、比較的高い電気エネルギー消費を生じ、チップ区域の大きな部分を占有し、電気エネルギーの著しい量を消費し、高いインダクタンスを顕示し、比較的低いフリップ頻度のみが取得され、磁界感知の時間分解能を限定する。

【0005】

米国特許第5952825号は同様な磁界感知デバイスを教示し、渦巻き形態のフリップ導体が単一層の上に配列される。さらに、同じように渦巻き形態の2つの補償導体が、別個の層の上でフリップ導体層とホイートストンブリッジ層との間に配列される。チップの全体的サイズは、ホイートストンブリッジ抵抗器のサイズと比較して大きく、増加されたインダクタンスおよび漂遊磁界が電気エネルギーの増加された消費を引き起こす。

【0006】

独国特許出願公開第4327458号は、ホイートストンブリッジ構成を備える磁界感知デバイスを顕示する。この構成において、単一AMR感知ブリッジ抵抗器は、バーバーポール構造の電気ガイド素子と共に楕円外形のテーパ形態を有する。最後に、米国特許出願公開第2009/0108841号は、2軸磁界感知デバイスを説明している。このデバイスは2つのホイートストンブリッジ抵抗器配列および複数の補償導体配列を備える。

【0007】

技術水準の磁界感知デバイスで遭遇される問題は、AMR抵抗器構成に関して磁界導体が相対的に大きく、電気エネルギーの相対的に高い量を消費し、フリップ頻度の増加を許さず、磁界感知デバイスの一層高い小型化および一層良好な分解能が限定される態様に存在する。それゆえに、一層高い集積度、一層小さいチップサイズ、一層低い電力消費、磁界感知の一層高い時間分解能および感度を可能にする向上した磁界感知デバイスを提供することが望ましい。

【発明の概要】

【0008】

本発明の目的は、請求項1に従った磁界感知デバイスによって達成される。

【0009】

本発明は、機能的に異なる幾つかの層を備え、ホイートストンブリッジ層がホイートストンブリッジの少なくとも2つの抵抗器を備えた磁界感知デバイスを示唆する。ホイートストンブリッジの各々の抵抗器は、少なくとも1つの磁界感知素子を副抵抗器として備える。フリップ導体層は、各々の磁界感知素子の内部磁化状態をフリップする少なくとも1つのフリップ導体を備える。フリップ導体は複数の導体ストライプを備え、これらの導体ストライプはフリップ導体層の少なくとも2つの異なるフリップ導体副層の上に配列され、副層の導体ストライプはビア接続、すなわち、いわゆるビアを介して相互に電気結合される。こうして、磁界感知デバイスは、フリップ導体が少なくとも2つの副層の上に配列され、これらの副層が相互の上部に存在するかホイートストン抵抗器を挟むセンサチップ設計を示唆する。このような設計は、従来の磁気センサチップ区域のサイズのほぼ半分を要求する。これは少なくとも2つの副層の上に配列されたフリップ導体の多層構造から生じる。3次元構造は、磁界感知素子が位置決めされる区域の外側でチップサイズを低減し、センサチップの全体的サイズを一層コンパクトにする。さらに、コンパクト設計に起因して、漂遊磁界が減少され、インダクタンスが低減され得る。磁界感知素子に隣接する磁気活性導体ストライプは、U字形、蛇行形、または渦巻き形を有するように設計され、既存のフリップ導体構造と同等または優越した効果をフリップ機構に及ぼし得る。フリップ機構の基本的コンセプトは従来の設計に従う。すなわち、磁気感知素子に近いフリップ導体副層の導体ストライプに関して各々の抵抗器の磁気抵抗ストライプの方位をフリップする。結果として、抵抗器配列の磁界感知素子は相互に一層近く位置決めされ、磁界感知素子は一層均一にされ、材料不純物および加工欠陥は2つ以上の抵抗器へ同等に影響し、次のような改善を生じる。

【0010】

・ R/θ 関係曲線の改善された線形性。ここで θ は、磁界感知素子の整列に関して測定されるべき外部磁界の角度であり、 R は素子の電気抵抗である。

【0011】

・ 温度変化および加工変動に対する減少された感度。

【0012】

・ ホイートストンブリッジ構成の低減されたオフセット電圧 V_{off} 。

【0013】

・ 一層コンパクトな設計および一層小さなチップサイズ。

【0014】

・ 低減された漂遊磁界に起因するフリップコイルの減少されたインダクタンス。

【0015】

- ・増加された感知頻度限定。

【0016】

- ・減少されたフリップ電圧、フリップ電流 I_F 、およびエネルギー消費。

【0017】

一般的に、フリップ磁界またはフリップ磁気インパルスを提供するために設計される磁気活性導体ストライプ、および活性導体ストライプを導電する導体ストライプは、双方の副層の上に任意の形態で位置決めされ得る。好ましい実施形態によれば、フリップ導体は、関連づけられた磁界感知素子のフリップ磁界を提供する磁気活性導体ストライプの第1の組を備え得る。導体ストライプの第1の組は、ホイートストンブリッジ層の側に対面する第1のフリップ導体副層の上に配列され得る。

【0018】

さらに、磁界感知デバイスは、導体ストライプの第1の組の電気接続を提供する導体ストライプの少なくとも1つの第2の組を備え得る。この第2の組は、少なくとも1つの第2のフリップ導体副層の上に配列される。このようにして、双方の副層は特定の技術目的に設計される。すなわち、第1の層は、フリップ磁界を生成する導体ストライプの第1の組を備え、第2の層は、導体ストライプの第1の組を接続する導体ストライプの第2の組を備え、各々の磁気感知素子の内部磁化状態をフリップするフリップ磁界をフリップ電流が生成し得るようにされる。好ましくは、第1の磁気活性副層はホイートストンブリッジの抵抗器の磁界感知素子の近くに位置決めされ、副抵抗器の内部磁気状態をフリップするのに十分なフリップ磁界を小さな電流が生成し得るようにされる。導体ストライプの第1の組と磁界感知素子との間の距離を減少することは、フリッププロセスのエネルギー消費を低減する。

【0019】

一般的に、フリップ導体は、磁界感知素子の内部磁化と平行または反平行な磁界を提供する。たとえば、導体ストライプは、ソレノイドまたは円筒コイルとして設計され得る。好ましい実施形態および前述された実施形態によれば、導体ストライプの第1の組は、磁界感知素子の長手方向整列に関して本質的に垂直に方位され、導体ストライプの第2の組は、磁界感知素子の長手方向整列に関して本質的に平行に方位される。導体ストライプは、電流の流れに垂直な磁界をストライプに沿って生成する。それゆえに、磁界感知素子の長さ方向に関して垂直に方位された導体ストライプは、磁気フリップ素子の内部状態と平行または反平行なフリップ磁界を生成し、垂直導体ストライプの第1の組の第2の副層接点の平行方位ストライプへ垂直導体ストライプを電気接続し得る。双方の副層の間の電気接続はビアまたは結合線によって形成される。このようにして、低減された幾何学的寸法を有するコンパクトで効率的な導体コイル配列が提供され得る。

【0020】

一般的に、第1のフリップ導体副層の導体ストライプは、関連づけられた磁界感知素子の内部磁化方向と好ましくは垂直に方位された単一ストライプであり得る。代替として、導体ストライプはU字形、渦巻き形、または蛇行形であり、内部磁化方向に関して平行に方位された領域をさらに備え得る。そのような単一平行方位導体ストライプ、U字形、渦巻き形、または蛇行形導体ストライプは指を形成し、複数の非接続導体ストライプが相互に係合し得るようにされる。前述された実施形態によれば、導体ストライプの第1の組は、磁界感知素子の中心部分のためにフリップ磁界を提供する垂直方位導体ストライプおよび磁界感知素子の端部分のためにフリップ磁界を提供する垂直導体ストライプから成るインターディジタル配列を備え得る。反対方向の電流の流れを有する導体ストライプが相互に隣接するインターディジタル配列は、低減されたインダクタンスおよび最小化された漂遊磁界を有するコンパクトな設計を提供する。第2の副層の平行方位導体ストライプは、導体ストライプの第1の組の指を接続する。

【0021】

好ましい実施形態によれば、磁界感知素子の中心部分のために提供されるフリップ磁界に関して増加されたフリップ磁界が、各々の磁界感知素子の双方の端部分で提供され得る。

ように、導体ストライプの第1の組が設計および配列され得る。磁界感知素子のフリップは、比較的強いフリップ磁界を磁界感知素子の双方の端へ適用し、低減されたフリップ磁界を磁界感知素子の中心部分へ適用することによって確保される。増加されたフリップ磁界は、フリップ導体を通して流れる磁気フリップ電流の中心部分に関して電流密度を端部分で増加することによって、双方の端部分で提供され得る。たとえば、低減された幅を磁界感知素子の端部分で有し、増加された幅を磁界感知素子の中心部分で有するフリップ導体ストライプを配列し、またはコンダクタンスプロファイルを有するフリップ導体ストライプを設計して、磁界感知素子の端部分でフリップ電流密度が増加されるようにすることは、磁界感知素子の内部磁化状態を安定および信頼可能にフリップするフリップ磁界を提供する。

【0022】

前述された実施形態と組み合わせて有利な好ましい実施形態によれば、均一なフリップ磁界が磁界感知素子の中心部分で励起され得るように、導体ストライプの第1の組の少なくとも1つの導体ストライプが、電流分布を提供するように設計された少なくとも1つの電流分布要素、好ましくはコンダクタンスプロファイルまたは非伝導区域、特に窪みを備え、これによって好ましくは、導体ストライプが磁界感知素子の中心部分の内部磁化状態をフリップするように適合され得る。電流分布要素は、磁気感知素子の中心部分に均一な電流分布を提供するように設計される。その高度にコンパクトな設計に起因して、フリップ導体は複数の粗いエッジを備える。電流分布要素は、好ましくは磁界感知素子の中心部分で磁気フリップ電流の均一な分布を提供するための、導体ストライプの第1の組の孔、窪み、または非伝導部分であり得る。このようにして、均一なフリップ磁界が中心部分のために提供され、任意選択的に、電流分布要素を設計して、増加された磁界を磁界感知素子の端部分で提供し得る。もし導体ストライプが不完全伝導材料から構成されるならば、電流分布材料はコンダクタンスプロファイルをさらに備え得る。コンダクタンスプロファイルは、均一な電流分布を磁界感知素子の中心領域で強制し、任意選択的に、増加された電流分布を端部分で強制する。

【0023】

好ましい実施形態によれば、抵抗器は、少なくとも2つの磁界感知素子を副抵抗器として備え得る。各々の磁界感知素子は、フリップ導体の関連づけられた垂直導体ストライプの電流の流れ方向に関するその配列に依存して、正または負のバーバーポール整列を有するバーバーポール構造を備える。このようにして、隣接する磁気活性フリップ導体副層の導体ストライプは、ホイートストンブリッジ網の中の各々の抵抗器の磁気抵抗ストライプ（磁界感知素子）の数の半分の磁化方向を1つの方向に設定し、磁気抵抗ストライプの数の半分の磁化方向を他の方向に設定し、センサデバイスの改善された線形性および向上した感度が達成され得るようにする。たとえば、抵抗器は少なくとも2つの磁界感知素子を備え、正のバーバーポール配列を有する第1の素子および負のバーバーポール配列を有する第2の素子が直列に接続される。双方の素子は、それらの対応する磁気活性フリップ導体ストライプに関して配列され、それらの内部磁化が相互に反対にフリップされ得るようにされる。こうして、ホイートストンブリッジの U_a/H 関係曲線が線形化され、精度および感度が改善される。

【0024】

前述された実施形態によれば、ホイートストンブリッジ層の少なくとも2つの抵抗器の副抵抗器は、インターディジタル形式で配列され得る。詳細には、各々の抵抗器は複数の磁界感知素子の直列接続を備える。各々の抵抗器の磁界感知素子は蛇行形態で配列され、2つの直列接続された素子が「指」を形成して並ぶように配列される。第1の抵抗器の2つの隣接する指の間にギャップが形成され、第2の抵抗器の指が第1の抵抗器の2つの指の間に挟まれ得るようにされる。このようにして、第1および第2の抵抗器の指はインターディジタル形式で配列され、コンパクトな配列および双方の抵抗器の類似の材料特性および特徴を生じる。結果として、センサチップの全体的サイズが低減され、線形性、精度、および感度が改善され得る。

【0025】

好ましい実施形態によれば、磁界感知素子の双方の長手方向端部分はテーパ形態、好ましくは楕円形態を有し得る。テーパ形態、たとえば、磁界素子の端部分の狭くされるか細くされた楕円形態は、素子の電気接続を改善し、素子の内部状態をフリップするフリップ磁界の強さを低減する。このようにして、フリップ機構の全体的エネルギー消費が低減され得る。

【0026】

一般的に、ホイートストンブリッジ層は、第1および第2のフリップ導体副層に関して任意的に配列され得る。好ましい実施形態によれば、ブリッジ抵抗器はホイートストンブリッジ層の上で、第1のフリップ導体副層の下におよび有利には隣接して、配列され得る。ホイートストンブリッジ層も、好ましくは第2のフリップ導体副層の中に配列され、これによって第2のフリップ導体副層の伝導ストライプおよびホイートストンブリッジの磁界感知素子は同じ層の上に配列される。代替として、ホイートストンブリッジ層は第1および第2のフリップ導体副層の間に挟まれ、これによってホイートストンブリッジの磁界感知素子が第1および第2の副層の間に配置される。第1のフリップ導体副層の上部にホイートストンブリッジ層を配列することも可能である。第1のフリップ導体副層は、磁界感知素子の内部磁化を確実にフリップするためホイートストンブリッジの磁界感知素子の近くに配列されるべきである。ホイートストンブリッジの磁界感知素子は有利には第2の副層の中に位置決めされ、これによって導体ストライプの第2の組は、磁界感知素子と本質的に平行に方位される。これはチップの容積を低減し、導体ストライプの長さを短縮し、インダクタンスを低減し、フリップ導体の磁気活性導体ストライプのフリップ磁界と磁界感知素子との結合を改善する。磁界感知素子は、AMR材料ストライプ、たとえば、パーマロイを備え、それに対して、AMR材料ストライプの整列に関して好ましくは45°の角度で整列された高伝導材料のバーバーボール構造が取り付けられる。バーバーボール構造の処理中に、フリップ導体ストライプの第2の組およびフリップ導体ストライプの第1の組を接続するビアが、バーバーボール構造と同じ材料を使用して同時に製造され得る。

【0027】

好ましい実施形態によれば、磁界感知デバイスは、補償磁界を生成して外部磁界を補償する補償導体を備え得る。ここで補償導体は、好ましくはホイートストンブリッジ層の上部に、フリップ導体層と隣接しておよび／または互い違いに、少なくとも1つの補償導体層の上に配置される。補償導体も磁界を生成し得るが、フリップ導体とは対照的に、磁界感知素子の長さ方位と平行ではなく、長さ方位と垂直に磁界を生成する。外部磁界が補償され得るように、補償導体は、感知されるべき外部磁界の成分と平行な磁界を生成し得る。補償磁界は外部磁界を削除または補正し、磁界感知デバイスにバイアスをかけるために使用され得る。各々の層の磁気活性部分が磁界感知素子の近くに配列され得るように、フリップ導体層と補償導体層との間にホイートストンブリッジ層を配列することが有利であり得る。結果として、低減された電気エネルギーを用いてフリップ磁界ならびに補償磁界が生成され得る。補償導体層およびフリップ導体層は2つ以上の副層を備え得る。双方の導体層の副層が相互に交代して配列されるように、双方の導体層の副層が相互に互い違いにされることが有利であり得る。

【0028】

前述された実施形態に加えて、補償導体層の少なくとも2つの異なる補償導体副層の上に、補償導体の複数の導体ストライプを配列することが有利である。異なる副層の導体ストライプは、ビアを介して相互に電気結合され、補償磁界を提供する補償導体ストライプの第1の組が第1の補償導体副層の上に配列され、補償導体ストライプの第1の組の電気接続を提供する補償導体ストライプの第2の組が第2の補償導体副層の上に配列される。補償導体ストライプの第1の組は、ホイートストンブリッジ層の上におよび隣接して、および第1のフリップ導体副層の下に、配列され得る。好ましくは、第1の補償導体副層の磁気活性導体ストライプは、ホイートストンブリッジ層の抵抗器の近くに置かれる。さら

に、第2の補償導体副層をホイートストンブリッジ層から遠くに置き、補償導体ストライプの第2の組の補償導体ストライプによって生成された磁界が、ホイートストンブリッジ抵抗器の補償磁界に悪影響を与えないようにすることが有利である。代替として、補償導体副層の第2の組がホイートストンブリッジ層の下に位置決めされ、ホイートストンブリッジ層が補償導体副層の第1および第2の組の間に挟まれて、補償導体ストライプの第2の組の導体ストライプによって生成された磁界が、補償導体ストライプの第1の組によって生成された補償磁界に貢献するようにされ得る。好ましい実施形態において、第2のフリップ導体副層の導体ストライプの組は、チップ基板の表面上で磁界感知素子に相当するAMR材料ストライプと平行に配列される。この層の上部に、第1の補償導体副層の導体ストライプの組が配列される。続いて第1のフリップ導体副層のフリップ導体ストライプの組が配列され、この後で、チップ層配列の上部に、第2の補償導体副層の補償導体ストライプの組が配列される。副層はビアによって接触され得る。こうして、補償導体ストライプおよびフリップ導体ストライプの交代する副層の互い違い配列は、コンパクト、高感知性、およびエネルギー効率的な磁界感知デバイスを提供する。この実施形態は、複数フリップ導体層配列の前述されたコンセプトを複数補償導体層配列へ移転することを示唆する。このようにして、フリップ導体コンセプトに関する有利性および改善が、補償導体についても成り立つ。

【0029】

好ましい実施形態によれば、フリップ導体および／または補償導体の少なくとも一部分は、本質的にU字形、渦巻き形、および／または蛇行形に配列される。これらの配列の全ては、垂直および平行に方位された要素を備え、これらの要素はフリップ導体および／または補償導体の磁気活性ストライプおよび電気接続導体ストライプへ割り当てられ得る。全ての配列は、反対磁界を有する磁気活性導体ストライプを提供し、コンパクトな形態で実現され得る。これらの配列は、さらに組み合わせられ得る。すなわち、副層は、U字形および渦巻き形、U字形および蛇行形、などの導体ストライプを備え得る。

【0030】

好ましい実施形態によれば、フリップ導体および／または補償導体の材料は高伝導性であり、好ましくは、銅、アルミニウム、銀、金、またはこれらの合金を備え、好ましくはバーバーポール構造を形成する材料と同じである。高伝導性導体は、バッテリー駆動デバイスが低電圧でも高電流を生成し、十分大きな磁界を生成し得る。バーバーポール構造および導体ストライプに同じ材料を使用することは、製造の複雑さを低減し、バーバーポール構造および導体ストライプを同時に製造し得る。

【0031】

一般的に、ホイートストンブリッジの全ての磁界感知素子を同時にフリップする単一フリップ導体が提供される。好ましい実施形態によれば、ブリッジ抵抗器の少なくとも1つの磁界感知素子の磁化状態を独立にフリップするため、電氣的に分離された2つ以上のフリップ導体が提供され得る。2つの独立したフリップ導体は、磁界感知素子の半分を独立にフリップすることを可能にする。双方のフリップ導体はホイートストンブリッジ抵抗器の磁界感知素子の4つの異なるフリップ状態を生成し、ホイートストンブリッジの感度がオンまたはオフに切り換えられ得るようにする。これはブリッジのオフセット電圧の測定ならびにブリッジの自己テストの遂行を可能にする。磁界感知デバイスの精度をさらに改善するため、オフセット電圧が使用され得る。

【0032】

上記で列举された実施形態は、多数の非限定的な例を備える。たとえば、フリップ導体配列および補償導体配列のコンセプトは、相互に組み合わせられ、合併され、または移転され得る。抵抗器は、少なくとも1つまたは複数の直列接続磁界感知素子、好ましくはAMRストライプを備え得る。各々の抵抗器の磁界感知素子のバーバーポール配列は、フリップ導体に関する配列に依存して同じであるか互い違いであり得る。フリップ導体副層は、積み重ねられ得るか、ホイートストンブリッジ層を挟み得る。好ましくは、ホイートストンブリッジ層は、フリップ導体の第2の副層の中に配列される。補償導体層は、フリッ

ブ導体層の上または下に積み重ねられ得る。好ましくは、フリップ導体層および補償導体層は、ホイートストンブリッジ層を挟む。

【0033】

この後で、本発明は、添付された図面を参照して一層詳細に説明される。これらの略図はイラストとしてのみ使用され、本発明の範囲を決して限定しない。

【図面の簡単な説明】

【0034】

【図1】AMRコンセプト、および、バーバーポール構造を有しない磁界感知素子における外部磁界の角度に関する抵抗依存性を略図で示す。

【図2】図1に関して、バーバーポール構造の効果を示す。

【図3】フリップ導体を有しない技術水準の磁界感知デバイスのホイートストンブリッジ配列の略図を示す。

【図4】フリップ導体を有する磁界感知デバイスの異なる略図であって、ホイートストンブリッジ抵抗器が単一の磁界感知素子、複数の磁界感知素子、および複数のフリップ導体から構成された略図を示す。

【図5】技術水準のフリップ導体配列を有する異なる磁界感知デバイスを示す。

【図6】多層フリップ導体を有する磁界感知デバイスの第1の実施形態を略図で示す。

【図7】図6のフリップ導体層の単一の副層を示す。

【図8】磁界感知素子のインターディジタル配列を有する磁界感知デバイスの第2の実施形態を示す。

【図9】第1の副層の蛇行形およびU字形フリップ導体配列を有する磁界感知デバイスの他の実施形態を略図で示す。

【図10】図9のフリップ導体層の単一の副層を表す。

【図11】磁界感知デバイスの他の実施形態のU字形フリップ導体配列を有する副層配列を略図で示す。

【図12】フリップ導体配列および補償導体配列を有する磁界感知デバイスの他の実施形態を示す。

【図13】図12のフリップ導体層および補償導体層の単一の副層を表す。

【図14】磁界感知デバイスの他の実施形態のフリップ導体層、補償導体層、およびホイートストンブリッジ層の3次元配列の略図を示す。

【発明を実施するための形態】

【0035】

図1aおよび図1bは、AMRコンセプト、および、バーバーポール構造16を有しない磁界感知素子10における外部磁界14の角度に関する抵抗依存性を略図で示す。磁気抵抗とは、外部磁界が材料へ適用されたとき、その材料の電気抵抗値が変化する材料特性である。いわゆる異方性磁気抵抗（AMR）とは、電気抵抗が、電流方向と磁界Mの方位との間の角度 θ に依存する磁界感知素子10の特性である。この効果は、好ましくは、パーマロイの狭くて（w）、薄く（t）、長い（l）シートの中で観測され得る。ここで $l \gg w \gg t$ が成り立つ。パーマロイは、81%Niおよび19%Feの合金である。素子10の電気抵抗Rは、感知電流が磁界Mの方向と平行であるとき最大値 $R_{\parallel}$ を有し、磁界Mが電流方向と垂直であるとき最小値 $R_{\perp}$ を有する。効果は、磁界Mに起因する原子の電子スピン整列のひずみによって引き起こされる。パーマロイ磁界感知素子10は内部磁化 M_0 12を有し、この内部磁化は典型的にはAMR感知素子の長手方向および感知素子10を通して流れる電流方向へ整列する。今後、磁界Mは、内部磁化 M_0 および感知電流に平行な成分 H_p 、および感知電流および内部磁化 M_0 12に垂直な H_E 14へ分割されるものと仮定する。これによって、さらに $|M_0| \gg |H_p|$ が成り立つものと仮定され、今後は H_p が無視され得る。磁化 M_0 12に平行な電流を考慮すると、次の関係、すなわち、 $R = R_{\perp} + (R_{\parallel} - R_{\perp}) \cos^2(\theta)$ が成り立ち、 $\tan(\theta)$ は外部垂直磁界成分 H_E 14と内部磁化 M_0 12との大きさの比である。これは図1bで描かれる。感知素子10の抵抗感度は、 $|H_E|$ が $|M_0|$ （ $\theta \sim 45^\circ$ ）に等しければ最大化され、 $|M$

$|M_0| \gg |H_E|$ および $|M_0| \ll |H_E|$ ($\Theta \sim 0^\circ$ または 90°) であれば最小化される。

【0036】

図2aおよび図2bは、図1の磁界感知素子のさらなる発展を表し、 $|M_0| \gg |H_E|$ ($\Theta \sim 0^\circ$) の場合に最大抵抗感度へ到達するように外部磁界感度を向上させるバーバーポール構造16を有する。図1の磁気抵抗ストライプ素子からスタートすると、オーム抵抗を有して内部磁化 M_0 に対する感知磁界 H_E の小さな変動を感知する磁界センサ10を有することが望ましい。 $\Theta = \arctan(H_E/M_0)$ である R/Θ 関係曲線は、小さな H_E 値について平坦であるから、典型的なAMRセンサは、いわゆるバーバーポール構造16を装備される。バーバーポール構造16は、白金、銅、アルミニウム、銀、または金から作られた高伝導性の小さなストライプを備え、ストライプは電流の流れに関して 45° の角度で磁化可能材料（たとえば、パーマロイ）へ取り付けられ、したがって図2aで示されるように、素子10を通して流れる 45° 傾斜電流53を強制する。このようにして、 R/Θ 関係曲線は、小さな H_E 変動が線形抵抗変化をもたらす線形領域へシフトされ、 $R = R_\perp + (R_\parallel - R_\perp) \cos^2(\Theta \pm 45^\circ)$ が成り立つ。図2aおよび図2bで分かるように、 R/Θ 関係曲線の勾配は、バーバーポール整列の角度および感知磁界 H_E に関する内部磁界 M_0 の方向に依存する。上記から分かるように、抵抗変化の勾配は、バーバーポールの角度 26° 、 28° の方向および感知磁界 H_E 14に関する磁化 M_0 の整列方向に依存する。

【0037】

図3は、磁界成分 H_E 14の大きさを感知する磁界感知デバイスのホイートストンブリッジ配列18の略図を示す。ホイートストンブリッジ18は、4つの磁界感知素子10をブリッジ抵抗器20として備え、ブリッジ抵抗器20は、正および負の角度 26° 、 28° を有するバーバーポール構造16を有する。図3bは、電圧 V_{ss}/Gnd がブリッジ18へ適用されたときの、ホイートストンブリッジ18の U_a/H 関係を表す。外部磁界 H_E 14を高感度で感知するためには、通常、1つまたは複数の感知素子10を備える4つの磁界感知抵抗器20 R_1 、 R_2 、 R_3 、および R_4 が、そのようなホイートストンブリッジ回路18の中に配列される。ホイートストンブリッジの2つの脚の抵抗値における非対称は、ブリッジの電圧差 U_a をもたらす。感知磁界 H_E 14が存在しないときでも、温度ドリフト、生産公差、および他の影響に起因して、残るオフセット電圧 U_{off} を完全にゼロにすることはできない。3つの次元の全部でベクトルの磁界を感知するには、3つの磁界感知デバイスを組み合わせなければならない。

【0038】

所望されないオフセット電圧 U_{off} を削除するため、内部磁化を二者択一的にフリップするフリップコンセプトが開発された。このコンセプトは、強い外部フリップ磁界 H_{flip} によって磁界感知素子10の内部磁化 M_0 12を周期的にフリップし、ホイートストンブリッジ18の2つのフリップ状態の差分値 ΔU_a を使用して、外部磁界 H_E 14の大きさを決定することを示唆する。ブリッジ抵抗器20 R_1 、 R_2 、 R_3 、および R_4 の単一の磁界感知素子10の内部磁化 M_0 12は、外部フリップ磁界 H_{flip} によって周期的にフリップされる。フリップ磁界の典型的な強さは、 0.1 から 50 mT である。各々のフリップステップの後、ホイートストンブリッジ18の出力値 ΔU_a は、図3bで描かれるように、 R/Θ 関係曲線に従って、2つのフリップ磁化状態 H_{flip} に依存して U_{off} のあたりで対称的に変化する。センサ信号 U_a は、交代するセンサ信号であり、感知回路は静的オフセット値 U_{off} を削除し、 ΔU_a に依存して H_E の強さを決定する。

【0039】

この数年間、バーバーポールおよびフリップコンセプトに基づく異なるAMRセンサ設計が論議の対象であった。図4は、フリップ導体30を有する磁界感知デバイス50の異なる基本コンセプトをイラストおよび抽象表現で示す。ホイートストンブリッジ抵抗器20は、単一または複数の磁界感知素子10を副抵抗器22、22-1から22-4までと

して備え、単一または2つの電氣的に分離されたフリップ導体30、または30-1、30-2を備える。

【0040】

図4aは、集積フリップコイル30を有する磁界感知デバイス50を表す。各々の磁界感知素子10は、互い違いのバーバーポール構造16、26、28を有する抵抗器20 R1、R2、R3、およびR4を形成する。ホイートストンブリッジ18の上方部分の磁界感知素子10 R1、R4は、ホイートストンブリッジ18の下方部分の磁界感知素子10 R2、R3とは対照的に、反対方向のフリップ磁界 H_{flip} へ露出され、磁界感知素子10 R1、R4が1つの方向に磁化され、磁界感知素子10 R2、R3が反対方向に磁化される（ H_{flip} 方向のダッシュドット矢印およびドット矢印を参照）。フリップ磁界 H_{flip} はフリップ電流 I_F によって生成される。この電流はフリップ導体30を通して流れる電流パルスであってもよく、導体30は、渦巻きとして形成された複数の導体ストライプ32を備える。磁界感知素子10に関して垂直に方位された導体ストライプ32は、アンペアの法則に従ってフリップ磁界 H_{flip} を生成し、磁界感知素子10の長さ方位と平行に方位された導体ストライプ32は、磁気活性導体ストライプ32の電気接続を提供する。その結果、オフセット電圧 U_{off} が削除され得るように R/θ 関係曲線のフリップが達成され、小さなサイズの集積フリップコイルを有するコンパクトなセンサ構成が提供される。

【0041】

1993年、微細構造技術オプトエレクトロニクス協会（IMO）、ウェットツラー、ドイツは、図4bで描かれる感知デバイス50を提案した。このデバイスにおいて、各々のブリッジ抵抗器20 R1、R2、R3、およびR4は、少なくとも2つの抵抗器副部品aおよびbへ分割され、各々の副部品は磁界感知素子10を副部品22-1または22-2として備え、互い違いのバーバーポール構造16、26、28を有する。各々の副抵抗器22-1、22-2（R1a、R1b...）は、フリップ電流 I_F によって生成されたフリップ導体30のフリップ磁界 H_{flip} の反対部分へ露出され、感知素子10の生産公差または温度変動によって引き起こされたセンサオフセットをさらに減少し、抵抗器20の一層コンパクトな配列を達成し、一層小さなチップサイズをもたらす。

【0042】

図4cは、図4bの磁界感知素子デバイス50の更なる発展を略図で示す。このデバイスにおいて、フリップ導体30は2つの独立フリップ導体部分30-1および30-2へ分割される。各々の抵抗器20は、4つの副抵抗器22-1から22-4までに分割される。2つの導体部分30-1、30-2は、個々に独立して各々の副抵抗器22-1、22-2、22-3、および22-4のためにフリップ磁界 H_{flip} を調整することを可能にする。各々の抵抗器20の副抵抗器22の半分は、2つの電氣的に分離されたフリップ導体30-1、30-2の1つにかぶさる。双方のフリップ電流 I_{F1} 、 I_{F2} の相関に依存して、「正常」フリップモード（平行電流）および「非活性」モード（反対電流）を設定可能であり、こうして感知デバイス50の自己較正が可能になる。2つのフリップ導体30-1、30-2は、4つの異なるフリップ状態を提供し（ $+/-/0/0 H_{flip}$ 状態を参照）、これによって反対のフリップ電流 I_F （ $H_{flip} 0/0$ ）の場合、ホイートストンブリッジの感度がほとんど削除（非活性化）され、出力信号がオフセット電圧 U_{OFF} を表す。

【0043】

図5は、技術水準のフリップ導体配列を有するセンサ・チップ・レイアウトとしての異なる磁界感知デバイス52を示す。図5aは、ホイートストンブリッジ18を備える第1の技術水準の磁界感知デバイス52を示す。このホイートストンブリッジにおいて、各々のブリッジ抵抗器20は、抵抗器である副抵抗器22の形態をした4つの磁界感知素子10を備える。抵抗器20は直列接続されて蛇行形態に配列され、これにより2つの抵抗器20の間の各々の接続点において、図3で説明されたように、接触パッド40（ U_a 、 V_{cc} 、 Gnd ）はホイートストンブリッジ構成18との接触を可能にする。ホイートスト

ンブリッジ18の下方部分では、グラウンドGndおよび供給電圧 V_{CC} の供給パッド40が配列される。上方接触パッド40は、ホイートストンブリッジのセンサ電圧 U_a へアクセスして、電圧差 ΔU_a を測定することを可能にする。ホイートストンブリッジ18は単一フリップ導体層の上部に配列され、単一フリップ導体層には蛇行形フリップ導体30が配列され、接触パッド40を介して結合され得るフリップ電流 I_F は、フリップ導体30の接触ストライプ32を通して流れ、フリップ磁界 H_{flip} を第2または第3の方向に生成する。フリップ導体30は単一層の上に配列され、チップ構造全体の寸法を決定し、ホイートストンブリッジ18が配列される空間を提供する。追加の電気絶縁層の上に補償導体60が配列される。この導体も蛇行形態として設計され、ホイートストンブリッジ18のブリッジ抵抗器20の数の2倍の蛇行勾配を有し、外部磁界を補償する補償電界を提供する。補償導体60はフリップ導体30と同じ原理に基づくが、補償電流 I_c によって提供される磁界を生成する。この磁界は磁界感知素子10の長手方向と整列しないで垂直方向と整列し、内部磁化 M_0 に影響しないで、測定されるべき外部磁界 H_E 14と重ね合わせられるか、それを補償する。

【0044】

図5bは、同じくホイートストンブリッジ18を備える同様の技術水準の磁界感知デバイス52を示す。このデバイスにおいて、各々のブリッジ抵抗器20は、副抵抗器22の形態をした4つの磁界感知素子10から構成される。この感知デバイス52は、チップ52の別個の単一層の上に位置決めされた磁界フリップ導体30を備え、導体ストライプ32は、どちらかと言えば複雑な組み合わせられた蛇行形態として配列される。フリップ導体30の電気導体32は接触パッド40を提供され、この接触パッドを介して、フリップ電流パルス I_F が結合および抽出され得る。下方の接触パッド40は、異なる層の上のビア接続42を使用することによって、フリップ導体30の導体ストライプと結合される。このビア接続は、2つの層と、パッド40をフリップ導体30の第1の導体ストライプ32に接触させる短い導体ストライプとの間の、導電貫通孔である。

【0045】

図5bの磁界感知デバイス52のさらなる修正は、図5cに描かれる。ホイートストンブリッジ18は4つの抵抗器20を備え、各々の抵抗器20は副抵抗器22としての2つの磁界感知素子10から構成される。4つのブリッジ抵抗器20は直列に電気接続され、渦巻き磁気フリップ導体30の上で蛇行形態として配列される。双方の磁界感知素子10、すなわち、各々の抵抗器20の副抵抗器22は、フリップ導体30の水平整列伝導ストライプ32の上部に位置決めされる。各々の抵抗器20の第1の磁界感知素子10（副抵抗器22）は、上方方向フリップ磁界 H_{flip} を生成するフリップ導体30の磁気活性導体ストライプ32（水平方位ストライプ32）の上部に配列され、第2の素子10は、下方方向 H_{flip} 磁界を生成する磁気活性導体ストライプ32の上部に配列される。フリップ導体30は接触パッド40へ接続されて、渦巻き形状を有する。 H_{flip} フリップ磁界は、フリップ導体30を通して流れるフリップ電流 I_F によって生成される。渦巻きの中心における終端導体ストライプ32は、ビア42および次の層の上に位置決めされる導体ストライプによって接触パッド40へ接続される。図5cの右側には、フリップ導体構成30ならびに接続導体およびビア42が表される。

【0046】

図6は、本発明に従った磁界感知デバイス50の第1の実施形態を示す。磁界センサチップ50はホイートストンブリッジ18を備え、各々のブリッジ抵抗器20は2つの副抵抗器22を備え、これらの副抵抗器は、互い違いのバーバーポール構造16、26、28を有する磁界感知素子10として設計される。ホイートストンブリッジ18は、デバイス50の第1の層の上に配列される。ホイートストンブリッジ18は、電気エネルギー V_{cc} 、Gndをホイートストンブリッジ18へ供給するため、および外部磁界 H_E 14の結果としてパッドVoから電圧差 ΔV_o を感知するため、4つの接触パッド40へ接続される。ホイートストンブリッジ18は、2つの副層38-1および38-2を備えるフリップ導体層38の上部に配列される。

【0047】

個々の副層の詳細な図は、図7a～図7cに描かれる。フリップ電流パルス I_F を導体コイルの中へ送り込み、フリップ磁界 H_{flip} を生成するため、フリップ導体30はフリップ導体層38の上に配列され、接触パッド40によって接触され得る。フリップ導体30の全体の設計は二重渦巻き形状である。フリップ磁界 H_{flip} を磁界感知素子10の整列方向に生成する水平方位導体ストライプ32は、第1の副層38-1の上に配列される。これは図7bで表される。副層38-1の水平方位磁気活性導体ストライプ32は、フリップ磁界 H_{flip} を生成するため導体ストライプの第1の組34を形成する。第1の組34の導体ストライプ32は、垂直方位接続導体ストライプ32へ接続される。この導体ストライプは、第1の組34のストライプ32を電気接続する導体ストライプ36の第2の組を形成し、第2の副層38-2の上に配列される。これは図7cで示される。導体ストライプ34、36の双方の組は、副層38-1、38-2の間のビア42を介して電気接続される。こうして、フリップ電流 I_F は、第1および第2の副層38-1、38-2の区分された導体ストライプ32を通して流れ得る。導体ストライプ34の第1の組は、磁界感知素子10の端部分82に配列された導体ストライプ32を備える。端部分82に配列された導体ストライプ32は、磁界感知素子10の中心部分80に配列される導体ストライプ34と比較して一層小さい幅を有する。このようにして、感知素子10の中心部分80に関して磁界感知素子10の端部分82で、増加されたフリップ磁界 H_{flip} が生成され得る。こうして、感知素子10の内部磁化 M_0 の確実なフリップを達成する際、フリップ電流 I_F が低くされ、磁気フリップ導体30のインダクタンスが減少され得る。低減された漂遊磁界、したがって一層低いインダクタンスに起因して、一層高いフリップ頻度が時間分解能の増加を可能にする。というのは、固定された時間区間中に一層多数の測定値が取得され得るからである。磁界感知素子10の中心部分80に関連づけられた導体ストライプ34の第1の組の導体ストライプ32は、非伝導区域56の形態をした電流分布要素44を備える。電流分布要素44は、フリップ電流 I_F を導体ストライプ32の上で均一に分布するように設計される。電流分布要素44は均一の電流分布を提供し、減少された均一のフリップ磁界 H_{flip} が磁界感知素子10の中心部分80で生成され、増加されたフリップ磁界 H_{flip} が磁界感知素子10の端部分82で生成される。電流分布要素44は、磁気フリップ電流 I_F の大きさを減少することを助け、フリップ機構を最適化して電気エネルギー消費を低減するように電流分布形状を形成する。

【0048】

図7aは、フリップ導体層38の上に配列されたフリップ導体30のレイアウトを略図で描いている。フリップ導体30は接触パッド40を介して電気接触可能であり、フリップ電流 I_F はフリップ導体30の中へ入り、そこから抽出され得る。図7bで表わされる、フリップ磁界を生成する導体ストライプ32の第1の組は、第1の副層38-1の上に配列され、図7cで示される第2の副層38-2の上に配列された導体ストライプ32の第2の組へ接続される。長方形および多角形の窪み58の形態をした電流分布要素44は、磁界感知素子10の中心部分80に関連づけられた相対的に広い導体ストライプの上に配列される。第1および第2の副層の導体ストライプ32の間の電気接続は、ビア40によって提供される。第2の副層38-2は第1の副層38-1の上部に配列され、ホイートストンブリッジ18のブリッジ抵抗器20を同様に備え得る。その副抵抗器22は磁界感知素子10から構成される。その結果、センサチップ構成50の全体は、下部層としての副層38-1および上部層としての38-2の2つを備え、第2の副層38-2はホイートストンブリッジ層70をさらに備える。この配列は、増加された磁気感度および一層低いエネルギー消費を有する非常にコンパクトなチップ設計を提供する。

【0049】

図8は、ブリッジ抵抗器20のインターディジタル配列24を有する磁界感知デバイス50の第2の実施形態を表す。フリップ導体配列30は、図6、図7で描かれた実施形態のフリップ導体と同じである。ホイートストンブリッジ18は4つの抵抗器20を備え、各々の抵抗器20は副抵抗器22の形態をした複数の磁界感知素子10を備える。各々の

抵抗器 20 の磁界感知素子 10 は直列接続され、互い違いのバーバーポール構造 26、28 を有する 2 つの感知素子 10 は、反対のフリップ磁界 H_{flip} を生成するフリップ導体 30 の第 1 の副層 38-1 の磁気活性導体ストライプ 32 の上に配列される。互に入り込む指が形成されるように、各々の抵抗器 20 の直列接続素子 10 は蛇行形態として配列される。ブリッジ抵抗器 20 がインターディジタル配列 24 として形成されるように、2 つの抵抗器 20 の指は相互に作用し、隣接する抵抗器の磁気素子 10 は相互の近くに配列される。ブリッジ抵抗器 20 の感知素子 10 のコンパクトな配列に起因して、材料の不純物、欠陥、または温度変動は、双方の抵抗器へ同等に影響し、したがって感知デバイスの安定度および精度を向上させる。

【0050】

図 9 は、磁界感知デバイス 50 の他の実施形態を示す。このデバイスでは、フリップ導体 30 が二重に蛇行し、U 字形導体ストライプ 32 を備える。このチップ配列 50 において、接触パッド 40 はチップレイアウトの接触側の上に配列され、ブリッジ抵抗器 18 の個々の感知素子 10 は、二重に蛇行するフリップ導体 30 に沿って直列接続で配列される。各々の抵抗器 20 は、互い違いのバーバーポール構造 26、28 を有する 4 つの磁界感知素子 10 を備え、磁界感知素子 10 は、反対のフリップ磁界を生成するフリップ導体 30 の磁気活性導体ストライプ 32 の組 34 の上部に位置決めされる。

【0051】

図 9 のフリップ導体配列 30 の詳細は、図 10 に描かれる。図 10 a は、図 10 b で示される副層 38-1 および図 10 c で示される副層 38-2 の 2 つの上に位置決めされたフリップ導体 30 の構造を顕示する。フリップ導体層 38-1 の上で水平に方位された第 1 の組の導体ストライプ 32、34 は、蛇行形態として配列され、磁界感知素子 10 の端部分 82 に関連づけられた U 字形導体ストライプを備える。磁界感知素子 10 の中心部分 80 に関連づけられた導体ストライプ 32 の均一な電流密度を提供するため、円形または楕円形を有する非伝導性窪み 58 が提供される。電流分布要素 44 は、フリップ電流 I_F の電流密度を均一化して、磁界感知素子 10 の中心部分 80 のために均一なフリップ磁界 H_{flip} を提供する。ホイートストンブリッジ層 70 の AMR 感知素子 10 は、第 2 のフリップ導体の組 32、36 の垂直方位導体ストライプ 36 と一緒に第 2 の副層 38-2 の上に配列される。導体ストライプ 34、36 の 2 つの組は、ビア 42 によって電気接続される。

【0052】

図 11 は、図 9 で表わされたチップ構成のフリップ導体 30 の代替構成を描いている。図 11 a は、フリップ導体層 38 のフリップ導体 30 の全体的形状を表わす。図 11 b の第 1 の副層 38-1 は水平方位磁気活性導体ストライプ 32、34 のみを備え、図 11 c で描かれた第 2 の副層 38-2 は、垂直方位導体ストライプ 32、36 のみを備える。磁界感知素子 10 (図示されず) は、有利にはフリップ導体ストライプ 36 の第 2 の組と同じ図 11 c の層の上に配列され得る。双方の副層 38-1 および 38-2 の導体ストライプはビアによって接続される。副層 38-2 は副層 38-1 の上に配列され、図示されないホイートストンブリッジ層 70 の感知素子 10 を同様に備え得る。磁界感知素子 10 の中心部分 80 に関連づけられた導体ストライプ 34 の第 1 の組の磁気活性導体ストライプ 32 は、磁界感知素子 10 の端部分 82 に関連づけられた導体ストライプ 32 と比較して、減少された均一のフリップ磁界を生成するコンダクタンスプロファイル 54 を備える。図 9 のフリップ導体設計と比較して、ビア接続 42 の数は増加されるが、垂直および水平に方位された導体ストライプ 34、36 の厳格な分離に起因して、チップ区域の全体的サイズがさらに低減される。

【0053】

図 12 は、ホイートストンブリッジ層 70 の上部および下で、積み重ねられた層 38、62 の上に配列されたフリップ導体 30 および補償導体 60 を有する磁界感知デバイス 50 の他の実施形態を表す。フリップ導体配列は、図 6 で描かれた実施形態のフリップ導体と同じである。感知デバイス 50 は、第 1 の方向の磁界成分 H_E を感知するように適合さ

れ、フリップ磁界 H_{flip} の方向に依存して第2および第3の方向に磁化され得る磁界感知素子10を備える。感知デバイス50のフリップ導体30および補償導体60の層配列は、図13で示される。

【0054】

図13aは、図12のチップ設計の導体ストライプ32の構成を表す。この構成は、フリップ導体30の、図13dで示されるフリップ導体副層38-1、図13eで表される38-2、および補償導体60の、図13bで描かれる副層62-1、図13cで描かれる62-2を備える。補償導体60ならびにフリップ導体30は、それぞれ2つの副層38-1、38-2、62-1、および62-2を備え、磁気活性導体ストライプ34、66の第1の組は、それぞれ第1の副層38-1、62-1の上に配列され、導体ストライプ34、66の第1の組をそれぞれ導電するための導体ストライプ36、68の第2の組は、第2の副層38-2、62-2の上に配列される。副層38-1、38-2および62-1、62-2は、相互の上部に積み重ねられ、またはホイトストンブリッジ層70を挟み得る。接触パッド40は、ホイトストンブリッジ18ならびにフリップ導体30および補償導体60を伝導するため積層アセンブリを囲む。補償導体60は、補償電界を生成して外部磁界 H_E 14を補償するように設計され、補償磁界は磁界感知要素10（図示されず）の長さ配列と垂直に方位される。磁界感知素子10（図示されず）は、有利にはフリップ導体副層38-2のフリップ導体ストライプ36の第2の組と平行に、図13eで描かれた層の上に配列され得る。フリップ導体30の副層コンセプトは補償導体60へも適用され得るから、フリップ導体30を単一層の上に配列し、補償導体60の導体ストライプ66、68の2つの組を2つの副層62-1、62-2の上に配列し、よって本発明の利点を補償導体層配列60へ移転することも考慮可能であって有利である。

【0055】

最後に、図14は、図12で描かれた3次元磁気センサチップ配列50の略組立分解断面図を表す。配列50は、図13で描かれたフリップ導体層30、補償導体層60、およびホイトストンブリッジ層70を基板64の上に備える。チップレイアウトの3次元表現は純粋にイラストであり、実際の寸法を表現するものではない。基板64の上には、4つのブリッジ抵抗器20の磁界感知素子10が、ホイトストンブリッジ層70の上に配列される。磁界感知素子10は、AMR材料ストライプ48、たとえば、パーマロイストライプ、および高伝導性材料、たとえば、金または銅から作られたバーバーポール構造16を備える。ホイトストンブリッジ18の4つの抵抗器20は、磁界感知デバイス50の主な基板区域を覆う。各々の抵抗器20は複数の副抵抗器22を備え、ここで各々の副抵抗器22は磁界感知素子10である。各々の磁界感知素子10はAMR材料ストライプ48、たとえば、パーマロイストライプを備え、上部に高伝導性材料のバーバーポール構造16を備える。磁界感知素子10が配列された同じホイトストンブリッジ層70の上に、第2のフリップ導体副層30、38-2が提供される。この副層は、フリップ導体ストライプ34の第1の組の導体ストライプ32を電気接続するフリップ導体ストライプ32、36の第2の組を備える。図7c、図10c、図11c、または図13eで表された同様の構成を参照されたい。フリップ導体ストライプ36の第2の組およびバーバーポール構造16の金属化は同じであり、並列に加工され得る。組み合わせられた層70、38-2の上部に、補償導体ストライプ66の第1の組を備える第1の補償導体副層62-1が配列され、補償磁界が生成されて外部磁界 H_E を補償する。図13bの構成も参照されたい。第1の補償導体副層62-1の上部に、磁気活性フリップ導体ストライプ34の組を備える第1のフリップ導体副層38-1が配列される。図13dも参照されたい。フリップ導体30の第1の組34は、ビア導体要素42を介して磁気フリップ層38の第2の組36へ接続される。ビア導体要素42は、有利には補償導体ストライプ66の第1の組の伝導ストライプ32と並列に処理され得る。最後に、第1のフリップ導体副層38-1の上部に、第2の補償導体副層62-2が配列される。副層62-2は、第1の補償導体副層62-1の磁気活性導体ストライプ66の第1の組を接続する導体ストライプ68の第2の組を備える。図13cを参照されたい。補償導体ストライプ66、68の第1およ

び第2の組の導体ストライプ32は、図示されていないビアによって接続される。副層38-1、38-2、62-1、62-2の互い違い設計は、最小漂遊磁界および低インダクタンスを有する高集積でコンパクトなチップ設計を提供する。このチップ設計は、低電力消費と共に高頻度および増加された感度で作動され得る。

【0056】

フリップコイル30の抵抗は、その磁界感知素子10およびそのフリップ導体30の形状に起因して、センサチップ50当たり $1\ \Omega$ へ減少され、 H_{flip} 磁界は、 1.5 V よりも小さな電圧 V_F で 200 mA 電流 I_F によって生成され得る。フリップ導体30の特別の設計は、増加された H_{flip} 磁界を素子10の双方の端82で生成し、一層小さな H_{flip} 磁界を素子10の中心部分80で生成し、全体的に減少された H_{flip} 磁界の強さによって内部磁化 M_0 がフリップされ得る。さらに、各々の素子10の端部分82の低減された直径は、減少された H_{flip} 磁界を適用して内部磁化 M_0 を確実にフリップすることを可能にする。改善された設計は、小さくてコンパクトなセンサチップ配列50を提供する。配列50は3Dセンサチップへ拡大され、携帯デバイスの 1.2 V 再充電可能バッテリーによって加えられ得る比較的低い電圧によって駆動され得る。本発明は、上記の例に限定されず、添付された特許請求の範囲の中で自由に変形されてもよい。

【符号の説明】

【0057】

- 10 磁界感知素子
- 12 内部磁化 M_0
- 14 外部磁界
- 16 バーバーポール構造
- 18 ホイトストンブリッジ
- 20 ブリッジ抵抗器
- 22 ブリッジ副抵抗器
- 24 インターディジタル抵抗器部分要素配列
- 26 正の角度を有するバーバーポール構造
- 28 負の角度を有するバーバーポール構造
- 30 フリップ導体
- 32 導体ストライプ
- 34 フリップ磁界のための導体ストライプの第1の組
- 36 電気接続のための導体ストライプの第2の組
- 38 フリップ導体層
- 40 接触パッド
- 42 ビア
- 44 電流分布要素
- 46 磁界感知素子の間の電気接続
- 48 AMR材料ストライプ
- 50 磁界感知デバイス
- 52 技術水準の磁界感知デバイス
- 53 電流密度分布
- 54 コンダクタンスプロファイル
- 56 非伝導区域
- 58 窪み
- 60 補償導体
- 62 補償導体層
- 64 基板
- 66 補償磁界のための補償導体ストライプの第1の組
- 68 電気接続のための補償導体ストライプの第2の組
- 70 ホイトストンブリッジ層

7 2

7 4

7 6

7 8

8 0 磁界感知素子の中心部分

8 2 磁界感知素子の端部分

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2011/051585

A. CLASSIFICATION OF SUBJECT MATTER

INV. G01R33/09 G01R33/00
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, INSPEC, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 247 278 A (PANT BHARAT B [US] ET AL) 21 September 1993 (1993-09-21) cited in the application	1-3,6,7, 10,11, 13-15
Y	abstract; figures 1-3	9
A	column 2, line 48 - column 5, line 41 -----	4,5,12
X	US 5 952 825 A (WAN HONG [US]) 14 September 1999 (1999-09-14)	1-3,6,7, 10,11, 13-15
Y	abstract; figures 1,1a,2,3,5	9
A	column 2, line 56 - column 5, line 8 "Summary" -----	4,5,12
Y	DE 43 27 458 A1 (INST MIKROSTRUKTURTECHNOLOGIE [DE]) 23 February 1995 (1995-02-23) abstract; figures 1-4 -----	9
	-/--	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

29 August 2011

Date of mailing of the international search report

06/09/2011

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Böhm-Pélissier, A

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2011/051585

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2009/108841 A1 (ABE YASUNORI [JP] ET AL) 30 April 2009 (2009-04-30) abstract; figure 1 paragraph [0047] - paragraph [0056] -----	1-15

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2011/051585

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5247278	A	21-09-1993	CA 2083008 A1 DE 69228654 D1 DE 69228654 T2 EP 0544479 A2	27-05-1993 22-04-1999 30-09-1999 02-06-1993
US 5952825	A	14-09-1999	DE 69808776 D1 DE 69808776 T2 EP 1004033 A1 JP 2001516031 A WO 9909427 A1	21-11-2002 11-12-2003 31-05-2000 25-09-2001 25-02-1999
DE 4327458	A1	23-02-1995	NONE	
US 2009108841	A1	30-04-2009	WO 2007132592 A1 JP 4632142 B2	22-11-2007 23-02-2011

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ゼバスチアン、ヴェバー

ドイツ連邦共和国 3 5 5 8 4 ヴェッツラー、シュールシュトラッセ 8 B

Fターム(参考) 2G017 AA02 AA03 AC06 AD55 BA09

5F092 AA01 AA12 AB01 AC05 AD06 BB42 BB55 EA08