

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-45754

(P2010-45754A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 3/26 (2006.01)	H03F 3/26	5J500
H03F 3/45 (2006.01)	H03F 3/45 Z	

審査請求 有 請求項の数 18 O L (全 19 頁)

(21) 出願番号	特願2008-300895 (P2008-300895)	(71) 出願人	508349562
(22) 出願日	平成20年11月26日 (2008.11.26)		旭曜科技股▲フン▼有限公司
(31) 優先権主張番号	097130360		台湾300新竹科学工业园区篤行一路6号4楼
(32) 優先日	平成20年8月8日 (2008.8.8)	(74) 代理人	100091683
(33) 優先権主張国	台湾 (TW)		弁理士 ▲吉▼川 俊雄
		(72) 発明者	林 崑宗
			台湾台中市軍和街192号
		(72) 発明者	張 貴凱
			台湾新竹縣竹北市勝利五路33号2エフ
		Fターム(参考)	5J500 AA01 AA18 AA47 AC36 AC37
			AF18 AH10 AH17 AH38 AK01
			AS08 AT01 AT02 WU09

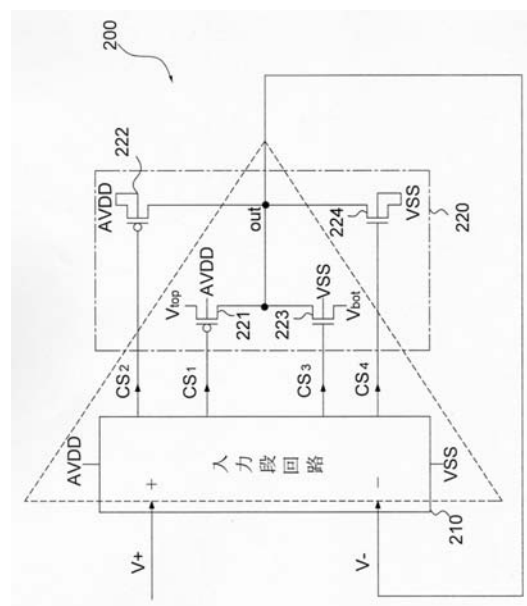
(54) 【発明の名称】 出力段回路と演算増幅器

(57) 【要約】 (修正有)

【課題】従来のツインウエルプロセスによるMOSトランジスタで実施し、支援電源を半減（ハーフAVDD）フレームの達成だけでなく、節電効果も達成でき、且つトリプルウエルプロセスのコストを省略できる出力段回路を提供する。

【解決手段】第一PMOSトランジスタ、第二PMOSトランジスタ、第一NMOSトランジスタ及び第二NMOSトランジスタを備える。第一NMOSトランジスタのソース極は第二中間電圧に接続し、バルクは第二仕事電圧と接続し、ゲート極は第三制御信号と接続する。第二NMOSトランジスタのソース極とバルクは第二仕事電圧に接続し、そのゲート極は第四制御信号と接続する。これらトランジスタはツインウエルプロセスにより製造され、これらトランジスタのドレインは互いに接続して出力端を形成し、いずれの時間においてもこれら制御信号のうち少なくとも一つがイネーブルされトランジスタの少なくとも一つを導電する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

バルクが第一仕事電圧と接続し、ソース極が第一中間電圧と接続し、ゲート極が第一制御信号と接続した第一PMOSトランジスタと、

ソース極とバルクが前記第一仕事電圧と接続し、ゲート極が第二制御信号と接続した第二PMOSトランジスタと、

ソース極が第二中間電圧と接続し、バルクが前記第一仕事電圧より低い第二仕事電圧と接続し、ゲート極が第三制御信号と接続し、このうち、前記第一中間電圧と前記第二中間電圧がいずれも前記第二仕事電圧より高く且つ前記第一仕事電圧より低い第一NMOSトランジスタと、

10

ソース極とバルクが前記第二仕事電圧に接続し、ゲート極が第四制御信号と接続した第二NMOSトランジスタと、

を備え、前記トランジスタがツインウエルプロセスで製造され、且つ前記トランジスタのドレイン極が互いに接続して出力端を形成し、いずれの時間においても前記制御信号のうち少なくとも一つがイネーブル(enable)されて、前記トランジスタのうち少なくとも一つを導電することを特徴とする出力段回路。

【請求項 2】

前記第一中間電圧と前記第二中間電圧が、前記第一仕事電圧及び前記第二仕事電圧との間であることを特徴とする請求項 1 に記載の出力段回路。

【請求項 3】

20

前記第一中間電圧と前記第二中間電圧が、前記第一仕事電圧及び前記第二仕事電圧の和の二分の一に等しいことを特徴とする請求項 2 に記載の出力段回路。

【請求項 4】

前記出力端の電圧を引き上げるとき、前記第一制御信号又は前記第二制御信号のうち少なくとも一つがイネーブルされて、前記第一PMOSトランジスタ又は前記第二PMOSトランジスタのうち少なくとも一つを導電することを特徴とする請求項 1 に記載の出力段回路。

【請求項 5】

前記出力端の電圧を引き下げるとき、前記第三制御信号及び前記第四制御信号のうち少なくとも一つをイネーブルして、前記第一NMOSトランジスタ及び第二NMOSトランジスタのうち少なくとも一つを導電することを特徴とする請求項 1 に記載の出力段回路。

30

【請求項 6】

プラス入力端、マイナス入力端及び出力端を有し、前記マイナス入力端が前記出力端と接続する演算増幅器であって、

前記プラス入力端の電圧と前記マイナス入力端の電圧により第一制御信号、第二制御信号、第三制御信号及び第四制御信号のうち少なくとも一つをイネーブルする入力段回路と、及び、

バルクが第一仕事電圧と接続し、ソース極が第一中間電圧と接続し、ゲート極が第一制御信号と接続した第一PMOSトランジスタと、

ソース極とバルクが前記第一仕事電圧と接続し、ゲート極が第二制御信号と接続した第二PMOSトランジスタと、

40

ソース極が第二中間電圧と接続し、バルクが第二仕事電圧と接続し、ゲート極が第三制御信号と接続した第一NMOSトランジスタと、

ソース極とバルクが前記第二仕事電圧に接続し、ゲート極が第四制御信号と接続し、前記トランジスタがツインウエルプロセスで製造され、且つ前記トランジスタのドレイン極が前記出力端と接続した第二NMOSトランジスタと、を備えた出力段回路と、を備えたことを特徴とする演算増幅器。

【請求項 7】

前記第一中間電圧と前記第二中間電圧が前記第一仕事電圧及び前記第二仕事電圧との間であることを特徴とする請求項 6 に記載の演算増幅器。

【請求項 8】

50

前記第一中間電圧と前記第二中間電圧が前記第一仕事電圧及び第二仕事電圧の和の二分の一に等しいことを特徴とする請求項 7 に記載の演算増幅器。

【請求項 9】

前記出力端の電圧を引き下げるとき、前記プラス入力端とマイナス入力端の電圧がいずれも正極性であれば、前記演算増幅器の駆動期間が第一過渡期及び第一セットリング期に順に分けられ、負であれば、前記演算増幅器の駆動期間は前記第一セットリング期のみ含むことを特徴とする請求項 6 に記載の演算増幅器。

【請求項 10】

前記演算増幅器が前記第一過渡期にあるとき、前記入力段回路は前記第三制御信号をイネーブルし、前記第一NMOSトランジスタを導電することを特徴とする請求項 9 に記載の演算増幅器。

10

【請求項 11】

前記演算増幅器が前記第一セットリング期にあるとき、前記入力段回路が前記第四制御信号をイネーブルして前記第二NMOSトランジスタを導電することを特徴とする請求項 9 に記載の演算増幅器。

【請求項 12】

前記演算増幅器が前記第一セットリング期にあるとき、前記入力段回路が更に前記第三制御信号をイネーブルして前記第一NMOSトランジスタを導電することを特徴とする請求項 11 に記載の演算増幅器。

【請求項 13】

前記第一過渡期の時間と前記第一セットリング期の時間がオーバーラップするか、連続していることを特徴とする請求項 9 に記載の演算増幅器。

20

【請求項 14】

前記出力端の電圧が引き上げられたとき、前記プラス入力端の電圧と前記マイナス入力端の電圧がいずれも負であれば、前記演算増幅器の駆動期間は第二過渡期と第二セットリング期の順に分けられ、正であるときは、前記演算増幅器の駆動期間は前記第二セットリング期のみを含むことを特徴とする請求項 6 に記載の演算増幅器。

【請求項 15】

前記演算増幅器が前記第二過渡期にあるとき、前記入力段回路が前記第一制御信号をイネーブルして前記第一PMOSトランジスタを導電することを特徴とする請求項 14 に記載の演算増幅器。

30

【請求項 16】

前記演算増幅器が前記第二セットリング期にあるとき、前記入力段回路が前記第二制御信号をイネーブルして前記第二PMOSトランジスタを導電することを特徴とする請求項 14 に記載の演算増幅器。

【請求項 17】

前記演算増幅器が前記第二セットリング期にあるとき、前記入力段回路が更に前記第一制御信号をイネーブルして前記第一PMOSトランジスタを導電することを特徴とする請求項 16 に記載の演算増幅器。

【請求項 18】

前記第二過渡期の時間と前記第二セットリング期の時間がオーバーラップするか連続していることを特徴とする請求項 14 に記載の演算増幅器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は演算増幅器に関し、特にハーフAVDD (1/2 AVDD) フレームを支援する演算増幅器であって、従来のツインウエルプロセスで製造されたMOSトランジスタにより実施される演算増幅器に関する。

【背景技術】

【0002】

50

液晶材の特性は、直流電圧を持続して与えられると液晶材がダメージを受けるため、このような状況を防ぐために、業界では通常周期的に液晶層のデータチャネルの極性を反転させる。このような動作は交流駆動（AC driving）という。正圧システムで仕事をする従来の液晶表示器駆動ICにとって、システムは通常AVDD（13.5V若しくは16V）及びVSSの二種類の仕事電圧のみ提供する（以下、AVDDフレームという）。AVDDフレームでは、たとえばチャネル電圧をAVDDからVSSまで引き下げるときに電荷が無駄になるので、従来のパネルの電気消費量は全消費量との比の7割も占め、更にLCDパネルのサイズが大きくなるほど、パネルが過熱される問題を生じる。

【発明の開示】

【発明が解決しようとする課題】

10

【0003】

上記の問題を解決するため、目下業界で開発された最新の解決手段として、上記二種の仕事電圧の他、システムが別の仕事電圧（ハーフAVDD）（以下、ハーフAVDDフレームという）を駆動ICに提供する。そのコンセプトは、正極チャネルをハーフAVDD電圧の電荷に放電して回収し、その後ハーフAVDD電圧によりその他負極チャネルを充電する。従って、ハーフAVDDの電源は基本的に省電の効果があり、更にLCDパネル過熱を防止できる。図1に示すのは、ソースドライバ（図示せず）の二つの隣り合うチャネルY(n)、Y(n+1)において、Half AVDDフレームを支援する従来の演算増幅器と四つのスイッチのフレームの略図である。各チャネルにはそれぞれ一つのHalf AVDDフレームを支援する演算増幅器110、120が設けられ、それぞれAVDDとHalf AVDDとの間、及びHalf AVDDとVSSとの間で仕事をする。演算増幅器110が発生する正アナログ画像信号A+の電圧範囲はAVDDとHalf AVDDとの間であり、演算増幅器120が発生する負のアナログ画像信号A-の電圧範囲はHalf AVDDとVSSとの間である。各所定時間ごとに、四つのスイッチS1～S4を切り替えて、経路出力端Y(n)、Y(n+1)から交互に正のアナログ画像信号A+と負のアナログ画像信号A-をパネルまで出力しなければならない。しかしながら、従来技術によれば、演算増幅器110、120がHalf AVDDフレームを支援する前提は、MOSトランジスタがトリプルウェル(triple well) プロセスを有することである。NMOSを例にすると、一層多いディープnウェルプロセスでpウェル(p-well)とp型基板(p-substrate)とを隔離する必要がある。然し、トリプルウェルプロセスはコストの高い技術であり、業界では目下いまだ普及しておらず、且つトリプルウェルプロセスのコストは従来のツインウェルプロセスより高い。このような課題を解決するため、本発明がなされた。

20

30

【課題を解決するための手段】

【0004】

上記の課題を解決するため、本発明の目的は、従来のツインウェルプロセスによりMOSトランジスタで実施する出力段回路を提供し、ハーフAVDDフレームを支援する。

【0005】

上記目的を達成するために、本発明の出力段回路は、第一PMOSトランジスタ、第二PMOSトランジスタ、第一NMOSトランジスタ及び第二NMOSトランジスタを備える。第一PMOSトランジスタのバルクは第一仕事電圧と接続し、ソース極は第一中間電圧と接続し、ゲート極は第一制御信号と接続する。第二PMOSトランジスタのソース極とバルクは前記第一仕事電圧に接続し、ゲート極は第二制御信号に接続する。第一NMOSトランジスタのソース極は第二中間電圧に接続し、バルクは第二仕事電圧と接続し、ゲート極は第三制御信号と接続する。このうち、前述の第二仕事電圧は前記第一仕事電圧より低く、及び、前記第一中間電圧と前記第二中間電圧はいずれも前記第二仕事電圧より高く、且つ前記第一仕事電圧より低い。第二NMOSトランジスタのソース極とバルクは前記第二仕事電圧に接続し、そのゲート極は第四制御信号と接続する。このうち、これらトランジスタはツインウェルプロセスにより製造され、且つこれらトランジスタのドレインは互いに接続して出力端を形成し、また、いずれの時間においてもこれら制御信号のうち少なくとも一つがイネーブルされてこれらトランジスタのうち少なくとも一つを導電する。

40

【0006】

50

本発明の別の目的は、プラス入力端と、マイナス入力端と出力端とを有し、マイナス入力端が出力端に接続した演算増幅器を提供することであり、前記演算増幅器は、入力段回路及び出力段回路を備える。入力段回路はプラス入力端とマイナス入力端の電圧差により第一制御信号、第二制御信号、第三制御信号及び第四制御信号のうち少なくとも一つをイネーブルする。前記出力段回路は、バルクが第一仕事電圧と接続し、ソース極が第一中間電圧と接続し、ゲート極が第一制御信号と接続した第一PMOSトランジスタと、ソース極とバルクが前記第一仕事電圧と接続し、ゲート極が第二制御信号と接続した第二PMOSトランジスタと、ソース極が第二中間電圧と接続し、バルクが第二仕事電圧と接続し、ゲート極が第三制御信号と接続した第一NMOSトランジスタと、及びソース極とバルクが前記第二仕事電圧に接続し、ゲート極が第四制御信号と接続した第二NMOSトランジスタと、を備え、これらトランジスタがツインウエルプロセスにより製造され、且つこれらトランジスタのドレイン極が出力端と接続している。

10

【0007】

以下図に示した実施形態を参照して、本発明の目的の達成に使われる技術手段と構造の特徴を詳細に説明する。

【発明を実施するための最良の形態】

【0008】

以下で、液晶表示器のソースドライバ回路を例に挙げて説明するが、本発明の演算増幅器および出力段回路を、その他ハーフAVDDフレームを支援する必要のあるIC上に応用してもよい。

20

【0009】

図2は、本発明の演算増幅器の実施例であるフレームの略図である。図2を参照すると、本発明の演算増幅器200は、プラス入力端、マイナス入力端及び出力端を備え、演算増幅器200は入力段回路210と出力段回路220を備える。入力段回路210は、仕事電圧AVDDで仕事を行い、プラス入力端電圧 V_+ とマイナス入力端電圧 V_- をそれぞれ受ける。その後、上記プラス入力端の電圧とマイナス入力端の電圧により、四つの制御信号CS1、CS2、CS3、CS4のうち少なくとも一つをイネーブルする。

【0010】

出力段回路220は二つのPMOSトランジスタ221、222と二つのNMOSトランジスタ223、224を含み、且つ四つのトランジスタ221、222、223、224のドレイン極を演算増幅器200の出力端と接続し、上記出力端outが更に上記マイナス出力端と接続する。PMOSトランジスタ221のバルク(bulk)は仕事電圧AVDDと接続して、ソース極が中間電圧 V_{top} と接続し、ゲート極は制御信号CS1(ローアクティブ)を受け取る。PMOSトランジスタ222のソース極とバルクは同時に仕事電圧AVDDと接続し、ゲート極は制御信号CS2を受け取る。NMOSトランジスタ223のソース極は中間電圧 V_{bot} と接続し、バルクは仕事電圧VSSと接続し、ゲート極は制御信号CS3を受け取る。NMOSトランジスタ224のソース極とバルクは同時に仕事電圧VSSと接続し、ゲート極は制御信号CS4を受け取る。本実施例において、中間電圧 V_{top} 、 V_{bot} はいずれも仕事電圧ハーフAVDDと接続する。注意すべきは、中間電圧 V_{top} 、 V_{bot} の大小はこれに限らず、設計と必要に応じて調整できる。

30

【0011】

このほか、四つのトランジスタ221、222、223、224の区別は、PMOSトランジスタ221及びNMOSトランジスタ223のソース極電圧 V_S とバルク電圧 V_B とは異なり($V_{SB} > 0$)、従って、基板効果(body-effect)を生じる。PMOSトランジスタ222及びNMOSトランジスタ224のソース極電圧 V_S とバルク電圧 V_B は同じ($V_{SB} = 0$)であるので、基板効果は生じない。トランジスタの臨界電圧が基板効果のために増加すると、導電電流 I_{DS} の減少を起こし、回路駆動力が弱くなる。

40

【0012】

図3は図2におけるNMOSトランジスタ223、224の電圧電流出力の特性曲線を示す。図3からわかるように、基板効果のあるNMOSトランジスタ223はシンクカレント(sink current)にも応用できるが、電流量は基板効果のないNMOSトランジスタ224の約半分となり、こ

50

の特徴は本発明の回路フレームにとって非常に重要であり、基板効果のあるNMOSトランジスタ223はなお優良なシンクカレント力を持ち、増幅器の出力に応用できる。

【0013】

出力端電圧を変更するとき本発明の演算増幅器全体のドライバ期間は二段階、即ちそれぞれ過渡応答(transient period)とセットリング期(setting period)に分けて変化する。過渡期には基板効果のあるトランジスタ221、223が導電(turn on)して(且つトランジスタ222、224をオフする)、演算増幅器200がスイッチングする際の過渡電流を節約し、セットリング期には基板効果のないトランジスタ222、224が導電(且つトランジスタ221、223をオフ)する。過渡期とセットリング期の時間はオーバーラップしてもよく、つまりトランジスタ222、224をまずオンした後に、トランジスタ221、223をオフするか、またはトランジスタ221、223をオフしなくてもよく、より大きいシンク電流(若しくはドレイン電流)により演算増幅器200のセットリング時間を短縮することもできる。注意すべきは、過渡期とセットリング期の間は少なくとも連続でなければならず、二者間に時間差があると、回路にフローティング現象が生じる。過渡期とセットリング期二者の時間配分は回路の需要と回路負荷の大小によって決まる。

10

【0014】

本発明は従来技術の二つの隣り合うチャネル $Y(n)$ 、 $Y(n+1)$ の演算増幅器110、120がそれぞれAVDDとハーフAVDDの間、及びハーフAVDDとVSSの間(図1を参照)で仕事をするのとは異なり、二つの隣り合うチャネル $Y(n)$ 、 $Y(n+1)$ に設けられた二つの本発明の演算増幅器(図示せず)では、回路構造及び仕事電圧が全く同じにも拘らず(同様にVSS、AVDD、ハーフAVDDを受け取る)、本発明の演算増幅器200がハーフAVDDフレームを基礎にして充放電により上記チャネル出力端電圧の予想極性に達している(図5A~5Dで詳細に説明する)、図1において四つのスイッチS1~S4を利用したデータ極性のスイッチングメカニズムに代えることができる。

20

【0015】

一般的に、液晶極性反転モデルは、大きく次のいくつかに分けられる。つまりフレーム反転(frame inversion)、列反転(row inversion)、行反転(column inversion)、点反転(dot inversion)、ツーライン・ドット反転(two line dot inversion)などである。本発明の応用はいずれの特定の反転方式に限定されないが、以下ではツーライン(two line)・ドット反転モードで本発明の回路作動を説明する。

30

【0016】

図4は、ツーライン・ドット反転モードでの二つの隣り合うチャネル $Y(n)$ 、 $Y(n+1)$ の出力端電圧の波形の一例を示す。図5Aは、本発明に係わる演算増幅器の出力段回路が過渡期にあるときの放電経路を示す略図である。図5Bは、本発明の演算増幅器の出力段回路がセットリング期にあるときの放電経路を示す略図である。図5Cは、本発明の演算増幅器の出力段回路が過渡期にあるときの充電経路を示す略図である。図5Dは、本発明の演算増幅器の出力段回路がセットリング期にあるときの放電経路の略図である。

【0017】

同時に、図2と図5Aを参照すると、図4のチャネル $Y(n+1)$ の出力端の電圧の下降エッジIを例にすると、出力端電圧 V_{OUT} (つまり、マイナス入力端電圧 V_-)及びプラス入力端電圧 V_+ がいずれも正極であるとき、過渡期とセットリング期の二段階に分かれて変化する。まず、回路が過渡期に入ると、入力段回路210が制御信号CS3をイネーブルして、NMOSトランジスタ223をオンし、ハーフAVDD仕事電圧で演算増幅器の出力端電圧を引き下げること、放電電流が図5Aの矢印方向にハーフAVDDを導入して、回収電荷をハーフAVDDのキャパシティ(コンデンサー)に蓄積して節電する。しばらくすると、過渡期が終わり、セットリング期に入る。入力段回路210はまず制御信号CS4をイネーブルしてNMOSトランジスタ224をオンし、ついで制御信号CS3をアンイネーブルしてNMOSトランジスタ223をオフにすると(若しくは継続して制御信号CS3をイネーブルしてNMOSトランジスタ223をオンにする)、電流は図5Bの矢印方向に沿って放電し、仕事電圧VSSを利用して演算増幅器の出力端電圧 V_{OUT} を素早く目標電圧まで引き下げる。このセットリング期の電流はVSSを導入

40

50

しているので、電荷は回収できない。

【0018】

一方、出力端電圧が下降エッジであるが、出力端電圧 V_{OUT} 及びプラス入力端電圧 V_+ が上記のプラス極性の要求に符合しないとき（例えば、下降エッジIII）、このときはVSSにより引き下げるしかなく、また電荷を回収することができないので、演算増幅器全体の駆動期間は一段階の変化のみ、すなわちセトリング期となる。入力段回路210は直接制御信号CS4をイネーブルして、NMOSトランジスタ224（若しくは同時に制御信号CS3をイネーブルしてNMOSトランジスタ223をオンする）をオンし、演算増幅器の出力端電圧 V_{OUT} を素早く目標電圧まで引き下げる。

【0019】

図2と図5Cを同時に参照すると、図4のチャネルY(n)の上昇エッジ(rising edge)IIを例にすると、出力端電圧 V_{OUT} 及びプラス入力端電圧 V_+ がいずれも負極性であるときは、過渡期とセトリング期の二段階に分かれて変化する。回路はまず、過渡期に入り、入力段回路210がまず制御信号CS1をイネーブルし、PMOSトランジスタ221を導電してから、ハーフAVDD仕事電圧を利用して演算増幅器の出力端電圧を引き上げ、ハーフAVDD仕事電圧から供給する充電電流が図5Cの矢印方向に充電される。注意すべきは、この際チャネルY(n)に充電する電荷は共用チャネルY(n+1)からハーフAVDDへの回収電荷である。つまり、チャネルY(n+1)が引き下げるときは、負荷端が回収した電荷がチャネルY(n)が負荷端に必要な消費電力を引き上げることができ、ハーフAVDDの電源を節約できるので、節電の目的が達成できる。同様に、暫くすると過渡期が終了し、回路はセトリング期に入る。入力段回路210は、まず制御信号CS2をイネーブルし、PMOSトランジスタ222を導電してから、制御信号CS1をアンイネーブルしてPMOSトランジスタ221をオフして（若しくは、制御信号CS1を継続してイネーブルし、PMOSトランジスタ221を導電する）、AVDD仕事電圧を利用して演算増幅器の出力端電圧 V_{OUT} を目標電圧まで素早く引き上げ、電流は図5Dの矢印方向に沿って素早く充電される。

【0020】

一方、出力端電圧が上昇エッジであるが、出力端電圧 V_{OUT} 及びプラス入力端電圧 V_+ が上記のマイナス極性の要求に符合しないとき（例えば、上昇エッジIV）、このときはAVDDにより引き上げ、そのチャネルY(n+1)を共用してハーフAVDDの回収電荷を導入することができないので、演算増幅器全体の駆動期間は一段階の変化のみ、すなわちセトリング期となり、入力段回路210は直接制御信号CS2をイネーブルして、PMOSトランジスタ222（若しくは同時に制御信号CS1をイネーブルしてPMOSトランジスタ221をオンする）をオンし、演算増幅器の出力端電圧 V_{OUT} を素早く目標電圧まで引き上げる。

【0021】

図6Aは、演算増幅器の出力端に負荷回路を繋げることにより、出力端電圧が下降エッジである過渡期をシュミレーションする。図6Bは、演算増幅器の出力端に負荷回路をつなげて、出力端電圧が下降エッジであるセトリング期をシュミレーションする。図6Cは、本発明の演算増幅器の出力端電圧 V_{OUT} のシュミレーション測定の結果を示す。

【0022】

図6A及び図6Bを見ると、本シュミレーション実験はN次RC- π モデルにより負荷回路を製作し、下記のデータを選択して測定を行った：抵抗 $R=10k\Omega$ 、キャパシティ $C=125p$ ファラド、 $AVDD=13.5V$ 、 $V_{boot}=6.75V$ 。同時に、シュミレーション実験の開始時のキャパシティCの起動電圧を13.5Vと仮定すると（出力端電圧と等しい13.5V）、プラス入力端電圧 V_+ は6.75Vとなる。回路が過渡期に入るため、入力段回路210はまず制御信号CS3をイネーブルし（つまり過渡期）、NMOSトランジスタ223をオンして、放電電流が図6Aの矢印方向に沿ってハーフAVDDを導入し、演算増幅器の出力端電圧を13.5Vから7V程度まで引き下げる。しばらくすると過渡期が終了し、セトリング期に入り、入力段回路210が制御信号CS4をイネーブル（ハイレベル状態）、NMOSトランジスタ224をオンしてから、制御信号CS3をアンイネーブルする。過渡期からセトリング期に入った後、図6Cから分かるように、出力端電圧 V_{OUT} が素早く目標電圧6.75Vまで達している。

10

20

30

40

50

【 0 0 2 3 】

以上の説明から分かるように、本発明に係わる演算増幅器の作動過程において、制御信号CS1、CS2、CS3、CS4をスイッチングすることで出力端電圧 V_{OUT} のレベルを制御し、いずれのスイッチング電源（VSS、AVDD、ハーフAVDD）も作動せず、すべてのMOSトランジスタと電源の接続が固定であるので、IC電源もいかなるスイッチングがなく、従って、回路は完全に電源ショートのリスクを避けることができる。上記のとおり、繁雑で高価なトリプルウエルプロセスを使用する必要がなく、本発明は従来のツインウエルプロセストランジスタと特殊な回路フレームを使用することにより演算増幅器の出力段回路を実施して、同様のハーフAVDDフレームを支援するという目的と節電という効果を達成することができる。

【 0 0 2 4 】

以上、本発明の実施例を、図面を参照して詳述してきたが、具体的な構成は、この実施例に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等があっても、本発明に含まれる。

【 図面の簡単な説明 】

【 0 0 2 5 】

【 図 1 】 二つの隣り合うチャンネルにおいて、ハーフAVDDフレームを支援する従来の演算増幅器と四つのスイッチのフレーム略図である。

【 図 2 】 本発明の演算増幅器の実施例のフレーム略図である。

【 図 3 】 図 2 におけるNMOSトランジスタ223、224の電圧電流の出力特性を比較した曲線を示す。

【 図 4 】 ツーライン・ドット反転モデルでの二つの隣り合うチャンネル $Y(n)$ 、 $Y(n+1)$ の出力端電圧の波形の一例を示す。

【 図 5 A 】 本発明の演算増幅器の出力段回路が過渡期であるときの放電経路の略図。

【 図 5 B 】 本発明の演算増幅器の出力段回路がセットリング期であるときの放電経路略図。

【 図 5 C 】 本発明の演算増幅器の出力段回路が過渡期であるときの充電経路略図。

【 図 5 D 】 本発明の演算増幅器の出力段回路がセットリング期であるときの放電経路略図。

【 図 6 A 】 演算増幅器の出力端に負荷回路を接続することで、出力端電圧が下降エッジである過渡期をシュミレーションした図。

【 図 6 B 】 演算増幅器の出力端に負荷回路を接続することで、出力端電圧が下降エッジであるセットリング期をシュミレーションした図。

【 図 6 C 】 本発明に係わる演算増幅器の出力端電圧 V_{out} のシュミレーション測定結果。

【 符号の説明 】

【 0 0 2 6 】

110、120、200 演算増幅器

入力段回路

出力段回路

221、222 PMOSトランジスタ

223、224 PMOSトランジスタ

S1、S2、S3、S4 スイッチ

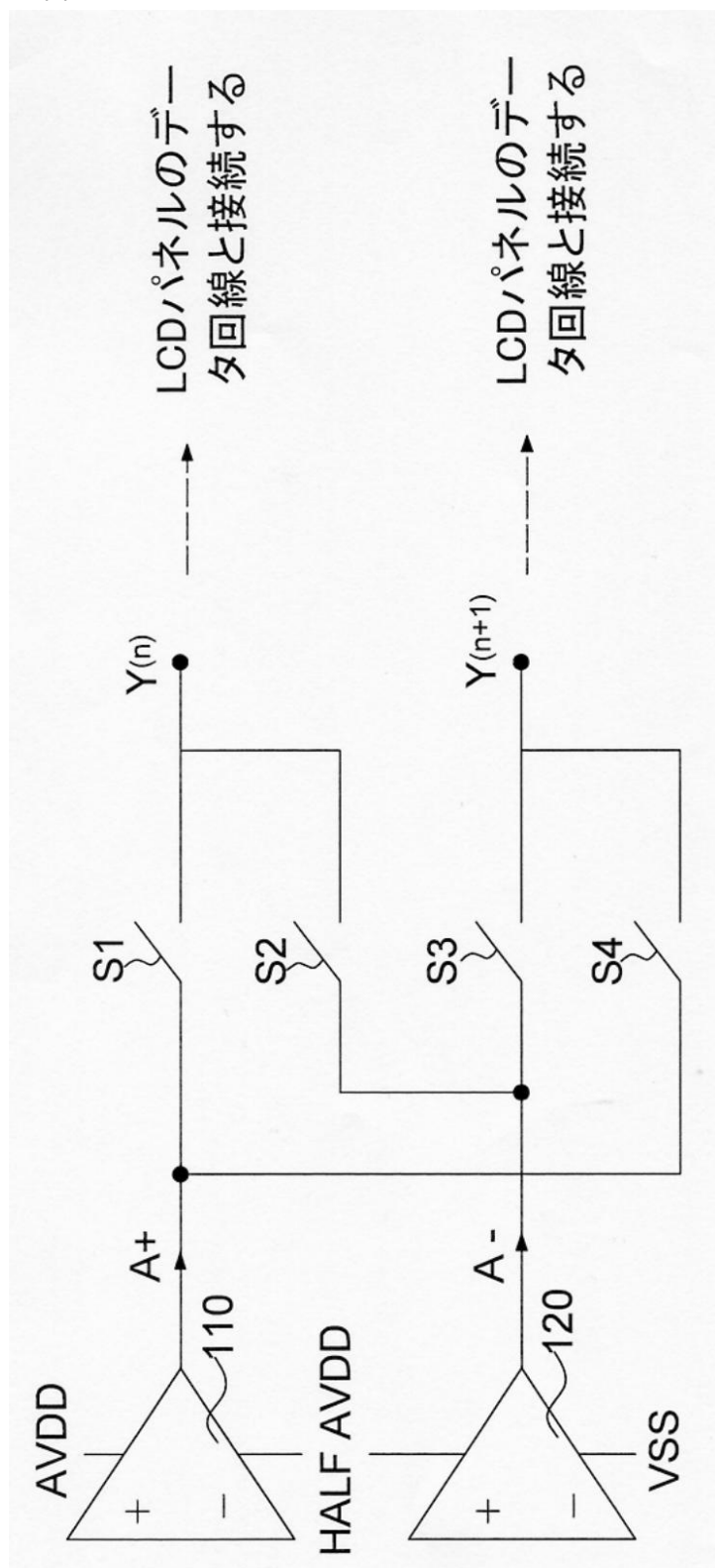
10

20

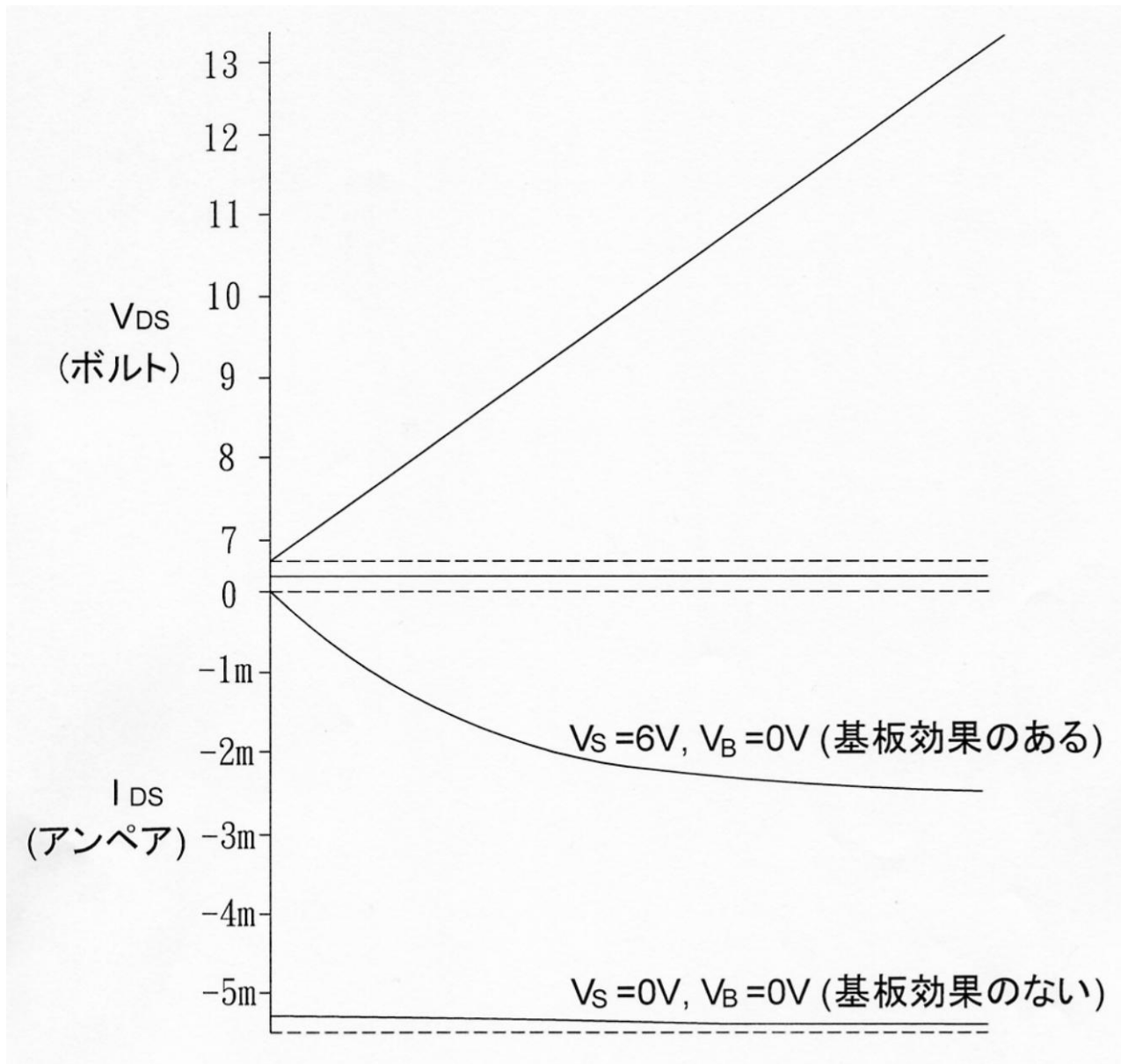
30

40

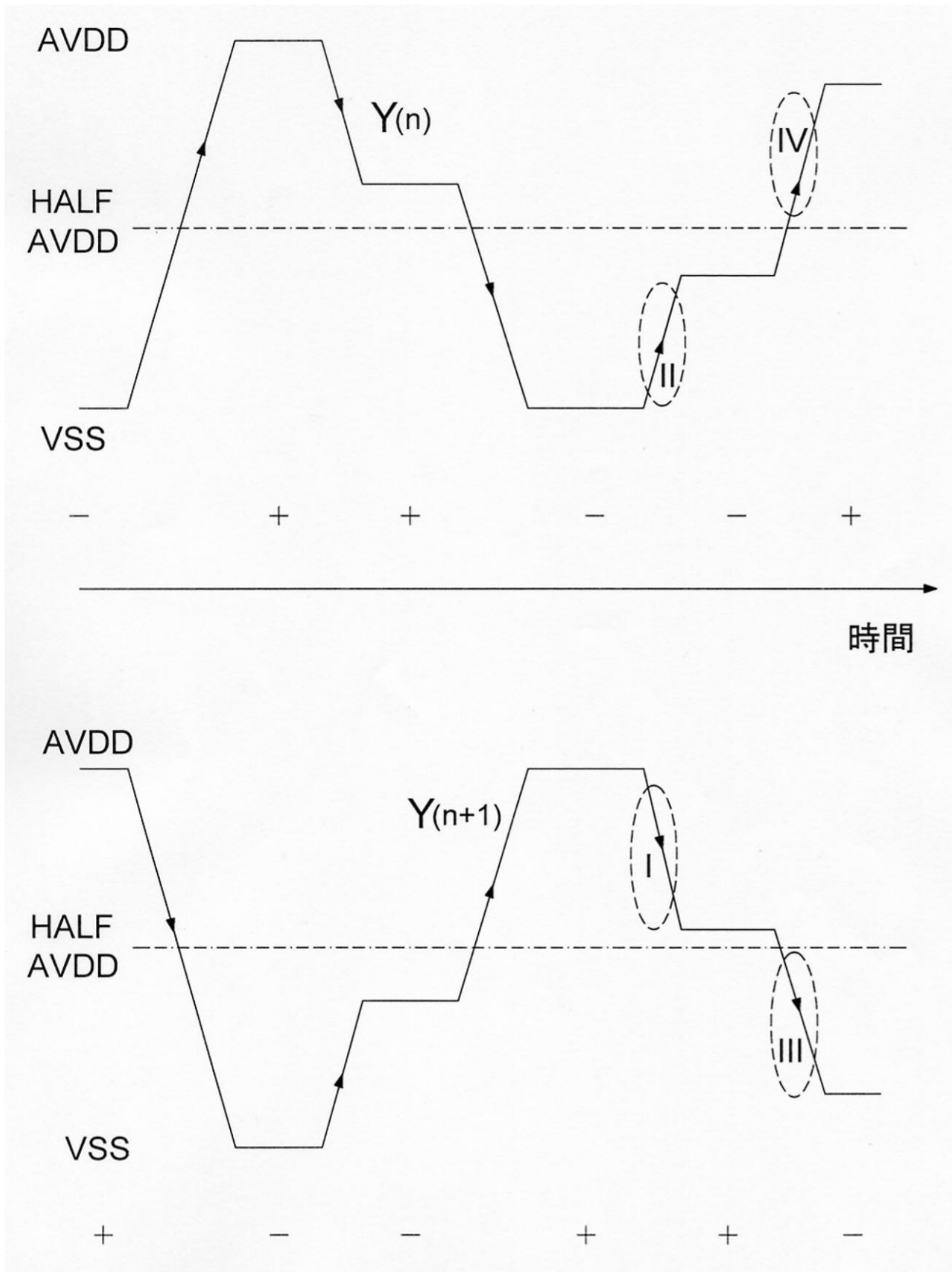
【図 1】



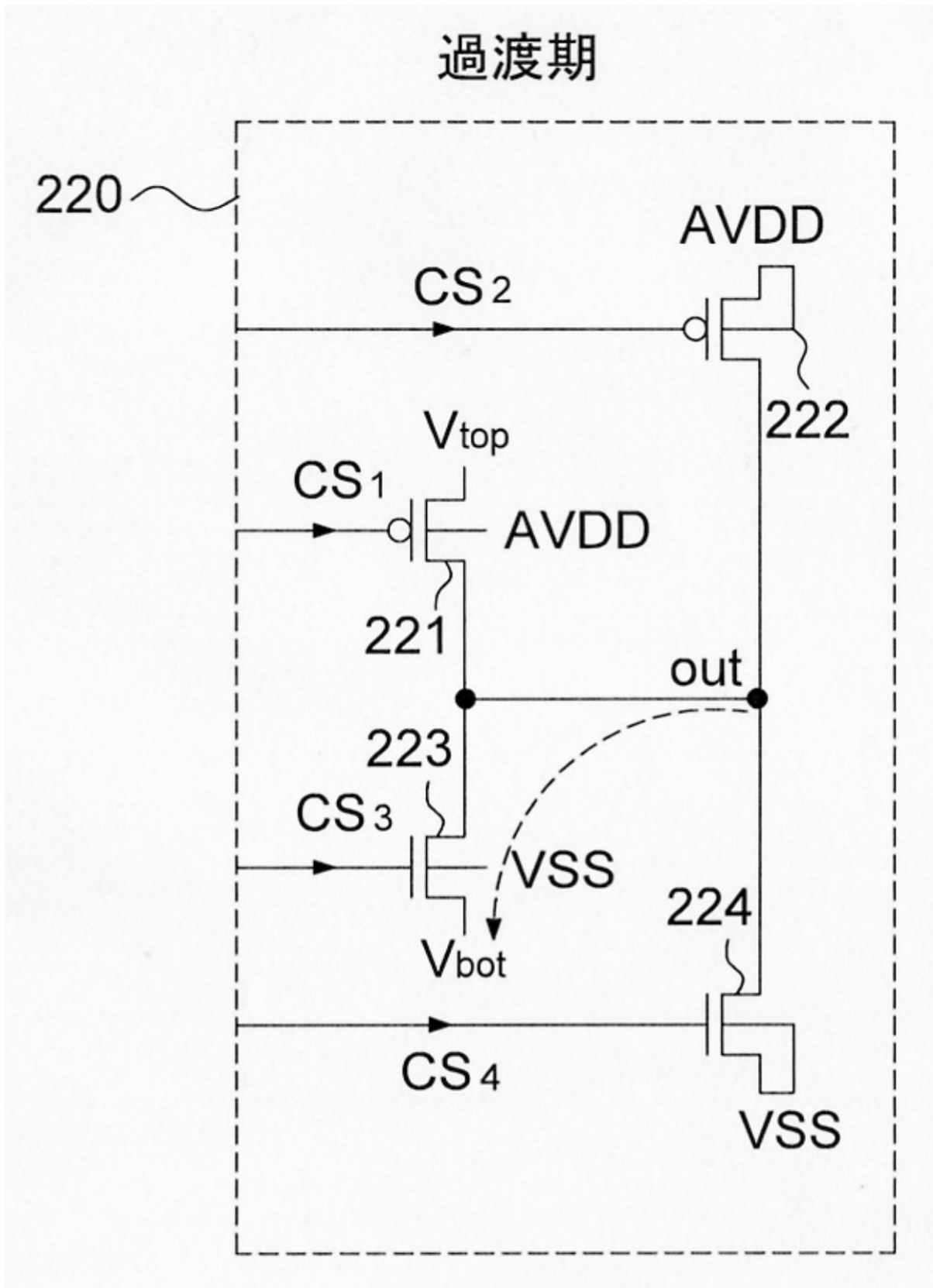
【図 3】



【図 4】

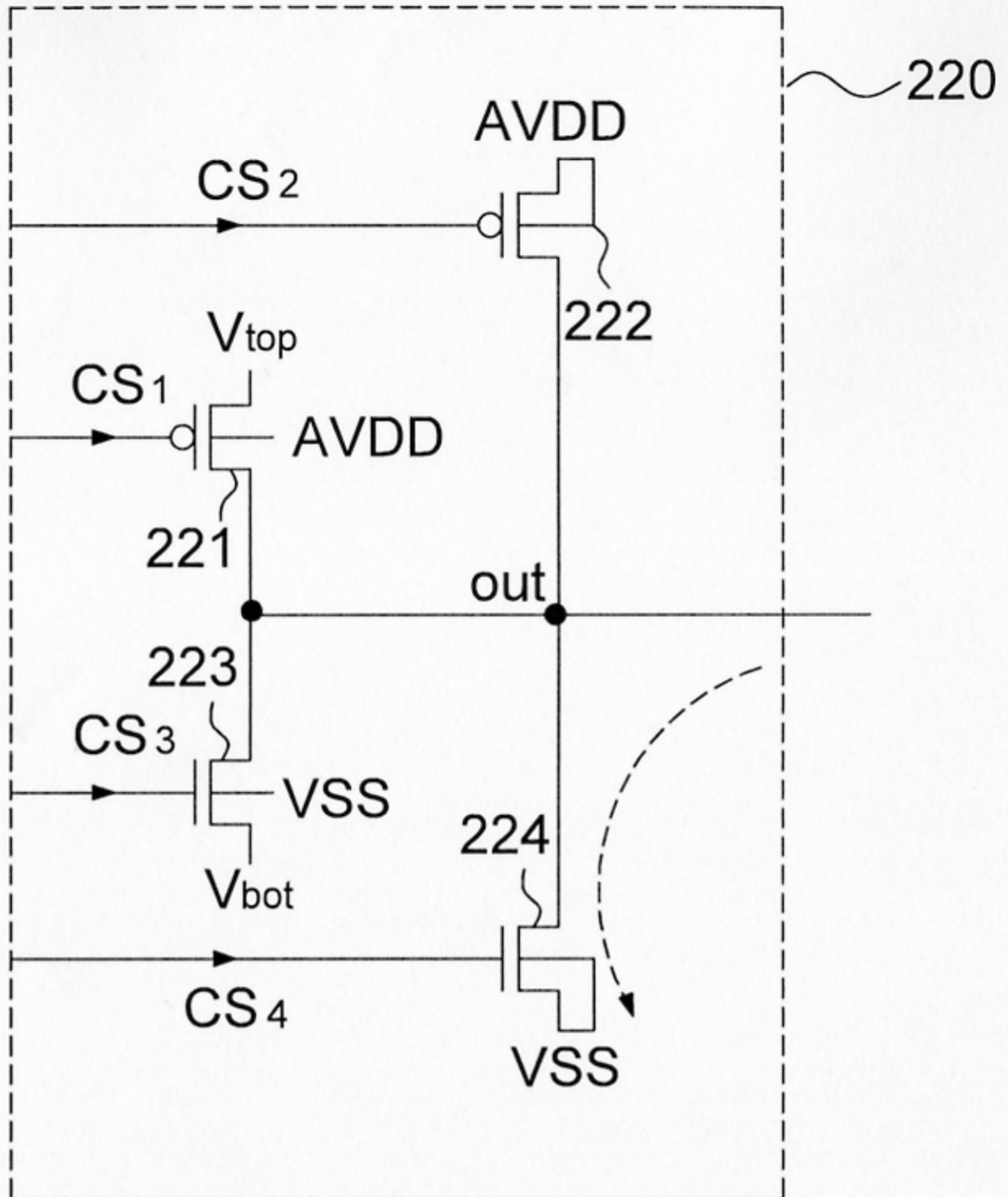


【図 5 A】

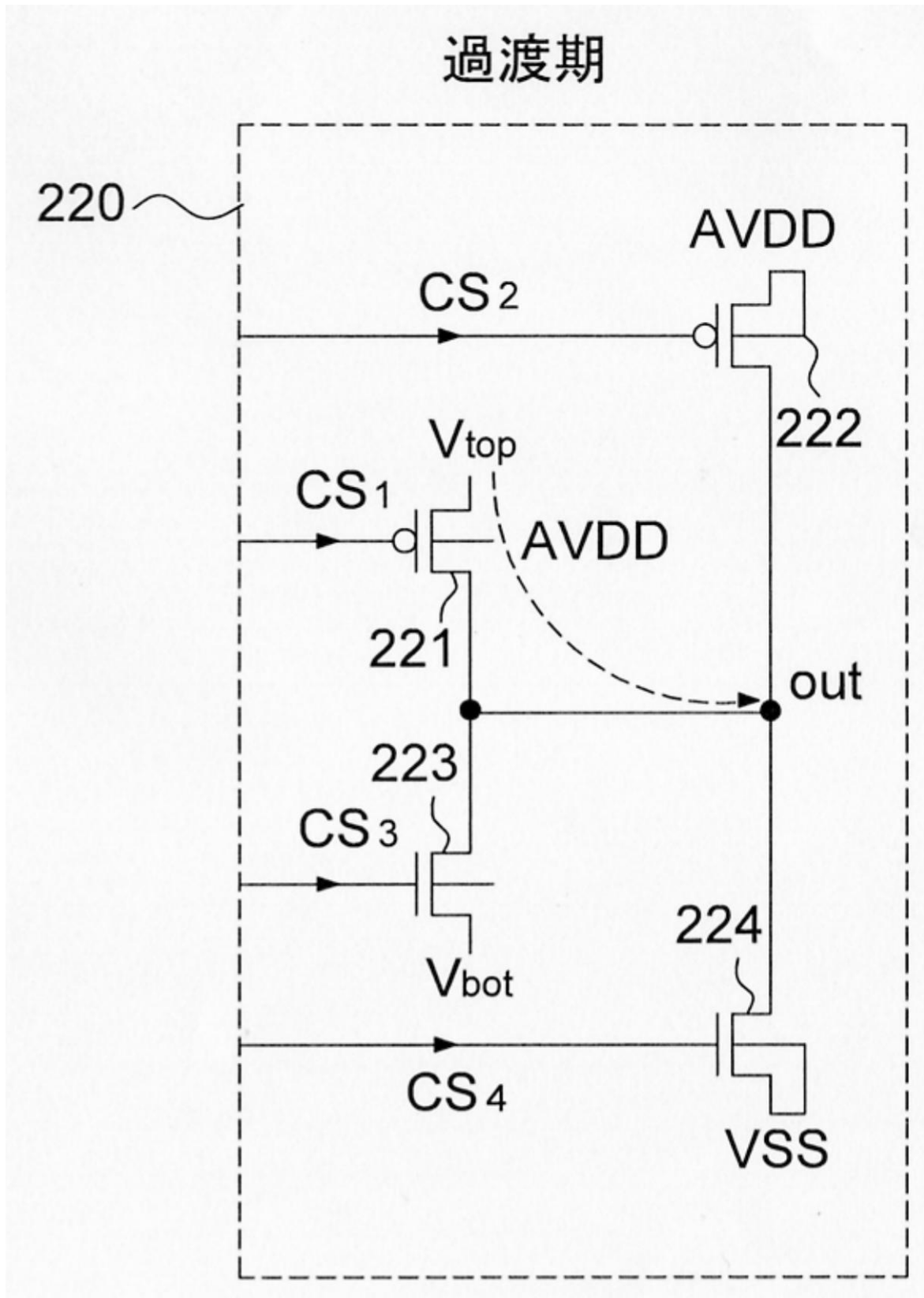


【図 5 B】

セッティング期

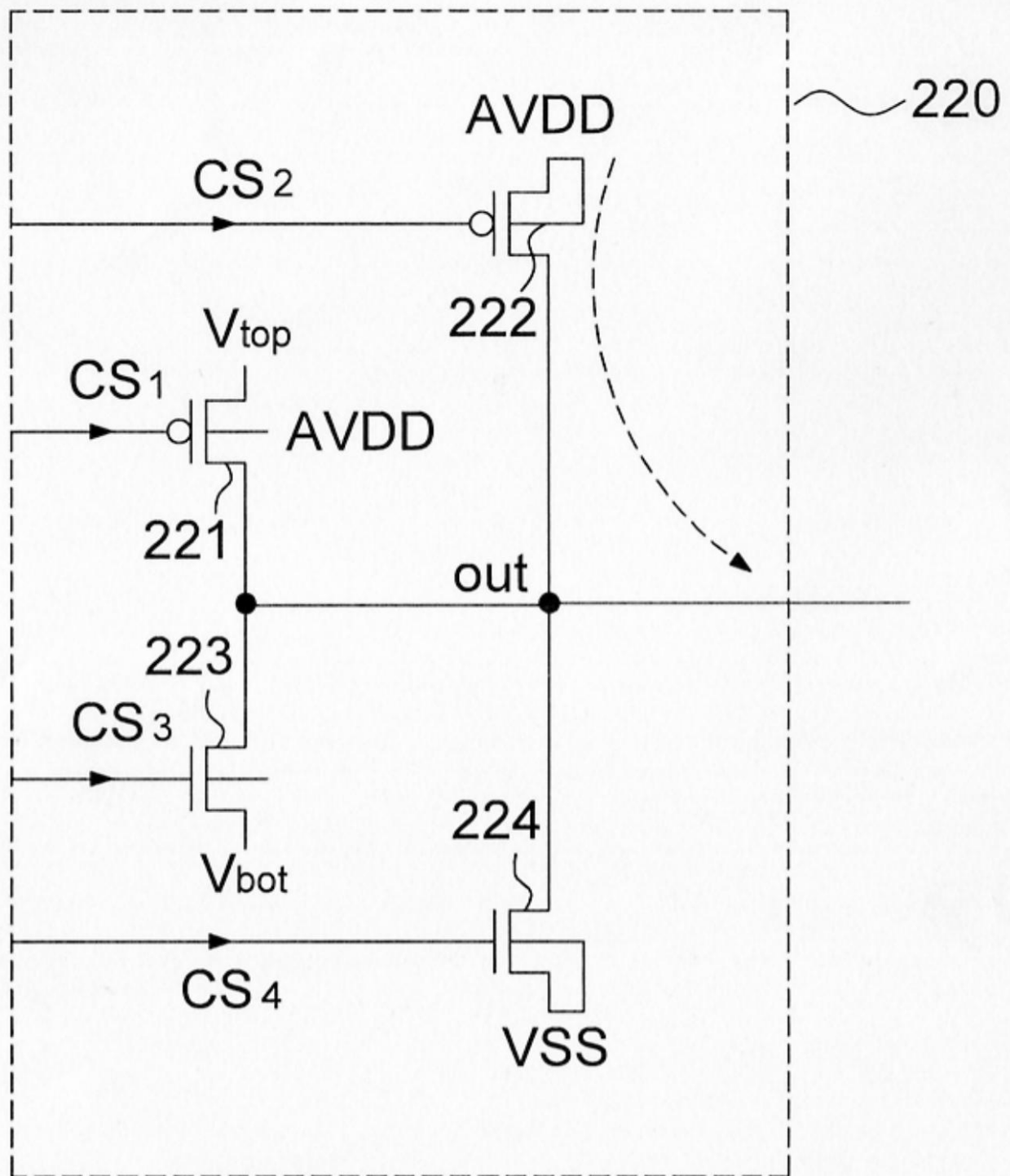


【図 5 C】

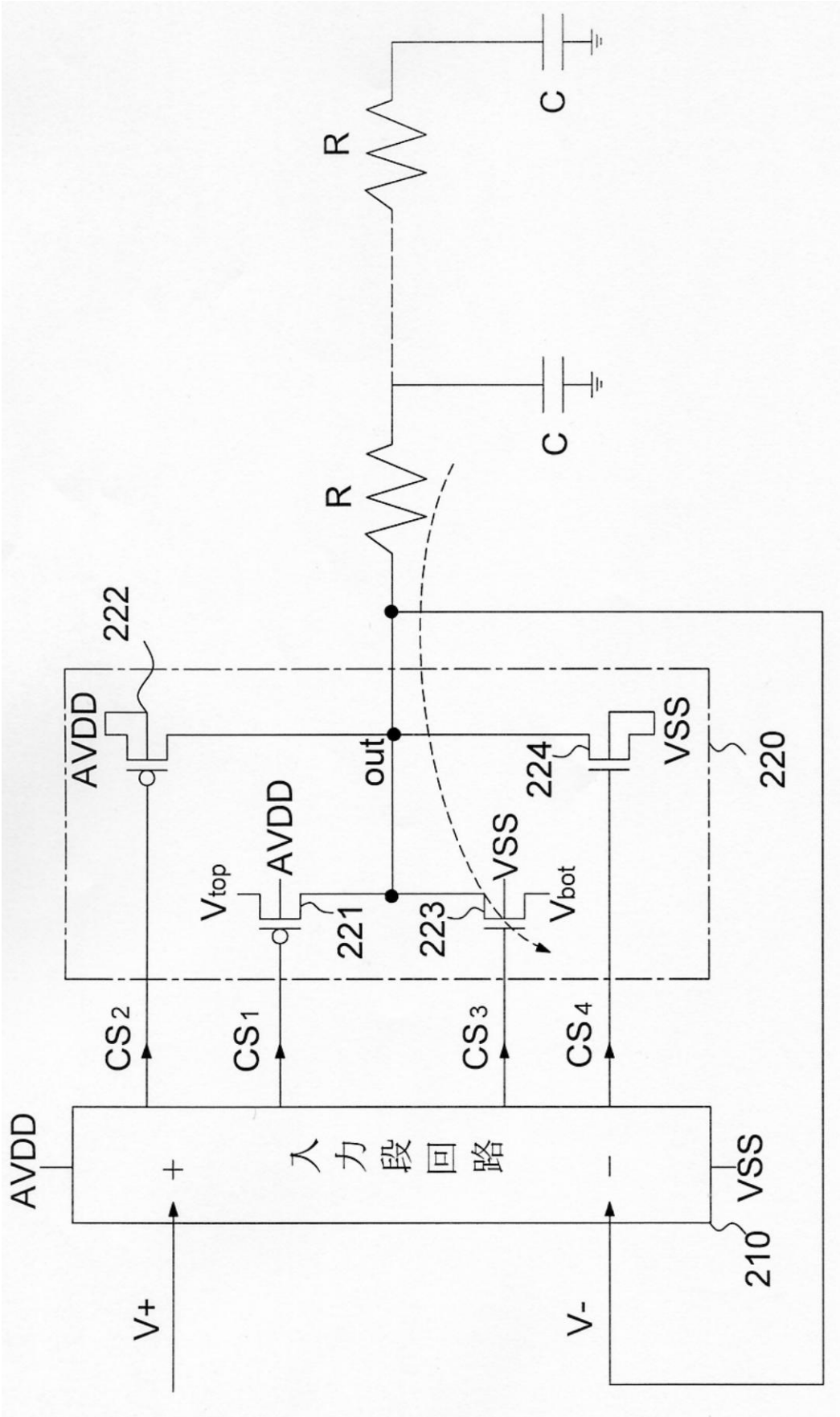


【図 5 D】

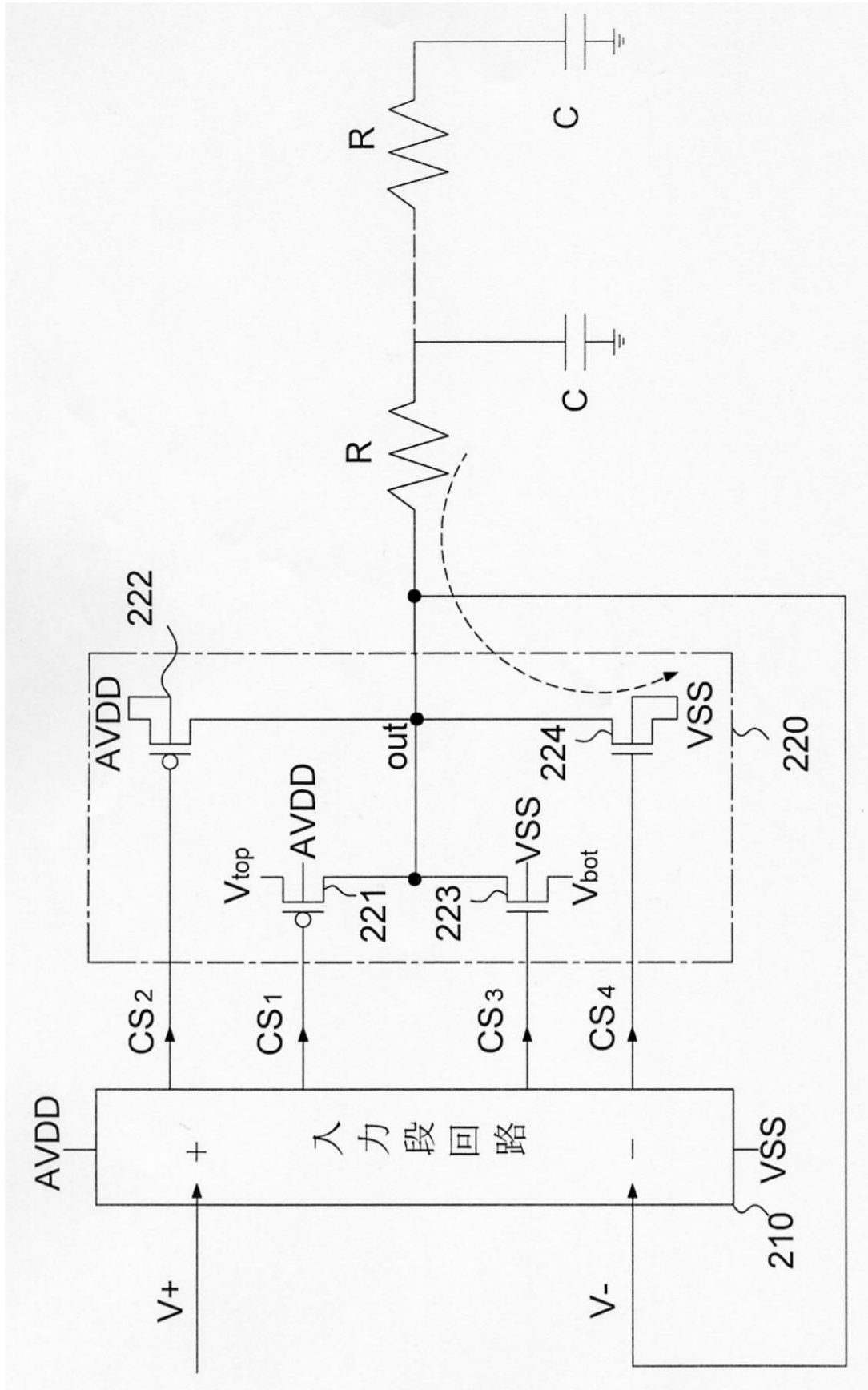
セッティング期



【図 6 A】



【図 6 B】



【図 6 C】

