

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0116252
H03F 1/32 (2006.01) (43) 공개일자 2006년11월14일
H04K 1/02 (2006.01)

(21) 출원번호	10-2006-7020665		
(22) 출원일자	2006년10월02일		
번역문 제출일자	2006년10월02일		
(86) 국제출원번호	PCT/US2005/005636	(87) 국제공개번호	WO 2005/091865
국제출원일자	2005년02월23일	국제공개일자	2005년10월06일

(30) 우선권주장	11/063,297	2005년02월22일	미국(US)
	60/549,789	2004년03월03일	미국(US)

(71) 출원인 파워웨이브 테크놀로지스, 인크.
 미합중국 캘리포니아 92705 산타 아나 이스트 세인트 앤드류 플레이스 1801

(72) 발명자 코바, 아르만도
 미국, 캘리포니아 92694, 라테라 랜치, 털스톤 플레이스 23

(74) 대리인 이범래

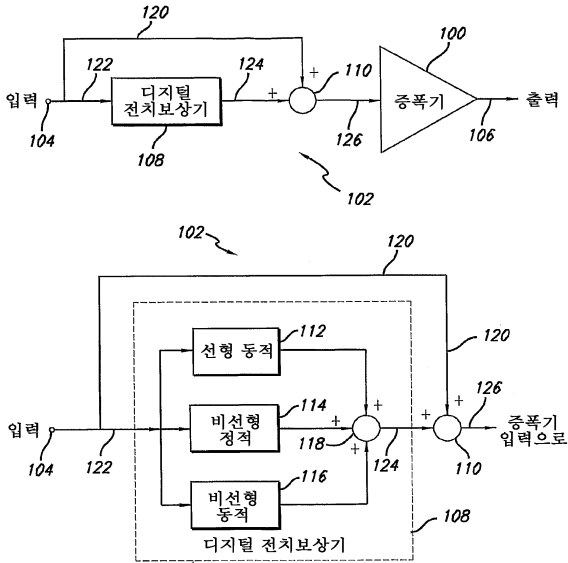
심사청구 : 있음

(54) 고효율 송신기를 위한 디지털 전치보상 시스템 및 방법

요약

저대역 전치보상 기술들을 이용하여 RF 고효율 증폭기들의 비선형 동작을 디지털적으로 선형화하기 위한 시스템이 개시되어 있다. 시스템은 증폭기(100,200)의 출력에서의 왜곡을 최소화하기 위하여 디지털 직교(I/Q) 입력 신호의 가산적 또는 곱셈적 전치보상을 제공한다. 전치보상기(108,202)는 이산-시간 다항식 커널을 이용하여 증폭기의(100,200)의 역 전달 특성(inverse transfer characteristic)을 모델링하며, 비선형 정적 왜곡, 선형 동적 왜곡 및 리액티브 전기적 메모리 효과들을 포함하는 비선형 동적 효과들에 대한 개별적이고, 동시적인 보상을 제공한다. 더 높은 차수의 리액티브 및 열적 메모리 효과들에 대한 보상이 IIR 필터 뱅크(334) 내의 전치보상기의 비선형 동적 보상 연산에 내장되어(embedded) 있다. 전치보상 제어기(420,520)는 주기적으로 증폭기(100,200)의 출력을 모니터링하고 직교 입력 신호와 비교하여, 증폭기의 잔여 출력 왜곡에 대한 평가들을 산출한다. 출력 왜곡 평가들은 증폭기의 동작 환경들의 변화(온도 드리프트, 변조 입력 대역의 변화, 구동 레벨의 변화, 노후 등)에 따라 전치보상기(108,202)의 파라미터들의 값을 적응적으로 산출하는데 이용된다. 전치보상 제어기에 의해 산출되는 전치보상기 파라미터 값들은 비휘발성 메모리에 저장되고, 다항식 디지털 전치보상기에서 이용된다. 본 발명의 디지털 전치보상 시스템은, 이에 제한되는 것은 아니지만 동적 부하 변조 증폭기들(dynamic load modulation amplifiers)을 포함하여, 극심한 비선형화 및 고효율 RF 증폭기 회로들의 광대역 선형화를 제공할 수 있다.

대표도



색인어

전치보상기, 전치보상 선형화, RF 증폭기, 통신 시스템

명세서

기술분야

관련 출원 정보

본 출원은 2004년 3월 3일에 출원된 가출원 번호 60/549,789에 기초한 우선권 주장 출원이며, 그 내용 전부가 본 명세서에 참조로 포함되어 있다.

본 발명은 고효율, 고전력 RF 증폭기의 전치보상 선형화 및 그와 관련된 시스템들 및 방법들에 관한 것이다.

배경기술

현대의 무선통신 시스템들은 광대역 및 시변(time-varying) 포락선들을 가지며, 스펙트럼적으로 효율적인, 디지털적으로 변조된 신호들을 사용한다. 디지털 변조들의 포락선 크기의 변화들은 송신기의 출력단에서 왜곡 성분들을 생성하는데, 이들은 RF 증폭 회로들의 내재적인 비선형성에 기인한 것이다. 증폭기 왜곡은 입력 신호의 스펙트럼 팽창("스펙트럼 재성장(spectral regrowth)")을 생성하여 인접 채널간 통신 간섭을 유발한다. 인접 채널 간섭(ACI)은 규제 단체들(FCC, ETSI, ITU)에 의해 엄격히 통제되는 매우 바람직하지 않은 현상이다. 스펙트럼 재 성장에 부가하여, 증폭기 비선형성은 인-밴드(in-band) 왜곡(즉, 변조된 입력 신호 내의 왜곡 성분들)을 생성하는데, 이는 송신 신호의 완전성을 저하하고, 수신기 측에서 높은 비트 에러율(BER)을 유발한다. 종래의 RF 증폭기들(AB 클래스)에서의 비선형성은 상대적으로 적다(왜곡은 약 40 dB 정도로, 변조의 첨두-대-평균 전력률(peak-to-average power ratio: PAR)과 동일한 출력 백 오프들(output back offs: OBO)에 대한 반송파의 레벨 이하임). 이 정도의 양호한 비선형 동작을 얻기 위해서는, DC-to-RF 전력 변환 성능이 제한되는 효율 저하를 감수해야 한다. 고효율 증폭이 절실히 요구되는 것은 그것이 시스템 신뢰성을 향상시키고(더 긴 평균고장간격(mean time before failure: MTBF)), 열적 제어를 단순화하고, 증폭기 크기를 감소시키고, 기지국들의 운영비를 감소시키기 때문이다. 반면에, 고효율 증폭기들(예컨대, 도허티 증폭기 설계들(Doherty amplifier designs))은 AB 클래스 설계보다 더 많은 비선형 동작을 나타낸다(반송파 레벨 이하 29 dB 이하의 왜곡).

간단한 선형화 방법 하나는 증폭기 동작의 선형 영역을 확장함으로써, 출력 왜곡을 감소시키기 위하여 OBO의 레벨을 감소시키는 것이다. 이 기술은 AB 클래스 증폭기들의 선형성을 증가시키는데 성공적으로 적용될 수 있다. 불행히도, 그것은 또한 더 높은 OBO 레벨에 기인하는 RF 출력 전력의 감소로, 효율면에서 심각한 손실을 초래한다. 한편, 고효율 증폭기들은 전형적으로 단지 OBO를 증가시키는 것으로는 선형화될 수 없으며, 더 정교한 선형화 기술들을 필요로 한다. 안정된(well-established) 기술은 증폭기의 출력 왜곡을 최소화하기 위하여 카테선(Cartesian, 또는 극(polar)) 피드백을 사용한다. 피

드백 선형화는 좁은 신호 대역에 효과적일 수 있지만, 광대역 동작이 요구되는 경우(예컨대, 멀티캐리어 WCDMA), 루프 동특성(loop dynamics)에 관한 입력-출력 안정성 제한으로 인해 매우 제한된 왜곡 정정 성능을 가진다. 그러므로, 피드백은 광대역, 고효율 송신기들을 선형화하는데 충분하지 않다. 다른 기술, 피드 포워드는 증폭기 왜곡의 가산적인 후(後)-정정에 기초하며, 전형적으로 이중 루프 구조를 이용하여 제 1 (반송파 제거) 루프에서의 증폭기의 출력 왜곡을 평가하고, 적절히 위상 및 크기를 조정된 왜곡 평가를 제 2 (왜곡 제거) 루프 내의 RF 보조 또는 "에러" 증폭기를 통해 "메인" 증폭기의 출력에 주입한다. 피드 포워드 선형화 시스템들은 피드백 선형화기들의 대역폭 제한을 당하지 않으며, 조건없이 안정적이다. 또 광대역 왜곡 정정 능력을 갖기는 하지만, 일반적으로 피드 포워드 시스템들은 에러 증폭기의 DC 전력 소비와, 왜곡 소거 루프의 위상 정렬을 위해 요구되는 손실성 지연 소자들이 메인 증폭기의 출력단에 존재함으로 인해 낮은 효율을 갖는다.

고선형(high linearity) 및 고효율 증폭에 적절한 대안적인 기술이 전치보상 선형화이다. 개념적으로 및 근사적으로, 전치보상 기술은 보상 왜곡 성분을 증폭기의 입력에 주입함으로써 증폭기를 선형화하는데, 보상 왜곡 성분의 위상은 증폭기의 출력 왜곡의 위상과 반대(180도 위상차)이고, 그 크기는 증폭기의 선형 이득으로 나눈 출력 왜곡의 크기이다. 전치보상은 피드백 선형화 시스템들의 안정성 및 극심한 대역폭 제한들에 자유롭다. 또한, 전치보상은 백 오프(back off) 및 피드 포워드 선형화에 비해, 잘 설계된 시스템에서 그것의 어플리케이션이 증폭기 효율의 극심한 저하를 유발하지 않는다는 우수한 장점을 갖는다. 이러한 고유의 장점 때문에, 전치보상 선형화는 과거 10년 동안 집중적인 연구 대상이었다.

전치보상 선형화에 대한 종전의 접근방식은, 아날로그 전치보상기들과 비교해 우수한 유연성, 정확성 및 잡음 면역성을 갖는 디지털 LUT(Look Up Table) 전치보상기들의 설계 및 구현에 주로 집중되어 왔다. 이러한 LUT 기반 시스템들에서 전치보상은 저대역에서 극좌표 또는 데카르트 좌표(Cartesian coordinates)로 수행되어 왔다. 극(polar) 디지털 전치보상 시스템에서, 데카르트/극좌표 사이의 변환은 일반적으로 디지털 입력 변조가 직교 형태라는 사실 때문에 필수적이다. 전치보상기의 계수들은 적응적으로 계산되고, 입력(또는 출력) 신호 포락선들의 변형에 의해 인덱싱되는 테이블에 저장된다. 전형적으로 이러한 LUT 전치보상기들은, 증폭기에서의 동적 비선형성들의 선형화를 제공하지 않고, 비선형 정적 증폭기 왜곡에 대한 보상만을 하려는 경향이 있다. 이러한 "정적(static)" 전치보상기들은, 비선형 동적 왜곡 성분들 또는 "메모리 효과들(memory effects)"이 고전력, 고효율 증폭기들의 전체 출력 왜곡의 실질적인 부분을 구성한다는 사실 때문에, 고효율 기지국 송신기 설계에 적합하지 않다. LUT 전치보상기들의 한계를 해결하기 위하여, 비모수적(nonparametric) 디지털 저대역 전치보상기들이 제안되었는데, 여기에서는 다차원 테이블들이 순시적인 입력 포락선 크기 또는 전력의 동적인 변형들(필터링된 버전)에 의해 인덱싱된다. 비선형 동적 왜곡 보상에 대한 멀티테이블 기술의 주된 장점은, 증폭기의 역 동특성(inverse dynamics)의 파라미터 모델의 계산을 요하지 않는다는 것이다. 주된 단점은 전치보상 계수들을 저장하기 위한 대용량의 메모리를 요한다는 것과, 시스템 적용에 신뢰할 수 없고 불충분한 데이터가 있는 경우 테이블 항목들의 보간을 위한 계산이 복잡하다는 것이다. 멀티테이블 보간 복잡성은 전치보상기의 정확성 및 적용 비율을 제약할 만큼 꽤 상당할 수 있다. 디지털 LUT 전치보상기들의 정확성은 또한 테이블 양자화 에러들에 의해 제한된다. 양자화 에러들은, 엄격한 발산 규격을 만족시키기 위해 광대역 동적 왜곡 보상이 필요한 고효율, 고전력 전송기에서의 왜곡 보정을 심각하게 제한할 수 있다. 테이블 양자화 에러를 최소화하기 위한 단순한 방법은 테이블 크기를 증가시키는 것이다. 이 해결방안은 파라미터 디지털 LUT 전치보상기들을 이용하는 몇몇 어플리케이션에 대한 실용적인 대안이다. 불행히도, 멀티테이블 설계에서 테이블 항목들의 개수를 증가시키는 것은, 메모리 및 계산 요구량의 급격한 증가로 인해 허용되지 않는다. LUT 전치보상기들의 정확성을 증가시키고 복잡도를 낮추기 위하여, 많은 여러 전치보상기 시스템들이 제안되어 왔다. 그러나, 이들 접근방식 중 어느 것도 적절하게 상기 문제점들을 검토하고 있지 않다.

본 발명은 종래 기술의 전술한 단점을 극복하고, 시스템에 불필요한 복잡성을 도입하지 않으면서도 광대역 어플리케이션에 적합한 전치보상 시스템을 제공하는 것에 관한 것이다.

발명의 상세한 설명

제 1 양상에서, 본 발명은 신호 샘플들의 스트림을 포함하는 디지털 통신 신호를 수신하기 위한 입력부를 포함하는 디지털 전치보상기를 제공한다. 선형 동적 보상 회로는 상기 입력부에 결합되고, 복수의 시간 지연된 신호 샘플들에 선형 연산을 수행한다. 디지털 포락선 검출기는 또한 상기 입력부에 결합되고, 상기 입력 신호 샘플들에 대응하는 이산의 디지털 포락선 신호 샘플들의 스트림을 제공한다. 유한 임펄스 응답 필터는 상기 포락선 검출기에 결합되고, 복수의 지연된 포락선 신호 샘플들에 제 1 비선형 연산을 수행한다. 무한 임펄스 응답 필터 뱅크는 상기 유한 임펄스 응답 필터와 평행하게 상기 포락선 검출기에 결합되고, 복수의 지연된 포락선 샘플들에 제 2 비선형 연산을 수행한다. 결합기는 상기 선형 동적 보상 회로, 유한 임펄스 응답 필터 및 무한 임펄스 응답 필터 뱅크의 출력들을 결합하고, 출력으로서 디지털 전치보상 신호를 제공한다.

바람직한 실시예에서, 디지털 전치보상기는 상기 제 1 비선형 동적 보상 회로와 평행하게 상기 포락선 검출기에 결합되고, 개별적인 디지털 포락선 신호 샘플들에 가중된 비선형 다항식의 연산을 수행하는 비선형 정적 보상 회로를 더 포함한다. 바람직하게는, 상기 무한 임펄스 응답 필터 뱅크는 병렬 구성으로 결합되는 복수의 무한 임펄스 응답 필터들을 포함한다. 복수의 곱셈기들은 상기 포락선 검출기에 결합되고, 상기 복수의 무한 임펄스 응답 필터들은 각각의 상기 곱셈기들에 결합되고, 상기 곱셈기들은 상기 필터 출력들로부터 더 높은 차수의 신호들 및 다른 차수의 포락선 샘플들을 생성한다. 상기 복수의 무한 임펄스 응답 필터들 및 상기 곱셈기들은 각각 적어도 3, 4 및 5차 신호들을 생성한다.

다른 양상에 따르면, 본 발명은 전치보상 선형화된 증폭기 시스템을 제공한다. 상기 전치보상 선형화된 증폭기 시스템은 신호 샘플들의 스트림을 포함하는 디지털 통신 신호를 수신하기 위한 입력부 및 상기 입력부에 결합되는 제 1 신호 경로를 포함한다. 제 2 신호 경로는 디지털 전치보상기를 포함하고, 상기 디지털 전치보상기는 상기 입력 신호의 복수의 지연된 샘플들에 연산을 수행하는 선형 다항식 전치보상 회로 및 상기 선형 다항식 전치보상 회로와 평행하게 상기 입력부에 결합되는 비선형 다항식 전치보상 회로를 포함한다. 비선형 다항식 전치보상 회로는 상기 입력 신호로부터 디지털 포락선 신호를 제공하는 포락선 검출기, 상기 포락선 검출기와 평행하게 결합되고 상기 디지털 포락선 신호에 연산을 수행하는 유한 임펄스 응답 필터 회로 및 무한 임펄스 응답 필터 회로를 포함한다. 결합기는 선형 및 비선형 다항식 전치보상 회로들의 출력들을 결합하고 전치보상 신호를 제공한다. 덧셈 회로는 상기 제 1 및 제 2 신호 경로들에 결합되고, 상기 입력 신호 및 상기 전치보상 신호를 더하고, 전치보상된 입력 신호를 출력한다. 증폭기는 상기 전치보상된 입력 신호를 수신 및 증폭하고, 증폭된 출력 신호를 제공한다.

상기 전치보상 선형화된 증폭기 시스템의 바람직한 실시예에서, 디지털-아날로그 변환기는 상기 덧셈 회로 및 상기 증폭기 사이에 결합되고, 상기 전치보상된 입력 신호를 디지털에서 아날로그 형태로 변환한다. 상기 무한 임펄스 응답 필터 회로는 병렬로 결합된 일련의 무한 임펄스 응답 필터들과, 다른 차수들의 상기 디지털 포락선 신호 및 상기 필터 출력들을 수신하고 3차 및 그 이상의 차수의 신호들을 생성하는 곱셈기를 포함한다. 상기 비선형 다항식 전치보상 회로는, 상기 유한 임펄스 응답 필터 회로와 평행하게 상기 포락선 검출기에 결합하고 상기 디지털 포락선 신호로부터 복소 가중 다항식을 생성하는 정적 비선형 다항식 회로를 더 포함한다.

다른 양상에 따르면, 본 발명은 신호 샘플들의 스트림을 포함하는 디지털 통신 신호를 수신하기 위한 입력부 및 디지털 전치보상기를 포함하는 전치보상 선형화된 증폭기 시스템을 제공한다. 상기 디지털 전치보상기는 입력 신호의 지연된 샘플들에 연산을 수행하는 선형 다항식 전치보상 회로 및 상기 선형 다항식 전치보상 회로와 평행하게 상기 입력부에 결합되는 비선형 다항식 전치보상 회로를 포함한다. 비선형 다항식 전치보상 회로는 상기 입력 신호로부터 디지털 포락선 신호를 제공하는 포락선 검출기, 상기 포락선 검출기와 평행하게 결합되고 상기 디지털 포락선 신호에 연산을 수행하는 유한 임펄스 응답 필터 회로 및 무한 임펄스 응답 필터 회로를 포함한다. 디지털 전치보상기는 선형 및 비선형 다항식 전치보상 회로들의 출력들을 결합하고 전치보상 신호를 제공하는 결합기를 더 포함한다. 증폭기는 상기 전치보상된 입력 신호를 수신 및 증폭하고, 증폭된 출력 신호를 제공한다.

상기 전치보상 선형화된 증폭기 시스템의 바람직한 실시예에서, 디지털-아날로그 변환기는 상기 디지털 전치보상기 및 상기 증폭기 사이에 결합되고, 상기 전치보상된 입력 신호를 디지털에서 아날로그 형태로 변환한다. 상기 무한 임펄스 응답 필터 회로는 병렬로 결합된 일련의 무한 임펄스 응답 필터들과, 다른 차수들의 상기 디지털 포락선 신호 및 상기 필터 출력들을 수신하고 3차 및 그 이상의 차수의 신호들을 생성하는 곱셈기를 포함한다. 상기 비선형 다항식 전치보상 회로는, 상기 유한 임펄스 응답 필터 회로와 평행하게 상기 포락선 검출기에 결합하고 상기 디지털 포락선 신호로부터 복소 가중 다항식을 생성하는 정적 비선형 다항식 회로를 더 포함한다.

다른 양상에 따르면, 본 발명은 신호 샘플들의 스트림을 포함하는 디지털 통신 신호를 수신하는 입력부 및 상기 입력 신호 샘플들을 수신하여 연산하고 전치보상된 입력 샘플들의 스트림을 제공하는 다항식 기반 전치보상 회로를 포함하는 적응성 전치보상 선형화된 증폭기 시스템을 제공한다. 상기 다항식 기반 전치보상 회로는, 상기 입력 신호 샘플을 수신하고 제 1 적응성 복소 계수들 세트를 이용하여 상기 입력 신호 샘플을 연산하는 제 1 유한 임펄스 응답 필터를 포함한다. 포락선 검출기는 상기 입력 신호 샘플들로부터의 입력 신호 포락선 샘플들을 제공한다. 제 2 유한 임펄스 응답 필터 회로는 제 2 적응성 복소 계수들 세트를 이용하여 상기 포락선 샘플들을 연산한다. 무한 임펄스 응답 필터 회로는 제 3 적응성 복소 계수들 세트를 이용하여 상기 포락선 샘플들을 연산한다. 디지털-아날로그 변환기는 상기 전치보상된 입력 샘플들을 수신하여 아날로그 전치보상된 입력 신호를 제공한다. 증폭기는 상기 아날로그 전치보상된 입력 신호를 수신하고 증폭하여 출력 신호를 제공한다. 샘플링 커플러는 상기 증폭기 출력에 결합되고 샘플링된 출력 신호를 제공한다. 아날로그-디지털 변환기는 상기 샘플링 커플러에 결합하고 디지털 샘플링된 출력 신호를 제공한다. 적응성 제어기는 상기 입력 샘플들을 수신하도록 상기 입력부에 결합되고 상기 디지털 샘플링된 출력 신호를 수신하도록 결합되고, 상기 제 1, 2 및 3 적응성 복소 계수들을 생성하여 상기 다항식 기반 전치보상기 회로에 제공한다.

상기 적응성 전치보상 선형화된 증폭기 시스템의 바람직한 실시예에서, 상기 적응성 제어기는 프로그램된 디지털 신호 프로세서를 포함한다. 상기 다항식 기반 전치보상 회로는 상기 입력부 및 상기 디지털-아날로그 변환기 사이에 직렬로 결합될 수 있다. 대안으로, 상기 다항식 기반 전치보상 회로는 제 1 신호 경로와 평행하게, 상기 입력부 및 상기 디지털-아날로그 변환기 사이에 제 2 신호 경로 내에 결합되고, 상기 제 1 및 2 신호 경로들은 결합기에 의해 결합될 수 있다. 상기 결합기는 복소 덧셈 회로를 포함하는 것이 바람직하다.

다른 양상에 따르면, 본 발명은 RF 증폭기 시스템을 적응적으로 전치보상 선형화하는 방법을 제공한다. 상기 방법은 신호 샘플들의 스트림을 포함하는 디지털 통신 신호를 수신하는 단계, 및 복수의 개별적인 다항식 기반 연산들로 상기 입력 신호 샘플들을 연산하고 전치보상된 입력 샘플들의 스트림을 제공하는 단계를 포함한다. 상기 다항식 기반 연산들은 제 1 적응성 복소 계수들 세트를 이용하여 상기 입력 신호 샘플들에 대한 제 1 유한 임펄스 응답 필터링 연산의 수행, 상기 신호 샘플들로부터 포락선 샘플들을 유도하고 제 2 적응성 복소 계수들 세트를 이용하여 상기 포락선 샘플들에 대한 제 2 유한 임펄스 응답 필터링 연산의 수행, 및 제 3 적응성 복소 계수들을 이용하여 상기 포락선 계수들에 대한 무한 임펄스 응답 필터링 연산을 수행하는 것을 포함한다. 상기 방법은 상기 전치보상된 입력 샘플들로부터 아날로그 전치보상된 RF 입력 신호를 제공하는 단계, 및 상기 아날로그 전치보상된 RF 입력 신호를 증폭하여 출력 신호를 제공하는 단계를 더 포함한다. 상기 방법은 상기 증폭 출력 신호를 샘플링하고, 아날로그 샘플링된 출력 신호를 제공하는 단계, 상기 아날로그 샘플링된 출력 신호를 디지털 샘플링된 출력 신호로 변환하는 단계, 및 상기 디지털 샘플링된 출력 신호 및 상기 입력 신호 샘플들을 이용하여 업데이트된 적응성 복소 계수들을 생성하는 단계를 더 포함한다. 상기 업데이트된 계수들은 상기 다항식 기반 전치보상 연산들을 위해 이용된다.

RF 증폭기 시스템을 적응적으로 전치보상 선형화하는 방법의 바람직한 실시예에서, 복수의 개별적인 다항식 기반 연산들로 상기 입력 신호 샘플들을 연산하고 전치보상된 입력 샘플들의 스트림을 제공하는 단계는, 상기 입력 샘플들의 스트림에 전치보상된 신호들을 더하여 상기 전치보상된 입력 샘플들의 스트림을 제공하는 것을 포함한다. 대안으로, 복수의 개별적인 다항식 기반 연산들로 상기 입력 신호 샘플들을 연산하고 전치보상된 입력 샘플들의 스트림을 제공하는 단계는, 복수의 평행 다항식 연산으로 상기 입력 샘플들의 스트림을 연산하여 상기 전치보상된 입력 샘플들의 스트림을 제공하는 것을 포함한다. 복수의 개별적인 다항식 기반 연산들로 상기 입력 신호 샘플들을 연산하는 단계는 개별적인 포락선 샘플들에 다항식 연산을 수행하는 것을 더 포함할 수 있다.

이하의 상세한 설명을 통해, 본 발명의 특징 및 장점을 보다 상세히 설명한다.

도면의 간단한 설명

도 1a는 본 발명의 바람직한 실시예에 따른, 가산적인 전치보상 구조를 이용한 전치보상 선형화된 증폭기 시스템의 기능 블록도.

도 1b는 본 발명의 바람직한 실시예에 따른, 도 1a에 개시된 가산적인 전치보상 구조 내부의 전치보상 신호 경로의 기능 블록도.

도 2a는 본 발명의 다른 실시예에 따른, 곱셈적 전치보상 구조를 이용한 전치보상 선형화 증폭기 시스템의 기능 블록도.

도 2b는 본 발명의 다른 실시예에 따른, 도 2a에 개시된 곱셈적 전치보상 구조 내부의 전치보상 신호 경로의 기능 블록도.

도 3은 본 발명의 바람직한 실시예에 따른 다항식 디지털 전치보상기의 블록도.

도 4는 본 발명의 바람직한 실시예에 따른, 가산적인 전치보상 구조를 이용한 적응성 전치보상 선형화된 증폭기 시스템의 블록도.

도 5는 본 발명의 다른 실시예에 따른, 곱셈적 전치보상 구조를 이용한 적응성 전치보상 선형화된 증폭기 시스템의 블록도.

도 6은 본 발명의 바람직한 실시예에 따른 전치보상 적용 알고리즘의 흐름도.

도 7은 본 발명의 바람직한 실시예에 따른, 도 3에 개시된 디지털 전치보상기의 선형 및 비선형 동적 보상 블록들에 이용된 FIR 필터의 개략도.

도 8은 본 발명의 바람직한 실시예에 따른, 도 3에 개시된 디지털 전치보상기의 비선형 정적 보상 블록에 이용된 다항식 생성 회로의 개략도.

도 9는 본 발명의 바람직한 실시예에 따른, 도 3에 개시된 디지털 전치보상기의 자동회귀 동적 보상 블록에 이용된 IIR 필터의 개략도.

실시예

본 발명은 고효율 송신기들을 선형화하는데 적합한, 향상된 왜곡 보정 능력을 갖춘 디지털 전치보상 시스템 및 방법을 제공한다. 본 발명은 또한 향상된, 전치보상 선형화된 증폭기 시스템 및 그에 관한 방법을 제공한다. 도 1a 및 도 1b는 본 발명의 제 1 실시예에 따른 가산적인 전치보상 시스템 및 전치보상 선형화된 증폭기를 개시하고, 왜곡 보상 신호는 저대역 변조 입력에 디지털적으로 더해져(주입되어), 증폭기를 동작시키는 전치보상된 신호를 형성한다. 도 2a 및 도 2b는 본 발명의 제 2 실시예에 따른 곱셈적 전치보상 시스템 및 전치보상 선형화된 증폭기를 개시하고 있다. 여기서, 디지털 전치보상기는 증폭기에 직렬연결된 비선형 오퍼레이터로서 동작한다.

먼저 도 1a를 참조하면, 본 발명의 제 1 실시예에 따른 전치보상 선형화된 증폭기 시스템은, 바람직하게는 셀룰러 기지국과 같은 무선통신 어플리케이션에 적용되는 타입의 고전력 RF 증폭기인 증폭기(100)를 포함한다. 증폭기(100)는 상대적으로 고효율을 갖도록 설계되는 것이 유리할 것이다. 예를 들면, 동적 부하 변조를 이용한 고효율 증폭기 설계가 2004년 5월 3일에 출원된 미국 특허 출원번호 10/837,838에 개시되어 있으며, 그 내용 전부가 여기에 참조로 포함되어 있다. 대안으로, 증폭기(100)는 고효율을 위해 더 낮은 출력 백 오프 레벨에서 동작하는 종래의 설계에 대응할 수도 있다. 증폭기(100)에 대한 다른 설계들이 또한 이용될 수 있다. 그러나, 그러한 효과적인 증폭기 설계들은 증폭된 신호에, 특히 신호 침투들에 대한 왜곡을 도입할 수 있다. 디지털 전치보상 시스템(102)은 입력부(104)에 인가되는 입력 신호를 전치보상함으로써 증폭기(100)에 의해 도입되는 왜곡을 보상한다. 특히, 입력부(104)는 복소 직교(I,Q) 신호 형태의 디지털 통신 신호로서, 당분야에 잘 알려진 다양한 변조기법 중 임의의 것으로 변조된 신호 샘플들의 스트림을 포함하는 디지털 통신 신호를 수신한다. 예를 들면, 입력 신호는 WCDMA 멀티캐리어 통신 신호와 같은 광대역 신호일 수 있다. 도 1a의 가산적인 구조에서, 디지털 전치보상 시스템은 입력부(104)에 결합되는 제 1 신호 경로(120)와, 라인(122)을 통해 입력부(104)에 결합되고 입력 신호를 연산하여 전치보상 신호를 라인(124)에 제공하는 디지털 전치보상기(108)를 포함하는 제 2 신호 경로를 포함한다. 덧셈 회로(110)는 제 1 및 제 2 신호 경로들에 결합되고, 전치보상 신호를 입력 신호에 주입하여 전치보상된 입력 신호를 라인(126)에 출력한다. 덧셈 회로(110)로부터의 신호가 전치보상된 저대역 디지털 신호이다. 종래의 디지털-아날로그 변환 회로 및 업(up) 변환 회로(도 4에 도시되었으며 이하에서 설명됨)는 전치보상된 디지털 신호를 전치보상된 아날로그 RF 신호로 변환시킨다. 증폭기(100)는 전치보상된 아날로그 RF 신호를 수신하고 증폭하여, 실질적으로 왜곡이 없는 증폭된 RF 출력 신호를 라인(106)에 제공한다.

디지털 전치보상 시스템(102)의 기본적인 구조가 도 1b에 개시되어 있다. 도시된 가산적인 구조에서, 입력 신호에 대한 기본적인 전치보상 연산은 디지털 전치보상기(108)에 의해 제 2 신호 경로에서 수행된다. 전치보상기(108)는 증폭기를 정확하게 전치보상하기 위하여 다항식 모델을 사용하는 것이 바람직하다. 보다 상세하게, 전치보상기는 증폭기의 역 전달 특성(inverse transfer characteristics)을 모델링하기 위하여 이산-시간 다항식 커널(kernel)을 이용하는 것이 바람직하다. 정확한 전치보상은 분리되고 동시에 일어나는 다항식의 모델링과, 도 1b의 기능 블록도에서 도면부호 112, 114, 및 116 블록들로 각각 도시된 선형 동적, 비선형 정적, 및 비선형 동적 왜곡에 대한 보상을 제공함으로써 달성된다. 선형 동적 블록(112)은 증폭기(100)에 기인한 인-밴드(in-band) 왜곡(또한 인-밴드 왜곡은 도 4에 도시된 AQM 회로에 기인하는 아날로그 직교 변조 에러들을 포함하고, 다른 능동 소자들에 의해 기인함)을 보상한다. 전치보상기의 비선형 정적 블록(114)은 순시적인 입력 신호 레벨에 기인한 왜곡, 이른바 메모리스 왜곡(memoryless distortion)을 보상한다. 전치보상기의 비선형 동적 블록(116)은 복수의 연속하는 입력 신호 레벨들의 함수인 동적 왜곡, 이른바 메모리 효과들(memory effects)을 보상한다. 이 비선형 동적 왜곡은 두 개의 일반적인 타입의 기여들을 갖는데, 이들은 주로 리액티브 전기적 메모리 효과들과 열적 메모리 효과들로서 설명되는 상이한 특성을 갖는다. 이들 두 가지 타입의 메모리 효과들을 효과적으로 모델링하고 보상하기 위하여, 전치보상기의 비선형 동적 블록(116)은, 도 3과 관련하여 이하에서 자세히 설명되는 바와 같이, 메모리 효과들을 위한 병렬의 FIR 및 IIR 다항식 모델들을 이용하는 것이 바람직하다. 전치보상기의 선형 동적, 비선형 정적, 및 비선형 동적 블록들로부터 나오는 보상용 전치보상 신호 성분들은 결합기(118)에서 더해져, 라인(124)에 특유의 왜곡 보상 신호를 형성한다. 다음, 이 전치보상 신호는 전술한 바와 같이 덧셈 회로(110)에서 입력 신호에 더해진다. 디지털 전치보상기의 상세한 일 실시예가 도 3에 개시되어 있으며, 이하에서 논의하도록 한다.

도 2a 및 도 2b를 참조하면, 디지털 전치보상기가 입력부 및 증폭기와 직렬로 연결된 비선형 오퍼레이터로서 동작하고 입력 신호에 곱셈적 전치보상 연산을 수행하는, 본 발명의 제 2 실시예가 도시되어 있다. 본 발명의 제 1 실시예와 같이, 전치

보상 선형화 증폭기 시스템은 증폭기(200, 이것은 증폭기(100)와 동일한 것일 수 있으며, 더 자세한 설명하지 않는다)를 포함하고 있으며, 이 증폭기는 입력부(204)에 인가된 디지털 입력 신호에 작용하는 디지털 전치보상기(202)에 의해 선형화 된다. 입력 신호는 라인(216)에 제공되고(복소 I,Q 신호 입력들 및 신호 경로들을 뜻한다) 곱셈적 전치보상 연산에 의해 연산되어, 전치보상된 입력 신호를 라인(218)에 제공한다. 디지털-아날로그 및 업(up) 변환 회로들(도 2a에 도시되지 않았으나 도 5와 관련하여 후술됨)은 전치보상된 입력 신호를 RF 신호로 변환하며, 이 RF 신호는 증폭기(200)에 의해 증폭되어 실질적으로 무왜곡의 출력 RF 신호를 라인(206)에 제공한다. 디지털 전치보상기(202)의 구조가 도 2b에 개시되어 있다. 제 1 실시예의 디지털 전치보상기(108)와 같이, 디지털 전치보상기(202)는 분리되고 동시에 일어나는 다항식의 모델링과, 도 2b의 기능 블록도에서 도면부호 208, 210, 및 212 블록들로 각각 도시된 선형 동적, 비선형 정적, 및 비선형 동적 왜곡에 대한 보상을 제공하며, 선형 동적, 비선형 정적, 및 비선형 동적 왜곡 블록들은 결합기(214)에서 결합되어 전치보상된 입력 신호를 라인(218)에 제공한다. 전치보상 연산에 대한 복수의 다항식 모델링의 유연성으로 인해, 도 1a 및 도 1b의 가산적인 실시예와 동일한 구조가 곱셈적 실시예에 대하여 이용될 수 있다. 디지털 전치보상기(202)에 대한 구체적인 일 실시예가 도 3에 도시되어 있으며, 이하에서 논의하도록 한다.

도 3을 참조하면, 본 발명의 바람직한 실시예에 따른 디지털 전치보상기(DPD)의 구조가 개략적인 블록도로 도시되어 있다. 디지털 다항식 전치보상기의 입력(DPD IN)이 입력부(300)에 인가된다. 전술한 바와 같이, 이것은 직교(I,Q) 형태의 신호 샘플들의 스트림을 포함하는 저대역 통신 신호에 상응한다. 입력 신호 샘플들의 스트림은 신호 경로(304)를 통해 선형 동적 보상 회로(310)에 제공된다. 선형 동적 보상 회로(31)는 복수의 시간 지연된 신호 샘플들에 선형 연산을 수행하여, 선형 동적 왜곡 또는 선형 메모리 효과들을 모델링한다. 보다 상세하게는, 선형 동적 연산은 다음과 같은 다항식 연산으로 나타낼 수 있다:

$$(1) \quad H_1[z] = a_0 + a_1 z^{-1} + a_2 z^{-2} + \dots + a_{N1} z^{-N1}$$

수식(1)에서, $H_1[z]$ 는 선형 동적 보상 회로(310)의 전달함수, a_0 - a_{N1} 은 복소 전치보상 계수들, $N1$ 은 메모리 효과들을 모델링하기 위하여 채택되는 지연된 샘플들의 개수를 결정하는 정수이다. 이 다항식 연산은 디지털 유한 임펄스 응답(FIR) 필터로 구현되는 것이 바람직하고, 복소 전치보상 계수들은 선형 동적 보상 회로(310) 내의 비휘발성 메모리에 저장된 필터 계수들이다.

DPD 입력부(300)에서 입력 신호 샘플들의 스트림은 비선형 정적 및 비선형 동적 보상 블록들에 제공된다. 이것들은 입력 신호의 포락선 크기에 대한 비선형적인 변형들을 수행함으로써, 비선형 전치보상 성분 신호들을 생성한다. 보다 상세하게는, 디지털 포락선 검출기(324)는 라인(308)을 통해 입력 샘플들을 수신하고, 입력 신호의 순시적인 포락선에 대응하는 포락선 샘플들을 계산한다. 디지털 포락선 검출기(324)로부터의 출력 포락선 샘플들은 라인(326)을 통해 비선형 정적 보상 회로(312)로 제공된다. 비선형 정적 보상 회로(312)는 디지털 포락선 검출기로부터 출력된 개개의 포락선 샘플들에 비선형 정적 다항식 변형을 수행하여, 비선형 정적(메모리리스) 왜곡을 모델링한다. 보다 상세하게, 비선형 연산은 다음의 다항식 연산으로 나타낼 수 있다:

$$(2) \quad H_2 = \sum_{k=1}^M p_k |DPDIN_{env}|^k$$

수식(2)에서, H_2 는 비선형 정적 보상 회로(312)의 전달함수, p_k 는 복소 전치보상 계수들, $DPDIN_{env}$ 는 디지털 포락선 검출기(324)로부터의 현재 포락선 샘플, M 은 정수이다.

디지털 포락선 검출기(324)로부터의 출력 포락선 샘플들은 또한 비선형 동적 보상 블록에 제공되고, 비선형 동적 보상 블록은 포락선 크기 동특성(dynamics)에서의 변동에 응답하여 왜곡 보상 신호를 생성하기 위하여 복수의 지연된 포락선 신호 샘플들을 연산한다. 디지털 포락선 샘플들은 유한 임펄스 응답(FIR) 필터(314)를 이용하여 필터링되어, 포락선 크기 동특성에서의 변동에 응답하여 왜곡 보상 신호를 생성한다. 더 높은 차수의 동적 왜곡 보상 성분들이, 포락선 크기의 상이한 전력들을 무한 임펄스 응답(IIR) 필터 뱅크(334)의 출력과 곱하는 회로(332)에 의해 생성된다. 이 구성은, 바이어스 네트워크의 비디오 대역 및 증폭기의 전기적 동특성에 관련된, 다른 차수들의 리액티브 메모리 효과들을 보상한다. 이 구조는 또한 출력 왜곡을 생성하는, 증폭기에서의 열적 또는 자기-가열 효과들을 보상한다. 열적 및 리액티브 메모리 효과들은 증폭기의 전체 출력 왜곡의 주요 부분을 구성하며, 수용가능한 선형성 및 효율성 성능을 보장하기 위해서는 보상되어야만 한다.

특히, 바람직한 실시예에서 포락선 동적 보상 회로(314)는 다음과 같은 다항식 연산을, 라인(328)에 인가되는 복수의 지연된 포락선 샘플들에 수행한다:

$$(3) \quad H_3[z] = b_1 z^{-1} + b_2 z^{-2} + \dots + b_{N2} z^{-N2}$$

수식(3)에서, $H_3[z]$ 는 포락선 동적 보상 회로(314)의 전달함수, b_1 - b_{N2} 는 복소 전치보상 계수들, $N2$ 는 메모리 효과들을 모델링하기 위하여 채택된 지연 샘플들의 개수를 결정하는 정수이다. 이 다항식 연산은 디지털 유한 임펄스 응답(FIR) 필터에서 구현되는 것이 바람직하고, 복소 왜곡 계수들은 포락선 동적 보상 회로(314) 내의 비휘발성 메모리에 저장되는 필터 계수들이다.

도 3을 참조하면, 더 높은 차수의 비선형 동적 보상 회로(332)가 라인(330)을 통해 디지털 포락선 검출기(324)의 출력에 결합되어 있다. 회로(332)는 포락선 샘플들에 연산을 수행하는 IIR 필터 뱅크(334)와, 더 높은 차수의 포락선 값들을 생성하고 이들을 IIR 필터 출력과 곱하여 더 높은 차수의 리액티브 및 열적 메모리 효과 보상을 제공하는 곱셈기들(342,344,346,350)을 포함한다. IIR 필터 뱅크(334)는 필터 뱅크 전달 함수의 고유의 특성들에 기인한 이들 효과들의 정확한 매핑(mapping)을 제공한다. 특히, 3차, 4차, 및 5차 보상에 대한 전술된 실시예에서, 다음과 같은 연산들이 각각의 IIR 필터들을 이용하는 회로들(336,338,340)에서 구현될 수 있다:

$$(4) \quad H_4[z] = \frac{c_1 z^{-1} + c_2 z^{-2} + \dots + c_{N3} z^{-N3}}{f_0 + f_1 z^{-1} + f_2 z^{-2} + \dots + f_{N4} z^{-N4}}$$

$$(5) \quad H_5[z] = \frac{d_1 z^{-1} + d_2 z^{-2} + \dots + d_{N5} z^{-N5}}{g_0 + g_1 z^{-1} + g_2 z^{-2} + \dots + g_{N6} z^{-N6}}$$

$$(6) \quad H_6[z] = \frac{e_1 z^{-1} + e_2 z^{-2} + \dots + e_{N7} z^{-N7}}{h_0 + h_1 z^{-1} + h_2 z^{-2} + \dots + h_{N8} z^{-N8}}$$

수식(4),(5),(6)에서, $H_4[z]$, $H_5[z]$, 및 $H_6[z]$ 각각은 회로들(336, 338, 340) 각각의 전달함수이고, c_1 - c_{N3} , f_0 - f_{N4} , d_1 - d_{N5} , g_0 - g_{N6} , e_1 - e_{N7} 및 h_0 - h_{N8} 은 복수 필터 계수들이고, $N3$, $N4$, $N5$, $N6$, $N7$, 및 $N8$ 은 정수이다.

상기 IIR 전달함수들에서 가용한 DPD 파라미터들의 개수는 고도의 유연성을 제공하여, 리액티브 및 열적 메모리 효과들을 정확히 모델링하고 보상할 수 있다는 것을 이해할 수 있을 것이다. 가산적인 더 높은 차수의 보상은, 도 3에 도시된 회로(332)와 유사한 방식으로 가산적인 리액티브/열적 메모리 보상 브랜치들을 더함으로써 용이하게 구현될 수 있다.

필터 뱅크(334)로부터 출력되는 필터링된 포락선 샘플들은 다양한 차수의 입력 신호 포락선을 수신하는 곱셈기들(342,348,350)에 제공되고, 이 신호들은 곱해져 더 높은 차수의 왜곡 보상 신호들을 생성한다. 이들은, 비선형 정적 보상 회로(312) 및 포락선 동적 보상 회로(314)로부터 DPD 보상 신호들을 수신하는 복소 덧셈 회로(352)에 출력된다.

덧셈 회로(352)의 출력들은 곱셈기(354)에서, 라인(306)에 공급되는 I,Q 저대역 입력 신호를 변조하는데 사용된다. 이 변조된 신호는 덧셈 회로(356)에서 선형 동적 보상 회로(310)의 출력에 더해져 라인(302)에 제공되는 DPD 출력을 형성한다. 선택적인 소프트 리미터 회로(358)가 DPD 정적 신호가 미리 결정된 제한 값을 초과하지 않도록 하기 위하여 제공될 수 있다.

다항식 디지털 전치보상 회로들(310,312,314,332)은 디지털 입력 신호의 대역폭 온-라인 전치보상을 제공하는 FPGA/ASIC 기술로 구현되는 것이 바람직하다. 이들 회로들의 상세한 구현예들이 도 7 내지 도 9에 도시되어 있으며 후술된다. 도 3에서의 다른 회로 구성요소들은 종래의 디지털 회로 구성요소들이며, 또한 FPGA/ASIC 기술로 용이하게 구현될 수 있다는 것을 당업자는 이해할 수 있을 것이다.

도 3에 도시된 상세한 실시예는 특정 어플리케이션 및 적절한 제조비 및 복잡성 제약을 수용하기 위하여 수정될 수 있다. 예를 들면, 전술한 바와 같이, 도 3은 5차까지의 리액티브 및 열적 메모리 효과 보상을 제공하는 전치보상기를 도시하고 있지만, 가산적인 동적 메모리 보상 브랜치들을 더함으로써 용이하게 더 높은 차수의 보상이 구현될 수 있고, 여기에서 설명된다. 또한, 어떤 구현예들에 있어서는, 예를 들면 회로 복잡성을 줄이거나 추가적인 회로들 없이 5차 이상의 홀수 차수 정정을 제공하기 위하여, 홀수 차수의 메모리 효과 보상만이 요구될 수도 있으며, 그러한 실시예가 또한 여기에서 설명된다. 또한, 회로들이 더 높은 차수의 신호들을 생성하기 위하여 직렬연결되는 방식은, 왜곡 보상의 유연한 다항식 모델링을 유지하는 동안 변경될 수 있다. 추가적인 변동들 및 조절들이 또한 가능하다는 것을 당업자는 이해할 수 있을 것이다.

도 4를 참조하면, 가산적인 전치보상 구조를 이용하는 적응성 전치보상 선형화 증폭기 시스템의 블록도가 도시되어 있다. 도 4의 상위 신호 경로는 일반적으로 도 1a에 대응하며, 동일한 도면부호가 도 1a에 도시된 구성요소들에 대하여 적용되어 있다. 도 4의 적응성 시스템은 하위의 피드백 신호 경로를 출력부(106) 및 입력부(104)에 결합하여, 도 1a의 시스템에 더한 구조이다. 적응성 전치보상 선형화된 증폭기 시스템은, 증폭기의 샘플링된 출력 및 저대역 입력을 이용하여 DPD(108)에서 사용되는 다항식 전치보상 파라미터들(및 도 3에 도시된 DPD의 바람직한 실시예와 관련하여 전술된 전치보상 계수들)을 생성하는 DPD 제어기(420)를 피드백 경로에 포함하고 있다. 이것은 전치보상 파라미터들이 증폭기 시스템의 전류 동작 조건들에 적용되는 것을 허용하여, 전치보상 연산의 효과를 최대화하고 왜곡을 최소화한다.

보다 상세하게는, 도 4에 도시된 바와 같이 입력부(104)에서의 저대역 신호는 직교(I,Q) 형태로 라인들(400,402)을 통해 DPD(108)에 제공되고, 도 1a, 도 1b, 및 도 3과 관련하여 전술된 바와 같이, DPD(108)에 의해 전치보상된다. DPD(108)의 출력은 덧셈 회로들(408,410)(도 1의 복소 덧셈 회로(110)를 포함)에서, 라인들(404,406)에 제공되는 입력 신호에 더해져 데카르트 (I,Q) 좌표로 디지털 저대역 전치보상된 신호를 형성한다. 디지털 저대역 전치보상된 신호의 동상 및 직교 성분들은 디지털-아날로그 변환기들(DAC들)(412,413)을 이용하여 아날로그 신호들로 변환된다. 다음, 아날로그 신호들은 직교 변조되고, 국부 오실레이터(LO, 416)로부터 고정 주파수 RF 신호를 수신하는 아날로그 직교 변조기(AQM)를 이용하여 RF로 업(up) 전환된다. AQM(414)의 출력은 전치보상되고 변조된 RF 반송파이다. 전술한 바와 같이, 아날로그 직교 변조 연산은 인-밴드 왜곡을 도입할 수 있으며, 이는 DPD(108)에 의해 보상된다. 전치보상된 반송파는 전력증폭기(PA, 100)를 구동하는데 이용된다. 라인(106)에서의 증폭기의 출력은 샘플링 결합기(418)에 의해 샘플링되고, 샘플링된 아날로그 RF 신호는 아날로그 직교 복조기(AQDM, 422)에 의해 다운 변환 및 아날로그 I,Q 신호로 복조된다. 시스템에서 아날로그 신호들의 업/다운 변환 처리는 다운 변환 및 업 변환에 대해 동일한 LO(416)를 이용함으로써 위상 동기화된다. AQDM(422)로부터의 아날로그 I,Q 신호는 아날로그-디지털 변환기들(424,426)에 의해 I,Q 디지털 신호들로 변환되고, 아날로그-디지털 변환기들(424,426)은 디지털 샘플링된 출력 I,Q 신호들을 라인들(428,430)을 통해 DPD 제어기(420)에 제공한다. 디지털 전치보상(DPD) 제어기(420)는 또한 라인들(432,434)을 통해 I,Q 형태의 디지털 저대역 입력 신호를 수신한다. DPD 제어기(420)는 연관된 메모리가 구비된, 적절하게 프로그램된 DSP일 수 있다. DPD 제어기(420)는, 증폭기의 동작 조건들에서의 변화(열적 드리프트, 전원공급변동, 입력 변조에서의 변화, 구동 레벨에서의 변동 등)가 발생하는 경우 최적의 선형성 동작을 보장하기 위하여, 주기적으로 디지털 저대역 입력 변조를 증폭기의 복소 저대역 출력 포락선의 평가(estimate)와 비교하고, DPD 파라미터들의 값을 적응적으로 조정한다. 이들 업데이트된 파라미터들은 라인(436)에 의해 지시되는 바와 같이, DPD(108) 내의 비휘발성 저장 위치들로 제공된다. DPD 제어기(420)는 또한 (선택적으로) 출력 포락선 평가의 스펙트럼 분석을 수행하여, 다른 주파수 서브밴드에서의 증폭기의 선형성을 최적화한다.

도 5는 본 발명의 대안적인 실시예에 따른, 곱셈적 전치보상 구조를 이용하는 적응성 전치보상 증폭기 시스템의 블록도이다. 시스템의 상위 경로는 도 2a의 실시예에 대응하고, 동일한 도면부호가 공통의 구성요소들에 대하여 이용되고 있다. 시스템의 적응성 동작은 도 4에 도시된 것과 유사하며, 주된 차이점은 도 5의 전치보상기의 토폴로지가 도 4에서와 같은 가산적이라기 보다는 곱셈적이며, 저대역 I,Q 입력이 라인들(500,502)을 통해 DPD(202)에 직접 제공되고, DPD(202)는 입력 신호의 비선형 변형을 수행하여 PA(200)를 전치보상한다는 것이다. DAC(512,513), AQM(514), LO(516), 샘플링 커플러(518), AQDM(522), ADC(524,426)은 도 4의 실시예에서와 동일한 구성요소로, 더 자세한 설명은 생략한다. 디지털 전치보상(DPD) 제어기(520)는 또한 라인들(532,534)을 통해 I,Q 형태의 디지털 저대역 입력 신호와 라인들(528,530)을 통해 디지털 형태의 샘플링된 출력을 수신하고, 주기적으로 디지털 저대역 입력 신호를 증폭기의 복소 저대역 출력 포락선의 평가와 비교하여 적응적으로 DPD 파라미터들의 값들을 수정한다. 이들 업데이트된 파라미터들은 라인(536)에 의해 지시되는 바와 같이, DPD(202) 내부의 저장 위치들로 제공된다. 상세한 파라미터 값들은 도 4 및 도 5의 실시예들간에 상이할 수 있지만, 도 3과 관련하여 서술된 다항식 모델의 유연성으로 인해 DPD(108,202)에 대한 동일한 구조가 업데이트된 전치보상 파라미터들을 결정하기 위하여 DPD 제어기들(420,520)에서 유사하게 채용 및 이용될 수 있다.

도 6은, 도 4 또는 도 5의 적응성 전치보상 선형화된 증폭기 시스템들 내의 DPD 제어기에서 구현되는 전치보상 적용 알고리즘의 바람직한 실시예의 흐름도이다. 증폭기의 입력 신호(PA 입력)의 평가들은, 복소 저대역 직교 입력(I_{IN} , Q_{IN})에 연산

을 수행하는 DPD 제어기 내부의 예측 DPD 필터에 의해 생성된다. 예측 DPD 필터의 구조 및 동작은 상기 도 3에 개시된 DPD의 그것들과 동일하므로, 여기에 반복하여 설명하지 않는다. 예측된 PA 입력 신호 및 증폭기의 출력 포락선(PA 출력)의 다운변환된/디지털화된 복소 저대역 신호 평가는, 예측된 PA 입력 및 PA 출력으로부터 N개의 샘플들을 선택하고, DPD 적용에 이용되는 데이터 버퍼들을 형성하는 데이터 그래버(grabber) 처리 블록(600)에 의해 처리된다:

$$(7) \quad PA_IN(t,N)=[PAInput(1) \quad PAInput(2) \quad \dots \quad PAInput(N)]$$

$$(8) \quad PA_OUT(t,N)=[PAOutput(1) \quad PAOutput(2) \quad \dots \quad PAOutput(N)]$$

다음, 데이터 검증기 처리 블록(604)은 데이터 그래버에 의해 선택된 샘플들이 새로운 전치보상 파라미터들의 계산에 적합한지를 결정한다. 데이터 검증기 블록(602)에서 이용되는 검증 기준 하나는, 선택된 PA 입력 데이터의 파고 지수(crest factor)가 미리 설정된 문턱값 CF_{thres} 를 초과하는지 테스트하는 것이다:

$$(9) \quad CF = \frac{\max(|PA_IN(t,N)|^2)}{Avg(|PA_IN(t,N)|^2)} >? CF_{thres}$$

이 조건이 참인 경우 데이터는 적합한 것으로 검증되고, 다음, 증폭기 및 처리 지연들을 보상하기 위해 기능적인 지연 보간 기술을 이용하여 입력 및 출력 데이터를 시간-정렬시키는 데이터 동기화기 처리 블록(604)으로 전달된다. 적절한 시간 동기는 DPD에서 메모리 효과 보상의 정확성을 보장하기 위한 중요한 요건이다. 다음, 시간-정렬된 입력($PA_IN(t-delay,N)$)과 출력($PA_OUT(t-delay,N)$) 데이터 버퍼들은 전치보상 모델 빌더 처리 블록(606)에 의해 처리되며, 전치보상 모델 빌더 처리 블록(606)은 동기화된 데이터를 이용하여, 도 3에 개시된 DPD 구조를 소프트웨어적으로 구현한 커널 매트릭스 K를 계산한다:

$$(10) \quad K = f(PA_OUT(t-delay,N)) = \begin{bmatrix} Linear & NonLinear & NonLinear \\ Dynamic & Dynamic & Static \\ Terms & Terms & Terms \end{bmatrix}$$

다음, 파라미터 계산기 처리 블록(608)은 커널 매트릭스 및 동기화된 입력 데이터 $PA_IN(t-delay,N)$ 을 이용하여 전치보상기의 파라미터들을 계산한다. 파라미터 계산기 처리 블록(608)은 급속 수렴 최소 자승 처리(fast convergence least square processing)를 이용하여, 증폭기 출력 왜곡의 2차 놈 자승(quadratic norm squared)(평균 전력)을 최소화하기 위한 최적의 파라미터 값들의 세트를 찾는다. DPD 파라미터들은 파라미터 평균기 처리 블록(608)에서 로우-패스 필터링되어, DPD 파라미터들의 계산에 있어서 잡음 및 교란(disturbance)의 영향을 감소시킨다. 마지막으로 전치보상 모델 검사기 처리 블록(612)은, 파라미터 계산기(608)에 의해 계산되고 파라미터 평균기(610)에 의해 평균되는 파라미터 값들의 일관성과 타당성을 검사한다. 모델 검사기(612)에서 이용되는 모델 검사 기준 하나는 DPD 파라미터들의 크기가 미리 설정된 범위내인지를 테스트하는 것이다. 이 조건이 참이면, 파라미터 값들은 유효한 것으로 간주되고, 업데이트된 전치보상 계수들로서 DPD(108 또는 202)에 제공된다. 전치보상 모델 확인기 블록(612)은 또한, 가장 최근에 계산된 파라미터들 평가들이 무효이거나 허용가능한 전치보상 성능을 제공하지 못하는 경우에 이용되는, 이전에 계산된 전치보상 계수들의 테이블을 유지한다.

도 7을 참조하면, 도 3과 관련하여 전술된 동적 보상 회로들(310,314)에서 이용될 수 있는 FIR 필터의 바람직한 실시예가 개략적으로 도시되어 있다. 도 7에 도시된 동일한 기본 구조가 특정 회로들 사이에서 변동하는 필터 계수들을 갖는 회로들 각각에 대해 회로들 각각에 대해 이용될 수 있다. 또한, 필터의 스테이지들의 개수(N)는 도 3의 개별적인 회로들의 구현예들에 따라 변동될 수 있다. 도시된 바와 같이, FIR 필터는 입력부(700)에서, 선형 동적 보상 회로(310)에 대한 복소 입력 샘플들 및 회로(314)에서의 입력 포락선 샘플들에 대응할 수 있는 디지털 입력을 수신한다. 입력부(700)에서의 디지털 입력 신호는 희망하는 필터 크기와 동수인 지연 스테이지들(702)에 제공된다. 지연 스테이지(702) 각각의 출력은, 비휘발성 메모리(706)에 저장된 복소 파라미터(또는 필터 계수)를 수신하는 곱셈기(704)에 연결되는 탭을 갖는다. 이들 개개의 필터 계수들은, 전술한 적응성 실시예에서 라인들(708)을 통해 DPD 제어기에 의해 업데이트 된다. N개의 곱셈기들(704)의 출력들은 복소 덧셈 회로(710)에 연결되고, 복소 덧셈 회로(710)는 복소 필터 출력을 라인(712)에 제공한다.

도 8을 참조하면, 도 3의 비선형 정적 보상 회로(312)에 이용될 수 있는 다항식 생성 회로의 바람직한 실시예가 개략적으로 도시되어 있다. 도시된 바와 같이, 다항식 생성 회로는 (도 3과 관련하여 전술된 바와 같이) 디지털 포락선 신호를 수신하는 입력부(800)를 가지며, 디지털 포락선 신호는 제 1 곱셈기 회로(802)에 제공되며, 제 1 곱셈기 회로(802)는 또한 복소 다항식 계수를 비휘발성 저장 매체(804)로부터 수신한다. 전술된 바와 같은 적응성 실시예에서, 비휘발성 저장 매체(804)에 저장된 다항식 계수는 라인(805)을 통해 DPD 제어기에 의해 업데이트될 수 있다. 곱셈기(802)의 출력은 라인(806)을 통해 복소 덧셈 회로(810)에 제공된다. 다항식 생성 회로의 제 2 브랜치는 곱셈기들(812,814)과 제 2 복소 다항식 계수를 저장하는 비휘발성 저장 매체(816)를 포함한다. 유사하게, 이 복소 다항식 계수는 DPD 제어기로부터 라인(817)에 의해 지시되는 바와 같이 업데이트될 수 있다. 곱셈기(814)의 출력은 덧셈 회로(810)에 제공된다. 다항식 생성 회로의 제 3 브랜치는 곱셈기(818)를 통해 제공된다. 다항식 생성 회로의 가산적인 브랜치들은, 비휘발성 저장 매체(828) 내의 최종 다항식 계수를 포함하는 최종 브랜치 및 곱셈기들(824,826)이 최종 N차 복소 다항식 값을 덧셈 회로(810)에 공급할 때까지, 도 8에 도시된 바와 같은 방식으로 직렬 연결된다. 덧셈 회로(810)의 출력은 라인(820)에 제공되고 일반적으로 상기 수식(2)의 다항식에 대응한다.

도 9를 참조하면, 도 3의 회로들(336,338,340)(어떠한 가산적인 더 높은 차수의 IIR 회로들 또는 적절하다면 회로들(310,314)도 포함) 각각에 이용될 수 있는 IIR 필터의 바람직한 실시예가 개략적으로 도시되어 있다. 도시된 회로는 필터 전달 함수에서 제로들(zeros) 및 폴들(poles)을 제공하는 IIR 필터에 대응하고, 따라서 전술한 수식들(4)~(6)의 구현에 일반적으로 대응한다. 대안의 실시예에서, 모든 폴 구현은 라인(912)상의 신호에 대응하는 입력과 함께 이용될 수 있다. 입력부(900)에서의 디지털 입력 신호는, 수식들(4)~(6) 각각의 분자에 구현된 필터 스테이지들의 희망하는 개수와 동수인, 일련의 지연 스테이지들(902)에 공급된다. 지연 스테이지(902) 각각의 출력은 곱셈기(904)에 연결되는 탭을 가지며, 곱셈기(904)는 또한 비휘발성 메모리(906)에 저장된 복소 파라미터(또는 필터 계수)를 수신한다. 이들 개개의 필터 개수들은 전술한 적응성 실시예들에서 라인들(908)을 통해 DPD 제어기에 의해 업데이트 된다. N개의 곱셈기들(904)의 출력들은 복소 덧셈 회로(910)에 입력되고, 복소 덧셈 회로(910)는 라인(912)에 복소 출력을 제공한다. 라인(912)에서의 출력은 필터의 모든 폴 부분의 입력으로서 작용한다. 라인(912) 상의 출력은 수식들(4)~(6)의 분모에 구현된 필터 스테이지들의 희망하는 개수와 동수인, 일련의 제 2 지연 스테이지들(914)에 공급된다. 지연 스테이지(914) 각각의 출력은 곱셈기(916)에 연결되는 탭을 가지며, 곱셈기(916)는 또한 비휘발성 메모리(918)에 저장된 복소 파라미터(또는 필터 계수)를 수신한다. 이들 개개의 필터 계수들은 전술한 적응성 실시예들에서, 라인들(920)을 통해 DPD 제어기에 의해 업데이트 된다. N개의 곱셈기들(916)의 출력들은 복소 덧셈 회로(922)에 입력되고, 복소 덧셈 회로(922)는 덧셈 회로(910)에 복소 출력을 제공하며, 복소 덧셈 회로(910)는 필터로부터의 출력을 라인(912)을 통해 라인(924)에 제공한다. 필터의 상위 및 하위 부분에서의 스테이지들의 개수는 정수 N으로 표시되었지만, 일반적으로 상이할 수 있다.

본 발명은 몇몇 실시예와 관련하여 기술되었지만, 당업자라면 본 발명의 범위를 벗어나지 않으면서도 다양한 변형이 가능하다는 것을 이해할 수 있을 것이다. 따라서 전술된 상세한 기재는 발명의 본질을 제한하는 것이 아니라 실례를 예증하는 것으로 보아야 한다.

(57) 청구의 범위

청구항 1.

디지털 전치보상기에 있어서,

신호 샘플들의 스트림을 포함하는 디지털 통신 신호를 수신하는 입력부;

상기 입력부에 결합되고, 복수의 시간 지연된 신호 샘플들에 선형 연산을 수행하는 선형 동적 보상 회로;

상기 입력부에 결합되고, 상기 입력 신호 샘플들에 대응하는 이산의 디지털 포락선(envelope) 신호 샘플들의 스트림을 제공하는 디지털 포락선 검출기;

상기 포락선 검출기에 결합되고, 복수의 지연된 포락선 신호 샘플들에 제 1 비선형 연산을 수행하는 유한 임펄스 응답 필터;

상기 유한 임펄스 응답 필터와 평행하게 상기 포락선 검출기에 결합되고, 복수의 지연된 포락선 샘플들에 제 2 비선형 연산을 수행하는 무한 임펄스 응답 필터 뱅크; 및

상기 선형 동적 보상 회로, 상기 유한 임펄스 응답 필터 및 상기 무한 임펄스 응답 필터 뱅크의 출력들을 결합하고, 출력으로서 디지털 전치보상 신호를 제공하는 결합기를 포함하는 디지털 전치보상기.

청구항 2.

제 1 항에 있어서,

상기 제 1 비선형 동적 보상 회로와 평행하게 상기 포락선 검출기에 결합되고, 개별적인 디지털 포락선 신호 샘플들에 가중된 비선형 다항식의 연산을 수행하는 비선형 정적 보상 회로를 더 포함하는 디지털 전치보상기.

청구항 3.

제 1 항에 있어서,

상기 무한 임펄스 응답 필터 뱅크는 병렬 구성으로 결합된 복수의 무한 임펄스 응답 필터들을 포함하는, 디지털 전치보상기.

청구항 4.

제 3 항에 있어서,

상기 포락선 검출기에 결합된 복수의 곱셈기들을 더 포함하고,

상기 복수의 무한 임펄스 응답 필터들은 각각의 상기 곱셈기들에 결합되고,

상기 곱셈기들은 상기 필터 출력들로부터 더 높은 차수의 신호들 및 다른 차수의 포락선 샘플들을 생성하는, 디지털 전치보상기.

청구항 5.

제 4 항에 있어서,

상기 복수의 무한 임펄스 응답 필터들 및 상기 곱셈기들은 각각 적어도 3, 4 및 5차 신호들을 생성하는, 디지털 전치보상기.

청구항 6.

전치보상 선형화된 증폭기 시스템에 있어서,

신호 샘플들의 스트림을 포함하는 디지털 통신 신호를 수신하는 입력부;

상기 입력부에 결합된 제 1 신호 경로;

디지털 전치보상기를 포함하는 제 2 신호 경로로서, 상기 디지털 전치보상기는 상기 입력 신호의 복수의 지연된 샘플들에 연산을 수행하는 선형 다항식 전치보상 회로 및 상기 선형 다항식 전치보상 회로와 평행하게 상기 입력부에 결합된 비선형 다항식 전치보상 회로를 포함하고, 상기 비선형 다항식 전치보상 회로는 상기 입력 신호로부터 디지털 포락선 신호를 제공하는 포락선 검출기, 상기 포락선 검출기와 평행하게 결합되고 상기 디지털 포락선 신호에 연산을 수행하는 유한 임펄스 응답 필터 회로 및 무한 임펄스 응답 필터 회로, 및 상기 선형 및 비선형 다항식 전치보상 회로들의 출력들을 결합하고 전치보상 신호를 제공하는 결합기를 포함하는, 상기 제 2 신호 경로;

상기 제 1 및 제 2 신호 경로들에 결합되고, 상기 입력 신호 및 상기 전치보상 신호를 더하고, 전치보상된 입력 신호를 출력하는 덧셈 회로; 및

상기 전치보상된 입력 신호를 수신 및 증폭하고, 증폭된 출력 신호를 제공하는 증폭기를 포함하는 전치보상 선형화된 증폭기 시스템.

청구항 7.

제 6 항에 있어서,

상기 덧셈 회로와 상기 증폭기 사이에 결합되고, 상기 전치보상된 입력 신호를 디지털에서 아날로그 형태로 변환하는 디지털-아날로그 변환기를 더 포함하는 전치보상 선형화된 증폭기 시스템.

청구항 8.

제 6 항에 있어서,

상기 무한 임펄스 응답 필터 회로는 병렬로 결합된 일련의 무한 임펄스 응답 필터들과, 다른 차수들의 상기 디지털 포락선 신호 및 상기 필터 출력들을 수신하고 3차 및 그 이상의 차수의 신호들을 생성하는 다수의 곱셈기들을 포함하는, 전치보상 선형화된 증폭기 시스템.

청구항 9.

제 6 항에 있어서,

상기 비선형 다항식 전치보상 회로는, 상기 유한 임펄스 응답 필터 회로와 평행하게 상기 포락선 검출기에 결합되고 상기 디지털 포락선 신호로부터 복소 가중 다항식을 생성하는 정적 비선형 다항식 회로를 더 포함하는, 전치보상 선형화된 증폭기 시스템.

청구항 10.

전치보상 선형화된 증폭기 시스템에 있어서,

신호 샘플들의 스트림을 포함하는 디지털 통신 신호를 수신하는 입력부;

상기 입력 신호의 복수의 지연된 샘플들에 연산을 수행하는 선형 다항식 전치보상 회로 및 상기 선형 다항식 전치보상 회로와 평행하게 상기 입력부에 결합된 비선형 다항식 전치보상 회로를 포함하는 디지털 전치보상기로서, 상기 비선형 다항식 전치보상 회로는 상기 입력 신호로부터 디지털 포락선 신호를 제공하는 포락선 검출기, 상기 포락선 검출기와 평행하게 결합되고 상기 디지털 포락선 신호에 연산을 수행하는 유한 임펄스 응답 필터 회로 및 무한 임펄스 응답 필터 회로, 및 상기 선형 및 비선형 다항식 전치보상 회로들의 출력들을 결합하고 전치보상된 입력 신호를 제공하는 결합기를 포함하는, 상기 디지털 전치보상기; 및

상기 전치보상된 입력 신호를 수신 및 증폭하고, 증폭된 출력 신호를 제공하는 증폭기를 포함하는 전치보상 선형화된 증폭기 시스템.

청구항 11.

제 10 항에 있어서,

상기 디지털 전치보상기와 상기 증폭기 사이에 결합되고, 상기 전치보상된 입력 신호를 디지털에서 아날로그 형태로 변환하는 디지털-아날로그 변환기를 더 포함하는 전치보상 선형화된 증폭기 시스템.

청구항 12.

제 10 항에 있어서,

상기 무한 임펄스 응답 필터 회로는 병렬로 결합된 일련의 무한 임펄스 응답 필터들과, 다른 차수들의 상기 디지털 포락선 신호 및 상기 필터 출력들을 수신하고 3차 및 그 이상의 차수의 신호들을 생성하는 다수의 곱셈기들을 포함하는, 전치보상 선형화된 증폭기 시스템.

청구항 13.

제 10 항에 있어서,

상기 비선형 다항식 전치보상 회로는, 상기 유한 임펄스 응답 필터 회로와 평행하게 상기 포락선 검출기에 결합되고 상기 디지털 포락선 신호로부터 복소 가중 다항식을 생성하는 정적 비선형 다항식 회로를 더 포함하는, 전치보상 선형화된 증폭기 시스템.

청구항 14.

적응성 전치보상 선형화된 증폭기 시스템에 있어서,

신호 샘플들의 스트림을 포함하는 디지털 통신 신호를 수신하는 입력부;

상기 입력 신호 샘플들을 수신하여 연산하고 전치보상된 입력 샘플들의 스트림을 제공하는 다항식 기반 전치보상 회로로서, 상기 입력 신호 샘플들을 수신하고 제 1 적응성 복소 계수들 세트를 이용하여 상기 입력 신호 샘플들을 연산하는 제 1 유한 임펄스 응답 필터, 상기 입력 신호 샘플들로부터 입력 신호 포락선 샘플들을 제공하는 포락선 검출기, 제 2 적응성 복소 계수들 세트를 이용하여 상기 포락선 샘플들을 연산하는 제 2 유한 임펄스 응답 필터 회로, 및 제 3 적응성 복소 계수들 세트를 이용하여 상기 포락선 샘플들을 연산하는 무한 임펄스 응답 필터 회로를 포함하는, 상기 다항식 기반 전치보상 회로;

상기 전치보상된 입력 샘플들을 수신하여 아날로그 전치보상된 입력 신호를 제공하는 디지털-아날로그 변환기;

상기 아날로그 전치보상된 입력 신호를 수신하고 증폭하여 출력 신호를 제공하는 증폭기;

상기 증폭기 출력에 결합되고 샘플링된 출력 신호를 제공하는 샘플링 커플러;

상기 샘플링 커플러에 결합되고 디지털 샘플링된 출력 신호를 제공하는 아날로그-디지털 변환기; 및

상기 입력 샘플들을 수신하도록 상기 입력부에 결합되고 상기 디지털 샘플링된 출력 신호를 수신하도록 결합된 적응성 제어기로서, 상기 제 1, 2 및 3 적응성 복소 계수들을 생성하여 상기 다항식 기반 전치보상 회로에 제공하는, 상기 적응성 제어기를 포함하는, 적응성 전치보상 선형화된 증폭기 시스템.

청구항 15.

제 14 항에 있어서,

상기 적응성 제어기는 프로그램된 디지털 신호 프로세서를 포함하는, 적응성 전치보상 선형화된 증폭기 시스템.

청구항 16.

제 14 항에 있어서,

상기 다항식 기반 전치보상 회로는 상기 입력부와 상기 디지털-아날로그 변환기 사이에 직렬로 결합되는, 적응성 전치보상 선형화된 증폭기 시스템.

청구항 17.

제 14 항에 있어서,

상기 다항식 기반 전치보상 회로는 제 1 신호 경로와 평행하게, 상기 입력부와 상기 디지털-아날로그 변환기 사이에 제 2 신호 경로 내에 결합되고, 상기 제 1 및 2 신호 경로들은 결합기에 의해 결합되는, 적응성 전치보상 선형화된 증폭기 시스템.

청구항 18.

제 17 항에 있어서,

상기 결합기는 복소 덧셈 회로를 포함하는, 적응성 전치보상 선형화된 증폭기 시스템.

청구항 19.

RF 증폭기 시스템을 적응적으로 전치보상 선형화하는 방법에 있어서,

신호 샘플들의 스트림을 포함하는 디지털 통신 신호를 수신하는 단계;

복수의 개별적인 다항식 기반 연산들로 상기 입력 신호 샘플들을 연산하고 전치보상된 입력 샘플들의 스트림을 제공하는 단계로서, 상기 다항식 기반 연산들은, 제 1 적응성 복소 계수들 세트를 이용하여 상기 입력 신호 샘플들에 대한 제 1 유한 임펄스 응답 필터링 연산을 수행하고, 상기 신호 샘플들로부터 포락선 샘플들을 유도하고 제 2 적응성 복소 계수들 세트를 이용하여 상기 포락선 샘플들에 대한 제 2 유한 임펄스 응답 필터링 연산을 수행하며, 제 3 적응성 복소 계수들 세트를 이용하여 상기 포락선 샘플들에 대한 무한 임펄스 응답 필터링 연산을 수행하는 것을 포함하는, 상기 연산 및 제공 단계;

상기 전치보상된 입력 샘플들로부터 아날로그 전치보상된 RF 입력 신호를 제공하는 단계;

상기 아날로그 전치보상된 RF 입력 신호를 증폭하여 출력 신호를 제공하는 단계;

상기 증폭기 출력 신호를 샘플링하고, 아날로그 샘플링된 출력 신호를 제공하는 단계;

상기 아날로그 샘플링된 출력 신호를 디지털 샘플링된 출력 신호로 변환하는 단계; 및

상기 디지털 샘플링된 출력 신호 및 상기 입력 신호 샘플들을 이용하여 업데이트된 적응성 복소 계수들을 생성하고, 상기 다항식 기반 전치보상 연산들을 위해 상기 업데이트된 계수들을 이용하는 단계를 포함하는, RF 증폭기 시스템을 적응적으로 전치보상 선형화하는 방법.

청구항 20.

제 19 항에 있어서,

상기 복수의 개별적인 다항식 기반 연산들로 상기 입력 신호 샘플들을 연산하고 전치보상된 입력 샘플들의 스트림을 제공하는 단계는, 상기 입력 샘플들의 스트림에 전치보상된 신호들을 더하여 상기 전치보상된 입력 샘플들의 스트림을 제공하는 단계를 포함하는, RF 증폭기 시스템을 적응적으로 전치보상 선형화하는 방법.

청구항 21.

제 19 항에 있어서,

상기 복수의 개별적인 다항식 기반 연산들로 상기 입력 신호 샘플들을 연산하고 전치보상된 입력 샘플들의 스트림을 제공하는 단계는, 복수의 평행 다항식 연산들로 상기 입력 샘플들의 스트림을 연산하여 상기 전치보상된 입력 샘플들의 스트림을 제공하는 단계를 포함하는, RF 증폭기 시스템을 적응적으로 전치보상 선형화하는 방법.

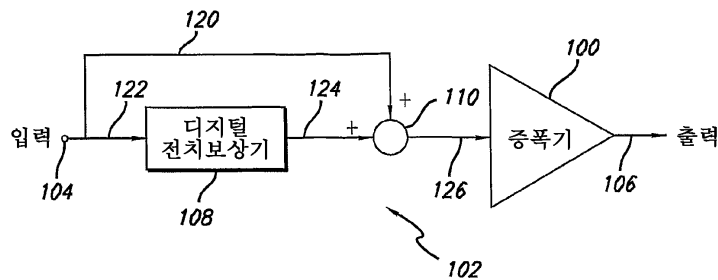
청구항 22.

제 19 항에 있어서,

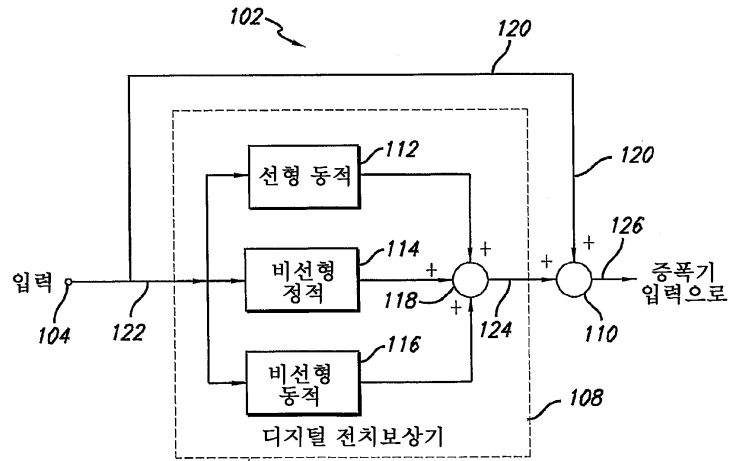
복수의 개별적인 다항식 기반 연산들로 상기 입력 신호 샘플들을 연산하는 단계는, 개별적인 포락선 샘플들에 다항식 연산을 수행하는 단계를 더 포함하는, RF 증폭기 시스템을 적응적으로 전치보상 선형화하는 방법.

도면

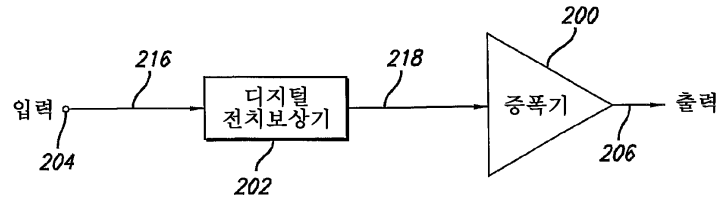
도면 1a



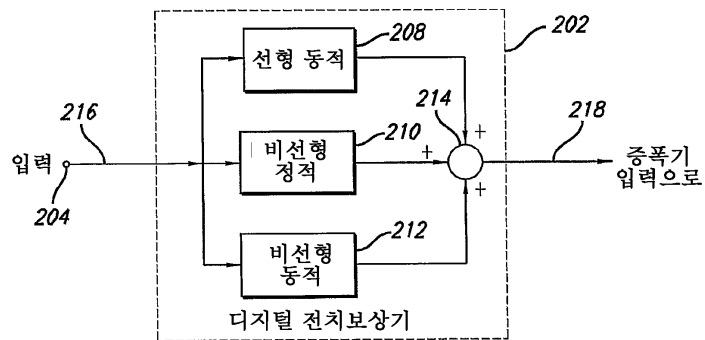
도면1b



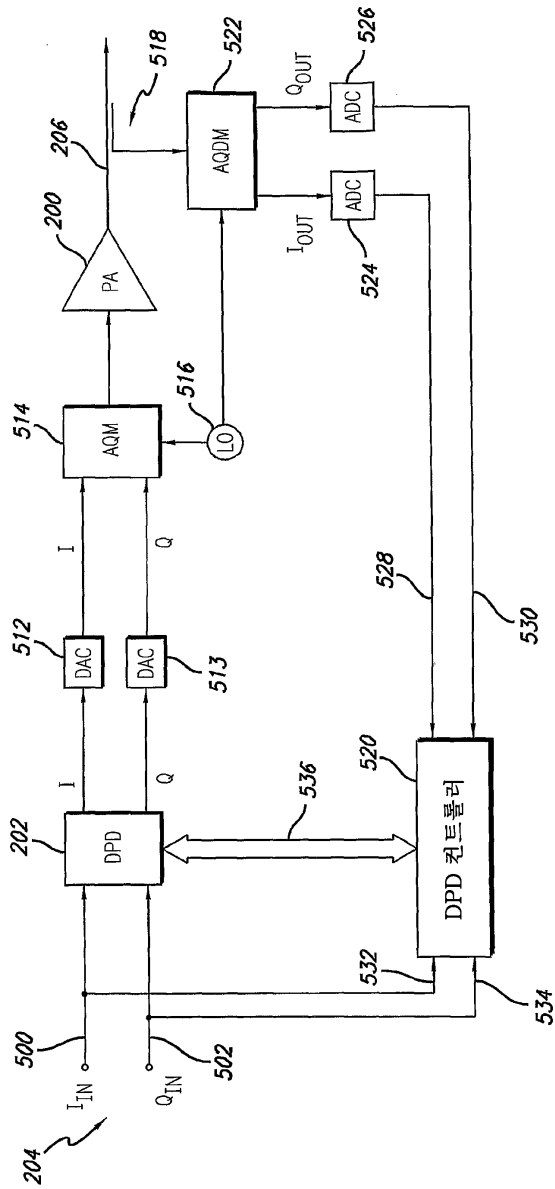
도면2a



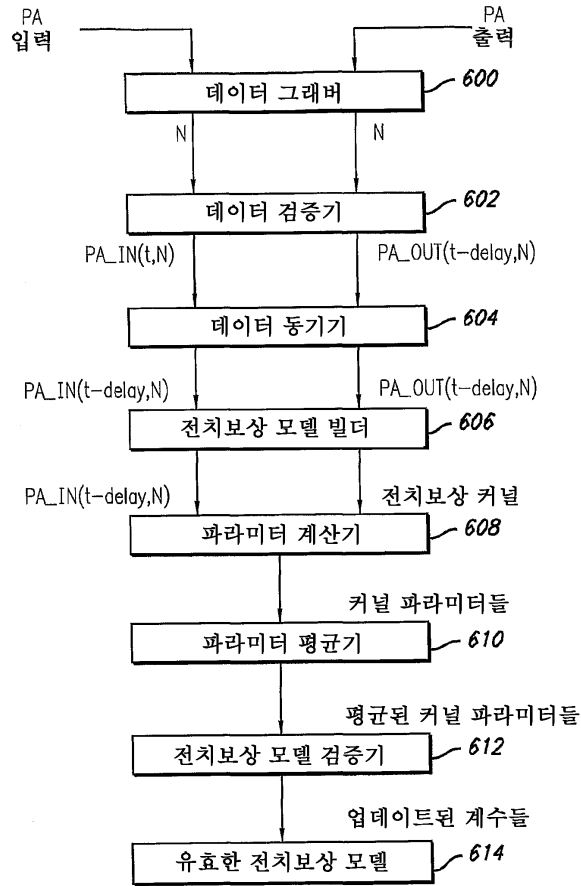
도면2b



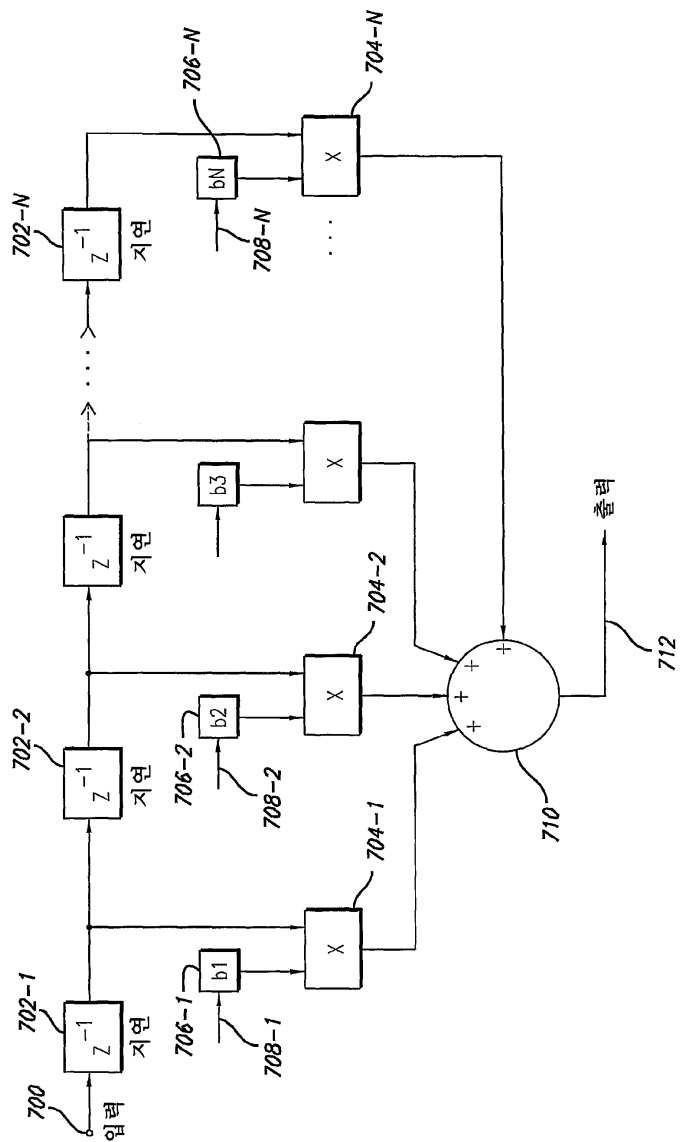
도면5



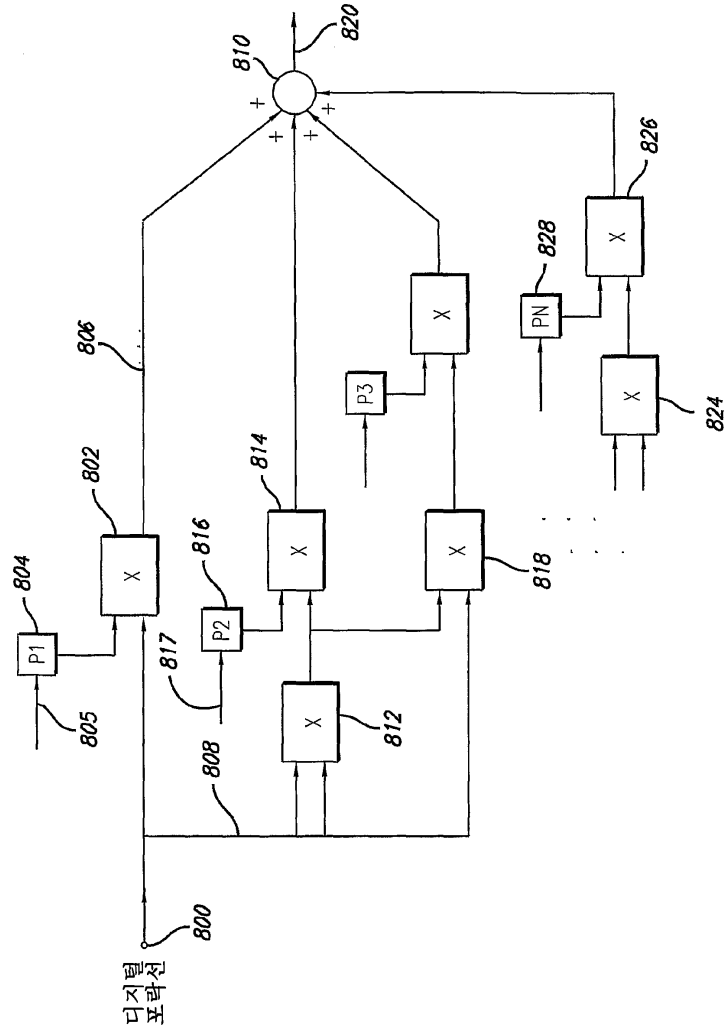
도면6



도면7



도면8



도면9

