

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5225355号
(P5225355)

(45) 発行日 平成25年7月3日 (2013.7.3)

(24) 登録日 平成25年3月22日 (2013.3.22)

(51) Int. Cl.

F I

G O 6 F 13/42 (2006.01)

G O 6 F 13/42 3 5 O Z

G O 6 F 13/38 (2006.01)

G O 6 F 13/38 3 5 O

H O 4 L 25/38 (2006.01)

H O 4 L 25/38 A

請求項の数 15 (全 17 頁)

(21) 出願番号 特願2010-235642 (P2010-235642)
 (22) 出願日 平成22年10月20日 (2010.10.20)
 (65) 公開番号 特開2012-22665 (P2012-22665A)
 (43) 公開日 平成24年2月2日 (2012.2.2)
 審査請求日 平成22年10月21日 (2010.10.21)
 (31) 優先権主張番号 099123578
 (32) 優先日 平成22年7月16日 (2010.7.16)
 (33) 優先権主張国 台湾 (TW)

(73) 特許権者 501271516
 聚積科技股▲ふん▼有限公司
 台湾新竹市埔頂路18号6F-4
 (74) 代理人 100082418
 弁理士 山口 朔生
 (72) 発明者 吳肯唐
 台湾新竹市埔頂路18号6樓之4
 (72) 発明者 李振戎
 台湾新竹市埔頂路18号6樓之4

審査官 横山 佳弘

最終頁に続く

(54) 【発明の名称】 シリアルコントローラ及び双方向シリアルコントローラ

(57) 【特許請求の範囲】

【請求項1】

外部クロックと入力データとを受信し、反転クロックと出力データとを出力するよう適合したシリアルコントローラであって、

該外部クロックを受信して該反転クロックを出力するインバータと、

該外部クロックと該入力データとに応じて奇数信号又は偶数信号である位置信号を出力するシリアル位置検出器と、

該位置信号と該外部クロックとに応じて同期クロックを出力する同期クロック生成器であって、該位置信号が該奇数信号である時は、該同期クロックと該外部クロックは同相であり、該位置信号が該偶数信号である時は、該同期クロックと該外部クロックは逆相である同期クロック生成器と、

同期クロックに応じて該入力データを受信し、一時的に記憶し、次に該データを出力するシリアルレジスタと、

該シリアルレジスタから該データを受信し、該データを該同期クロックの半サイクルだけ遅延させ、次に該データを該出力データとして出力する半サイクル遅延ユニットとを備えるシリアルコントローラ。

【請求項2】

前記外部クロックの第1の立ち上がりエッジ (R E) において、前記入力データがハイレベルである時、前記シリアル位置検出器は前記位置信号として前記奇数信号を出力し、そうでなければ、該位置信号として前記偶数信号を出力する請求項1に記載のシリアルコ

10

20

ントローラ。

【請求項 3】

前記位置信号が前記奇数信号である時は、前記同期クロック生成器は前記同期クロックとして前記外部クロックを出力し、該位置信号が前記偶数信号である時は、該同期クロック生成器は該外部クロックを反転させて、該同期クロックとして該外部クロックの反転クロックを出力する請求項 1 に記載のシリアルコントローラ。

【請求項 4】

前記同期クロック生成器は、

前記外部クロックを受信し反転させて、該外部クロックの前記反転クロックを出力する第 1 インバータユニットと、

前記位置信号が前記奇数信号である時は、前記外部クロックを前記同期クロックとして出力し、該位置信号が前記偶数信号である時は、該第 1 インバータユニットの出力を該同期クロックとして出力するセレクトと

を備える請求項 3 に記載のシリアルコントローラ。

【請求項 5】

前記半サイクル遅延ユニットは、

前記同期クロックを反転させる第 2 インバータユニットと、

該第 2 インバータユニットからの該同期クロックの反転クロックに応じて前記入力データを受信し、該データを前記出力データとして出力するレジスタと

を備える請求項 1 に記載のシリアルコントローラ。

【請求項 6】

前記外部クロックが 1 つの条件を満たす時、リセット信号を前記シリアルレジスタに出力する時間切れ検出器を更に備える請求項 1 に記載のシリアルコントローラ。

【請求項 7】

前記時間切れ検出器が前記リセット信号を出力し、前記外部クロックがハイレベルである時、前記シリアル位置検出器は前記位置信号として前記奇数信号を出力し、そうでなければ、該位置信号として前記偶数信号を出力する請求項 6 に記載のシリアルコントローラ。

【請求項 8】

外部クロックを受信し反転して、反転クロックを出力するインバータと、

入力データを受信する入力接点と、

該外部クロックと該入力データとに応じて奇数信号又は偶数信号である位置信号を出力するシリアル位置検出器と、

該位置信号と該外部クロックとに応じて同期クロックを出力する同期クロック生成器であって、該位置信号が該奇数信号である時は、該同期クロックと該外部クロックは同相であり、該位置信号が該偶数信号である時は、該同期クロックと該外部クロックは逆相である同期クロック生成器と、

受信端と送信端とを有し、該同期クロックに応じて該受信端で受信した信号を一時的に記憶し、該送信端から該信号を出力するシリアルレジスタと、

該入力データと該同期クロックとに応じてリターン命令を含む制御信号を出力する識別ユニットと、

入力点と出力点とを有し、該入力点は該送信端に結合され、該入力点からのデータを該同期クロックの半サイクルだけ遅延させ、該出力点から該データを出力する半サイクル遅延ユニットと、

出力接点と、

該リターン命令を受信した時は、該出力接点を該受信端に結合し、該出力点を該入力接点に結合し、該リターン命令を受信しなかった時は、該入力接点を該受信端に結合し、該出力点を該出力接点に結合するデータ方向付けユニットと

を備える双方向シリアルコントローラ。

【請求項 9】

前記データ方向付けユニットは、

第 1 端、第 2 端、及び第 3 端を有し、該第 1 端は前記入力接点に結合されている入力切替えスイッチと、

第 1 ピン、第 2 ピン、及び第 3 ピンを有し、該第 1 ピンは前記出力接点に結合され、該第 3 ピンは前記出力点と該第 3 端に結合されている出力切替えスイッチと、

第 1 入力端、第 2 入力端、及び出力端を有し、該第 1 入力端は該第 2 ピンに結合され、該第 2 入力端は該第 2 端に結合され、該出力端は該受信端に結合されているセレクトとを備え、

前記リターン命令を受信した時は、該入力切替えスイッチは該第 1 端を該第 3 端に結合し、該出力切替えスイッチは該第 1 ピンを該第 2 ピンに結合し、該セレクトは該第 1 入力端を該出力端に結合し、該リターン命令を受信しなかった時、該入力切替えスイッチは該第 1 端を該第 2 端に結合し、該出力切替えスイッチは該第 1 ピンを該第 3 ピンに結合し、該セレクトは該第 2 入力端を該出力端に結合する請求項 8 に記載の双方向シリアルコントローラ。

10

【請求項 10】

前記位置信号が前記奇数信号である時は、前記同期クロック生成器は前記同期クロックとして前記外部クロックを出力し、該位置信号が前記偶数信号である時は、該同期クロック生成器は該外部クロックを反転させて、該同期クロックとして該外部クロックの反転クロックを出力する請求項 8 に記載の双方向シリアルコントローラ。

【請求項 11】

20

前記同期クロック生成器は、

前記外部クロックを受信し反転させて、該外部クロックの前記反転クロックを出力する第 1 インバータユニットと、

前記位置信号が前記奇数信号である時は、前記外部クロックを前記同期クロックとして出力し、該位置信号が前記偶数信号である時は、該第 1 インバータユニットの出力を該同期クロックとして出力するセレクトと

を備える請求項 10 に記載の双方向シリアルコントローラ。

【請求項 12】

前記半サイクル遅延ユニットは、

前記同期クロックを反転させる第 2 インバータユニットと、

30

該第 2 インバータユニットからの該同期クロックの反転クロックに応じて前記入力点からのデータを受信し、該データを出力するレジスタと

を備える請求項 8 に記載の双方向シリアルコントローラ。

【請求項 13】

前記外部クロックの第 1 の立ち上がりエッジ (R E) において、前記入力データがハイレベルである時、前記シリアル位置検出器は前記位置信号として前記奇数信号を出力し、そうでなければ、該位置信号として前記偶数信号を出力する請求項 8 に記載の双方向シリアルコントローラ。

【請求項 14】

前記外部クロックが 1 つの条件を満たす時、リセット信号を前記シリアルレジスタに出力する時間切れ検出器を更に備える請求項 8 に記載の双方向シリアルコントローラ。

40

【請求項 15】

前記時間切れ検出器が前記リセット信号を出力し、前記外部クロックがハイレベルである時、前記シリアル位置検出器は前記位置信号として前記奇数信号を出力し、そうでなければ、該位置信号として前記偶数信号を出力する請求項 14 に記載の双方向シリアルコントローラ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリアルコントローラ及び双方向シリアルコントローラ、特に、直列の全て

50

のステージにおいて反転クロックで同期してデータ信号を送信するためのシリアルコントローラ及び双方向シリアルコントローラに関する。

【背景技術】

【0002】

近年、省エネルギー及びCO₂放出削減の世界的な問題の高まりとともに、建物屋外照明、装飾照明、又は商業目的のシナリオ照明の構成において、発光ダイオード(LED)が照明装置として広く使用されている。例えば、赤色LED、青色LED、及び緑色LEDにより構成されたRGBクラスタは多様な光と影変化効果を有しているので、このRGBクラスタは様々な照明器具用に通常直列に接続されて、帯状スクリーン、カーテン表示、又は多レベルシリアルスポットライトの壁ウォッシャーライト(長い光ストリングに適10用される)を構成する。

【0003】

この種の照明装置は建物の外観、又は様々な商業要件に応じて通常、設計されるので、照明をする建物の外観の範囲が大きい、又は照明器具の構成が複雑である場合、設計者は多数のスポットライト、LED、及びそれらの駆動クロックを、RGBクラスタの長いストリングを形成するよう直列に接続する必要がある、これにより、より良好な照明効果を実現する。

【0004】

しかし、この直列RGBクラスタの問題が、直列内の各ステージのスポットライトを駆動するための駆動クロックは単一のグローバル信号ではないという点に存在する。即ち、各ステージのスポットライトの駆動クロックは直前のステージのスポットライトの駆動クロックから得られる。従って、直列内の1つのステージの駆動クロック信号に関して、容量効果又は伝送距離における累積効果によって駆動クロックのデューティサイクルがずれると、例えば、駆動クロックのハイレベル信号時間がローレベル信号時間と等しくなくなる。この状況では、多レベルスポットライトを直列に接続することで形成される直列RGBクラスタに関して、スポットライトの駆動クロックの信号波形は後のレベルにおいて、多レベル累積効果によってひどく歪む。20

【0005】

また、直列RGBクラスタの各ステージのスポットライト間の距離はかなり長いので、あるステージのスポットライトを駆動する駆動回路またはスポットライトのLEDにエラーが発生した場合、データ信号はエラー検出を実行するために最後のステージのスポットライトから第1ステージのスポットライトへ戻されなければならない。この方法は直列RGBクラスタのエラー検出効率を低下させるだけでなく、上述したように駆動クロックの波形歪みを引き起こす。30

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記に鑑みて、本発明は、全てのステージのスポットライトを直列に接続し駆動するだけでなく、直列内の全てのステージのスポットライトの駆動クロックの波形歪み問題を解決するシリアルコントローラを提供する。また、本発明は全てのステージのスポットライト間のデータ信号の双方向送信を実現するための双方向シリアルコントローラを提供する。40

【課題を解決するための手段】

【0007】

本発明は外部クロックと入力データとを受信し、反転クロックと出力データとを出力するよう適合したシリアルコントローラを提供する。このシリアルコントローラはインバータと、シリアル位置検出器と、同期クロック生成器と、シリアルレジスタと、半サイクル遅延ユニットとを備える。

【0008】

該インバータは該外部クロックを受信して該反転クロックを出力する。50

【 0 0 0 9 】

該シリアル位置検出器は該外部クロックと該入力データとに応じて奇数信号又は偶数信号である位置信号を出力する。

【 0 0 1 0 】

該同期クロック生成器は該位置信号と該外部クロックとに応じて同期クロックを出力する。該位置信号が該奇数信号である時は、該同期クロックと該外部クロックは同相であり、該位置信号が該偶数信号である時は、該同期クロックと該外部クロックは逆相である。

【 0 0 1 1 】

該シリアルレジスタは同期クロックに応じて該入力データを受信し、一時的に記憶し、次に該データを出力する。

10

【 0 0 1 2 】

該半サイクル遅延ユニットは該シリアルレジスタから該データを受信し、該データを該同期クロックの半サイクルだけ遅延させ、該データを該出力データとして出力する。

【 0 0 1 3 】

本発明は更に双方向シリアルコントローラを提供する。この双方向シリアルコントローラはインバータと、入力接点と、シリアル位置検出器と、同期クロック生成器と、シリアルレジスタと、識別ユニットと、半サイクル遅延ユニットと、出力接点と、データ方向付けユニットとを備える。

【 0 0 1 4 】

該インバータは外部クロックを受信し反転して、反転クロックを出力する。

20

該入力接点は入力データを受信する。

【 0 0 1 5 】

該シリアル位置検出器は該外部クロックと該入力データとに応じて奇数信号又は偶数信号である位置信号を出力する。

【 0 0 1 6 】

該同期クロック生成器は該位置信号と該外部クロックとに応じて同期クロックを出力する。該位置信号が該奇数信号である時は、該同期クロックと該外部クロックは同相であり、該位置信号が該偶数信号である時は、該同期クロックと該外部クロックは逆相である。

【 0 0 1 7 】

該シリアルレジスタは受信端と送信端とを有し、該同期クロックに応じて該受信端で受信した信号を一時的に記憶し、該送信端から該信号を出力する。

30

【 0 0 1 8 】

該識別ユニットは該入力データと該同期クロックとに応じてリターン命令を含む制御信号を出力する。

【 0 0 1 9 】

該半サイクル遅延ユニットは入力点と出力点とを有し、該入力点は該送信端に結合され、該入力点からのデータを該同期クロックの半サイクルだけ遅延させ、該出力点から該データを出力する。

【 0 0 2 0 】

該データ方向付けユニットは、該リターン命令を受信した時は、出力接点を該受信端に結合し、該出力点を該入力接点に結合し、該リターン命令を受信しなかった時は、該入力接点を該受信端に結合し、該出力点を該出力接点に結合する。

40

【 0 0 2 1 】

従って、本発明のシリアルコントローラにより構成される直列クラスタによれば、全てのステージのシリアルコントローラの出力データは入力データと同期して送信される。また、本発明の双方向シリアルコントローラにより構成される双方向直列クラスタによれば、全てのステージの双方向シリアルコントローラのデータは双方向に送信できる（即ち、次のステージに書き込んだり、読み出したり出来る）。

本発明は下記の詳細な説明からより完全に理解されるであろう。下記の説明は例示だけのためであり、本発明を限定するものではない。

50

【図面の簡単な説明】

【 0 0 2 2 】

【図 1 A】本発明の第 1 実施形態に係る直列クラスタの適用を例示する概略構成図である。

【図 1 B】本発明の第 1 実施形態に係る直列クラスタの適用を例示する概略構成図である。

【図 2】本発明の第 1 実施形態に係るシリアルコントローラの機能を例示する概略ブロック図である。

【図 3 A】本発明の第 1 実施形態に係る外部クロックと反転クロックとの概略波形図である。

10

【図 3 B】半サイクルだけ進んだ図 3 A の入力データの概略波形図である。

【図 3 C】本発明の第 1 実施形態に係る直列クラスタの入力データと出力データとの概略波形図である。

【図 4 A】本発明の第 1 実施形態に係る位置信号の決定の概略波形図である。

【図 4 B】本発明の第 1 実施形態に係る位置信号の決定の概略波形図である。

【図 5 A】本発明の第 1 実施形態に係る同期クロックの概略波形図である。

【図 5 B】本発明の第 1 実施形態に係る同期クロックの概略波形図である。

【図 6】本発明の第 1 実施形態に係るシリアルコントローラの回路の詳細を例示する概略図である。

【図 7 A】本発明の第 2 実施形態に係るシリアルコントローラの機能を例示する概略ブロック図である。

20

【図 7 B】本発明の第 3 実施形態に係るシリアルコントローラの機能を例示する概略ブロック図である。

【図 8 A】本発明の第 2 及び第 3 実施形態に係る時間切れ検出器のステートマシンの概略図である。

【図 8 B】本発明の第 2 及び第 3 実施形態に係る時間切れ検出器のステートマシンの概略図である。

【図 8 C】本発明の第 2 及び第 3 実施形態に係る時間切れ検出器のステートマシンの概略図である。

【図 9 A】本発明の第 3 実施形態に係る位置信号の決定の概略波形図である。

30

【図 9 B】本発明の第 3 実施形態に係る位置信号の決定の概略波形図である。

【図 10 A】本発明の第 4 実施形態に係る双方向直列クラスタの適用を例示する概略構成図である。

【図 10 B】本発明の第 4 実施形態に係る双方向直列クラスタの適用を例示する概略構成図である。

【図 11】本発明の第 4 実施形態に係る双方向シリアルコントローラの機能を例示する概略ブロック図である。

【図 12】本発明の第 4 実施形態に係る外部クロックと反転クロックとの概略波形図である。

【図 13】本発明の第 4 実施形態に係る双方向シリアルコントローラの回路の詳細を例示する概略図である。

40

【図 14 A】本発明の第 5 実施形態に係る双方向シリアルコントローラの機能を例示する概略ブロック図である。

【図 14 B】本発明の第 6 実施形態に係る双方向シリアルコントローラの機能を例示する概略ブロック図である。

【発明を実施するための形態】

【 0 0 2 3 】

図 1 A 及び図 1 B は本発明の第 1 実施形態に係る直列クラスタの適用を例示する概略構成図である。シリアルコントローラ 100 は直列クラスタ 1000 に適用され、直列クラスタ 1000 は複数のシリアルコントローラ 100 を備える。本発明の第 1 実施形態のシ

50

リアルコントローラ 100 は、図 1 A に示すように L E D 10、又は図 1 B に示すようにステージライトコントローラ（例えば、D M X 5 1 2 コントローラに類似した機能）を駆動するために使用できる。その用途分野はこれらに限定されない。例えば、直列クラスタ 1000 はシリアルコントローラ 100 を直列に接続し、これらにデータ信号 S D I 0、S D I 1、S D I 2、・・・、S D I n を送信するだけでなく、シリアルコントローラ 100 に送信されるデータ信号を L E D 10 又はステージライトを駆動するためのパルス幅変調（P W M）信号、又は明暗信号、モータ駆動信号等に変換するために使用できる。

【0024】

図 1 A 及び図 1 B において、直列クラスタ 1000 の第 0 ステージのシリアルコントローラ 100 は中央制御ユニットに接続され、データ信号 S D I 0 を受信する。直列クラスタ 1000 の第 1 ステージのシリアルコントローラ 100 は第 0 ステージのシリアルコントローラ 100 に接続され、第 0 ステージのシリアルコントローラ 100 が出力するデータ信号 S D I 1 を入力データ信号として受信する。

【0025】

図 2 は本発明の第 1 実施形態に係るシリアルコントローラの機能を例示する概略ブロック図である。シリアルコントローラ 100 は外部クロック C K I と入力データ S D I を受信し、反転クロック C K O と出力データ S D O を出力する。図 1 A の直列クラスタ 1000 の第 0 ステージのシリアルコントローラ 100 を例にとると、図 2 の外部クロック C K I と反転クロック C K O はそれぞれ図 1 A のクロック信号 C K I 0 と C K I 1 に対応する。図 2 の入力データ S D I と出力データ S D O はそれぞれ図 1 A のデータ信号 S D I 0 と S D I 1 に対応する。以下、例示のために、直列クラスタ 1000 の第 0 ステージのシリアルコントローラ 100 を例にとるが、本発明はこれに限定されない。即ち、直列クラスタ 1000 の任意のステージのシリアルコントローラ 100 が本発明の範囲に入る。第 0 ステージのシリアルコントローラ 100 を実施形態の例示のために例にとる。

【0026】

シリアルコントローラ 100 はインバータ 102、シリアル位置検出器 104、同期クロック生成器 106、シリアルレジスタ 108、及び半サイクル遅延ユニット 110 を備える。

【0027】

インバータ 102 は外部クロック C K I を受信し、図 3 A に示すように反転クロック C K O を出力する。反転クロック C K O の位相は、任意のデューティサイクル T 0、T 1、T 2、T 3 において外部クロック C K I の位相と逆である。

【0028】

直列クラスタ 1000 の任意の隣接する 2 つのステージ間で外部クロック C K I は反転クロック C K O に反転されるので、外部クロック C K I の均等でないデューティサイクルの現象が伝送中に発生すると、この現象は次のステージのシリアルコントローラ 100 により埋め合わされる。この場合、本発明の実施形態によれば、多レベル累積効果によって引き起こされる外部クロック C K I の波形歪みの問題が解決される。

【0029】

シリアル位置検出器 104 は外部クロック C K I と入力データ S D I を受信し、位置信号 P S を出力する。位置信号 P S は奇数信号又は偶数信号である。図 4 A に示すように、外部クロック C K I の第 1 の立ち上がりエッジ R E で、シリアル位置検出器 104 が入力データ S D I はローレベルであることを検出すると、シリアル位置検出器 104 は位置信号 P S として偶数信号を出力する。そうでなければ、図 4 B に示すように、外部クロック C K I の第 1 の立ち上がりエッジ R E で、シリアル位置検出器 104 が入力データ S D I はハイレベルであることを検出すると、シリアル位置検出器 104 は位置信号 P S として奇数信号を出力する。本発明の第 1 実施形態のシリアルコントローラ 100 によれば、奇数信号と偶数信号はそれぞれシリアルコントローラ 100 が直列クラスタ 1000 内のどのステージに位置しているか、奇数伝送ステージ（第 1 ステージ、第 3 ステージ、・・・）か又は偶数伝送ステージ（第 0 ステージ、第 2 ステージ、・・・）かを示す。

【 0 0 3 0 】

同期クロック生成器 1 0 6 は位置信号 P S と外部クロック C K I とに応じて同期クロック I T L C K を出力する。例えば、シリアル位置検出器 1 0 4 が出力する位置信号 P S が奇数信号である時は、図 5 A に示すように同期クロック I T L C K と外部クロック C K I は同相であり、位置信号 P S が偶数信号である時は、図 5 B に示すように同期クロック I T L C K と外部クロック C K I は逆相である。

【 0 0 3 1 】

図 6 は本発明の第 1 実施形態に係るシリアルコントローラ 1 0 0 の回路の詳細を例示する概略図である。同期クロック生成器 1 0 6 は第 1 インバータユニット 5 0 2 とセクタ 5 0 4 とを備え、第 1 インバータユニット 5 0 2 は外部クロック C K I を受信し反転させて、外部クロック C K I の反転クロックをセクタ 5 0 4 へ出力する。セクタ 5 0 4 の 2 つの入力端はそれぞれ第 1 インバータユニット 5 0 2 と外部クロック C K I に接続され、セクタ 5 0 4 は外部クロック C K I か又は第 1 インバータユニット 5 0 2 からの外部クロック C K I の反転クロックを選択的に出力する。上述したように、位置信号 P S が奇数信号である時は、セクタ 5 0 4 は外部クロック C K I を同期クロック I T L C K として出力し、位置信号 P S が偶数信号である時は、セクタ 5 0 4 は第 1 インバータユニット 5 0 2 の出力（即ち、外部クロック C K I の反転クロック）を同期クロック I T L C K として出力する。従って、シリアルコントローラ 1 0 0 がどこに（直列クラスタ 1 0 0 0 内の奇数伝送ステージか又は偶数伝送ステージか）位置していようと、同期クロック生成器 1 0 6 は伝送ステージ位置に拘わらない同期クロック I T L C K を生成する。従って、同期クロック I T L C K は、第 0 ステージ（又は偶数伝送ステージ）のシリアルコントローラ 1 0 0 が受信するクロックと 1 8 0 度の位相差を有する。これにより、データ伝送において十分なセットアップ時間とホールド時間が保証される。

【 0 0 3 2 】

シリアルレジスタ 1 0 8 は同期クロック I T L C K に応じて入力データ S D I を受信し、一時的に記憶し、直列の全てのステージ間のデータ伝送を完了するために入力データ S D I を半サイクル遅延ユニット 1 1 0 へ出力する。また、図 1 A 及び図 1 B に示すように、シリアルコントローラ 1 0 0 が L E D 1 0 又はステージライトコントローラ（D M X 5 1 2）を駆動するための駆動回路として使用される場合、シリアルレジスタ 1 0 8 は記憶する入力データ S D I をバッファ（即ち、シリアルレジスタ 1 0 8 内の入力データ S D I をバッファレジスタにバッファする）し、該データを P W M 信号として出力する、即ち、該バッファレジスタ内のデータを L E D 1 0 を駆動するための P W M 信号、又は他の電子部品を駆動するための（例えば、ステージライトが所定の機能を実行するよう駆動するための）明暗信号、モータ駆動信号等に変換してもよい。

【 0 0 3 3 】

反転クロック C K O の位相は外部クロック C K I の位相と逆（即ち、各ステージのシリアルコントローラ 1 0 0 の入力クロックの位相はその直前のステージのシリアルコントローラ 1 0 0 の入力クロックの位相と逆）であるので、各ステージのシリアルコントローラ 1 0 0 の出力データ S D O は次のステージのシリアルコントローラ 1 0 0 に半サイクル早く到着する。

【 0 0 3 4 】

図 3 B に示すように、デューティサイクル T 1 におけるクロック信号 C K I 1 の立ち上がりエッジ F E で入力データ S D I 1 が出力され、第 1 ステージのシリアルコントローラ 1 0 0 に半サイクル早く到着する。このため、直列クラスタ 1 0 0 0 内に多数のシリアルコントローラ 1 0 0 が直列に接続されている場合、第 n ステージのシリアルコントローラ 1 0 0 の出力データ S D O は、次のステージのシリアルコントローラ 1 0 0 に $n / 2$ サイクル早く到着する。この問題を解決するために、本発明の第 1 実施形態によれば、半サイクル遅延ユニット 1 1 0 はシリアルレジスタ 1 0 8 から入力データ S D I を受信し、入力データ S D I を同期クロック I T L C K の半サイクルだけ遅延させ、該データを出力データ S D O として出力する。

【 0 0 3 5 】

図 6 に示すように、本発明の第 1 実施形態によれば、半サイクル遅延ユニット 1 1 0 は第 2 インバータユニット 6 0 2 とレジスタ 6 0 4 とを備える。第 2 インバータユニット 6 0 2 は同期クロック I T L C K を受信し反転させて、同期クロック I T L C K の反転クロックをレジスタ 6 0 4 へ出力する。レジスタ 6 0 4 の一端は入力データ S D I を受信し、同期クロック I T L C K の反転クロックによりトリガーされて出力データ S D O を出力する。従って、半サイクル遅延ユニット 1 1 0 はシリアルレジスタ 1 0 8 から出力される信号（即ち、半サイクル遅延ユニット 1 1 0 が受信する信号）を同期クロック I T L C K の半サイクルだけ遅延させる（即ち、前記 F E は半サイクルだけ遅延される）。このようにして、レジスタ 6 0 4 から出力される出力データ S D O と反転クロック C K O は同期しているの、直列クラスタ 1 0 0 0 の全てのステージのシリアルコントローラ 1 0 0 の出力データ S D O は入力データ S D I と同期するという目的が達成される。

10

【 0 0 3 6 】

図 1 A、図 1 B、及び図 3 C を一緒に参照すると、直列クラスタ 1 0 0 0 の第 0 ステージのシリアルコントローラ 1 0 0 の入力データ S D I 0 が、デューティサイクル T 1 において第 1 ステージのシリアルコントローラ 1 0 0 に送信されると、第 1 ステージのシリアルコントローラ 1 0 0 はその入力データ S D I 1 をデューティサイクル T 2 において受信し、全てのステージのシリアルコントローラ 1 0 0 の同期送信という目的が達成される。

【 0 0 3 7 】

次に、直列クラスタ 1 0 0 0 において、全てのステージのシリアルコントローラ 1 0 0 間でシリアル送信が実施され、データ信号（入力データ S D I と出力データ S D O ）が 1 つのステージから別のステージへ伝送されるので、各ステージのシリアルコントローラ 1 0 0 は該データ信号が復号機構を介して該ステージのシリアルコントローラ 1 0 0 に供給されているか否かを識別する必要がある。直列クラスタ 1 0 0 0 が長距離伝送においてノイズによって妨害されるか、又はホットプラグ等の状況に遭遇した時、シリアルコントローラ 1 0 0 の復号機構にエラーが発生し、混乱を引き起こす可能性がある。この問題を解決するために、本発明の第 2 実施形態によれば、図 7 A に示すように、シリアルコントローラ 1 0 0 a は外部クロック C K I を受信し、ホットプラグ又はノイズ妨害が発生してもシリアルコントローラ 1 0 0 a はリセット信号 R E S E T によりトリガーされ復号機構を再開できるようある条件を外部クロック C K I が満たす時、リセット信号 R E S E T をシリアルレジスタ 1 0 8 へ出力するための時間切れ検出器 7 0 0 を更に備えてもよい。

20

30

【 0 0 3 8 】

図 8 A は本発明の第 2 実施形態に係る時間切れ検出器 7 0 0 のステートマシンの概略図である。時間切れ検出器 7 0 0 はステップ S 8 0 2、S 8 0 4、S 8 0 6、S 8 0 8、S 8 1 0、及び S 8 1 2 を実行する。時間切れ検出器 7 0 0 は、先ずステップ S 8 0 2 を実行し、外部クロック C K I を待つ、外部クロック C K I が生成されると、ステップ S 8 0 4 において、時間切れ検出器 7 0 0 は生成された外部クロック C K I と直前の外部クロック C K I との時間間隔が第 1 の所定時間に達したか否かを検出する。達していれば、ステップ S 8 0 6 において、時間切れ検出器 7 0 0 は次の外部クロック C K I を待ち続ける。そうでなければ、ステップ S 8 0 2 に戻り、ステートマシンを再スタートさせる。

40

【 0 0 3 9 】

ステップ S 8 0 6 において、時間切れ検出器 7 0 0 が次の外部クロック C K I を待ち続け、ステップ S 8 0 8 において、待ち時間が第 2 の所定時間に達したか否かを検出する。達していれば、時間切れ検出器 7 0 0 はステップ S 8 1 2 を実行しリセット信号 R E S E T を出力する。そうでなければ、時間切れ検出器 7 0 0 はステップ S 8 1 0 に入り外部クロック C K I が生成されたか否かを検出する。外部クロック C K I が既に生成されていれば、時間切れ検出器 7 0 0 はステップ S 8 0 2 に戻り、ステートマシンを再スタートさせる。外部クロック C K I がまだ生成されていなければ、時間切れ検出器 7 0 0 はステップ S 8 0 6 に戻り、待ち続ける。

【 0 0 4 0 】

50

例えば、図 8 B 及び図 8 C を一緒に参照すると、図 8 B は時間切れ検出器 700 のステートマシンがステップ S802、S804、S806、S808、S812 を辿りリセット信号 R E S E T を出力するのを例示する相対シーケンス波形図である。図 8 C は時間切れ検出器 700 のステートマシンがステップ S802、S804、S806、S808、S810 を辿りステップ S802 に戻ってステートマシンを再スタートさせる（2 つの連続する外部クロック間の時間間隔が第 2 の所定時間に達しなかったため、時間切れ検出器 700 はステップ S808、S810 を辿りステップ S802 に戻る）のを例示する。第 1 及び第 2 の所定時間はユーザにより設定されてもよい。例えば、第 1 の所定時間は 100 クロックサイクル、第 2 の所定時間は 50 クロックサイクル等であってもよい。

【0041】

10

図 7 B は本発明の第 3 実施形態に係るシリアルコントローラ 100 b の機能を例示する概略ブロック図である。時間切れ検出器 700 とシリアル位置検出器 104 が 1 つの回路ブロックに一体化され、回路の製造コストとチップの使用面積を低減する。ここで、シリアル位置検出器 104 は直列クラスタ 1000 内のシリアルコントローラ 100 の位置を、リセット信号 R E S E T と外部クロック C K I の検出により検出する。

【0042】

例えば、図 9 A を参照すると、時間切れ検出器 700 がリセット信号 R E S E T を生成し、シリアル位置検出器 104 が外部クロック C K I はハイレベルであることを検出すると、シリアル位置検出器 104 は位置信号 P S として奇数信号を出力する。そうでなければ、図 9 B に示すように、時間切れ検出器 700 がリセット信号 R E S E T を生成し、シリアル位置検出器 104 が外部クロック C K I はローレベルであることを検出すると、シリアル位置検出器 104 は位置信号 P S として偶数信号を出力する。

20

【0043】

従って、本発明の第 3 実施形態のシリアルコントローラ 100 b において、時間切れ検出器 700 はシリアル位置検出器 104 と一体化され、1 つの回路ブロックという目的を達成する。また、直列クラスタ 1000 内のシリアルコントローラ 100 の位置を、リセット信号 R E S E T に従って検出する方法を提供する。

【0044】

隣接する 2 つのシリアルコントローラ 100 間の双方向データ送信を実現するために、図 10 A 及び図 10 B は本発明の第 4 実施形態に係る双方向直列クラスタの適用を例示する概略構成図である。双方向シリアルコントローラ 900 は双方向直列クラスタ 9000 に適用され、双方向直列クラスタ 9000 は複数の双方向シリアルコントローラ 900 を備える。本発明の第 4 実施形態の双方向シリアルコントローラ 900 は、図 10 A に示すように L E D 10、又は図 10 B に示すようにステージライトコントローラ（例えば、D M X 512 コントローラに類似した機能）を駆動するために使用できる。その用途分野はこれらに限定されない。例えば、双方向直列クラスタ 9000 は全てのステージの双方向シリアルコントローラ 900 を直列に接続し、これらの間でデータ信号 S D I 0、S D I 1、S D I 2、・・・、S D I n を双方向に送信するだけでなく、全てのステージの双方向シリアルコントローラ 900 に送信されるデータ信号 S D I 0、S D I 1、S D I 2、・・・、S D I n を L E D 10 又はステージライトを駆動するための P W M 信号、又は明暗信号、モータ駆動信号等に変換するために使用できる。

30

40

【0045】

図 11 は本発明の第 4 実施形態に係る双方向シリアルコントローラ 900 の機能を例示する概略ブロック図である。双方向シリアルコントローラ 900 はインバータ 902、入力接点 903、シリアル位置検出器 904、同期クロック生成器 906、シリアルレジスタ 908、識別ユニット 909、半サイクル遅延ユニット 910、出力接点 911、及びデータ方向付けユニット 912 を備える。

【0046】

インバータ 902 は外部クロック C K I を受信し、反転クロック C K O を出力する（図 12 に示す）。反転クロック C K O の位相は、任意のデューティサイクル T 0、T 1、T

50

2、T3において外部クロックCKIの位相と逆である。

【0047】

入力接点903は入力データSDIを受信する。シリアル位置検出器904は外部クロックCKIと入力データSDIを受信し、位置信号PSを出力する。位置信号PSは奇数信号又は偶数信号である。シリアル位置検出器904が出力する位置信号PSが奇数信号か又は偶数信号かを決定する方法は、第1及び第2実施形態と同じである。即ち、外部クロックCKIの第1の立ち上がりエッジREで、入力データSDIがハイレベルか又はローレベルかを検出する。また、双方向シリアルコントローラ900の位置が双方向直列クラスタ9000の奇数伝送ステージか又は偶数伝送ステージかを検出する方法は、第3実施形態で説明したような双方向シリアルコントローラ900のリセット信号RESETによる検出であってもよい。

10

【0048】

同期クロック生成器906は位置信号PSと外部クロックCKIとに応じて同期クロックITLKを出力する。例えば、シリアル位置検出器904が出力する位置信号PSが奇数信号である時は、同期クロックITLKと外部クロックCKIは同相であり、位置信号PSが偶数信号である時は、同期クロックITLKと外部クロックCKIは逆相である。

【0049】

図13は本発明の第4実施形態に係る双方向シリアルコントローラ900の回路の詳細を例示する概略図である。同期クロック生成器906は第1インバータユニット1202とセクタ1204とを備え、第1インバータユニット1202は外部クロックCKIを受信し反転させて、外部クロックCKIの反転クロックをセクタ1204へ出力する。セクタ1204の2つの入力端はそれぞれ第1インバータユニット1202と外部クロックCKIに接続され、セクタ1204は外部クロックCKIか又は第1インバータユニット1202からの外部クロックCKIの反転クロックを選択的に出力する。上述したように、位置信号PSが奇数信号である時は、セクタ1204は外部クロックCKIを同期クロックITLKとして出力し、位置信号PSが偶数信号である時は、セクタ1204は第1インバータユニット1202の出力（即ち、外部クロックCKIの反転クロック）を同期クロックITLKとして出力する。従って、双方向シリアルコントローラ900がどこに（双方向直列クラスタ9000内の奇数伝送ステージか又は偶数伝送ステージか）位置していようと、同期クロック生成器906は伝送ステージ位置に拘わらない同期クロックITLKを生成する。従って、同期クロックITLKは、第0ステージ（又は偶数伝送ステージ）の双方向シリアルコントローラ900が受信するクロックと180度の位相差を有する。これにより、データ伝送において十分なセットアップ時間とホールド時間が保証される。

20

30

【0050】

シリアルレジスタ908は受信端91と送信端92とを有し、同期クロックITLKに応じて受信端91で受信した信号を一時的に記憶し、送信端92から該信号を出力する。上記実施形態で説明したように、図10A及び図10Bに示すように、双方向シリアルコントローラ900がLED10又はステージライトコントローラ（DMX512）を駆動するための駆動回路として使用される場合、シリアルレジスタ908は記憶する入力データSDIをバッファ（即ち、シリアルレジスタ908内の入力データSDIをバッファレジスタにバッファする）し、該データをPWM信号として出力する、即ち、該バッファレジスタ内のデータをLED10を駆動するためのPWM信号、又は他の電子部品を駆動するための（例えば、ステージライトが所定の機能を実行するよう駆動するための）明暗信号、モータ駆動信号等に変換してもよい。

40

【0051】

半サイクル遅延ユニット910は入力点93と出力点94とを有し、入力点93は送信端92に結合され、半サイクル遅延ユニット910は入力点93からのデータを同期クロックITLKの半サイクルだけ遅延させ、出力点94から該データを出力する。図13

50

に示すように、半サイクル遅延ユニット 9 1 0 は第 2 インバータユニット 1 3 0 2 とレジスタ 1 3 0 4 とを備える。第 2 インバータユニット 1 3 0 2 は同期クロック I T L C K を受信し反転させて、同期クロック I T L C K の反転クロックをレジスタ 1 3 0 4 へ出力する。レジスタ 1 3 0 4 の一端は入力点 9 3 に接続され、同期クロック I T L C K の反転クロックによりトリガーされて入力点 9 3 の信号を出力点 9 4 に出力する。従って、半サイクル遅延ユニット 9 1 0 は送信端 9 2 からの信号（即ち、入力点 9 3 で受信した信号）を同期クロック I T L C K の半サイクルだけ遅延させ、該信号を出力点 9 4 から出力する。これにより、出力点 9 4 の出力信号は入力データ S D I と同期するという目的が達成される。

【 0 0 5 2 】

識別ユニット 9 0 9 はデータ方向付けユニット 9 1 2（初期状態では、データ方向付けユニット 9 1 2 の出力データが入力データ S D I となるよう次のステージの送信点へデータを書き込むよう設定される）の出力データと同期クロック I T L C K とを受信し、これに応じて制御信号 C S を出力する。制御信号 C S はリターン命令 R e a d m o d e を含む。例えば、入力データ S D I は情報タグ H e a d e r を含み、識別ユニット 9 0 9 は入力データ S D I の情報タグ H e a d e r を復号することで、入力データ S D I を次のステージの双方向シリアルコントローラ 9 0 0 に送信し書き込むか又は現ステージの双方向シリアルコントローラ 9 0 0 の状態値を読むかを識別する。チップ使用面積を低減するために、設計者は回路設計時、識別ユニット 9 0 9 とシリアルレジスタ 9 0 8 とを 1 つの回路ブロックとして一体化して、回路の製造コストを低減してもよい。

【 0 0 5 3 】

リターン命令 R e a d m o d e を受信した時、データ方向付けユニット 9 1 2 は出力接点 9 1 1 をシリアルレジスタ 9 0 8 の受信端 9 1 に結合し（即ち、出力接点 9 1 1 の信号を受信端 9 1 に届ける）、半サイクル遅延ユニット 9 1 0 の出力点 9 4 を入力接点 9 0 3 に結合して、出力接点 9 1 1 の信号を入力接点 9 0 3 に同期して戻す。

【 0 0 5 4 】

データ方向付けユニット 9 1 2 がリターン命令 R e a d m o d e を受信しなかった時、データ方向付けユニット 9 1 2 は入力接点 9 0 3 をシリアルレジスタ 9 0 8 の受信端 9 1 に結合し、半サイクル遅延ユニット 9 1 0 の出力点 9 4 を出力接点 9 1 1 に結合して、入力接点 9 0 3 の入力データ S D I を双方向直列クラスタ 9 0 0 0 内の次のステージの双方向シリアルコントローラ 9 0 0 に同期して書き込む。

【 0 0 5 5 】

データ方向付けユニット 9 1 2 は入力切替えスイッチ（入力双方向バッファ）1 4 2、出力切替えスイッチ（出力双方向バッファ）1 4 4、及びセクタ 1 4 6 とを備える。入力切替えスイッチ 1 4 2 は第 1 端 4 1、第 2 端 4 2、及び第 3 端 4 3 を有し、第 1 端 4 1 は入力接点 9 0 3 に結合されている。出力切替えスイッチ 1 4 4 は第 1 ピン 5 1、第 2 ピン 5 2、及び第 3 ピン 5 3 を有し、第 1 ピン 5 1 は出力接点 9 1 1 に結合され、第 3 ピン 5 3 は出力点 9 4 と第 3 端 4 3 に結合されている。セクタ 1 4 6 は第 1 入力端 6 1、第 2 入力端 6 2、及び出力端 6 3 を有し、第 1 入力端 6 1 は第 2 ピン 5 2 に結合され、第 2 入力端 6 2 は第 2 端 4 2 に結合され、出力端 6 3 は受信端 9 1 に結合されている。

【 0 0 5 6 】

更に説明すると、データ方向付けユニット 9 1 2 はリターン命令 R e a d m o d e を受信した時、入力切替えスイッチ 1 4 2 は第 1 端 4 1 を第 3 端 4 3 に結合し、出力切替えスイッチ 1 4 4 は第 1 ピン 5 1 を第 2 ピン 5 2 に結合し、セクタ 1 4 6 は第 1 入力端 6 1 を出力端 6 3 に結合して、第 1 ピン 5 1（即ち、出力接点 9 1 1）の信号を第 1 端 4 1（即ち、入力接点 9 0 3）に同期して戻す。

【 0 0 5 7 】

データ方向付けユニット 9 1 2 がリターン命令 R e a d m o d e を受信しなかった時、入力切替えスイッチ 1 4 2 は第 1 端 4 1 を第 2 端 4 2 に結合し、出力切替えスイッチ 1 4 4 は第 1 ピン 5 1 を第 3 ピン 5 3 に結合し、セクタ 1 4 6 は第 2 入力端 6 2 を出力端 6

10

20

30

40

50

3に結合して、第1端41(即ち、入力接点903)の信号を第1ピン51(即ち、出力接点911)に同期して書き込み、双方向直列クラスタ900内の次のステージの双方向シリアルコントローラ900の入力データSDIとする。

【0058】

また、双方向直列クラスタ900が長距離伝送においてノイズによって妨害されるか、又はホットプラグ等の状況に遭遇した時、双方向シリアルコントローラ900の復号機構にエラーが発生し、混乱を引き起こす場合がある。この問題を解決するために、本発明の第5実施形態によれば、図14Aに示すように、双方向シリアルコントローラ900aは外部クロックCKIを受信し、ホットプラグ又はノイズ妨害が発生しても双方向シリアルコントローラ900aはリセット信号RESETによりトリガーされ復号機構を再開できるような条件を外部クロックCKIが満たす時、リセット信号RESETをシリアルレジスタ908へ出力するための時間切れ検出器1500を更に備えてもよい。時間切れ検出器1500のステートマシンの概略図は第2及び第3実施形態の時間切れ検出器700のものと同一であるので、重複する詳細説明を省略する。

【0059】

本発明の第3実施形態(図7Bを参照)と同様に、回路の製造コストとチップの使用面積を低減するために、図14Bを参照すると、本発明の第6実施形態の双方向シリアルコントローラ900bによれば、時間切れ検出器1500はシリアル位置検出器904と1つの回路ブロックに一体化される。従って、シリアル位置検出器904は双方向シリアルコントローラ900の位置が双方向直列クラスタ900の奇数伝送ステージか偶数伝送ステージかを、リセット信号RESETと外部クロックCKIの検出により検出する。この検出方法は本発明の第3実施形態の検出方法と同じであり、重複する詳細説明を省略する。

【0060】

従って、本発明の第1実施形態によれば、全てのステージのシリアルコントローラ100は直列に接続されて直列クラスタ1000を構成し、同期クロック生成器106はシリアルコントローラ100の伝送ステージに関連しない同期クロックITLCKを生成する。また、シリアルコントローラ100は半サイクル遅延ユニット110を使用して長距離列の全てのステージのシリアルコントローラ100のデータ信号の同期送信を実現してもよい。また、本発明の第4実施形態の双方向シリアルコントローラ900によれば、全てのステージの双方向シリアルコントローラ900間のデータ信号双方向送信が実現されるので、双方向シリアルコントローラ900が異常動作した時の双方向直列クラスタ900のエラー検出効率が向上する。

【符号の説明】

【0061】

- 10 LED
- 100 シリアルコントローラ
- 102 インバータ
- 104 シリアル位置検出器
- 106 同期クロック生成器
- 108 シリアルレジスタ
- 110 半サイクル遅延ユニット
- 1000 直列クラスタ

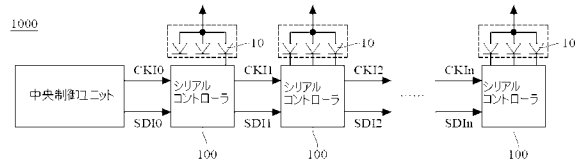
10

20

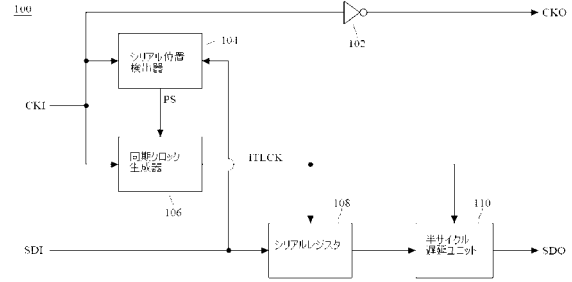
30

40

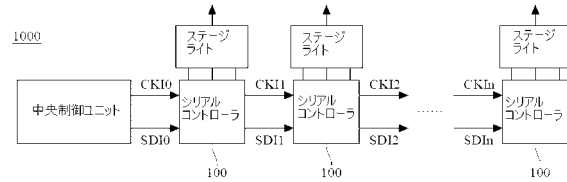
【図 1 A】



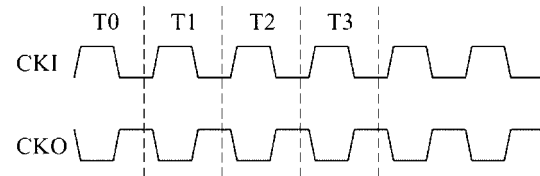
【図 2】



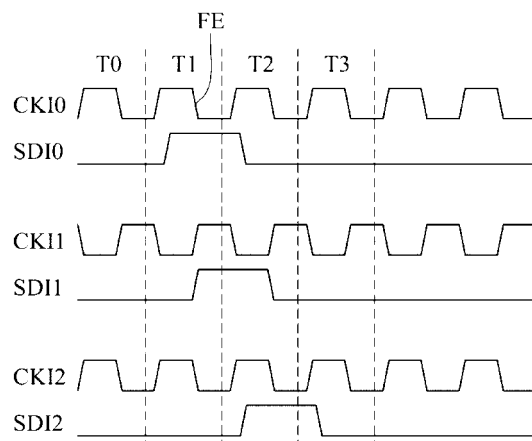
【図 1 B】



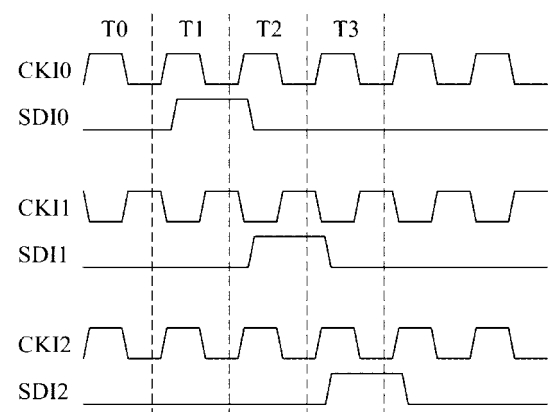
【図 3 A】



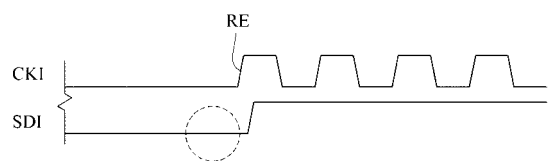
【図 3 B】



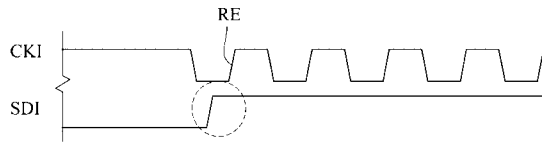
【図 3 C】



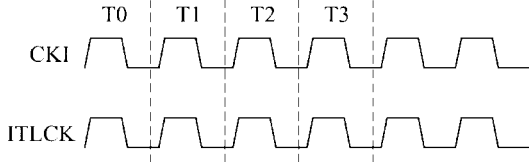
【図 4 A】



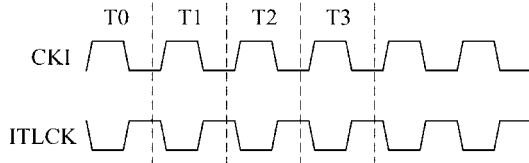
【図4B】



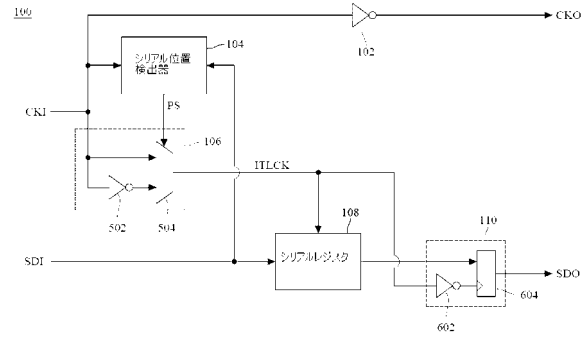
【図5A】



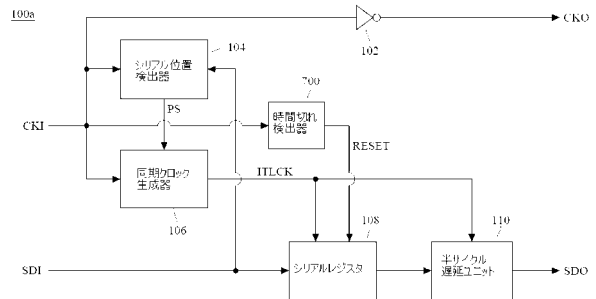
【図5B】



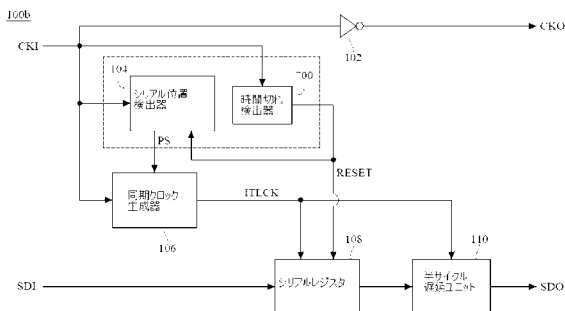
【図6】



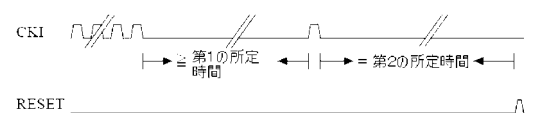
【図7A】



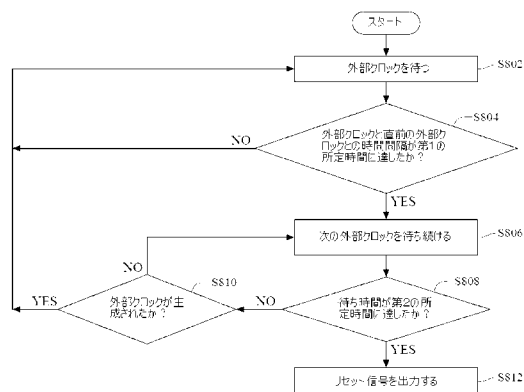
【図7B】



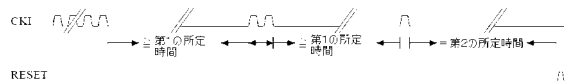
【図8B】



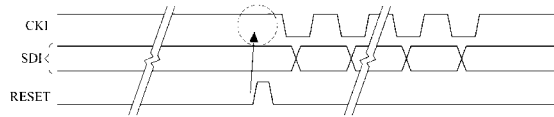
【図8A】



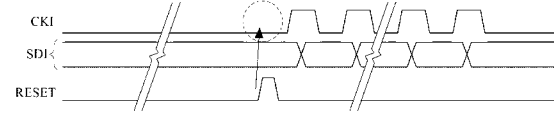
【図8C】



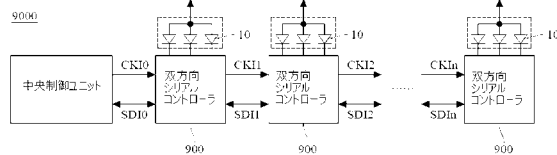
【図 9 A】



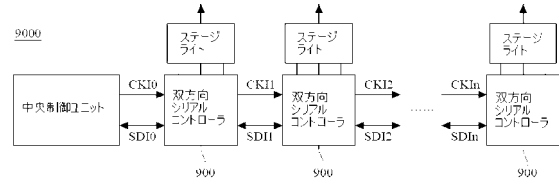
【図 9 B】



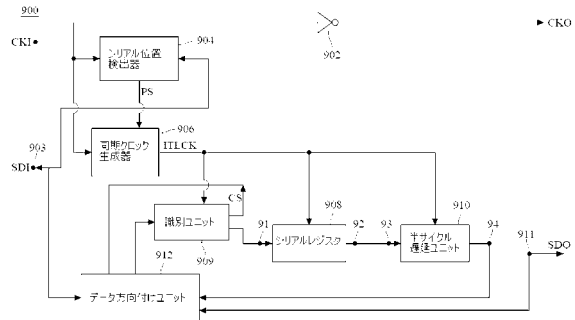
【図 10 A】



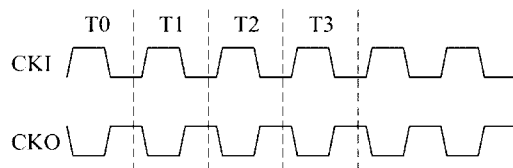
【図 10 B】



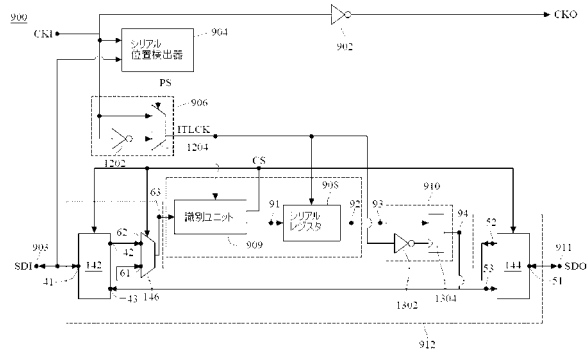
【図 11】



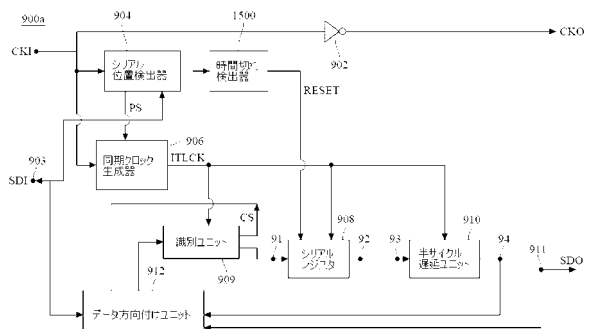
【図 12】



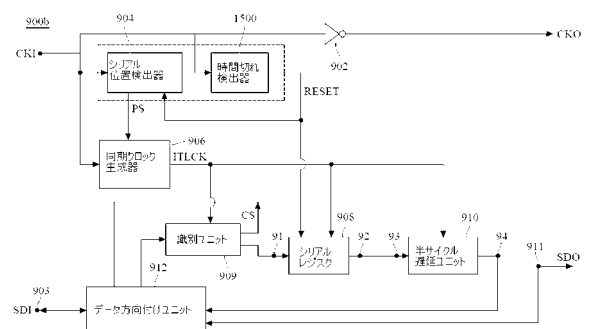
【図 13】



【図 14 A】



【図 14 B】



フロントページの続き

(56)参考文献 特開2003-345310(JP,A)
特開2002-313092(JP,A)
特開昭62-245872(JP,A)
特開昭62-246200(JP,A)
特開2010-141495(JP,A)
特開2003-295836(JP,A)
特開2001-202052(JP,A)
特開2006-181742(JP,A)
特開2008-044148(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F	13/42
G06F	13/38
H04L	25/38
G09G	3/00
G02F	1/00