(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2017 年 5 月 18 日 (18.05.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/080014 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2015/097679

(22) 国际申请日: 2015 年 12 月 17 日 (17.12.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510764877.2 2015 年 11 月 11 日 (11.11.2015) CN

(71) 申请人: **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: **张华 (ZHANG, Hua)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: **广州三环专利代理有限公司 (GUANGZHOU SCIHEAD PATENT AGENT CO., LTD.)**; 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) **Title**: MURA-COMPENSATING DATA WRITING DEVICE

(54) **发明名称** : 一种 Mura 补偿数据写入装置及方法

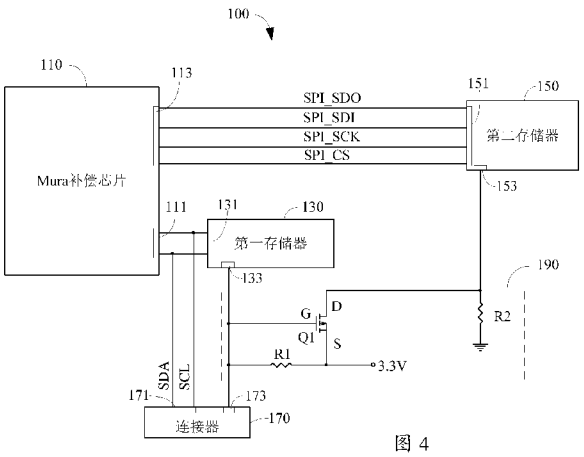


图 4

110 MURA-COMPENSATING CHIP
130 FIRST MEMORY
150 SECOND MEMORY
170 CONNECTOR

(57) **Abstract**: A mura-compensating data writing device, comprising a mura-compensating chip (110), a first memory (130), a second memory (150), a connector (170) and a control circuit (190). The mura-compensating chip (110) is connected to the first memory (130), the second memory (150) and the connector (170). The connector (170) is electrically connected to the first memory (130), and through the control circuit (190) is electrically connected to the second memory (150). The first memory (130) and the second memory (150) each comprise two states of write-enable and write-protection. The control circuit (190) is for controlling the second memory (150) and the first memory (130) to be in different operating states. The connector (170) is for writing first data to the first memory (130) when the first memory (130) enters the write-enable state, and writing second data to the second memory (150) via the mura-compensating chip (110) when the second memory (150) enters the write-enable state. Further disclosed is a mura-compensating data writing method. The mura-compensating data writing device can simplify the mura-compensating data writing process and increase writing efficiency.

(57) **摘要**:

[见续页]

WO 2017/080014 A1

一种 Mura 补偿数据写入装置，包括 Mura 补偿芯片（110）、第一存储器（130）、第二存储器（150）、连接器（170）及控制电路（190）。该 Mura 补偿芯片（110）与第一存储器（130）、第二存储器（150）及连接器（170）连接，连接器（170）与第一存储器（130）电性连接，并通过控制电路（190）与第二存储器（150）电性连接，第一存储器（130）与第二存储器（150）均包括允许写入和写入保护两种状态，控制电路（190）用于控制第二存储器（150）与第一存储器（130）处于不同的工作状态，连接器（170）用于在第一存储器（130）进入允许写入状态时向第一存储器（130）写入第一数据，并在第二存储器（150）进入允许写入状态时，通过 Mura 补偿芯片（110）向第二存储器（150）写入第二数据。另，还公开了一种 Mura 补偿数据写入方法。该 Mura 补偿数据写入装置可以简化 Mura 补偿数据写入过程并提升写入效率。

一种 Mura 补偿数据写入装置及方法

本发明要求 2015 年 11 月 11 日递交的发明名称为“一种 Mura 补偿数据写入装置及方法”的申请号（201510764877.2）的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

技术领域

本发明涉及液晶显示技术领域，尤其涉及一种 Mura 补偿数据写入装置及方法。

背景技术

由于液晶显示器（Liquid Crystal Display，LCD）制程上的瑕疵，可能会导致生产出来的 LCD 面板亮度不均匀，形成各种各样的 Mura（斑纹）缺陷。为了提升 LCD 面板亮度均匀性，目前已有 Mura 补偿方法，即通过相机拍摄出灰阶画面（不同亮度的纯白画面）的 Mura 形态，通过对比 LCD 面板中心位置的亮度，计算出 LCD 面板四周区域与中心位置亮度的差异，然后通过反向补偿 Mura 位置的灰阶值，使 LCD 面板整体达到比较一致的亮度。例如，在比中心位置亮的区域，降低灰阶值，从而使该区域的亮度变暗；在比中心位置暗的区域，提高灰阶值，从而使该区域的亮度变亮。

目前市面上支持全高清（Full High Definition，FHD）分辨率（1920 × 1080）的时序控制（Timing Controller，TCON）芯片，并未整合 Mura 补偿功能。因此，在 FHD 分辨率 LCD 面板中，大都是通过一颗独立的 Mura 补偿芯片与 TCON 芯片相配合来完成 Mura 补偿功能。如图 1 和图 2 所示，通过对 Mura 补偿芯片输入 LCD 面板的原始灰阶数据，Mura 补偿芯片计算出 LCD 面板四周区域与中心位置亮度的差异，并从 FLASH 存储器中读取相应的 Mura 补偿数据，进而控制所述 TCON 芯片输出 Mura 补偿后的灰阶数据，实现对 LCD 面板的 Mura 补偿。在上述方案中，Mura 补偿芯片需要搭配两颗数据存储器：一颗为 I2C（Inter-Integrated Circuit）接口的电可擦可编程只读存储器（Electrically Erasable Programmable Read-Only Memory，EEPROM），用于存储 Mura 补偿

芯片的设定参数；另一颗为串行外设接口（Serial Peripheral Interface，SPI）的FLASH 存储器，用于存储 Mura 补偿数据。如图 3 所示，在对所述两颗数据存储器进行数据写入时，需要采用两个不同的连接器及两个不同的数据文档来对所述两颗数据存储器分别进行数据写入，使得数据写入过程复杂，且耗时较长。

发明内容

鉴于现有技术中存在的上述问题，本发明提供一种 Mura 补偿数据写入装置，通过复用一个连接器，实现 Mura 补偿芯片的设定参数及 Mura 补偿数据的写入，以简化 Mura 补偿数据写入过程，提升数据写入效率，并降低生产成本。

另，本发明还提供一种 Mura 补偿数据写入方法。

一种 Mura 补偿数据写入装置，包括 Mura 补偿芯片、第一存储器、第二存储器、连接器及控制电路，所述 Mura 补偿芯片与所述第一存储器、第二存储器及连接器电性连接，所述连接器与所述第一存储器电性连接，并通过所述控制电路与所述第二存储器电性连接，所述第一存储器与第二存储器均包括允许写入状态和写入保护状态两种工作状态，所述控制电路用于控制所述第二存储器与所述第一存储器处于不同的工作状态，所述连接器用于在所述第一存储器进入允许写入状态时向所述第一存储器写入第一数据，并在所述第二存储器进入允许写入状态时，通过所述 Mura 补偿芯片向所述第二存储器写入第二数据。

其中，所述 Mura 补偿芯片包括第一通信接口，所述第一存储器包括第一读写接口及第一保护接口，所述连接器包括数据输入接口及读写控制接口；所述第一通信接口与所述第一读写接口连接；所述数据输入接口与所述第一通信接口及第一读写接口连接；所述读写控制接口与所述第一保护接口连接。

其中，所述 Mura 补偿芯片还包括第二通信接口，所述第二存储器包括第二读写接口及第二保护接口，所述第二通信接口与所述第二读写接口连接，所述读写控制接口通过所述控制电路与所述第二保护接口连接，所述控制电路用于控制所述第二存储器与所述第一存储器处于不同的工作状态。

其中，所述控制电路包括晶体管、第一电阻及第二电阻，所述晶体管包括

栅极、源极及漏极，所述栅极与所述读写控制接口连接；所述源极用于接入第一电平的控制信号；所述第一电阻一端与所述源极连接，另一端与所述读写控制接口连接；所述漏极与所述第二保护接口连接；所述第二电阻一端与所述漏极及所述第二保护接口连接，另一端接地。

其中，所述晶体管为 P 型金属-氧化物半导体场效应晶体管。

其中，所述第一读写接口用于向所述第一存储器写入所述第一数据；所述第一保护接口用于接入第一电平或第二电平的控制信号，当所述第一保护接口接入第一电平的控制信号时，所述第一存储器进入允许写入状态，当所述第一保护接口接入第二电平的控制信号时，所述第一存储器进入写入保护状态。

其中，当所述读写控制接口输出第一电平的控制信号时，所述第一存储器进入允许写入状态，所述第二存储器进入写入保护状态；所述数据输入接口输入第一数据，所述第一数据通过所述第一读写接口写入所述第一存储器。

其中，所述第二读写接口用于向所述第二存储器写入所述第二数据；所述第二保护接口用于接入第一电平或第二电平的控制信号，当所述第二保护接口接入第一电平的控制信号时，所述第二存储器进入允许写入状态，当所述第二保护接口接入第二电平的控制信号时，所述第二存储器进入写入保护状态。

其中，当所述读写控制接口输出第二电平的控制信号时，所述第一存储器进入写入保护状态，所述第二存储器进入允许写入状态；所述数据输入接口输入第二数据，所述第二数据通过所述第一通信接口传输到所述 Mura 补偿芯片，并由所述第二通信接口输出给所述第二读写接口，进而通过所述第二读写接口写入所述第二存储器。

一种 Mura 补偿数据写入方法，包括:

连接器的读写控制端口输出第一电平的控制信号，控制第一存储器进入允许写入状态;

控制电路将所述第一电平的控制信号转换为第二电平的控制信号，控制所述第二存储器进入写入保护状态;

连接器的数据输入接口输入第一数据，所述第一数据通过第一读写接口写入所述第一存储器;

连接器的读写控制端口输出第二电平的控制信号，控制第一存储器进入写

入保护状态;

控制电路将所述第二电平的控制信号转换为第一电平的控制信号,控制所述第二存储器进入允许写入状态;

连接器的数据输入接口输入第二数据,所述第二数据通过第一通信接口传输到 Mura 补偿芯片;

所述 Mura 补偿芯片将所述第二数据通过第二通信接口输出给第二读写接口,并由所述第二读写接口写入所述第二存储器。

其中,所述 Mura 补偿芯片包括第一通信接口,所述第一存储器包括第一读写接口及第一保护接口,所述连接器包括数据输入接口及读写控制接口;所述第一通信接口与所述第一读写接口连接;所述数据输入接口与所述第一通信接口及第一读写接口连接;所述读写控制接口与所述第一保护接口连接。

其中,所述 Mura 补偿芯片还包括第二通信接口,所述第二存储器包括第二读写接口及第二保护接口,所述第二通信接口与所述第二读写接口连接,所述读写控制接口通过所述控制电路与所述第二保护接口连接,所述控制电路用于控制所述第二存储器与所述第一存储器处于不同的工作状态。

其中,所述控制电路包括晶体管、第一电阻及第二电阻,所述晶体管包括栅极、源极及漏极,所述栅极与所述读写控制接口连接;所述源极用于接入第一电平的控制信号;所述第一电阻一端与所述源极连接,另一端与所述读写控制接口连接;所述漏极与所述第二保护接口连接;所述第二电阻一端与所述漏极及所述第二保护接口连接,另一端接地。

其中,所述晶体管为 P 型金属-氧化物半导体场效应晶体管。

其中,所述第一读写接口用于向所述第一存储器写入所述第一数据;所述第一保护接口用于接入第一电平或第二电平的控制信号,当所述第一保护接口接入第一电平的控制信号时,所述第一存储器进入允许写入状态,当所述第一保护接口接入第二电平的控制信号时,所述第一存储器进入写入保护状态。

其中,当所述读写控制接口输出第一电平的控制信号时,所述第一存储器进入允许写入状态,所述第二存储器进入写入保护状态;所述数据输入接口输入第一数据,所述第一数据通过所述第一读写接口写入所述第一存储器。

其中,所述第二读写接口用于向所述第二存储器写入所述第二数据;所述

第二保护接口用于接入第一电平或第二电平的控制信号，当所述第二保护接口接入第一电平的控制信号时，所述第二存储器进入允许写入状态，当所述第二保护接口接入第二电平的控制信号时，所述第二存储器进入写入保护状态。

其中，当所述读写控制接口输出第二电平的控制信号时，所述第一存储器进入写入保护状态，所述第二存储器进入允许写入状态；所述数据输入接口输入第二数据，所述第二数据通过所述第一通信接口传输到所述 Mura 补偿芯片，并由所述第二通信接口输出给所述第二读写接口，进而通过所述第二读写接口写入所述第二存储器。

所述 Mura 补偿数据写入装置通过将所述连接器设置为与所述第一存储器电性连接，并通过所述控制电路与所述第二存储器电性连接，由所述控制电路控制所述第一存储器与所述第二存储器处于不同的工作状态，进而通过所述连接器在所述第一存储器进入允许写入状态时向所述第一存储器写入第一数据，并在所述第二存储器进入允许写入状态时，通过所述 Mura 补偿芯片向所述第二存储器写入第二数据，从而实现所述连接器的复用，简化了所述 Mura 补偿数据写入装置的结构及 Mura 补偿数据写入过程，有利于提升数据写入效率，并降低生产成本。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为现有技术中 Mura 补偿功能的实现原理框图；

图 2 为图 1 所示原始灰阶数据与 Mura 补偿数据的对比示意图；

图 3 为现有技术中 Mura 补偿数据写入装置的结构示意图；

图 4 为本发明实施例提供的 Mura 补偿数据写入装置的结构示意图；

图 5 为本发明实施例提供的 Mura 补偿数据写入方法的流程示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

为便于描述，这里可以使用诸如“在...之下”、“在...下面”、“下”、“在...之上”、“上”等空间相对性术语来描述如图中所示的一个元件或特征与另一个(些)元件或特征的关系。可以理解，当一个元件或层被称为在另一元件或层“上”、“连接到”或“耦接到”另一元件或层时，它可以直接在另一元件或层上、直接连接到或耦接到另一元件或层，或者可以存在居间元件或层。相反，当一个元件被称为“直接在”另一元件或层上、“直接连接到”或“直接耦接到”另一元件或层时，不存在居间元件或层。

可以理解，这里所用的术语仅是为了描述特定实施例，并非要限制本发明。在这里使用时，除非上下文另有明确表述，否则单数形式“一”和“该”也旨在包括复数形式。进一步地，当在本说明书中使用时，术语“包括”和/或“包含”表明所述特征、整体、步骤、操作、元件和/或组件的存在，但不排除一个或多个其他特征、整体、步骤、操作、元件、组件和/或其组合的存在或增加。

除非另行定义，这里使用的所有术语(包括技术术语和科学术语)都具有本发明所属领域内的普通技术人员所通常理解的相同含义。将进一步理解，诸如通用词典中所定义的术语，否则应当被解释为具有与它们在相关领域的语境中的含义相一致的含义，而不应被解释为理想化或过度形式化的意义，除非在此明确地如此定义。

请参阅图 4，本发明实施例提供一种 Mura 补偿数据写入装置 100，其应用于液晶显示器（Liquid Crystal Display，LCD）中，以实现 LCD 的 Mura 补偿，提升 LCD 的亮度均匀性。

所述 Mura 补偿数据写入装置 100 包括 Mura 补偿芯片 110、第一存储器 130、第二存储器 150、连接器 170 及控制电路 190。所述 Mura 补偿芯片 110 与所述第一存储器 130、第二存储器 150 及连接器 170 电性连接。所述连接器 170 与所述第一存储器 130 电性连接，并通过所述控制电路 190 与所述第二存

储器 150 电性连接。所述第一存储器 130 与第二存储器 150 均包括允许写入状态和写入保护状态两种工作状态。所述控制电路 190 用于控制所述第二存储器 150 与所述第一存储器 130 处于不同的工作状态，例如，在所述第一存储器 130 进入写入保护状态时，控制所述第二存储器 150 进入允许写入状态。所述连接器 170 用于在所述第一存储器 130 进入允许写入状态时向所述第一存储器 130 写入第一数据；并在所述控制电路 190 控制所述第二存储器 150 进入允许写入状态时，通过所述 Mura 补偿芯片 110 向所述第二存储器 150 写入第二数据。

具体地，所述 Mura 补偿芯片 110 包括第一通信接口 111 及第二通信接口 113。所述第一存储器 130 包括第一读写接口 131 及第一保护接口 133；所述第一读写接口 131 用于向所述第一存储器 130 写入所述第一数据或者从已经写入第一数据的所述第一存储器 130 中读出第一数据；所述第一保护接口 133 用于接入第一电平或第二电平的控制信号，当所述第一保护接口 133 接入第一电平的控制信号时，所述第一存储器 130 进入允许写入状态，当所述第一保护接口 133 接入第二电平的控制信号时，所述第一存储器 130 进入写入保护状态。所述第二存储器 150 包括第二读写接口 151 及第二保护接口 153；所述第二读写接口 151 用于向所述第二存储器 150 写入所述第二数据或者从已经写入第二数据的所述第二存储器 150 中读出第二数据；所述第二保护接口 153 用于接入第一电平或第二电平的控制信号，当所述第二保护接口 153 接入第一电平的控制信号时，所述第二存储器 150 进入允许写入状态，当所述第二保护接口 153 接入第二电平的控制信号时，所述第二存储器 150 进入写入保护状态。所述连接器 170 包括数据输入接口 171 及读写控制接口 173；所述数据输入接口 171 用于输入所述第一数据或第二数据；所述读写控制接口 173 用于输出所述第一电平或第二电平的控制信号。所述数据输入接口 171 与所述第一通信接口 111 及第一读写接口 131 连接；所述读写控制接口 173 与所述第一保护接口 133 连接，并通过所述控制电路 190 与所述第二保护接口 153 连接；所述控制电路 190 用于将所述读写控制接口 173 输出的第一电平的控制信号转换为第二电平的控制信号，或者将所述读写控制接口输出的第二电平的控制信号转换为第一电平的控制信号。所述第一读写接口 131 与所述第一通信接口 111 连接；所述第二通信接口 113 与所述第二读写接口 151 连接。在本实施例中，所述第一电

平的控制信号为高电平的电压信号，例如 3.3V 的电压信号；所述第二电平的控制信号为低电平的电压信号，如 0V 的电压信号。可以理解，所述第一电平的控制信号也可以为低电平的电压信号，相应地，所述第二电平的控制信号也可以为高电平的电压信号。

在本实施例中，所述第一通信接口 111 为 I2C（Inter-Integrated Circuit）接口，所述第二通信接口 113 为串行外设接口（Serial Peripheral Interface，SPI）；所述第一存储器 130 为 I2C 接口的电可擦可编程只读存储器（Electrically Erasable Programmable Read-Only Memory，EEPROM），所述第一读写接口 131 为 I2C 接口；所述第一数据为所述 Mura 补偿芯片 110 的设定参数，所述第一数据用于设定所述 Mura 补偿芯片 110 的工作参数；所述第二存储器 150 为 SPI 接口的 FLASH 存储器，所述第二读写接口 151 为 SPI 接口；所述第二数据为 Mura 补偿数据，所述第二数据用于为存在 Mura 缺陷的 LCD 提供灰阶数据补偿；所述连接器 170 为 I2C 连接器，所述数据输入接口 171 为 I2C 接口。如图 4 所示，所述第一通信接口 111、第一读写接口 131 及数据输入接口 171 之间通过数据线 SDA 及时钟线 SCL 连接，所述数据线 SDA 用于传输数据，如第一数据或第二数据，所述时钟线 SCL 用于传输数据读写时钟信号；所述第二通信接口 113 与所述第二读写接口 151 之间通过输出数据线 SPI_SDO、输入数据线 SPI_SDI、时钟线 SPI_SCK 及使能信号线 SPI_CS 连接，所述输出数据线 SPI_SDO 用于输出第二数据至所述第二存储器 150，所述输入数据线 SPI_SDI 用于从所述第二存储器 150 读取第二数据，所述时钟线 SPI_SCK 用于传输数据读写时钟信号，所述使能信号线 SPI_CS 用于传输读写使能信号。

所述控制电路 190 包括晶体管 Q1、第一电阻 R1 及第二电阻 R2。所述晶体管 Q1 为 P 型金属-氧化物半导体场效应晶体管（Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET），包括栅极 G、源极 S 及漏极 D，所述栅极 G 与所述读写控制接口 173 连接；所述源极 S 用于接入第一电平的控制信号（本实施例中为 3.3V 的电压信号）；所述第一电阻 R1 一端与所述源极 S 连接，另一端与所述读写控制接口 173 连接；所述漏极 D 与所述第二保护接口 153 连接；所述第二电阻 R2 一端与所述漏极 D 及所述第二保护接口 153 连接，另一端接地。

当所述读写控制接口 173 输出第一电平（3.3V）的控制信号时，所述栅极 G 与源极 S 电压相等，则所述晶体管 Q1 截止，所述第一保护接口 133 接入第一电平的控制信号，所述第一存储器 130 进入允许写入状态，所述第二保护接口 153 为接入第二电平的控制信号，所述第二存储器 150 进入写入保护状态；所述数据输入接口 171 输入第一数据，所述第一数据通过所述第一读写接口 131 写入所述第一存储器 130。当所述第一数据写入完毕后，所述读写控制接口 173 输出第二电平（0V）的控制信号，所述栅极 G 的电压为 0V，所述源极 S 的电压为 3.3V，则所述晶体管 Q1 导通，所述第一保护接口 133 接入第二电平的控制信号，所述第一存储器 130 进入写入保护状态，所述第二保护接口 153 接入第一电平的控制信号，所述第二存储器 150 进入允许写入状态；所述数据输入接口 171 输入第二数据，所述第二数据通过所述第一通信接口 111 传输到所述 Mura 补偿芯片 110，并由所述第二通信接口 113 输出给所述第二读写接口 151，进而通过所述第二读写接口 151 写入所述第二存储器 150。

请参阅图 5，本发明实施例还提供一种 Mura 补偿数据写入方法，所述方法至少包括如下步骤：

步骤 S201：连接器的读写控制端口输出第一电平的控制信号，控制第一存储器进入允许写入状态；

步骤 S202：控制电路将所述第一电平的控制信号转换为第二电平的控制信号，控制所述第二存储器进入写入保护状态；

步骤 S203：连接器的数据输入接口输入第一数据，所述第一数据通过第一读写接口写入所述第一存储器；

步骤 S204：连接器的读写控制端口输出第二电平的控制信号，控制第一存储器进入写入保护状态；

步骤 S205：控制电路将所述第二电平的控制信号转换为第一电平的控制信号，控制所述第二存储器进入允许写入状态；

步骤 S206：连接器的数据输入接口输入第二数据，所述第二数据通过第一通信接口传输到 Mura 补偿芯片；

步骤 S207：所述 Mura 补偿芯片将所述第二数据通过第二通信接口输出给第二读写接口，并由所述第二读写接口写入所述第二存储器。

其中，所述 Mura 补偿芯片包括第一通信接口，所述第一存储器包括第一读写接口及第一保护接口，所述连接器包括数据输入接口及读写控制接口；所述第一通信接口与所述第一读写接口连接；所述数据输入接口与所述第一通信接口及第一读写接口连接；所述读写控制接口与所述第一保护接口连接。

其中，所述 Mura 补偿芯片还包括第二通信接口，所述第二存储器包括第二读写接口及第二保护接口，所述第二通信接口与所述第二读写接口连接，所述读写控制接口通过所述控制电路与所述第二保护接口连接，所述控制电路用于控制所述第二存储器与所述第一存储器处于不同的工作状态。

其中，所述控制电路包括晶体管、第一电阻及第二电阻，所述晶体管包括栅极、源极及漏极，所述栅极与所述读写控制接口连接；所述源极用于接入第一电平的控制信号；所述第一电阻一端与所述源极连接，另一端与所述读写控制接口连接；所述漏极与所述第二保护接口连接；所述第二电阻一端与所述漏极及所述第二保护接口连接，另一端接地。

其中，所述晶体管为 P 型金属-氧化物半导体场效应晶体管。

其中，所述第一读写接口用于向所述第一存储器写入所述第一数据；所述第一保护接口用于接入第一电平或第二电平的控制信号，当所述第一保护接口接入第一电平的控制信号时，所述第一存储器进入允许写入状态，当所述第一保护接口接入第二电平的控制信号时，所述第一存储器进入写入保护状态。

其中，当所述读写控制接口输出第一电平的控制信号时，所述第一存储器进入允许写入状态，所述第二存储器进入写入保护状态；所述数据输入接口输入第一数据，所述第一数据通过所述第一读写接口写入所述第一存储器。

其中，所述第二读写接口用于向所述第二存储器写入所述第二数据；所述第二保护接口用于接入第一电平或第二电平的控制信号，当所述第二保护接口接入第一电平的控制信号时，所述第二存储器进入允许写入状态，当所述第二保护接口接入第二电平的控制信号时，所述第二存储器进入写入保护状态。

其中，当所述读写控制接口输出第二电平的控制信号时，所述第一存储器进入写入保护状态，所述第二存储器进入允许写入状态；所述数据输入接口输入第二数据，所述第二数据通过所述第一通信接口传输到所述 Mura 补偿芯片，并由所述第二通信接口输出给所述第二读写接口，进而通过所述第二读写接口

写入所述第二存储器。

可以理解，本实施例中所述的 Mura 补偿数据写入方法的各个步骤的具体执行还可以参照图 4 所示装置实施例中的描述，此处不再赘述。

所述 Mura 补偿数据写入装置通过将所述连接器设置为与所述第一存储器电性连接，并通过所述控制电路与所述第二存储器电性连接，由所述控制电路控制所述第一存储器与所述第二存储器处于不同的工作状态，进而通过所述连接器在所述第一存储器进入允许写入状态时向所述第一存储器写入第一数据，并在所述第二存储器进入允许写入状态时，通过所述 Mura 补偿芯片向所述第二存储器写入第二数据，从而实现所述连接器的复用，简化了所述 Mura 补偿数据写入装置的结构及 Mura 补偿数据写入过程，有利于提升数据写入效率，并降低生产成本。

以上所揭露的仅为本发明的较佳实施例而已，当然不能以此来限定本发明之权利范围，本领域普通技术人员可以理解实现上述实施例的全部或部分流程，并依本发明权利要求所作的等同变化，仍属于发明所涵盖的范围。

权 利 要 求

1、一种 Mura 补偿数据写入装置，包括 Mura 补偿芯片、第一存储器和第二存储器，其中，所述装置还包括连接器及控制电路，所述 Mura 补偿芯片与所述第一存储器、第二存储器及连接器电性连接，所述连接器与所述第一存储器电性连接，并通过所述控制电路与所述第二存储器电性连接，所述第一存储器与第二存储器均包括允许写入状态和写入保护状态两种工作状态，所述控制电路用于控制所述第二存储器与所述第一存储器处于不同的工作状态，所述连接器用于在所述第一存储器进入允许写入状态时向所述第一存储器写入第一数据，并在所述第二存储器进入允许写入状态时，通过所述 Mura 补偿芯片向所述第二存储器写入第二数据。

2、如权利要求 1 所述的装置，其中，所述 Mura 补偿芯片包括第一通信接口，所述第一存储器包括第一读写接口及第一保护接口，所述连接器包括数据输入接口及读写控制接口；所述第一通信接口与所述第一读写接口连接；所述数据输入接口与所述第一通信接口及第一读写接口连接；所述读写控制接口与所述第一保护接口连接。

3、如权利要求 2 所述的装置，其中，所述 Mura 补偿芯片还包括第二通信接口，所述第二存储器包括第二读写接口及第二保护接口，所述第二通信接口与所述第二读写接口连接，所述读写控制接口通过所述控制电路与所述第二保护接口连接。

4、如权利要求 3 所述的装置，其中，所述控制电路包括晶体管、第一电阻及第二电阻，所述晶体管包括栅极、源极及漏极，所述栅极与所述读写控制接口连接；所述源极用于接入第一电平的控制信号；所述第一电阻一端与所述源极连接，另一端与所述读写控制接口连接；所述漏极与所述第二保护接口连接；所述第二电阻一端与所述漏极及所述第二保护接口连接，另一端接地。

5、如权利要求 4 所述的装置，其中，所述晶体管为 P 型金属-氧化物半导体场效应晶体管。

6、如权利要求 3 所述的装置，其中，所述第一读写接口用于向所述第一存储器写入所述第一数据；所述第一保护接口用于接入第一电平或第二电平的控制信号，当所述第一保护接口接入第一电平的控制信号时，所述第一存储器进入允许写入状态，当所述第一保护接口接入第二电平的控制信号时，所述第一存储器进入写入保护状态。

7、如权利要求 6 所述的装置，其中，当所述读写控制接口输出第一电平的控制信号时，所述第一存储器进入允许写入状态，所述第二存储器进入写入保护状态；所述数据输入接口输入第一数据，所述第一数据通过所述第一读写接口写入所述第一存储器。

8、如权利要求 3 所述的装置，其中，所述第二读写接口用于向所述第二存储器写入所述第二数据；所述第二保护接口用于接入第一电平或第二电平的控制信号，当所述第二保护接口接入第一电平的控制信号时，所述第二存储器进入允许写入状态，当所述第二保护接口接入第二电平的控制信号时，所述第二存储器进入写入保护状态。

9、如权利要求 8 所述的装置，其中，当所述读写控制接口输出第二电平的控制信号时，所述第一存储器进入写入保护状态，所述第二存储器进入允许写入状态；所述数据输入接口输入第二数据，所述第二数据通过所述第一通信接口传输到所述 Mura 补偿芯片，并由所述第二通信接口输出给所述第二读写接口，进而通过所述第二读写接口写入所述第二存储器。

10、一种 Mura 补偿数据写入方法，其中，所述方法包括：

连接器的读写控制端口输出第一电平的控制信号，控制第一存储器进入允许写入状态；

控制电路将所述第一电平的控制信号转换为第二电平的控制信号，控制所述第二存储器进入写入保护状态；

连接器的数据输入接口输入第一数据，所述第一数据通过第一读写接口写入所述第一存储器；

连接器的读写控制端口输出第二电平的控制信号，控制第一存储器进入写入保护状态；

控制电路将所述第二电平的控制信号转换为第一电平的控制信号，控制所述第二存储器进入允许写入状态；

连接器的数据输入接口输入第二数据，所述第二数据通过第一通信接口传输到 Mura 补偿芯片；

所述 Mura 补偿芯片将所述第二数据通过第二通信接口输出给第二读写接口，并由所述第二读写接口写入所述第二存储器。

11、如权利要求 10 所述的方法，其中，所述 Mura 补偿芯片包括第一通信接口，所述第一存储器包括第一读写接口及第一保护接口，所述连接器包括数据输入接口及读写控制接口；所述第一通信接口与所述第一读写接口连接；所述数据输入接口与所述第一通信接口及第一读写接口连接；所述读写控制接口与所述第一保护接口连接。

12、如权利要求 11 所述的方法，其中，所述 Mura 补偿芯片还包括第二通信接口，所述第二存储器包括第二读写接口及第二保护接口，所述第二通信接口与所述第二读写接口连接，所述读写控制接口通过所述控制电路与所述第二保护接口连接，所述控制电路用于控制所述第二存储器与所述第一存储器处于不同的工作状态。

13、如权利要求 12 所述的方法，其中，所述控制电路包括晶体管、第一电阻及第二电阻，所述晶体管包括栅极、源极及漏极，所述栅极与所述读写控制接口连接；所述源极用于接入第一电平的控制信号；所述第一电阻一端与所述源极连接，另一端与所述读写控制接口连接；所述漏极与所述第二保护接口

连接；所述第二电阻一端与所述漏极及所述第二保护接口连接，另一端接地。

14、如权利要求 13 所述的方法，其中，所述晶体管为 P 型金属-氧化物半导体场效应晶体管。

15、如权利要求 12 所述的方法，其中，所述第一读写接口用于向所述第一存储器写入所述第一数据；所述第一保护接口用于接入第一电平或第二电平的控制信号，当所述第一保护接口接入第一电平的控制信号时，所述第一存储器进入允许写入状态，当所述第一保护接口接入第二电平的控制信号时，所述第一存储器进入写入保护状态。

16、如权利要求 15 所述的方法，其中，当所述读写控制接口输出第一电平的控制信号时，所述第一存储器进入允许写入状态，所述第二存储器进入写入保护状态；所述数据输入接口输入第一数据，所述第一数据通过所述第一读写接口写入所述第一存储器。

17、如权利要求 12 所述的方法，其中，所述第二读写接口用于向所述第二存储器写入所述第二数据；所述第二保护接口用于接入第一电平或第二电平的控制信号，当所述第二保护接口接入第一电平的控制信号时，所述第二存储器进入允许写入状态，当所述第二保护接口接入第二电平的控制信号时，所述第二存储器进入写入保护状态。

18、如权利要求 17 所述的方法，其中，当所述读写控制接口输出第二电平的控制信号时，所述第一存储器进入写入保护状态，所述第二存储器进入允许写入状态；所述数据输入接口输入第二数据，所述第二数据通过所述第一通信接口传输到所述 Mura 补偿芯片，并由所述第二通信接口输出给所述第二读写接口，进而通过所述第二读写接口写入所述第二存储器。

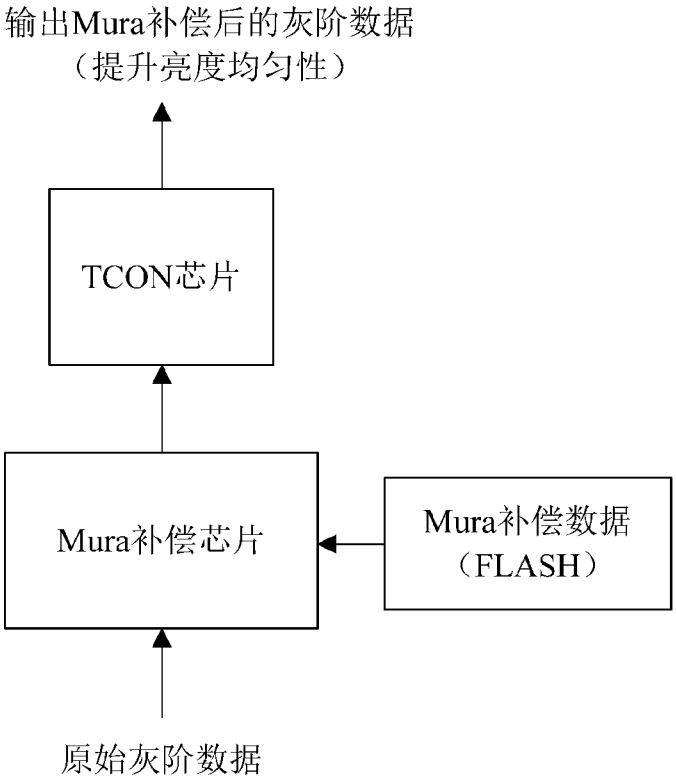

输出Mura补偿后的灰阶数据
（提升亮度均匀性）
TCON芯片
Mura补偿芯片
Mura补偿数据
（FLASH）
原始灰阶数据

图 1

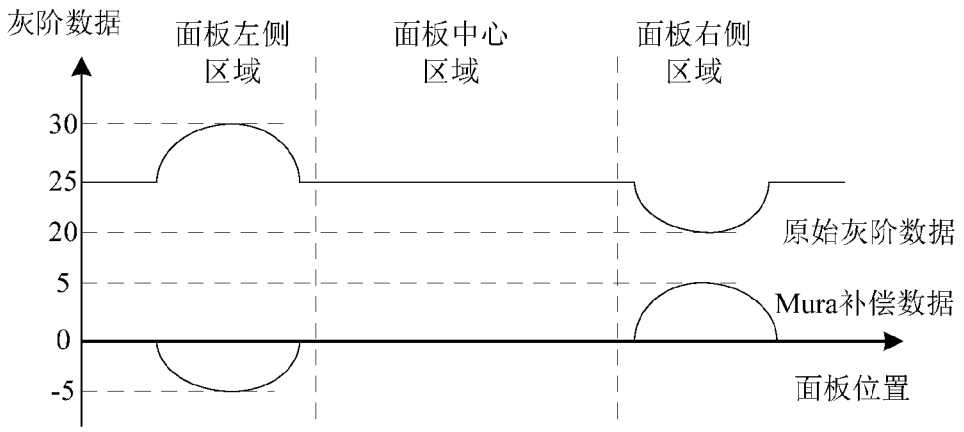


图 2

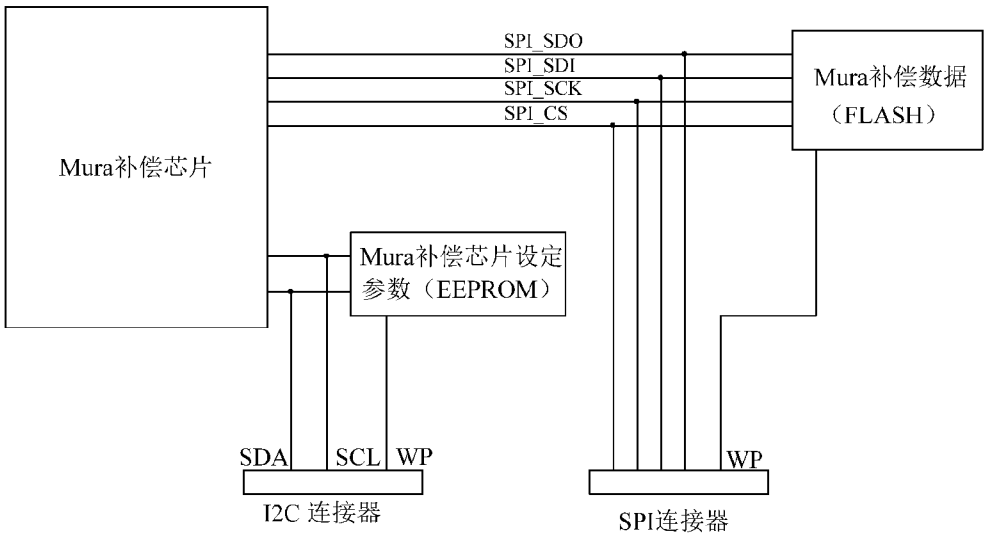

Mura补偿芯片
SPI_SDO
SPI_SDI
SPI_SCK
SPI_CS
Mura补偿数据
（FLASH）
Mura补偿芯片设定
参数（EEPROM）
SDA
SCL
WP
I2C 连接器
WP
SPI连接器

图 3

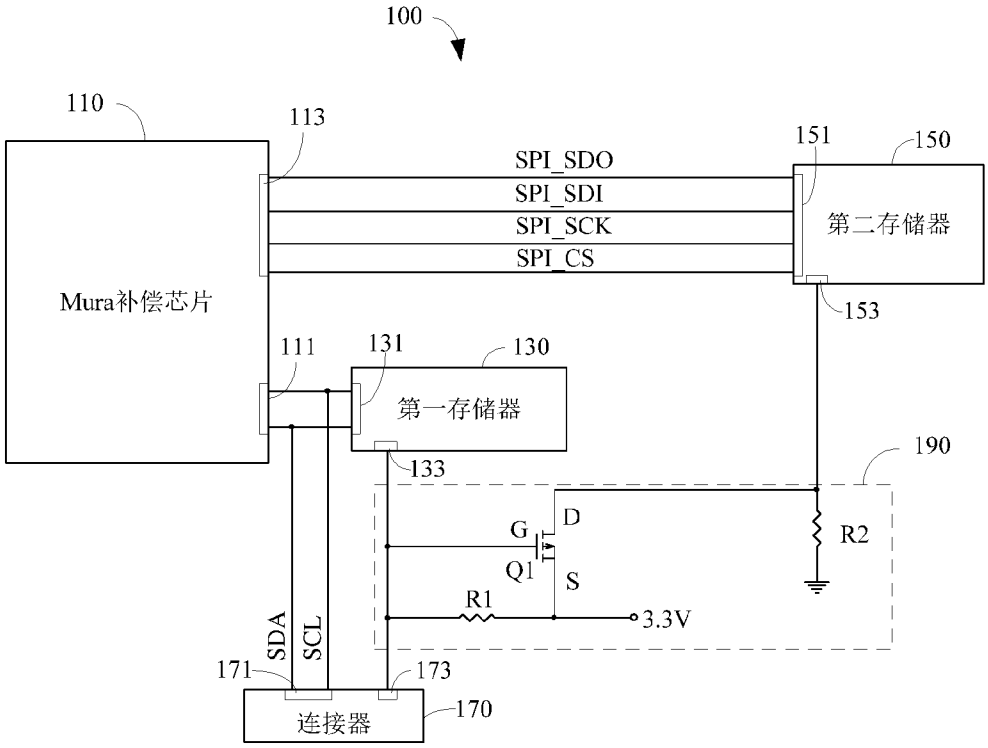

100
110
113
151
150
SPI_SDO
SPI_SDI
SPI_SCK
SPI_CS
第二存储器
Mura补偿芯片
153
111
131
130
第一存储器
190
133
G
D
Q1
S
R2
R1
3.3V
SDA
SCL
171
173
连接器
170

图 4


连接器的读写控制端口输出第一电平的控制信号，控制第一存储器进入允许写入状态
S201
控制电路将所述第一电平的控制信号转换为第二电平的控制信号，控制所述第二存储器进入写入保护状态
S202
连接器的数据输入接口输入第一数据，所述第一数据通过第一读写接口写入所述第一存储器
S203
连接器的读写控制端口输出第二电平的控制信号，控制第一存储器进入写入保护状态
S204
控制电路将所述第二电平的控制信号转换为第一电平的控制信号，控制所述第二存储器进入允许写入状态
S205
连接器的数据输入接口输入第二数据，所述第二数据通过第一通信接口传输到Mura补偿芯片
S206
所述Mura补偿芯片将所述第二数据通过第二通信接口输出给第二读写接口，并由所述第二读写接口写入所述第二存储器
S207

图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/097679

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-; G02F 1/13+

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; SIPOABS; DWPI: trace, memory, writ+, emendat+, nonuniform, flaw+, uneven, mura, storage, adjust+, compensat+, revis+, modulat+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103761933 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 30 April 2014 (30.04.2014), description, paragraphs [0028]-[0038], and figures 1 and 2	1-18
A	CN 104992657 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 21 October 2015 (21.10.2015), the whole document	1-18
A	US 2009135211 A1 (TPO DISPLAYS CORP.), 28 May 2009 (28.05.2009), the whole document	1-18

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 August 2016 (10.08.2016)	**17 August 2016 (17.08.2016)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **LI, Jun** Telephone No.: (86-10) **62085773**

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/097679

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103761933 A	30 April 2014	WO 2015100819 A1	09 July 2015
		US 2015187306 A1	02 July 2015
CN 104992657 A	21 October 2015	None	
US 2009135211 A1	28 May 2009	TW 200923873 A	01 June 2009

国际检索报告

国际申请号 PCT/CN2015/097679

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/-; G02F1/13+

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNABS;SIPOABS;DWPI:补偿，校正，缺陷，痕迹，不均匀，存储，储存，写入，memory，writ+，emendat+，nonuniform，flaw+，uneven，mura，storage，adjust+，compensat+，revis+，modulat+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 103761933 A (深圳市华星光电技术有限公司) 2014年 4月 30日 (2014-04-30) 说明书[0028]-[0038]段和附图1，2	1-18
A	CN 104992657 A (京东方科技集团股份有限公司等) 2015年 10月 21日 (2015-10-21) 全文	1-18
A	US 2009135211 A1 (TPO DISPLAYS CORP) 2009年 5月 28日 (2009-05-28) 全文	1-18

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2016年 8月 10日	2016年 8月 17日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 李军 电话号码 (86-10)62085773

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/097679

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103761933	A	2014年 4月 30日	WO	2015100819	A1	2015年 7月 9日
				US	2015187306	A1	2015年 7月 2日
CN	104992657	A	2015年 10月 21日		无		
US	2009135211	A1	2009年 5月 28日	TW	200923873	A	2009年 6月 1日