



(12)实用新型专利

(10)授权公告号 CN 209929300 U

(45)授权公告日 2020.01.10

(21)申请号 201920840615.3

(22)申请日 2019.06.03

(73)专利权人 深圳市汇顶科技股份有限公司

地址 518045 广东省深圳市福田区腾
飞工业大厦B座13层

(72)发明人 冷寒剑 吴宝全 龙卫

(74)专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 杨俊辉 臧建明

(51)Int.Cl.

H01L 23/60(2006.01)

H01L 23/485(2006.01)

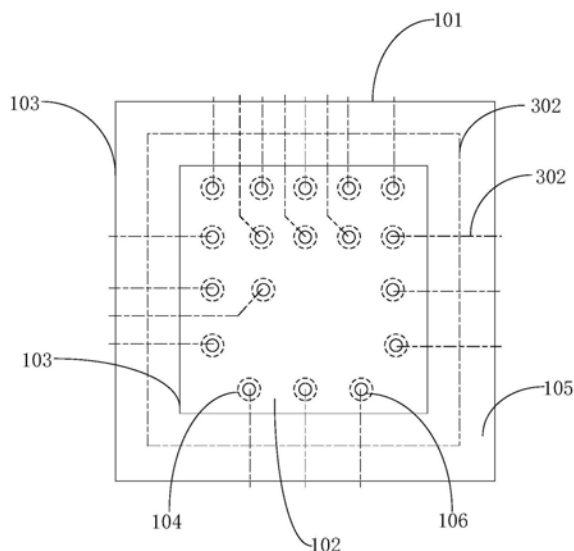
权利要求书1页 说明书10页 附图4页

(54)实用新型名称

封装结构

(57)摘要

本申请提供一种封装结构。本申请提供的封装结构,包括:封装基底以及设置在所述封装基底上的重布线层,其中,封装基底包括:若干个器件区,在器件区内设置有通道集合,通道集合用于连接电子器件,重布线层用于将通道集合引出至封装基底上的预设区域,以使通道集合中的全部或者部分通道在预设区域中形成串联电路,而串联电路用于与静电释放端连接。本申请提供的封装结构可以在封装过程中对需要进行防护的通道进行静电保护。



1. 一种封装结构,其特征在于,包括:封装基底以及设置在所述封装基底上的重布线层;

所述封装基底包括:若干个器件区;

所述器件区内设置有通道集合,所述通道集合用于连接电子器件,所述重布线层用于将所述通道集合引出至所述封装基底上的预设区域,以使所述通道集合中的全部或者部分通道在所述预设区域中形成串联电路,所述串联电路用于与静电释放端连接。

2. 根据权利要求1所述的封装结构,其特征在于,所述封装基底还包括:设置于相邻所述器件区之间的器件分离区;

所述预设区域为所述器件分离区;

其中,所述串联电路在对所述器件分离区进行分离操作时断开;或者,

所述预设区域为所述器件区内的部分区域;

其中,所述串联电路在所述电子器件完成封装操作后断开。

3. 根据权利要求1或2所述的封装结构,其特征在于,所述封装基底上设置有绝缘层;

所述绝缘层上设置有开窗结构;

所述重布线层设置在所述绝缘层远离所述封装基底的一面;

所述重布线层通过所述开窗结构与所述通道集合中的通道建立连接。

4. 根据权利要求3所述的封装结构,其特征在于,所述封装基底上设置有通道引出焊盘,所述通道引出焊盘用于建立所述通道与所述电子器件之间的连接;

所述通道引出焊盘通过所述开窗结构与所述重布线层连接。

5. 根据权利要求4所述的封装结构,其特征在于,所述封装基底上设置有通道开窗,所述通道引出焊盘设置在所述通道开窗上,以使所述通道引出焊盘与所述通道建立连接。

6. 根据权利要求1或2所述的封装结构,其特征在于,所述静电释放端为接地端或者静电防护模块端口。

7. 根据权利要求1或2所述的封装结构,其特征在于,所述重布线层为金属材料层或者非金属导电材料层。

8. 根据权利要求1或2所述的封装结构,其特征在于,所述重布线层为单层或者多层结构。

9. 根据权利要求1或2所述的封装结构,其特征在于,所述封装基底为晶片、基板或者柔性电路板。

10. 根据权利要求1或2所述的封装结构,其特征在于,所述重布线层上设置有保护涂层。

封装结构

技术领域

[0001] 本申请涉及芯片封装技术领域,尤其涉及一种封装结构。

背景技术

[0002] 随着科技的发展,对芯片的通讯速度要求越来越高,因此,对芯片封装的结构也提出了更高的要求。

[0003] 当前,为了保证芯片性能及使用寿命的稳定,芯片每个外联的通道都必须添加静电释放(Electro-Static discharge,简称ESD)保护电路,从而防止静电对芯片内部带来瞬时的超强电荷,对芯片造成静电打死。

[0004] 但是,ESD保护电路会对所在的通道带来较大的寄生,而在芯片工作中ESD保护电路的寄生会严重影响芯片的通信速度。

实用新型内容

[0005] 本申请提供一种封装结构,以实现在电子器件封装过程中,对电子器件需要进行防护的通道进行静电保护,并降低电子器件在封装完成后继续受到ESD保护电路的寄生影响。

[0006] 本申请提供一种封装结构,包括:封装基底以及设置在所述封装基底上的重布线层;

[0007] 所述封装基底包括:若干个器件区;

[0008] 所述器件区内设置有通道集合,所述通道集合用于连接电子器件,所述重布线层用于将所述通道集合引出至所述封装基底上的预设区域,以使所述通道集合中的全部或者部分通道在所述预设区域中形成串联电路,所述串联电路用于与静电释放端连接。

[0009] 在一种可能的设计中,所述封装基底还包括:设置于相邻所述器件区之间的器件分离区;

[0010] 所述预设区域为所述器件分离区;

[0011] 其中,所述串联电路在对所述器件分离区进行分离操作时断开;或者,

[0012] 所述预设区域为所述器件区内的部分区域;

[0013] 其中,所述串联电路在所述电子器件完成封装操作后断开。

[0014] 在一种可能的设计中,所述封装基底上设置有绝缘层;

[0015] 所述绝缘层上设置有开窗结构;

[0016] 所述重布线层设置在所述绝缘层远离所述封装基底的一面;

[0017] 所述重布线层通过所述开窗结构与所述通道集合中的通道建立连接。

[0018] 在一种可能的设计中,所述封装基底上设置有通道引出焊盘,所述通道引出焊盘用于建立所述通道与所述电子器件之间的连接;

[0019] 所述通道引出焊盘通过所述开窗结构与所述重布线层连接。

[0020] 在一种可能的设计中,所述封装基底上设置有通道开窗,所述通道引出焊盘设置

在所述通道开窗上,以使所述通道引出焊盘与所述通道建立连接。

[0021] 在一种可能的设计中,所述静电释放端为接地端或者静电防护模块端口。

[0022] 在一种可能的设计中,所述重布线层为金属材料层或者非金属导电材料层。

[0023] 在一种可能的设计中,所述重布线层为单层或者多层结构。

[0024] 在一种可能的设计中,所述封装基底为晶片、基板或者柔性电路板。

[0025] 在一种可能的设计中,所述重布线层上设置有保护涂层。

[0026] 本申请提供的封装结构,通过重布线层将通道集合引出至封装基底上的预设区域,以使通道集合中的全部或者部分通道在预设区域中形成串联电路之后与静电释放端进行连接,从而实现对需要进行防护的通道进行静电保护。

附图说明

[0027] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍,显而易见地,下面描述中的附图是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0028] 图1为本申请实施例一提供的封装结构的结构示意图;

[0029] 图2为本申请实施例二提供的封装结构的封装基底的结构示意图;

[0030] 图3为本申请实施例二提供的封装结构成型可导电介质层的结构示意图;

[0031] 图4为本申请实施例二提供的封装结构成型布线层的结构示意图;

[0032] 图5为本申请实施例三提供的封装结构成型绝缘层的结构示意图;

[0033] 图6为本申请实施例三提供的封装结构成型开窗结构的结构示意图;

[0034] 图7为本申请实施例三提供的封装结构成型可导电介质层的结构示意图;

[0035] 图8为本申请实施例三提供的封装结构成型布线层的结构示意图;

[0036] 图9为本申请实施例四提供的封装方法的流程示意图;

[0037] 图10为本申请实施例五提供的封装方法的流程示意图;

[0038] 图11为本申请实施例六提供的封装方法的流程示意图。

[0039] 通过上述附图,已示出本公开明确的实施例,后文中将有更详细的描述。这些附图和文字描述并不是为了通过任何方式限制本公开构思的范围,而是通过参考特定实施例为本领域技术人员说明本公开的概念。

具体实施方式

[0040] 为使本申请实施例的目的、技术方案和优点更加清楚,下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0041] 本申请的说明书和权利要求书及上述附图中的术语“第一”、“第二”、“第三”、“第四”等(如果存在)是用于区别类似的对象,而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换,以便这里描述的本申请的实施例例如能够以除了在这里图示或描述的那些以外的顺序实施。此外,术语“包括”和“具有”以及他们的任何

变形,意图在于覆盖不排除他的包含,例如,包含了一系列步骤或单元的过程、方法、系统、产品或设备不必限于清楚地列出的那些步骤或单元,而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

[0042] 下面以具体地实施例对本申请的技术方案以及本申请的技术方案如何解决上述技术问题进行详细说明。下面这几个具体的实施例可以相互结合,对于相同或相似的概念或过程可能在某些实施例中不再赘述。下面将结合附图,对本申请的实施例进行描述。

[0043] 图1为本申请实施例一提供的封装结构的结构示意图。如图1所示,本实施例提供的封装结构,包括:封装基底以及设置在封装基底上的重布线层302。

[0044] 其中,封装基底包括若干个器件区102,值得理解的,封装基底可以为晶片、基板或者柔性电路板,在本实施例中并不对封装基底的具体形式进行限定。其中,为了能够对本实施例中的原理进行详细说明,可以选取晶片101作为封装基底进行举例说明。而对于器件区102可以是封装基底上用来封装芯片或者其他任意器件的部分区域。

[0045] 并且,在器件区102内设置有通道集合,其中,器件区102内的通道集合用于连接电子器件。值得理解的,此处的通道集合中的通道可以为封装结构中的任意连接通道,可以是晶片101上的,也可以是封装加工出来的,还可以是基板上的。

[0046] 而对于重布线层302,可以理解为在晶片101表面图形化的导电层,可以用于对器件区102上的通道集合进行重新排布。其中,对于重布线层302可以是单层导电层结构,也可以是多层导电层结构,在本实施例中并不对重布线层302的具体层数进行限定,只需保证通过重布线层302可以将器件区102上的通道集合,例如通道集合中需要进行静电防护的待防护通道子集合引出至晶片101上的预设区域,以使待防护通道子集合中的全部或者部分通道在预设区域中形成串联电路即可。

[0047] 此外,需要理解的,上述的通道集合可以为晶片101上自带的通道引出焊盘,也可以是在原晶片101上自带的通道引出焊盘基础上进行二次封装加工的焊盘结构,此外,还可以是在其他类型基板或者柔性电路板上的通道引出焊盘。

[0048] 值得说明的,在电子器件封装过程中,例如,在芯片的封装过程中,外部环境(如:设备、材料以及人员等)会带来静电,这些静电容易导致给芯片内部带来瞬间的超强电荷。因此,需要对器件区102内用于与芯片建立连接的通道进行静电释放保护。现有技术中,所针对每个需要进行保护的通道都单独设立ESD保护电路,并且在封装完成切割形成芯片模组后,这些ESD保护电路仍然寄生在各个通道上。而这些寄生ESD保护电路会消耗芯片模组工作时的功率,并且会对在芯片模组工作时造成反向电感,从而降低各个通道的驱动电压,进而影响芯片模组的通信速度。

[0049] 而在本实施例中,为了能够对需要进行防护的通道进行静电保护,可以将通道集合,例如通道集合中需要进行静电防护的待防护通道子集合的全部或者部分通道通过重布线层302在晶片101上的预设区域形成串联电路,并且将串联电路与静电释放端(例如ESD防护模块端口或者地线)进行连接。

[0050] 其中,对于上述的预设区域可以为晶片101上的任意位置,可以根据实际的封装工艺和通道集合布局形式进行具体确定。具体的,预设区域可以为器件区102外部的区域,也可以是器件区内的部分区域,只需保证,在电子器件封装完成后,对预设区域中的串联电路进行介质层断开处理时,不会影响电子器件正常工作即可。

[0051] 例如,预设区域可以为器件分离区105,而器件分离区105设置于相邻器件区102之间,通过重布线层302将通道集合中需要进行静电防护的待防护通道子集合的全部或者部分通道引出至器件分离区105,然后在器件分离区105内将所有的通道串联或局部串联到一起,以形成共电势。再通过将串联电路与有ESD防护模块端口或地线相连,从而形成零电势。这样在芯片受到静电放电影响时,电荷会优先向更低的电势移动,所有的电荷都会顺着有ESD保护电路的通道或地线导走,从而保护芯片内部线路不受静电放电的影响。其中,重布线层302可以为金属材料,例如如铝、铜、镍、钯、金等,也可使用非金属导电材料等任何导电材料。

[0052] 而器件分离区105则可以是由相邻两个器件区102的电子器件边缘103所形成的区域,其中,器件分离区105可以为芯片之间的切割道。在对芯片封装完成后,通过芯片分离工艺对各个芯片进行分离。

[0053] 可见,本实施例提供的封装结构可以降低芯片在封装过程中受到的ESD的影响。并且,当封装结束后芯片会被切成单颗,通过切割工艺会将切割道内形成的串联电路切断,从而使得每个通道重新独立开来,以恢复芯片功能。而在后续将芯片进行上板时,芯片的ESD防护工作将由板级的ESD防护工艺继续完成。

[0054] 再例如,上述预设区域还可以是器件区102内的部分区域,具体的,可以为器件区102的中部或者其他可进行重布线层302布局的区域,可以根据器件区102内的通道集合的具体布置进行适应性设计。具体的,可以通过重布线层302将通道集合中需要进行静电防护的待防护通道子集合的全部或者部分通道引出至器件区102内的部分区域,然后在器件区102内的部分区域内将所有的通道串联或局部串联到一起,以形成共电势。再通过将串联电路与有ESD防护模块端口或地线相连,从而形成零电势。这样在芯片受到静电放电影响时,电荷会优先向更低的电势移动,所有的电荷都会顺着有ESD保护电路的通道或地线导走,从而保护芯片内部线路不受静电放电的影响。

[0055] 而在电子器件完成封装操作后,可以通过导电介质层切割工艺,例如激光切割的方式,对串联电路进行断开处理。然后,再对器件区102进行分片处理,通过芯片分离工艺对各个芯片进行分离。

[0056] 可见,本实施例提供的封装结构可以降低芯片在封装过程中受到的ESD的影响。并且,当封装结束后,通过导电介质层切割工艺将串联电路进行断开处理,从而使得每个通道重新独立开来,以恢复芯片功能。而在后续将芯片进行上板时,芯片的ESD防护工作将由板级的ESD防护工艺继续完成。

[0057] 在本实施例中,通过重布线层将通道集合中需要进行静电防护的待防护通道子集合引出至封装基底上的预设区域,以使待防护通道子集合中的全部或者部分通道在预设区域中形成串联电路之后与静电释放端进行连接,从而实现对需要进行防护的通道进行静电保护。

[0058] 此外,在对电子器件完成封装之后,可以通过断开多通道串联电路的方式,以使得每个通道重新独立开来,从而恢复芯片功能,可见,通过本实施例封装结构分片得到的芯片模组可以降低甚至避免ESD防护电路对于芯片各个通道的寄生,从而有效地降低芯片工作时的功耗,并且还可以提高芯片的通信速度。

[0059] 为了能够对本申请提供封装结构进行详细阐述,可以选取晶片作为封装基底,并

结合封装结构的封装方法进行说明：

[0060] 图2为本申请实施例二提供的封装结构的封装基底的结构示意图。如图2所示，晶片101包括多个器件区102，以及相邻器件区102之间设置的器件分离区105。

[0061] 并且，在器件区102内设置有通道集合，其中，器件区102内的通道集合用于连接电子器件。值得理解的，此处的通道集合中的通道可以为封装结构中的任意连接通道，例如，可以是用来封装芯片，以与该芯片建立连接的通道。

[0062] 晶片101设置有通道引出焊盘104，其中，通道引出焊盘104用于建立通道与电子器件之间的连接。

[0063] 而器件分离区105则可以是由相邻两个器件区102的电子器件边缘103所形成的区域，其中，器件分离区105可以为芯片之间的切割道。在对芯片封装完成后，通过芯片分离工艺对切割道进行切割，从而对各个芯片进行分离。

[0064] 其中，值得说明的，参照图1以及图2，准备加工的晶片101需先确认通道引出焊盘104是否已作业焊盘开窗103。若来料已完成开窗工艺，晶片101只需做简单的清洗工艺，待用即可。若来料未完成开窗工艺，则需封装厂自行通过干法或湿法蚀刻工艺开窗，将金属焊盘漏出。

[0065] 图3为本申请实施例二提供的封装结构成型可导电介质层的结构示意图。如图3所示，如果晶片101出厂时，其表面自带的绝缘层本身就可达到的预设的绝缘标准和寄生标准时，可以直接在晶片101上成型可导电介质层301。

[0066] 值得说明的，可使用溅射、蒸镀、电镀、化镀、贴导电膜等工艺成型可导电介质层301，而在本实施例中，并不对可导电介质层301的具体工艺和材质不限，可满足理论导电需求即可。可选的，可导电介质层301通常为微米级，例如1-8微米。

[0067] 图4为本申请实施例二提供的封装结构成型重布线层的结构示意图。如图4所示，在成型可导电介质层之后，还需对可导电介质层301进行图形化处理以成型重布线层302。值得说明的，对可导电介质层301进行图形化工艺，可以是使用先涂胶、再光刻、然后干法蚀刻的方式，或者是先涂胶、再光刻、然后湿法蚀刻的方式，或者是激光直写等图形化工艺进行加工，在本实施例中并不对可导电介质层301进行的图形化具体加工工艺进行限定。

[0068] 继续参照图1，经过图形化处理形成的重布线层302，可以将通道集合中的全部或者部分通道引至器件分离区105中形成串联电路，然后，将串联电路与静电释放端（例如设置了ESD保护电路的通道或者地线）进行连接。从而将所有需要实现ESD防护的通道引向器件分离区105，然后在器件分离区105内将所有的通道串联或局部串联到一起，以形成共电势。再通过将串联电路与有ESD防护的通道或地线相连，从而形成零电势。这样在芯片受到静电放电影响时，电荷会优先向更低的电势移动，所有的电荷都会顺着有ESD保护电路的通道或地线导走，从而保护芯片内部线路不受静电放电的影响。

[0069] 图5为本申请实施例三提供的封装结构成型绝缘层的结构示意图。请参照图2和图5，如果晶片101出厂时，其表面自带的绝缘层无法达到的预设的绝缘标准和寄生标准时，则还需在晶片101上设置绝缘层201。

[0070] 具体的，可以是在晶片101上成型绝缘层201，其中，可以是在晶片101表面通过匀胶涂布、等离子喷涂、印刷、贴膜等工艺加工出一层绝缘层201。

[0071] 图6为本申请实施例三提供的封装结构成型开窗结构的结构示意图。如图6所示，

为了能够形成有效连接,在形成绝缘层201之后,还需要在绝缘层上设置开窗结构202。

[0072] 具体的,对于开窗结构202的完成工艺,可以通过光刻以及蚀刻的工艺在绝缘层201上加工出开窗结构202,以露出通道引出焊盘104。

[0073] 此外,值得说明的,对于绝缘层201以及开窗结构202的成型工艺不做具体限定,对于绝缘层20的材料也不做具体限定,只是保证能实现器件区102表面绝缘,并且通道引出焊盘104实现外露即可。可选的,绝缘层201的厚度通常为微米级,例如可以为5微米。

[0074] 图7为本申请实施例三提供的封装结构成型可导电介质层的结构示意图。如图7所示,在晶片101上成型绝缘层201,并完成开窗结构202之后,还可以在绝缘层201远离晶片101的一侧成型可导电介质层301。

[0075] 值得说明的,可使用溅射、蒸镀、电镀、化镀、贴导电膜等工艺成型可导电介质层301,而在本实施例中,并不对可导电介质层301的具体工艺和材质不限,可满足理论导电需求即可。可选的,可导电介质层301通常为微米级,例如1-8微米。

[0076] 图8为本申请实施例三提供的封装结构成型重布线层的结构示意图。如图8所示,在成型可导电介质层之后,还需对可导电介质层301进行图形化处理以成型重布线层302。值得说明的,对可导电介质层301进行图形化工艺,可以是使用先涂胶、再光刻、然后干法蚀刻的方式,或者是先涂胶、再光刻、然后湿法蚀刻的方式,或者是激光直写等图形化工艺进行加工,在本实施例中并不对可导电介质层301进行的图形化具体加工工艺进行限定。

[0077] 继续参照图1,经过图形化处理形成的重布线层302,可以将通道集合中的全部或者部分通道引至器件分离区105中形成串联电路,然后,将串联电路与静电释放端(例如设置了ESD保护电路的通道或者地线)进行连接。从而将所有需要实现ESD防护的通道引向器件分离区105,然后在器件分离区105内将所有的通道串联或局部串联到一起,以形成共电势。再通过将串联电路与有ESD防护的通道或地线相连,从而形成零电势。这样在芯片受到静电放电影响时,电荷会优先向更低的电势移动,所有的电荷都会顺着有ESD保护电路的通道或地线导走,从而保护芯片内部线路不受静电放电的影响。

[0078] 在上述实施例的基础上,为了对所形成的重布线层302进行保护,还可以在重布线层302上设置有保护涂层,然后对于保护涂层是否再做开窗以及后续工艺可以根据实际的封装需求进行设置。

[0079] 图9为本申请实施例四提供的封装方法的流程示意图。如图9所示,本实施例提供的封装方法,包括:

[0080] 步骤401、在封装基底的器件区上设置通道集合。

[0081] 封装基底包括若干个器件区,值得理解的,封装基底可以为晶片、基板或者柔性电路板,在本实施例中并不对封装基底的具体形式进行限定。其中,为了能够对本实施例中的原理进行详细说明,可以选取晶片作为封装基底进行举例说明。而对于器件区可以是封装基底上用来封装芯片或者其他任意器件的部分区域。

[0082] 具体的,在器件区内设置有通道集合,其中,器件区内的通道集合用于连接电子器件。值得理解的,此处的通道集合中的通道可以为封装结构中的任意连接通道,可以是晶片上的,也可以是封装加工出来的,还可以是基板上的。

[0083] 可选的,上述的通道集合可以为晶片上自带的通道引出焊盘,也可以是在原晶片上自带的通道引出焊盘基础上进行二次封装加工的焊盘结构,此外,还可以是在其他类型

基板或者柔性电路板上的通道引出焊盘。

[0084] 步骤402、在封装基底的器件区上设置重布线层。

[0085] 具体的,对于重布线层,可以理解为在晶片表面图形化的导电层,可以用于对器件区上的通道集合进行重新排布。其中,对于重布线层可以是单层导电层结构,也可以是多层导电层结构,在本实施例中并不对重布线层的具体层数进行限定,只需保证通过重布线层可以将器件区上的通道集合中需要进行静电防护的待防护通道子集合引出至晶片上的预设区域,以使待防护通道子集合中的全部或者部分通道在预设区域中形成串联电路即可。

[0086] 步骤403、在器件区上封装电子器件。

[0087] 在封装基底的器件区上设置重布线层之后,可以在器件区上封装电子器件。

[0088] 由于在电子器件封装过程中,例如,在芯片的封装过程中,外部环境(如:设备、材料以及人员等)会带来静电,这些静电容易导致给芯片内部带来瞬间的超强电荷。因此,需要对器件区内用于与芯片建立连接的通道进行静电释放保护。现有技术中,所针对每个需要进行保护的通道都单独设立ESD保护电路,并且在封装完成切割形成芯片模组后,这些ESD保护电路仍然寄生在各个通道上。而这些寄生ESD保护电路会消耗芯片模组工作时的功率,并且会对在芯片模组工作时造成反向电感,从而降低各个通道的驱动电压,进而影响芯片模组的通信速度。

[0089] 而在本实施例中,为了能够对需要进行防护的通道进行静电保护,可以将通道集合中需要进行静电防护的待防护通道子集合的全部或者部分通道通过重布线层在晶片上的预设区域形成串联电路,并且将串联电路与静电释放端(例如ESD防护模块端口或者地线)进行连接。

[0090] 图10为本申请实施例五提供的封装方法的流程示意图。如图10所示,本实施例提供的封装方法,包括:

[0091] 步骤501、在封装基底的器件区上设置通道集合。

[0092] 值得说明的,本实施例中封步骤501的具体描述请参见图9步骤401中的相关描述,此处不再进行赘述。

[0093] 步骤502、在封装基底上成型可导电介质层。

[0094] 封装基底包括多个器件区,以及相邻器件区之间设置的器件分离区。值得理解的,封装基底可以为晶片、基板或者柔性电路板,在本实施例中并不对封装基底的具体形式进行限定。其中,为了能够对本实施例中的原理进行详细说明,可以选取晶片作为封装基底进行举例说明。

[0095] 具体的,晶片包括多个器件区,以及相邻器件区之间设置的器件分离区。

[0096] 并且,在器件区内设置有通道集合,其中,器件区内的通道集合用于连接电子器件。值得理解的,此处的通道集合中的通道可以为封装结构中的任意连接通道,例如,可以是用来封装芯片,以与该芯片建立连接的通道。

[0097] 晶片设置有通道引出焊盘,其中,通道引出焊盘用于建立通道与电子器件之间的连接。

[0098] 而器件分离区则可以是由相邻两个器件区的电子器件边缘所形成的区域,其中,器件分离区可以为芯片之间的切割道。在对芯片封装完成后,通过芯片分离工艺对切割道进行切割,从而对各个芯片进行分离。

[0099] 如果晶片出厂时,其表面自带的绝缘层本身就可达到的预设的绝缘标准和寄生标准时,可以直接在晶片上成型可导电介质层。

[0100] 值的说明的,可使用溅射、蒸镀、电镀、化镀、贴导电膜等工艺成型可导电介质层,而在本实施例中,并不对可导电介质层的具体工艺和材质不限,可满足理论导电需求即可。可选的,可导电介质层通常为微米级,例如1-8微米。

[0101] 步骤503、对可导电介质层进行图形化处理以成型重布线层。

[0102] 在成型可导电介质层之后,还需对可导电介质层进行图形化处理以成型重布线层。值得说明的,对可导电介质层进行图形化工艺,可以是使用先涂胶、再光刻、然后干法蚀刻的方式,或者是先涂胶、再光刻、然后湿法蚀刻的方式,或者是激光直写等图形化工艺进行加工,在本实施例中并不对可导电介质层进行的图形化具体加工工艺进行限定。

[0103] 步骤504、在器件区上封装电子器件。

[0104] 经过图形化处理形成的重布线层,可以将通道集合中需要进行静电防护的待防护通道子集合的全部或者部分通道封装基底上的预设区域以形成串联电路。

[0105] 其中,对于上述的预设区域可以为封装基底上的任意位置,可以根据实际的封装工艺和通道集合布局形式进行具体确定。具体的,预设区域可以为器件区外部的区域,也可以是器件区内的部分区域,只需保证,在电子器件封装完成后,对预设区域中的串联电路进行介质层断开处理时,不会影响电子器件正常工作即可。

[0106] 例如,预设区域可以为器件分离区,而器件分离区设置于相邻器件区102之间,通过重布线层将通道集合中需要进行静电防护的待防护通道子集合的全部或者部分通道引出至器件分离区,然后在器件分离区105内将所有的通道串联或局部串联到一起,以形成共电势。再通过将串联电路与有ESD防护模块端口或地线相连,从而形成零电势。这样在芯片受到静电放电影响时,电荷会优先向更低的电势移动,所有的电荷都会顺着有ESD保护电路的通道或地线导走,从而保护芯片内部线路不受静电放电的影响。其中,重布线层302可以为金属材料,例如如铝、铜、镍、钯、金等,也可使用非金属导电材料等任何导电材料。

[0107] 再例如,上述预设区域还可以是器件区内的部分区域,具体的,可以为器件区的中部或者其他可进行重布线层布局的区域,可以根据器件区内的通道集合的具体布置进行适应性设计。然后通过重布线层将通道集合中需要进行静电防护的待防护通道子集合的全部或者部分通道引出至器件区内的部分区域,然后在器件区内的部分区域内将所有的通道串联或局部串联到一起,以形成共电势。再通过将串联电路与有ESD防护模块端口或地线相连,从而形成零电势。这样在芯片受到静电放电影响时,电荷会优先向更低的电势移动,所有的电荷都会顺着有ESD保护电路的通道或地线导走,从而保护芯片内部线路不受静电放电的影响。

[0108] 在本实施例中,通过成型重布线层,可以将通道集合中需要进行静电防护的待防护通道子集合引出至封装基底上的预设区域,以使待防护通道子集合中的全部或者部分通道在预设区域中形成串联电路之后与静电释放端进行连接,从而实现对需要进行防护的通道进行静电保护。

[0109] 在上述实施例四的基础上,为了将通过上述实施例得到的封装结构分片得到的芯片模组,并保证分片后的芯片模组能够进行正常工作。还需在对电子器件封装完成后,断开待防护通道子集合中的全部或者部分通道在预设区域中形成串联电路。

[0110] 具体的,当上述的预设区域为器件分离区时,可以将器件分离区设置为芯片之间的切割道。在对芯片封装完成后,通过芯片分离工艺对各个芯片进行分离。当封装结束后芯片会被切成单颗,通过切割工艺会将切割道内形成的串联电路切断,从而使得每个通道重新独立开来,以恢复芯片功能。而在后续将芯片进行上板时,芯片的ESD防护工作将由板级的ESD防护工艺继续完成。

[0111] 此外,当上述的预设区域为器件区内的部分区域时,则可以是在电子器件完成封装操作后,通过导电介质层切割工艺,例如激光切割的方式,对串联电路进行断开处理。然后再对器件区进行分片处理,通过芯片分离工艺对各个芯片进行分离。

[0112] 可见,本实施例通过切断用于进行静电保护的串联电路,以使得每个通道重新独立开来,以恢复芯片功能,可见,本实施例封装结构可以降低甚至避免ESD防护电路对于各个通道的寄生,从而有效地降低芯片工作时的功耗,并且还可以提高芯片的通信速度。

[0113] 图11为本申请实施例六提供的封装方法的流程示意图。如图11所示,本实施例提供的封装方法,包括:

[0114] 步骤601、在封装基底的器件区上设置通道集合。

[0115] 值得说明的,本实施例中封步骤601的具体描述请参见图9步骤401中的相关描述,此处不再进行赘述。

[0116] 步骤602、在封装基底上成型绝缘层。

[0117] 可以继续选取晶片作为封装基底进行举例说明,具体的,如果晶片出厂时,其表面自带的绝缘层无法达到的预设的绝缘标准和寄生标准时,则还需在晶片上设置绝缘层。

[0118] 具体的,可以是在晶片上成型绝缘层,其中,可以是在晶片表面通过匀胶涂布、等离子喷涂、印刷、贴膜等工艺加工出一层绝缘层。

[0119] 步骤603、在绝缘层上设置开窗结构。

[0120] 为了能够形成有效连接,在形成绝缘层之后,还需要在绝缘层上设置开窗结构。

[0121] 具体的,对于开窗结构的完成工艺,可以通过光刻以及蚀刻的工艺在绝缘层上加工出开窗结构,以露出通道引出焊盘。

[0122] 此外,值得说明的,对于绝缘层以及开窗结构的成型工艺不做具体限定,对于绝缘层的材料也不做具体限定,只是保证能实现器件区表面绝缘,并且通道引出焊盘实现外露即可。可选的,绝缘层的厚度通常为微米级,例如可以为5微米。

[0123] 步骤604、在绝缘层远离封装基底的一面成型可导电介质层。

[0124] 在晶片上成型绝缘层,并完成开窗结构之后,还可以在绝缘层远离晶片的一面上成型可导电介质层。

[0125] 值得说明的,可使用溅射、蒸镀、电镀、化镀、贴导电膜等工艺成型可导电介质层,而在本实施例中,并不对可导电介质层的具体工艺和材质不限,可满足理论导电需求即可。可选的,可导电介质层通常为微米级,例如1-8微米。

[0126] 步骤605、对可导电介质层进行图形化处理以成型重布线层。

[0127] 在成型可导电介质层之后,还需对可导电介质层进行图形化处理以成型重布线层。值得说明的,对可导电介质层进行图形化工艺,可以是使用先涂胶、再光刻、然后干法蚀刻的方式,或者是先涂胶、再光刻、然后湿法蚀刻的方式,或者是激光直写等图形化工艺进行加工,在本实施例中并不对可导电介质层进行的图形化具体加工工艺进行限定。

[0128] 步骤606、在器件区上封装电子器件。

[0129] 值得说明的,本实施例中步骤606的具体实现方式参照图10所示实施例中步骤504的描述,这里不再赘述。

[0130] 本领域技术人员在考虑说明书及实践这里公开的申请后,将容易想到本公开的其它实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化,这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的,本公开的真正范围和精神由下面的权利要求书指出。

[0131] 应当理解的是,本公开并不局限于上面已经描述并在附图中示出的精确结构,并且可以在不脱离其范围进行各种修改和改变。本公开的范围仅由所附的权利要求书来限制。

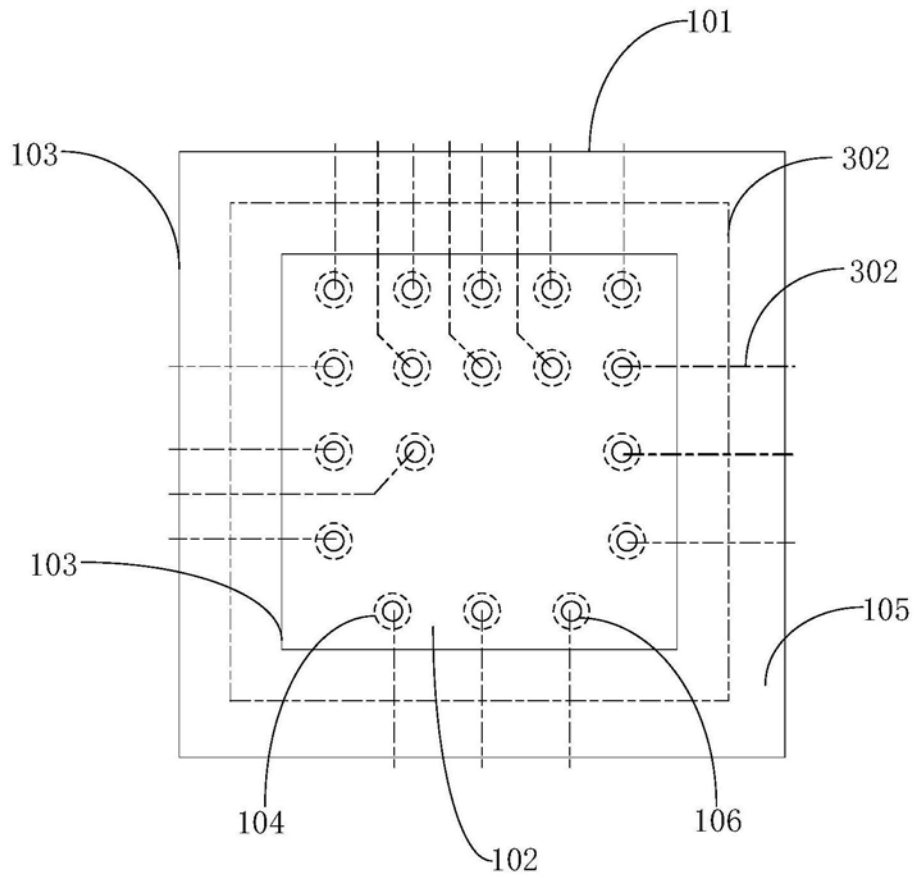


图1

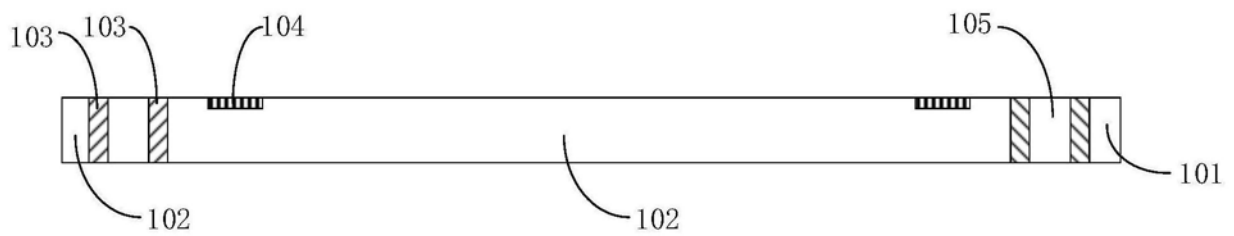


图2

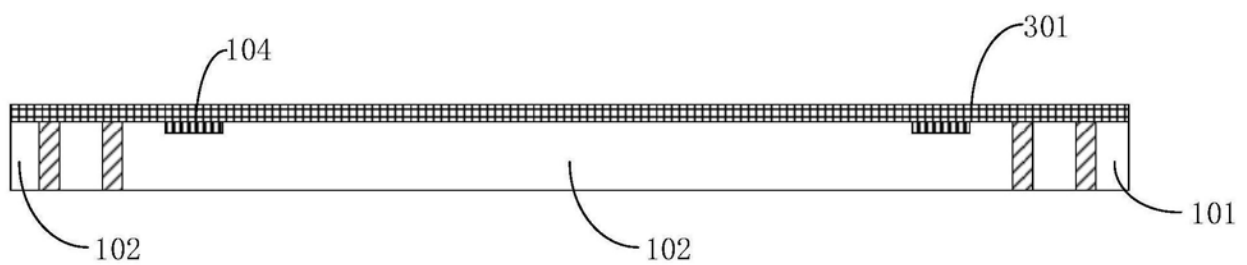


图3

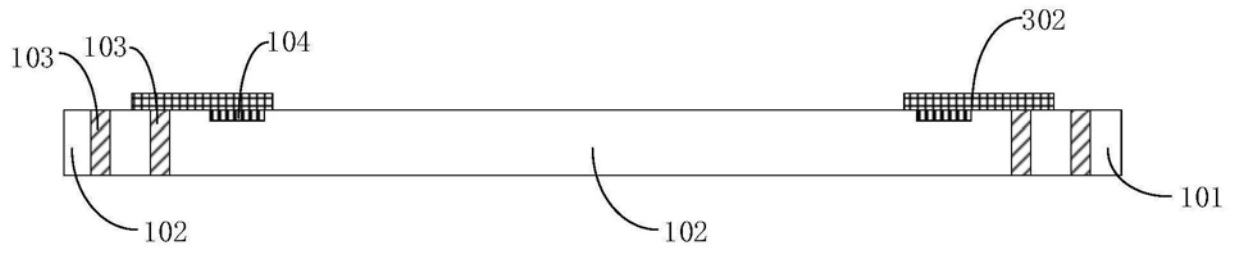


图4

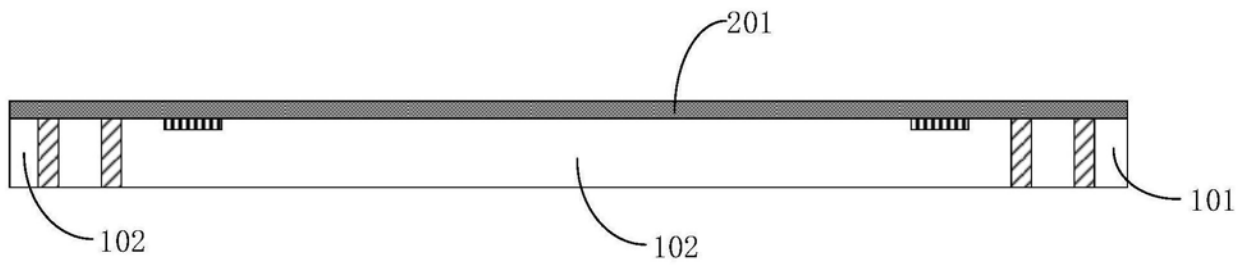


图5

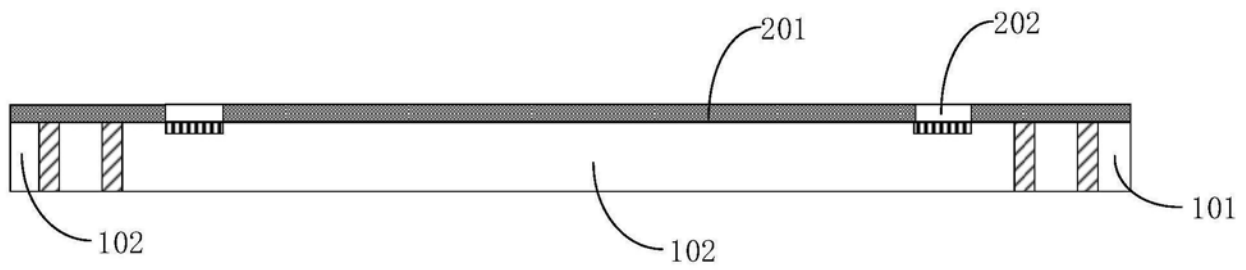


图6

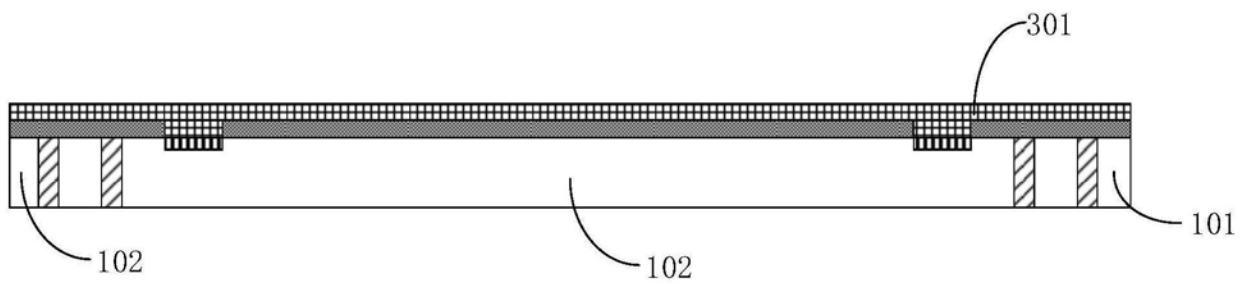


图7

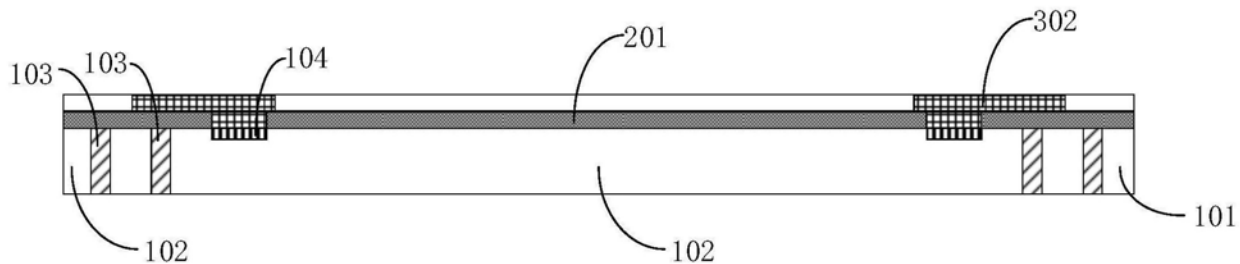


图8

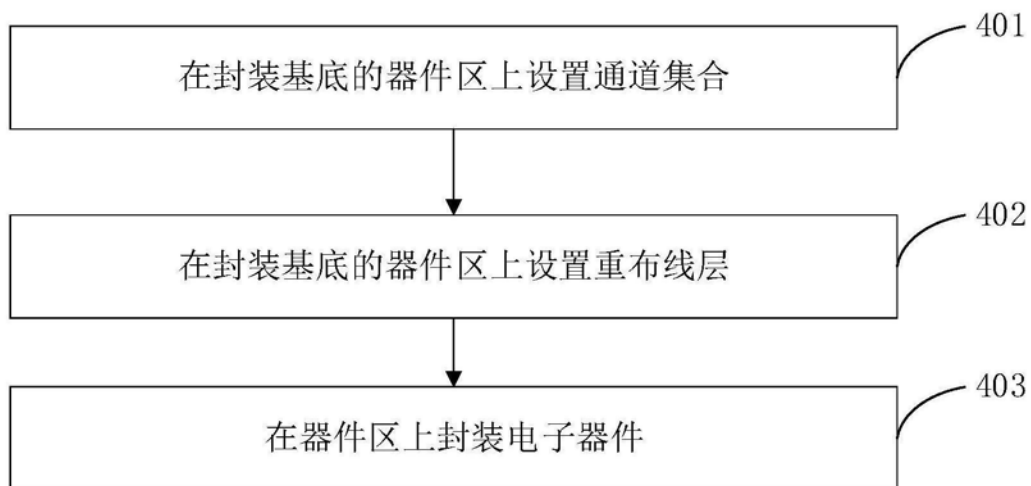


图9

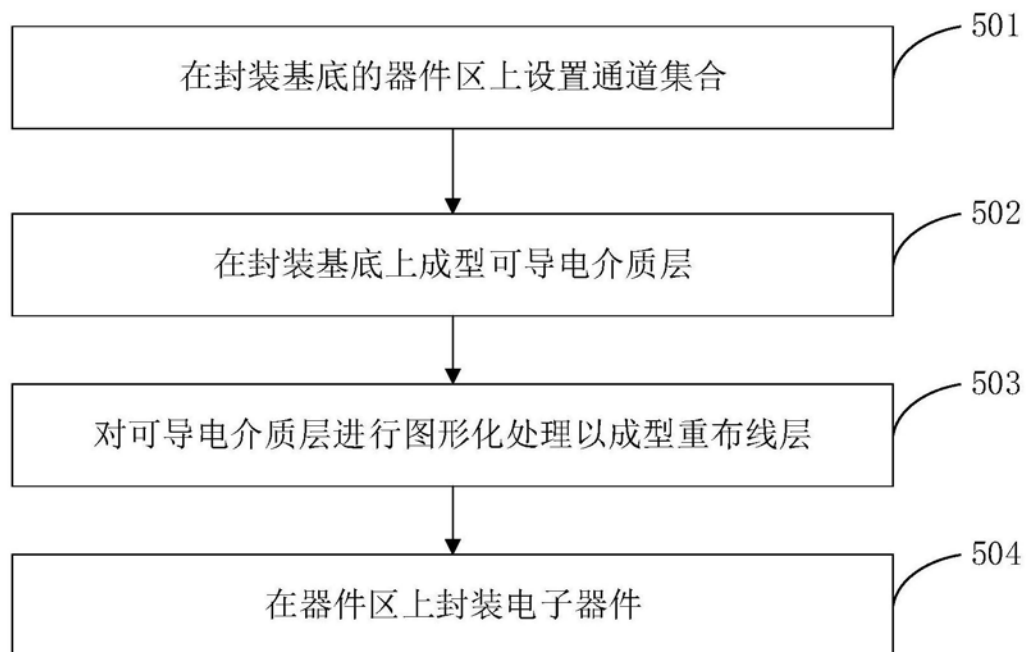


图10

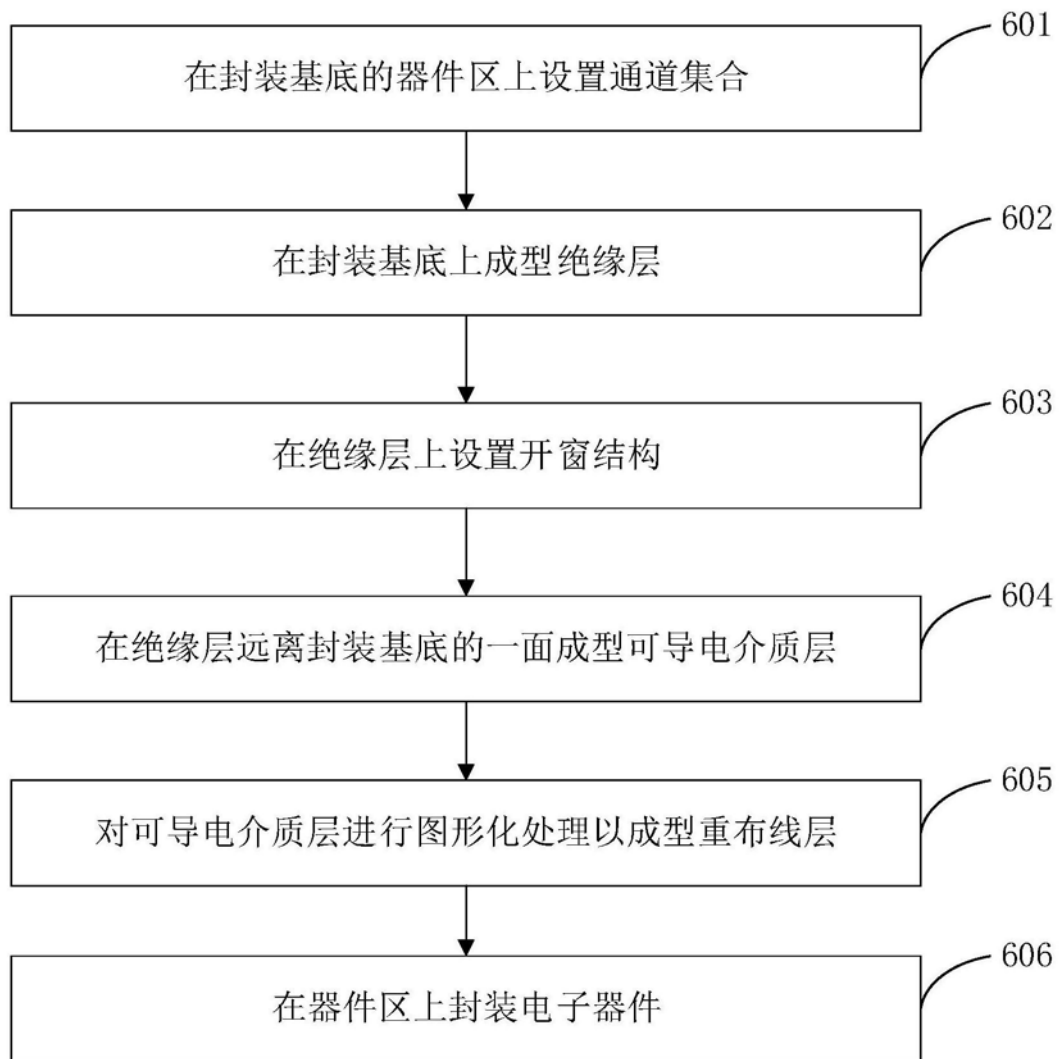


图11