



(12) 发明专利

(10) 授权公告号 CN 111937066 B

(45) 授权公告日 2023.04.18

(21) 申请号 201980000006.X

(72) 发明人 冯雪欢 李永谦

(22) 申请日 2019.01.02

(74) 专利代理机构 北京市中咨律师事务所

(65) 同一申请的已公布的文献号

申请公布号 CN 111937066 A

11247

(43) 申请公布日 2020.11.13

专利代理人 刘薇 牛南辉

(85) PCT国际申请进入国家阶段日

2019.01.03

(51) Int.CI.

G09G 3/3266 (2006.01)

(86) PCT国际申请的申请数据

G11C 19/28 (2006.01)

PCT/CN2019/070064 2019.01.02

审查员 贺轶

(87) PCT国际申请的公布数据

W02020/140195 ZH 2020.07.09

(73) 专利权人 京东方科技股份有限公司

权利要求书4页 说明书19页 附图9页

地址 100015 北京市朝阳区酒仙桥路10号

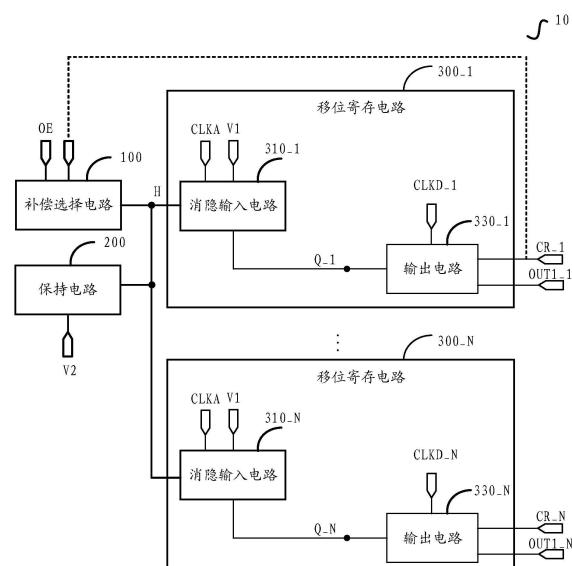
专利权人 合肥鑫晟光电科技有限公司

(54) 发明名称

移位寄存器及其驱动方法、栅极驱动电路和显示装置

(57) 摘要

一种移位寄存器及其驱动方法、栅极驱动电路和显示装置。移位寄存器(10)可包括补偿选择电路(100)、保持电路(200)和N个移位寄存电路(300)。保持电路可保持消隐输入信号。每个移位寄存电路可包括消隐输入电路(310)和输出电路(330)。消隐输入电路可根据消隐输入信号和消隐控制信号(CLKA)将消隐下拉信号提供到第一节点(Q)。输出电路可根据第一节点的电压,从移位信号输出端(CR)输出移位信号,从第一驱动信号输出端(OUT)输出第一驱动信号。补偿选择电路可根据补偿选择控制信号(OE)和N个移位寄存电路中的一个移位寄存电路输出的移位信号,向保持电路和N个移位寄存电路提供消隐输入信号。



1. 一种移位寄存器,包括补偿选择电路、保持电路和N个移位寄存电路;
其中,所述保持电路被配置为保持消隐输入信号;
所述N个移位寄存电路的每一个包括:
消隐输入电路,其被配置为根据所述消隐输入信号和消隐控制信号将消隐下拉信号提供到第一节点;
输出电路,其被配置为根据所述第一节点的电压,从移位信号输出端输出移位信号,以及从第一驱动信号输出端输出第一驱动信号;
所述补偿选择电路被配置为根据补偿选择控制信号和所述N个移位寄存电路中的一个移位寄存电路输出的所述移位信号,经由第一控制节点向所述保持电路和所述N个移位寄存电路提供所述消隐输入信号;
其中,N为大于1的自然数。
2. 根据权利要求1所述的移位寄存器,其中,所述保持电路包括第一电容;
所述第一电容的第一端耦接所述第一控制节点,另一端耦接第二电压端以接收第二电压。
3. 根据权利要求1所述的移位寄存器,其中,所述补偿选择电路包括第一晶体管;
其中,所述第一晶体管的控制极和补偿选择控制信号端耦接以接收所述补偿选择控制信号,所述第一晶体管的第一极和所述N个移位寄存电路中的一个移位寄存电路的所述移位信号输出端耦接,所述第一晶体管的第二极和所述第一控制节点耦接。
4. 根据权利要求1所述的移位寄存器,其中,所述消隐输入电路包括第二晶体管和第三晶体管,
其中,所述第二晶体管的控制极和所述第一控制节点耦接,所述第二晶体管的第一极和第一电压端耦接以接收第一电压作为所述消隐下拉信号,所述第二晶体管的第二极和所述第三晶体管的第一极耦接;
所述第三晶体管的控制极和第一时钟信号端耦接以接收第一时钟信号作为所述消隐控制信号,所述第三晶体管的第二极和所述第一节点耦接。
5. 根据权利要求1所述的移位寄存器,其中,所述输出电路包括:第十九晶体管、第二十二晶体管和第二电容;
其中,所述第十九晶体管的控制极和所述第一节点耦接,所述第十九晶体管的第一极和第四时钟信号端耦接以接收第四时钟信号,所述第十九晶体管的第二极和所述移位信号输出端耦接;
- 所述第二十二晶体管的控制极和所述第一节点耦接,所述第二十二晶体管的第一极和所述第四时钟信号端耦接以接收第四时钟信号,所述第二十二晶体管的第二极和所述第一驱动信号输出端耦接;
- 所述第二电容被耦接在所述第一节点和所述移位信号输出端之间。
6. 根据权利要求1所述的移位寄存器,其中,每个所述移位寄存电路还包括显示输入电路;
其中,所述显示输入电路被配置为根据显示输入信号将显示下拉信号提供到所述第一节点。
7. 根据权利要求6所述的移位寄存器,其中,所述显示输入电路包括第四晶体管;

其中,所述第四晶体管的控制极和显示输入信号端耦接以接收所述显示输入信号,所述第四晶体管的第一极和第一电压端耦接以接收第一电压作为所述显示下拉信号,所述第四晶体管的第二极和所述第一节点耦接。

8.根据权利要求1至7中任一项所述的移位寄存器,其中,每个所述移位寄存电路还包括第一控制电路、上拉电路和第二控制电路;

其中,所述第一控制电路被配置为根据所述第一节点的电压控制上拉节点的电压;

所述上拉电路被配置为根据所述上拉节点的电压,将来自第二电压端的第二电压提供到所述第一节点、所述移位信号输出端和所述第一驱动信号输出端;

所述第二控制电路被配置为根据所述消隐控制信号和所述第一控制节点的电压控制所述上拉节点的电压,以及根据显示输入信号控制所述上拉节点的电压。

9.根据权利要求8所述的移位寄存器,其中,所述上拉节点包括第一上拉节点;

其中,所述第一控制电路包括:

第七晶体管,所述第七晶体管的控制极和第一极和第三电压端耦接,所述第七晶体管的第二极和所述第一上拉节点耦接;以及

第八晶体管,所述第八晶体管的控制极和所述第一节点耦接,所述第八晶体管的第一极和所述第一上拉节点耦接,所述第八晶体管的第二极和所述第二电压端耦接;

其中,所述上拉电路包括:

第九晶体管,所述第九晶体管的控制极和所述第一上拉节点耦接,所述第九晶体管的第一极和所述第一节点耦接,所述第九晶体管的第二极和所述第二电压端耦接;

第二十晶体管,所述第二十晶体管的控制极和所述第一上拉节点耦接,所述第二十晶体管的第一极和所述移位信号输出端耦接,所述第二十晶体管的第二极和所述第二电压端耦接;以及

第二十三晶体管,所述第二十三晶体管的控制极和所述第一上拉节点耦接,所述第二十三晶体管的第一极和所述第一驱动信号输出端耦接,所述第二十三晶体管的第二极和所述第二电压端耦接;

其中,所述第二控制电路包括:

第十三晶体管,所述第十三晶体管的控制极和第一时钟信号端耦接以接收第一时钟信号作为所述消隐控制信号,所述第十三晶体管的第一极和所述第一上拉节点耦接;

第十四晶体管,所述第十四晶体管的控制极和所述第一控制节点耦接,所述第十四晶体管的第一极和所述第十三晶体管的第二极耦接,所述第十四晶体管的第二极和所述第二电压端耦接;以及

第十五晶体管,所述第十五晶体管的控制极和显示输入信号端耦接以接收所述显示输入信号,所述第十五晶体管的第一极和所述第一上拉节点耦接,所述第十五晶体管的第二极和所述第二电压端耦接。

10.根据权利要求9所述的移位寄存器,其中,所述上拉节点还包括第二上拉节点;

其中,所述第一控制电路还包括:

第十晶体管,所述第十晶体管的控制极和第一极和第四电压端耦接,所述第十晶体管的第二极和所述第二上拉节点耦接;以及

第十一晶体管,所述第十一晶体管的控制极和所述第一节点耦接,所述第十一晶体管

的第一极和所述第二上拉节点耦接,所述第十一晶体管的第二极和所述第二电压端耦接;
其中,所述上拉电路还包括:

第十二晶体管,所述第十二晶体管的控制极和所述第二上拉节点耦接,所述第十二晶体管的第一极和所述第一节点耦接,所述第十二晶体管的第二极和所述第二电压端耦接;

第二十一晶体管,所述第二十一晶体管的控制极和所述第二上拉节点耦接,所述第二十一晶体管的第一极和所述移位信号输出端耦接,所述第二十一晶体管的第二极和所述第二电压端耦接;以及

第二十四晶体管,所述第二十四晶体管的控制极和所述第二上拉节点耦接,所述第二十四晶体管的第一极和所述第一驱动信号输出端耦接,所述第二十四晶体管的第二极和所述第二电压端耦接;

其中,所述第二控制电路还包括:

第十六晶体管,所述第十六晶体管的控制极和第一时钟信号端耦接以接收第一时钟信号作为所述消隐控制信号,所述第十六晶体管的第一极和所述第二上拉节点耦接;

第十七晶体管,所述第十七晶体管的控制极和所述第一控制节点耦接,所述第十七晶体管的第一极和所述第十六晶体管的第二极耦接,所述第十七晶体管的第二极和所述第二电压端耦接;以及

第十八晶体管,所述第十八晶体管的控制极和显示输入信号端耦接以接收所述显示输入信号,所述第十八晶体管的第一极和所述第二上拉节点耦接,所述第十八晶体管的第二极和所述第二电压端耦接。

11. 根据权利要求8所述的移位寄存器,其中,每个所述移位寄存电路还包括复位电路;

其中,所述复位电路被配置为根据来自消隐复位信号端的消隐复位信号对所述第一节点进行复位,以及根据来自显示复位信号端的显示复位信号对所述第一节点进行复位。

12. 根据权利要求11所述的移位寄存器,其中,所述复位电路包括第五晶体管和第六晶体管;

所述第五晶体管的控制极和所述消隐复位信号端耦接,所述第五晶体管的第一极和所述第一节点耦接,所述第五晶体管的第二极和所述第二电压端耦接;

所述第六晶体管的控制极和所述显示复位信号端耦接,所述第六晶体管的第一极和所述第一节点耦接,所述第六晶体管的第二极和所述第二电压端耦接。

13. 根据权利要求10所述的移位寄存器,其中,所述输出电路还包括第二十五晶体管和第三电容;

所述第二十五晶体管的控制极和所述第一节点耦接,所述第二十五晶体管的第一极和第五时钟信号端耦接以接收第五时钟信号,所述第二十五晶体管的第二极和第二驱动信号输出端耦接;

所述第三电容被耦接在所述第一节点和所述第二驱动信号输出端之间。

14. 根据权利要求13所述的移位寄存器,其中,所述上拉电路还包括第二十六晶体管和第二十七晶体管;

其中,所述第二十六晶体管的控制极和所述第一上拉节点耦接,所述第二十六晶体管的第一极和所述第二驱动信号输出端耦接,所述第二十六晶体管的第二极和所述第二电压端耦接;

所述第二十七晶体管的控制极和所述第二上拉节点耦接,所述第二十七晶体管的第一极和所述第二驱动信号输出端耦接,所述第二十七晶体管的第二极和所述第二电压端耦接。

15. 根据权利要求1所述的移位寄存器,其中,所述移位寄存器包括一个补偿选择电路和一个保持电路。

16. 一种栅极驱动电路,包括M个如权利要求1至15中任一项所述的移位寄存器和第一子时钟信号线;

其中,所述第一子时钟信号线向各个移位寄存器提供补偿选择控制信号。

17. 根据权利要求16所述的栅极驱动电路,还包括第二子时钟信号线和消隐复位信号线;

其中,第i个移位寄存电路输出的移位信号被提供给第i+2个移位寄存电路,作为显示输入信号;

所述第二子时钟信号线向各个移位寄存电路提供第一时钟信号;

所述消隐复位信号线向各个移位寄存电路提供消隐复位信号;

第i+3个移位寄存电路输出的移位信号提供给第i个移位寄存电路,作为显示复位信号。

18. 根据权利要求16或17所述的栅极驱动电路,还包括第三子时钟信号线、第四子时钟信号线、第五子时钟信号线和第六子时钟信号线;

其中,所述第三子时钟信号线向第4i-3个移位寄存电路提供第四时钟信号;

所述第四子时钟信号线向第4i-2个移位寄存电路提供第四时钟信号;

所述第五子时钟信号线向第4i-1个移位寄存电路提供第四时钟信号;

所述第六子时钟信号线向第4i个移位寄存电路提供第四时钟信号。

19. 根据权利要求16或17所述的栅极驱动电路,还包括第七子时钟信号线、第八子时钟信号线、第九子时钟信号线和第十子时钟信号线;

其中,所述第七子时钟信号线向第4i-3个移位寄存电路提供第五时钟信号;

所述第八子时钟信号线向第4i-2个移位寄存电路提供第五时钟信号;

所述第九子时钟信号线向第4i-1个移位寄存电路提供第五时钟信号;

所述第十子时钟信号线向第4i个移位寄存电路提供第五时钟信号。

20. 一种阵列基板,包括如权利要求16至19中任一项所述的栅极驱动电路。

21. 一种显示装置,包括如权利要求20所述的阵列基板。

22. 一种用于驱动如权利要求1至15中任一项所述的移位寄存器的方法,包括:

根据补偿选择控制信号和N个移位信号中的一个移位信号,提供消隐输入信号;

保持所述消隐输入信号;

根据所述消隐输入信号和消隐控制信号将消隐下拉信号提供到第一节点;以及

根据所述第一节点的电压,从N个移位信号输出端输出N个移位信号,以及从N个第一驱动信号输出端输出N个第一驱动信号。

移位寄存器及其驱动方法、栅极驱动电路和显示装置

技术领域

[0001] 本公开涉及显示技术领域,具体地,涉及移位寄存器及其驱动方法、栅极驱动电路、阵列基板以及显示装置。

背景技术

[0002] 阵列基板行驱动(Gate Driver on Array,简称GOA)技术将栅极驱动电路制作在阵列基板上,实现对像素电路逐行扫描的功能。栅极驱动电路可包括多个级联的移位寄存器。从移位寄存器的输出端输出扫描信号以驱动像素电路并同时输出级联信号以驱动下一级移位寄存器。

[0003] 在显示领域特别是有机发光二极管(Organic Light-Emitting Diode,简称OLED)显示装置中,栅极驱动电路目前都集成在栅极驱动芯片中。在芯片设计中,芯片的面积是影响芯片成本的主要因素。通常,栅极驱动电路包括感测电路、扫描电路、以及连接感测电路和扫描电路的输出的连接电路(例如,或门电路)。这样的栅极驱动电路结构非常复杂,难以满足高分辨率和窄边框的要求。

发明内容

[0004] 本公开的实施例提供了移位寄存器及其驱动方法、栅极驱动电路、阵列基板以及显示装置。

[0005] 根据本公开的第一方面,提供了一种移位寄存器。移位寄存器可包括补偿选择电路、保持电路和N个移位寄存电路。保持电路被配置为保持消隐输入信号。N个移位寄存电路中的每一个包括消隐输入电路,其被配置为根据消隐输入信号和消隐控制信号将消隐下拉信号提供到第一节点;输出电路,其被配置为根据第一节点的电压,从移位信号输出端输出移位信号,以及从第一驱动信号输出端输出第一驱动信号。补偿选择电路被配置为根据补偿选择控制信号和N个移位寄存电路中的一个移位寄存电路输出的移位信号,经由第一控制节点向保持电路和N个移位寄存电路提供消隐输入信号。N为大于1的自然数。

[0006] 在本公开的实施例中,保持电路包括第一电容。第一电容的第一端耦接第一控制节点,另一端耦接第二电压端以接收第二电压。

[0007] 在本公开的实施例中,补偿选择电路包括第一晶体管。第一晶体管的控制极和补偿选择控制信号端耦接以接收补偿选择控制信号,第一晶体管的第一极和N个移位寄存电路中的一个移位寄存电路的移位信号输出端耦接,第一晶体管的第二极和第一控制节点耦接。

[0008] 在本公开的实施例中,消隐输入电路包括第二晶体管和第三晶体管。第二晶体管的控制极和第一控制节点耦接,第二晶体管的第一极和第一电压端耦接以接收第一电压作为消隐下拉信号,第二晶体管的第二极和第三晶体管的第一极耦接。第三晶体管的控制极和第一时钟信号端耦接以接收第一时钟信号作为消隐控制信号,第三晶体管的第二极和第一节点耦接。

[0009] 在本公开的实施例中,输出电路包括:第十九晶体管、第二十二晶体管和第二电容。第十九晶体管的控制极和第一节点耦接,第十九晶体管的第一极和第四时钟信号端耦接以接收第四时钟信号,第十九晶体管的第二极和移位信号输出端耦接。第二十二晶体管的控制极和第一节点耦接,第二十二晶体管的第一极和第四时钟信号端耦接以接收第四时钟信号,第二十二晶体管的第二极和第一驱动信号输出端耦接。第二电容被耦接在第一节点和移位信号输出端之间。

[0010] 在本公开的实施例中,每个移位寄存电路还包括显示输入电路。显示输入电路被配置为根据显示输入信号将显示下拉信号提供到第一节点。

[0011] 在本公开的实施例中,显示输入电路包括第四晶体管。第四晶体管的控制极和显示输入信号端耦接以接收显示输入信号,第四晶体管的第一极和第一电压端耦接以接收第一电压作为显示下拉信号,第四晶体管的第二极和第一节点耦接。

[0012] 在本公开的实施例中,每个移位寄存电路还包括第一控制电路、上拉电路和第二控制电路。第一控制电路被配置为根据第一节点的电压控制上拉节点的电压。上拉电路被配置为根据上拉节点的电压,将来自第二电压端的第二电压提供到第一节点、移位信号输出端和第一驱动信号输出端。第二控制电路被配置为根据消隐控制信号和第一控制节点的电压控制上拉节点的电压,以及根据显示输入信号控制上拉节点的电压。

[0013] 在本公开的实施例中,上拉节点可包括第一上拉节点。第一控制电路可包括第七晶体管和第八晶体管。第七晶体管的控制极和第一极和第三电压端耦接,第七晶体管的第二极和第一上拉节点耦接。第八晶体管的控制极和第一节点耦接,第八晶体管的第一极和第一上拉节点耦接,第八晶体管的第二极和第二电压端耦接。上拉电路可包括第九晶体管、第二十晶体管和第二十三晶体管。第九晶体管的控制极和第一上拉节点耦接,第九晶体管的第一极和第一节点耦接,第九晶体管的第二极和第二电压端耦接。第二十晶体管的控制极和第一上拉节点耦接,第二十晶体管的第一极和移位信号输出端耦接,第二十晶体管的第二极和第二电压端耦接。第二十三晶体管的控制极和第一上拉节点耦接,第二十三晶体管的第一极和第一驱动信号输出端耦接,第二十三晶体管的第二极和第二电压端耦接。第二控制电路可包括第十三晶体管、第十四晶体管和第十五晶体管。第十三晶体管的控制极和第一时钟信号端耦接以接收第一时钟信号作为消隐控制信号,第十三晶体管的第一极和第一上拉节点耦接。第十四晶体管的控制极和第一控制节点耦接,第十四晶体管的第一极和第十三晶体管的第二极耦接,第十四晶体管的第二极和第二电压端耦接。第十五晶体管的控制极和显示输入信号端耦接以接收显示输入信号,第十五晶体管的第一极和第一上拉节点耦接,第十五晶体管的第二极和第二电压端耦接。

[0014] 在本公开的实施例中,上拉节点还可包括第二上拉节点。第一控制电路还包括第十晶体管和第十一晶体管。第十晶体管的控制极和第一极和第四电压端耦接,第十晶体管的第二极和第二上拉节点耦接。第十一晶体管的控制极和第一节点耦接,第十一晶体管的第一极和第二上拉节点耦接,第十一晶体管的第二极和第二电压端耦接。上拉电路还可包括第十二晶体管、第二十一晶体管和第二十四晶体管。第十二晶体管的控制极和第二上拉节点耦接,第十二晶体管的第一极和第一节点耦接,第十二晶体管的第二极和第二电压端耦接。第二十一晶体管的控制极和第二上拉节点耦接,第二十一晶体管的第一极和移位信号输出端耦接,第二十一晶体管的第二极和第二电压端耦接。第二十四晶体管的控制极和第

二上拉节点耦接,第二十四晶体管的第一极和第一驱动信号输出端耦接,第二十四晶体管的第二极和第二电压端耦接。第二控制电路还可包括第十六晶体管、第十七晶体管和第十八晶体管。第十六晶体管的控制极和第一时钟信号端耦接以接收第一时钟信号作为消隐控制信号,第十六晶体管的第一极和第二上拉节点耦接。第十七晶体管的控制极和第一控制节点耦接,第十七晶体管的第一极和第十六晶体管的第二极耦接,第十七晶体管的第二极和第二电压端耦接。第十八晶体管的控制极和显示输入信号端耦接以接收显示输入信号,第十八晶体管的第一极和第二上拉节点耦接,第十八晶体管的第二极和第二电压端耦接。

[0015] 在本公开的实施例中,每个移位寄存电路还包括复位电路。复位电路被配置为根据来自消隐复位信号端的消隐复位信号对第一节点进行复位,以及根据来自显示复位信号端的显示复位信号对第一节点进行复位。

[0016] 在本公开的实施例中,复位电路可包括第五晶体管和第六晶体管。第五晶体管的控制极和消隐复位信号端耦接,第五晶体管的第一极和第一节点耦接,第五晶体管的第二极和第二电压端耦接。第六晶体管的控制极和显示复位信号端耦接,第六晶体管的第一极和第一节点耦接,第六晶体管的第二极和第二电压端耦接。

[0017] 在本公开的实施例中,输出电路还可包括第二十五晶体管和第三电容。第二十五晶体管的控制极和第一节点耦接,第二十五晶体管的第一极和第五时钟信号端耦接以接收第五时钟信号,第二十五晶体管的第二极和第二驱动信号输出端耦接。第三电容被耦接在第一节点和第二驱动信号输出端之间。

[0018] 在本公开的实施例中,上拉电路还可包括第二十六晶体管和第二十七晶体管。第二十六晶体管的控制极和第一上拉节点耦接,第二十六晶体管的第一极和第二驱动信号输出端耦接,第二十六晶体管的第二极和第二电压端耦接。第二十七晶体管的控制极和第二上拉节点耦接,第二十七晶体管的第一极和第二驱动信号输出端耦接,第二十七晶体管的第二极和第二电压端耦接。

[0019] 在本公开的实施例中,移位寄存器包括一个补偿选择电路和一个保持电路。

[0020] 根据本公开的第二方面,提供了一种栅极驱动电路。栅极驱动电路可包括M个如权利要求1至13中任一项的移位寄存器和第一子时钟信号线。第一子时钟信号线向各个移位寄存器提供补偿选择控制信号。

[0021] 在本公开的实施例中,栅极驱动电路还包括第二子时钟信号线和消隐复位信号线。第i个移位寄存电路输出的移位信号被提供给第i+2个移位寄存电路,作为显示输入信号。第二子时钟信号线向各个移位寄存电路提供第一时钟信号。消隐复位信号线向各个移位寄存电路提供消隐复位信号。第i+3个移位寄存电路输出的移位信号提供给第i个移位寄存电路,作为显示复位信号。

[0022] 在本公开的实施例中,栅极驱动电路还包括第三子时钟信号线、第四子时钟信号线、第五子时钟信号线和第六子时钟信号线。第三子时钟信号线向第4i-3个移位寄存电路提供第四时钟信号。第四子时钟信号线向第4i-2个移位寄存电路提供第四时钟信号。第五子时钟信号线向第4i-1个移位寄存电路提供第四时钟信号。第六子时钟信号线向第4i个移位寄存电路提供第四时钟信号。

[0023] 在本公开的实施例中,栅极驱动电路还包括第七子时钟信号线、第八子时钟信号线、第九子时钟信号线和第十子时钟信号线。第七子时钟信号线向第4i-3个移位寄存电

路提供第五时钟信号。第八子时钟信号线向第4i-2个移位寄存电路提供第五时钟信号。第九子时钟信号线向第4i-1个移位寄存电路提供第五时钟信号。第十子时钟信号线向第4i个移位寄存电路提供第五时钟信号。

[0024] 根据本公开的第三方面,提供了一种阵列基板。阵列基板包括根据本公开的第二方面提供的栅极驱动电路。

[0025] 根据本公开的第四方面,提供了一种显示装置。显示装置包括根据本公开的第三方面提供的阵列基板。

[0026] 根据本公开的第五方面,提供了一种用于驱动本公开的第一方面提供的移位寄存器的方法。在方法中,根据补偿选择控制信号和N个移位信号中的一个移位信号,提供消隐输入信号;保持消隐输入信号。根据消隐输入信号和消隐控制信号将消隐下拉信号提供到第一节点;以及根据第一节点的电压,从N个移位信号输出端输出N个移位信号,以及从N个第一驱动信号输出端输出N个第一驱动信号。

附图说明

[0027] 为了更清楚地说明本公开的技术方案,下面将对实施例的附图进行简单说明。应当知道,以下描述的附图仅仅涉及本公开的一些实施例,而非对本公开的限制。在附图中:

[0028] 图1示出了根据本公开的实施例的移位寄存器的示意性框图;

[0029] 图2示出了根据本公开的实施例的移位寄存器的示意性框图;

[0030] 图3示出了根据本公开的实施例的移位寄存器的示例性电路图;

[0031] 图4(1)、(2)、(3)、(4)和(5)分别示出了根据本公开的实施例的消隐输入电路的示例性电路图;

[0032] 图5(1)、(2)和(3)分别示出了根据本公开的实施例的显示输入电路的示例性电路图;

[0033] 图6(1)和(2)分别示出了根据本公开的实施例的第二控制电路的示例性电路图;

[0034] 图7示出了根据本公开的另一实施例的移位寄存器的示例性电路图;

[0035] 图8示出了根据本公开的实施例的栅极驱动电路的示意图;

[0036] 图9示出了根据本公开的实施例的栅极驱动电路的工作过程中各信号的时序图;以及

[0037] 图10示出了根据本公开的实施例的用于驱动移位寄存器的方法的示意性流程图。

具体实施方式

[0038] 为了使本公开的实施例的技术方案和优点更加清楚,下面将结合附图,对本公开的实施例的技术方案进行清楚、完整的描述。显然,所描述的实施例仅仅是本公开的一部分实施例,而并非全部的实施例。基于所描述的实施例,本领域的普通技术人员在无需创造性劳动的前提下所获得的所有其它实施例,也都属于本公开的范围。

[0039] 除非另外定义,本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。同样,“一个”、“一”或者“该”等类似词语也不表示数量限制,而是表示存在至少一个。“包括”或者“包含”等类似

的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“耦接”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,并且可以是直接连接也可以通过中间介质间接连接。“上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

[0040] 在对OLED显示面板中的子像素进行补偿时,除了在子像素中设置像素补偿电路进行内部补偿外,还可以通过设置感测晶体管进行外部补偿。在进行外部补偿时,栅极驱动电路需要向显示面板中的子像素分别提供用于扫描晶体管和感测晶体管的驱动信号。如前所述,栅极驱动电路中的感测电路可提供用于感测晶体管的驱动信号,扫描电路可提供用于扫描晶体管的驱动信号以使子像素进行显示。例如,在一帧的显示阶段(Display)提供用于扫描晶体管的驱动信号以使子像素进行显示。在一帧的消隐阶段(Blank)提供用于感测晶体管的驱动信号,以对子像素进行外部补偿。在消隐阶段,显示面板不进行显示。在本公开的实施例中,“一帧”、“每帧”或“某一帧”包括依次进行的显示阶段和消隐阶段。

[0041] 在一种外部补偿方法中,栅极驱动电路输出的感测驱动信号是逐行顺序扫描的,例如,在第一帧的消隐阶段输出用于显示面板中第一行的子像素的驱动信号,在第二帧的消隐阶段输出用于显示面板中第二行的子像素的驱动信号,依次类推,以每帧输出对应一行子像素的驱动信号的频率逐行顺序输出,即完成对显示面板的逐行顺序补偿。

[0042] 但是,在采用上述逐行顺序补偿的方法时,可能会产生显示不良问题:一是在进行多帧的扫描显示过程中有一条逐行移动的扫描线;二是因为进行外部补偿的时间点的差异会造成显示面板不同区域的亮度差异比较大,例如,在对显示面板的第100行的子像素进行外部补偿时,显示面板的第10、11、12行的子像素虽然已经进行过外部补偿了,但此时第10、11、12行的子像素的发光亮度可能已经发生变化,例如发光亮度降低,从而会造成显示面板不同区域的亮度不均匀,在大尺寸的显示面板中这种问题会更加明显。

[0043] 针对上述问题,本公开的实施例提供的移位寄存器单元可以实现随机补偿一行或多行子像素,从而可以避免由于逐行顺序补偿造成的扫描线以及显示亮度不均匀等显示不良问题,并且简化电路结构。

[0044] 本公开的实施例提供了移位寄存器及其驱动方法、栅极驱动电路、阵列基板以及显示装置。下面结合附图对本公开的实施例及其示例进行详细说明。

[0045] 图1示出了根据本公开的实施例的移位寄存器的示意性框图。如图1所示,移位寄存器10可包括补偿选择电路100、保持电路200和N个移位寄存电路(300_1……300_N,以下可统一称为300)。N为大于1的自然数。

[0046] 在本公开的实施例中,保持电路200可保持消隐输入信号。例如,保持电路200可被耦接在第一控制节点H和第二电压端V2之间。保持电路200可经由第一控制节点H接收消隐输入信号,并保持消隐输入信号。在实施例中,第二电压端可提供直流高电平信号,即第二电压V2是高电平。

[0047] 各个移位寄存电路300可包括消隐输入电路(310_1……310_N,以下可统一称为310)和输出电路(330_1……330_N,以下可统一称为330)。

[0048] 消隐输入电路310可根据消隐输入信号和消隐控制信号将消隐下拉信号提供到第一节点(也可被称为下拉节点)(Q_1……Q_N,以下可统一称为Q),以控制第一节点Q的电压。

例如,消隐输入电路310可与第一控制节点H耦接以接收消隐输入信号,与第一时钟信号端耦接以接收第一时钟信号CLKA作为消隐控制信号,与第一电压端耦接以接收第一电压V1作为消隐下拉信号。在实施例中,第一电压端可提供直流低电平信号,即第一电压V1是低电平。

[0049] 输出电路330可根据第一节点Q的电压,从移位信号输出端(CR_1……CR_N,以下可统一称为CR)输出移位信号,从第一驱动信号输出端(OUT1_1……OUT1_N,以下可统一称为OUT1)输出第一驱动信号。例如,输出电路330可与第四时钟信号端耦接以接收第四时钟信号CLKD。输出电路330可根据第一节点Q的电压,将第四时钟信号CLKD提供至移位信号输出端CR和第一驱动信号输出端OUT1。

[0050] 在实施例中,在一帧的显示阶段,移位信号例如可以用于控制上下级移位寄存电路的移位,第一驱动信号可以用于驱动显示面板中的扫描晶体管,从而驱动显示面板进行显示。在一帧的消隐阶段,第一驱动信号可以用于驱动显示面板中的某一行子像素中的感测晶体管感测该行子像素的驱动电流,从而基于所感测的驱动电流进行补偿。

[0051] 补偿选择电路100可根据来自补偿选择控制信号端的补偿选择控制信号OE和N个移位寄存电路300中的一个移位寄存电路输出的移位信号CR,经由第一控制节点H向保持电路200和N个移位寄存电路300提供消隐输入信号。

[0052] 在实施例中,在一帧的显示阶段,补偿选择控制信号OE的时序可以被设置为与向补偿选择电路100提供的移位信号CR的时序相同。例如,如图1所示,将N个移位寄存电路300中的第一个移位寄存电路300_1输出的移位信号CR_1提供给补偿选择电路100,并且将补偿选择控制信号OE在显示阶段的时序设置为与移位信号CR_1相同。

[0053] 在实施例中,一个补偿选择电路100和一个保持电路200可以将消隐下拉信号提供给N个移位寄存电路的N个第一节点Q,以便从N个驱动信号输出端输出N个驱动信号。相对于一个补偿选择电路100和一个保持电路200只能够向一个第一节点Q提供消隐下拉信号的情况,本公开的实施例能够节省栅极驱动电路中的补偿选择电路100和保持电路200的数量。

[0054] 图2示出了根据本公开的另一实施例的移位寄存器的示意性框图。如图2所示,移位寄存器20可包括补偿选择电路100、保持电路200和N个移位寄存电路300。移位寄存器20中移位寄存电路300的数量为两个或两个以上,但是为了便于描述,图2中仅示意性地示出一个移位寄存电路300_1,其它移位寄存电路(300_2……300_N)的电路结构可参考移位寄存电路300_1的描述。

[0055] 如图2所示,移位寄存电路300_1可包括消隐输入电路310、显示输入电路320、输出电路330、第一控制电路340、上拉电路350、第二控制电路360、以及复位电路370。其中,补偿选择电路100、保持电路200和消隐输入电路310的电路结构与图1中的补偿选择电路100、保持电路200、消隐输入电路310_1的电路结构相同,已在上文中描述,在此不再赘述。

[0056] 在实施例中,显示输入电路320可根据显示输入信号将显示下拉信号提供到第一节点Q,以控制第一节点Q的电压。例如,显示输入电路320可与显示输入信号端(STU_1……STU_N,以下可统一称为STU)耦接以接收显示输入信号,与第一电压端耦接以接收第一电压V1作为显示下拉信号。

[0057] 在实施例中,输出电路330出第一驱动信号输出端外,还可包括第二驱动信号输出端。输出电路330可根据第一节点Q的电压,从第二驱动信号输出端OUT2输出第二驱动信号。

例如,输出电路330可以和第五时钟信号端耦接以接收第五时钟信号CLKE。在实施例中,输出电路330还可根据第一节点Q的电压,将第五时钟信号CLKE提供至第二驱动信号输出端OUT2。此外,输出电路510的其它结构和功能与图1中输出电路330_1相同,在此不再赘述。本领域技术人员可理解的是驱动信号输出端的数量不限于2个,也可以是2个以上。输出电路可根据第一节点Q的电压和相应的时钟信号而输出相应的驱动信号。

[0058] 第一控制电路340可根据第一节点Q的电压控制上拉节点QB的电压。例如,第一控制电路340可与第二电压端耦接以接收第二电压V2,与第三电压端耦接以接收第三电压V3。在实施例中,第二电压端可提供直流高电平信号,即第二电压V2是高电平。第一控制电路600可在第一节点Q的电压的控制下,根据第二电压V2和第三电压V3控制上拉节点QB的电压。

[0059] 进一步地,第一控制电路340还可与第四电压端耦接以接收第四电压V4。第三电压端和第四电压端可交替提供直流低电平信号,例如第三电压V3和第四电压V4中的一者是低电平,另一者是高电平。在实施例中,第一控制电路340可在第一节点Q的电压的控制下,根据第二电压V2和第三电压V3(或者第四电压V4)控制上拉节点QB的电压。

[0060] 上拉电路350可根据上拉节点QB的电压,将来自第二电压端的第二电压V2提供到第一节点Q、移位信号输出端CR、第一驱动信号输出端OUT1和第二驱动信号输出端OUT2。例如,上拉电路350可与第二电压端耦接以接收第二电压V2。由此,上拉电路350可通过对第一节点Q、移位信号输出端CR和相应的驱动信号输出端进行上拉来降低各端的噪声。

[0061] 第二控制电路360可根据消隐控制信号和第一控制节点H的电压,控制上拉节点QB的电压。例如,第二控制电路360可与第一时钟信号端耦接以接收第一时钟信号CLKA作为消隐控制信号,与第二电压端耦接以接收第二电压。在实施例中,第二控制电路360可在第一时钟信号CLKA和第一控制节点H的电压的控制下,将第二电压提供到上拉节点QB。此外,第二控制电路360还可根据显示输入信号STU,控制上拉节点QB的电压。例如,第二控制电路360可与显示输入信号端耦接以接收显示输入信号STU2。在实施例中,第二控制电路360可在显示输入信号STU的控制下,将第二电压提供到上拉节点QB。由此,第二控制电路360可对上拉节点QB进行上拉。

[0062] 此外,复位电路370可根据来自消隐复位信号端的消隐复位信号TRST对第一节点Q进行复位,以及根据来自显示复位信号端的显示复位信号STD对第一节点Q进行复位。例如,复位电路370可与消隐复位信号端耦接以接收消隐复位信号TRST,与显示复位信号端耦接以接收显示复位信号STD,以及与第二电压端耦接以接收第二电压V2。在实施例中,复位电路370可根据消隐复位信号TRST将第二电压V2提供到第一节点Q,以及根据显示复位信号STD将第二电压V2提供到第一节点Q。

[0063] 本领域技术人员可以理解,尽管图2中的移位寄存器20示出了第一控制电路340、上拉电路350、第二控制电路360和复位电路370,然而上述示例并不能限制本公开的保护范围。在实际应用中,技术人员可以根据情况选择使用或不使用上述各电路中的一个或多个,基于前述各电路的各种组合变型均不脱离本公开的原理,对此不再赘述。

[0064] 以下通过示例性电路结构来对本公开提供的移位寄存器进行描述。图3示出了根据本公开的实施例的移位寄存器的示例性电路图。移位寄存器例如是图2中所示的移位寄存器20。为了便于描述,图3中仅示出一个移位寄存电路300_1的电路结构,其它移位寄存电

路(300_2……300_N)的电路结构可参考移位寄存电路300_1的描述。如图3所示,移位寄存器可包括第一晶体管M1至第二十七晶体管M27、以及第一电容C1至第三电容C3。

[0065] 需要说明的是,本公开的实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其它特性相同的开关器件。本公开的实施例中均以薄膜晶体管为例进行说明。这里采用的晶体管的源极、漏极在结构上可以是对称的,所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中,为了区分晶体管除栅极之外的两极,直接描述了其中一极为第一极,另一极为第二极。晶体管的栅极可被称为控制极。此外,按照晶体管的特性区分可以将晶体管分为N型和P型晶体管。当晶体管为P型晶体管时,导通电压为低电平电压(例如,0V、-5V、-10V或其它合适的电压),关断电压为高电平电压(例如,5V、10V或其它合适的电压)。当晶体管为N型晶体管时,导通电压为高电平电压(例如,5V、10V或其它合适的电压),关断电压为低电平电压(例如,0V、-5V、-10V或其它合适的电压)。

[0066] 另外,需要说明的是,本公开的实施例中提供的移位寄存器中采用的晶体管均是以P型晶体管为例进行说明的。本公开的实施例包括但不限于此,例如移位寄存器中的至少部分晶体管也可以采用N型晶体管。

[0067] 在本公开的实施例中,上拉节点QB可包括第一上拉节点QB_A和第二上拉节点QB_B中的至少一个。图3示出了上拉节点QB包括第一上拉节点QB_A和第二上拉节点QB_B两者的情况。可以理解的是,上拉节点QB也可仅包括第一上拉节点QB_A和第二上拉节点QB_B中的一个,相关联的电路仅需进行相应地调整。

[0068] 如图3所示,补偿选择电路100包括第一晶体管M1。第一晶体管M1的控制极和补偿选择控制信号端耦接以接收补偿选择控制信号OE,第一晶体管M1的第一极和N个移位寄存电路中的一个移位寄存电路300_1的移位信号输出端CR_1耦接,第一晶体管M1的第二极和第一控制节点H耦接。在实施例中,当补偿选择控制信号OE为低电平时,第一晶体管M1导通,从而可以将移位信号CR_1提供到第一控制节点H,以向保持电路200和N个移位寄存电路300提供消隐输入信号。

[0069] 保持电路200包括第一电容C1。第一电容的第一端耦接第一控制节点H,另一端耦接第二电压端以接收第二电压V2。

[0070] 消隐输入电路310包括第二晶体管M2和第三晶体管M3。第二晶体管M2的控制极和第一控制节点H耦接,第二晶体管M2的第一极和第一电压端耦接以接收第一电压V1作为消隐下拉信号,第二晶体管M2的第二极和第三晶体管的第一极耦接。第三晶体管M3的控制极和第一时钟信号端耦接以接收第一时钟信号CLKA作为消隐控制信号,第三晶体管M3的第一极和第二晶体管M2的第二极耦接,第三晶体管M3的第二极和第一节点Q耦接。在实施例中,当第一控制节点H的电压和第一时钟信号CLKA均为低电平时,第二晶体管M2和第三晶体管M3导通,将第一电压V1提供至第一节点Q,以将第一节点Q拉低。

[0071] 显示输入电路320包括第四晶体管M4。第四晶体管M4的控制极和显示输入信号端耦接以接收显示输入信号STU,第四晶体管M4的第一极和第一电压端耦接以接收第一电压V1作为显示下拉信号,第四晶体管M4的第二极和第一节点Q耦接。在实施例中,当显示输入信号STU为低电平时,第四晶体管M4导通,将第一电压V1提供到第一节点Q,使得第一节点Q的电压为低电平。

[0072] 输出电路330包括第十九晶体管M19、第二十二晶体管M22、第二十五晶体管M25、第

二电容C2和第三电容C3。第十九晶体管M19的控制极和第一节点Q耦接，第十九晶体管M19的第一极和第四时钟信号端耦接以接收第四时钟信号CLKD，第十九晶体管M19的第二极和移位信号输出端CR耦接。第二十二晶体管M22的控制极和第一节点Q耦接，第二十二晶体管M22的第一极和第四时钟信号端耦接以接收第四时钟信号CLKD，第二十二晶体管M22的第二极和第一驱动信号输出端耦接OUT1。第二十五晶体管M25的控制极和第一节点Q耦接，第二十五晶体管M25的第一极和第五时钟信号端耦接以接收第五时钟信号CLKE，第二十五晶体管M25的第二极和第二驱动信号输出端OUT2耦接。第二电容C2的第一端和第一节点Q耦接，第二电容C2的第二端和移位信号输出端CR耦接。第三电容C3的第一端和第一节点Q耦接，第三电容C3的第二端和第二驱动信号输出端OUT2耦接。

[0073] 在实施例中，当第一节点Q为低电平时，第十九晶体管M19、第二十二晶体管M22、第二十五晶体管M25导通，将第四时钟信号CLKD提供到移位信号输出端CR和第一驱动信号输出端耦接OUT1，以及将第五时钟信号CLKE提供到第二驱动信号输出端OUT2。

[0074] 第一控制电路340包括第七晶体管M7、第八晶体管M8、第十晶体管M10和第十一晶体管M11。第七晶体管M7的控制极和第一极和第三电压端耦接以接收第三电压V3，第七晶体管M7的第二极和第一上拉节点QB_A耦接。第八晶体管M8的控制极和第一节点Q耦接，第八晶体管M8的第一极和第一上拉节点QB_A耦接，第八晶体管M8的第二极和第二电压端耦接以接收第二电压V2。第十晶体管M10的控制极和第一极与第四电压端耦接以接收第四电压V4，第十晶体管M10的第二极和第二上拉节点QB_B耦接。第十一晶体管M11的控制极和第一节点Q耦接，第十一晶体管M11的第一极和第二上拉节点QB_B耦接，第十一晶体管M11的第二极和第二电压端V2耦接以接收第二电压V2。

[0075] 可理解地是，当上拉节点QB仅包括第一上拉节点QB_A(或者第二上拉节点QB_B)，第一控制电路600可包括第七晶体管M7和第八晶体管M8(或者第十晶体管M10和第十一晶体管M11)。具体电路结构类似，在此不再赘述。

[0076] 在实施例中，第三电压端V3和第四电压端V4可以被配置为交替提供低电平。也就是说，第三电压端V3提供高电平时，第四电压端V4提供低电平，第十晶体管M10导通。第三电压端V3提供低电平时，第四电压端V4提供高电平，第七晶体管M7导通。因此，第七晶体管M7和第十晶体管M10中只有一个晶体管处于导通状态。这样可以避免晶体管长期导通引起的性能漂移。

[0077] 当第七晶体管M7导通时第三电压可以对第一上拉节点QB_A进行充电，当第十晶体管M10导通时第四电压可以对第二上拉节点QB_B进行充电，从而将第一上拉节点QB_A或第二上拉节点QB_B的电压控制为低电平。当第一节点Q的电压为低电平时，第八晶体管M8和第十一晶体管M11导通。例如，在晶体管的设计上，可以将第七晶体管M7与第八晶体管M8配置为(例如对二者的尺寸比、阈值电压等配置)在M7和M8均导通时，第一上拉节点QB_A的电压可以经由第二电压V2被上拉至高电平，该高电平可以使得第二十晶体管M20、第二十三晶体管M23以及第二十六晶体管M26保持关断。另一方面，可以将第十晶体管M10与第十一晶体管M11配置为(例如对二者的尺寸比、阈值电压等配置)在M10和M11均导通时，第二上拉节点QB_B的电压可以经由第二电压V2被上拉至高电平，该高电平可以使得第二十一晶体管M21、第二十四晶体管M24以及第二十七晶体管M27保持关断。

[0078] 如图3所示，上拉电路350包括第九晶体管M9、第二十晶体管M20、第二十三晶体管

M23、第十二晶体管M12、第二十一晶体管M21、第二十四晶体管M24、第二十六晶体管M26和第二十七晶体管M27。

[0079] 第九晶体管M9的控制极和第一上拉节点QB_A耦接,第九晶体管M9的第一极和第一节点Q耦接,第九晶体管M9的第二极和第二电压端V2耦接以接收第二电压V2。第二十晶体管M20的控制极和第一上拉节点QB_A耦接,第二十晶体管M20的第一极和移位信号输出端CR耦接,第二十晶体管M20的第二极和第二电压端V2耦接。第二十三晶体管M23的控制极和第一上拉节点QB_A耦接,第二十三晶体管M23的第一极和第一驱动信号输出端OUT1耦接,第二十三晶体管M23的第二极和第二电压端V2耦接以接收第二电压V2。第二十六晶体管M26的控制极和第一上拉节点QB_A耦接,第二十六晶体管的第一极和第二驱动信号输出端OUT2耦接,第二十六晶体管的第二极和第二电压端V2耦接以接收第二电压V2。在实施例中,当第一上拉节点QB_A的电压是低电平时,第九晶体管M9、第二十晶体管M20、第二十三晶体管M23、第二十六晶体管导通,以对第一节点Q、移位信号输出端CR、第一驱动信号输出端OUT1和第二驱动信号输出端OUT2进行上拉。

[0080] 第十二晶体管M12的控制极和第二上拉节点QB_B耦接,第十二晶体管M12的第一极和第一节点Q耦接,第十二晶体管M12的第二极和第二电压端V2耦接。第二十一晶体管M21的控制极和第二上拉节点QB_B耦接,第二十一晶体管M21的第一极和移位信号输出端CR耦接,第二十一晶体管M21的第二极和第二电压端V2耦接。第二十四晶体管M24的控制极和第二上拉节点QB_B耦接,第二十四晶体管M24的第一极和第一驱动信号输出端OUT1耦接,第二十四晶体管M24的第二极和第二电压端V2耦接。第二十七晶体管M27的控制极和第二上拉节点QB_B耦接,第二十七晶体管的第一极和第二驱动信号输出端OUT2耦接,第二十七晶体管的第二极和第二电压端V2耦接。在实施例中,当第二上拉节点QB_B的电压是低电平时,第十二晶体管M12、第二十一晶体管M21、第二十四晶体管M24和第二十七晶体管M27导通,以对第一节点Q、移位信号输出端CR、第一驱动信号输出端OUT1和第二驱动信号输出端OUT2进行上拉。

[0081] 可以理解的是,当上拉节点QB仅包括第一上拉节点QB_A(或者第二上拉节点QB_B)时,上拉电路700可包括第九晶体管M9、第二十晶体管M20、第二十三晶体管M23、第二十六晶体管(或者,第十二晶体管M12、第二十一晶体管M21、第二十四晶体管M24和第二十七晶体管M27)。具体电路结构相同,在此不再赘述。

[0082] 如图3所示,第二控制电路360可包括第十三晶体管M13、第十四晶体管M14、第十五晶体管M15、第十六晶体管M16、第十七晶体管M17和第十八晶体管M18。

[0083] 第十三晶体管M13的控制极和第一时钟信号端耦接以接收第一时钟信号CLKA作为消隐控制信号,第十三晶体管M13的第一极和第一上拉节点QB_A耦接。第十四晶体管M14的控制极和第一控制节点H耦接,第十四晶体管M14的第一极和第十三晶体管M13的第二极耦接,第十四晶体管M14的第二极和第二电压端V2耦接。第十五晶体管M15的控制极和显示输入信号端耦接以接收显示输入信号STU2,第十五晶体管M15的第一极和第一上拉节点QB_A耦接,第十五晶体管M15的第二极和第二电压端V2耦接以接收第二电压V2。在实施例中,当第一时钟信号CLKA和第一控制节点H的电压均为低电平时,将第二电压提供到第一上拉节点QB_A。此外,当显示输入信号STU2为低电平时,将第二电压提供到第一上拉节点QB_A。

[0084] 第十六晶体管M16的控制极和第一时钟信号端耦接以接收第一时钟信号CLKA作为

消隐控制信号,第十六晶体管M16的第一极和第二上拉节点QB_B耦接。第十七晶体管M17的控制极和第一控制节点H耦接,第十七晶体管M17的第一极和第十六晶体管M16的第二极耦接,第十七晶体管M17的第二极和第二电压端耦接以接收第二电压V2。第十八晶体管M18的控制极和显示输入信号端耦接以接收显示输入信号STU2,第十八晶体管M18的第一极和第二上拉节点QB_B耦接,第十八晶体管M18的第二极和第二电压端耦接以接收第二电压V2。在实施例中,当第一时钟信号CLKA和第一控制节点H的电压均为低电平时,将第二电压提供到第二上拉节点QB_B。此外,当显示输入信号STU2为低电平时,将第二电压提供到第二上拉节点QB_B。

[0085] 可以理解的是,当上拉节点QB仅包括第一上拉节点QB_A(或者第二上拉节点QB_B)时,上拉电路700可包括第十三晶体管M13、第十四晶体管M14、第十五晶体管M15(或者,第十六晶体管M16、第十七晶体管M17和第十八晶体管M18)。具体电路结构相同,在此不再赘述。

[0086] 此外,如图3所示,复位电路370可包括第五晶体管M5和第六晶体管M6。第五晶体管M5的控制极和消隐复位信号端耦接以接收消隐复位信号TRST,第五晶体管M5的第一极和第一节点Q耦接,第五晶体管M5的第二极和第二电压端耦接以接收第二电压V2。在实施例中,在消隐复位信号TRST为低电平时,第五晶体管M5导通,将第二电压V2提供到第一节点Q。第六晶体管M6的控制极和显示复位信号端耦接以接收显示复位信号STD,第六晶体管M6的第一极和第一节点Q耦接,第六晶体管M6的第二极和第二电压端V2耦接。在实施例中,在显示复位信号STD为低电平时,第六晶体管M6导通,将第二电压V2提供到第一节点Q。

[0087] 可以理解的是,本公开的实施例中移位寄存器中的各电路并不限于以上电路结构,以下结合附图示意性地描述可选择的电路变形,该变形也是非限制性的。

[0088] 图4(1) - (5) 分别示出了根据本公开的多个实施例的消隐输入电路310的示例性电路图。

[0089] 如图4(1)和(2)所示,消隐输入电路310与图3中消隐输入电路310的区别在于第二晶体管的第一极耦接不同的时钟信号端以接收相应的时钟信号作为消隐下拉信号。例如第三时钟信号端CLKC或第一时钟信号端CLKA。也就是说,消隐下拉信号可以不必一直保持低电平,其只需要在消隐控制信号CLKA为低电平期间也为低电平即可。

[0090] 如图4(3)所示,消隐输入电路310与图4(1)中的消隐输入电路310的区别在于,还包括消隐输入晶体管M3_a。消隐输入晶体管M3_a的控制极耦接第二晶体管的第二极和第三晶体管的第一极,消隐输入晶体管M3_a的第一极耦接第一电压端V1,消隐输入晶体管M3_a的第二极耦接第一节点Q。

[0091] 如图4(4)所述,消隐输入电路310与图4(3)中的消隐输入电路310的区别在于,将第三晶体管替换为晶体管M3_b和晶体管M3_c。晶体管M3_b的控制极耦接第一上拉节点QB_A,晶体管M3_c的控制极耦接第二上拉节点QB_B,晶体管M3_b和晶体管M3_c的第一极均耦接第二晶体管的第二极,晶体管M3_b和晶体管M3_c的第二极均耦接第二电压端。

[0092] 如图4(5)所述,消隐输入电路310与图4(3)中的消隐输入电路310的区别在于,将第三晶体管替换为晶体管M3_b、晶体管M3_c和晶体管M3_d。晶体管M3_b的控制极耦接第一控制节点H,晶体管M3_b的第一极耦接晶体管M3_d的第二极,晶体管M3_b的第二极耦接第二电压端。晶体管M3_c的控制极耦接晶体管M3_b的第一极,晶体管M3_c的第一极耦接第二晶体管M2的第二极,晶体管M3_c的第二极耦接第二电压端V2。晶体管M3_d的控制极和第一极

耦接第三时钟信号端CLKC。

[0093] 图5(1)、(2)和(3)分别示出了根据本公开的多个实施例的显示输入电路320的示例性电路图。

[0094] 如图5(1)所示,显示输入电路320可包括第四晶体管M4和第四防漏晶体管M4_b。第四晶体管M4的控制极和第一极以及第四防漏晶体管M4_b的控制极与显示输入信号端耦接以接收显示输入信号STU,并将其作为显示下拉信号,第四晶体管M4的第二极和第四防漏晶体管M4_b的第一极耦接,第四防漏晶体管M4_b的第二极和第一节点Q耦接。

[0095] 如图5(2)所示,显示输入电路320可包括第四晶体管M4和第四防漏晶体管M4_b。第四晶体管M4的控制极和显示输入信号端耦接以接收显示输入信号STU,第一极和第一电压端耦接以接收第一电压V1作为显示下拉信号。第四防漏晶体管M4_b的控制极和第一极与第四晶体管M4的第二极耦接,第二极和第一节点Q耦接。

[0096] 如图5(3)所示,显示输入电路320可包括第四晶体管M4。第四晶体管的控制极和第一极与显示输入信号端耦接以接收显示输入信号STU2,并将其作为显示下拉信号,第二极和第一节点Q耦接。

[0097] 图6(1)和(2)分别示出了根据本公开的多个实施例的第二控制电路360的示例性电路图。

[0098] 如图6(1)所示,第二控制电路360包括第十三晶体管M13、第十五晶体管M15、第十六晶体管M16和第十八晶体管M18。第十三晶体管M13的控制极和第一时钟信号端CLKA耦接以接收第一时钟信号作为消隐控制信号,第十三晶体管M13的第一极和第一上拉节点QB_A耦接,第十三晶体管M13的第二极和第二电压端V2耦接。第十五晶体管M15的控制极和显示输入信号端STU耦接,第十五晶体管M15的第一极和第一上拉节点QB_A耦接,第十五晶体管M15的第二极和第二电压端V2耦接。第十六晶体管M16的控制极和第一时钟信号端CLKA耦接以接收第一时钟信号作为消隐控制信号,第十六晶体管M16的第一极和第二上拉节点QB_B耦接,第十六晶体管M16的第二极和第二电压端V2耦接。第十八晶体管M18的控制极和显示输入信号端耦接,第十八晶体管M18的第一极和第二上拉节点QB_B耦接,第十八晶体管M18的第二极和第二电压端V2耦接。相对于图3中移位寄存器20的第二控制电路800,第二控制电路360不包含第十四晶体管M14和第十七晶体管M17。

[0099] 如图6(2)所示,第二控制电路360包括第十五晶体管M15和第十八晶体管M18。第十五晶体管M15的控制极和显示输入信号端STU2耦接,第十五晶体管M15的第一极和第一上拉节点QB_A耦接,第十五晶体管M15的第二极和第二电压端V2耦接。第十八晶体管M18的控制极和显示输入信号端耦接,第十八晶体管M18的第一极和第二上拉节点QB_B耦接,第十八晶体管M18的第二极和第二电压端V2耦接。相对于图3中移位寄存器20的第二控制电路360,第二控制电路820不包含第十三晶体管M13、第十四晶体管M14、第十六晶体管M16和第十七晶体管M17。

[0100] 图7示出了根据本公开的另一实施例的移位寄存器的示例性电路图。如图7所示,移位寄存器与图3中的移位寄存器的区别在于,第二控制电路360包含第十三晶体管M13、第十五晶体管M15、第十六晶体管M16和第十八晶体管M18(参见图6(1)中第二控制电路360的描述)。此外,移位寄存器还增加了第一防漏电晶体管M1_b、第三防漏电晶体管M3_b、第五防漏电晶体管M5_b、第六防漏电晶体管M6_b、第九防漏电晶体管M9_b、第十二防漏电晶体管

M12_b、第二十八晶体管M28以及第二十九晶体管M29。下面以第一防漏电晶体管M1_b为例对防漏电的工作原理进行说明。

[0101] 第一防漏电晶体管M1_b的控制极和第二时钟信号端CLKB耦接，第一防漏电晶体管M1_b的第一极和第二十八晶体管M28的第二极耦接，第一防漏电晶体管M1_b的第二极和第一控制节点H耦接。第二十八晶体管M28的控制极和第一控制节点H耦接，第二十八晶体管M28的第一极和第二电压端V2耦接以接收低电平的第二电压。当第一控制节点H处于低电平时，第二十八晶体管M28在第一控制节点H的电平的控制下导通，从而可以将第二电压端V2输入的低电平信号输入到第一防漏电晶体管M1_b的第一极，从而使得第一防漏电晶体管M1_b的第一极和第二极都处于低电平状态，防止第一控制节点H处的电荷通过第一防漏电晶体管M1_b漏电。此时，由于第一防漏电晶体管M1_b的控制极和第一晶体管M1的控制极耦接，所以第一晶体管M1和第一防漏电晶体管M1_b的结合可以实现与前述第一晶体管M1相同的效果，同时具有防漏电的效果。

[0102] 类似地，第三防漏电晶体管M3_b、第五防漏电晶体管M5_b、第六防漏电晶体管M6_b、第九防漏电晶体管M9_b、第十二防漏电晶体管M12_b可以分别结合第二十九晶体管M29实现防漏电结构，从而可以防止第一节点Q处的电荷发生漏电。防止第一节点Q发生漏电的工作原理和上述防止第一控制节点H发生漏电的工作原理相同，这里不再赘述。

[0103] 本公开的实施例还提供了由移位寄存器构成的栅极驱动电路。如图8所示，栅极驱动电路30可包括M个移位寄存器，M为大于1的整数。任意一个或多个移位寄存器可以采用本公开的实施例提供的移位寄存器10或移位寄存器20的结构或其变型。可以理解的是，栅极驱动电路30中具有M×N个移位寄存电路。图8中仅示意性的示出了前两个移位寄存器(A1、A2)，其中每个移位寄存器例如分别包括2个移位寄存电路(N=2)。如图8所示，第一移位寄存器A1包括补偿选择电路100、保持电路200(未示出)、移位寄存电路300_1(以下称为第一移位寄存电路SC1)和300_2(以下称为第二移位寄存电路SC2)。第二移位寄存器A2包括补偿选择电路100、保持电路200(未示出)、移位寄存电路300_1(以下称为第三移位寄存电路SC3)和300_2(以下称为第四移位寄存电路SC4)。此外，第三移位寄存器(包括第五移位寄存电路SC5、第六移位寄存电路SC6)至第M移位寄存器的结构和连接关系类似，在此省略其的图示说明。

[0104] 如图8所示，第一移位寄存电路SC1的显示输入信号端STU和第二移位寄存电路SC2的显示输入信号端STU均接收输入信号STU。此外，第i个移位寄存电路输出的移位信号CR提供给第i+2个移位寄存电路，作为显示输入信号STU。例如，第一移位寄存电路SC1的移位信号CR作为第三移位寄存电路SC3的显示输入信号STU。第二移位寄存电路SC2的移位信号CR作为第四移位寄存电路SC4的显示输入信号STU。

[0105] 栅极驱动电路30还包括第一子时钟信号线CLK_1和第二子时钟信号线CLK_2。第一子时钟信号线CLK_1向各个补偿选择电路100提供补偿选择控制信号OE。第二子时钟信号线CLK_2向各个移位寄存电路提供第一时钟信号CLKA。

[0106] 各个移位寄存器中的补偿选择电路100接收该移位寄存器中的第一个移位寄存电路输出的移位信号CR，从而根据补偿选择控制信号OE和该移位信号CR向第一控制节点H提供消隐输入信号。例如，第一移位寄存器A1中的补偿选择电路100耦接第一移位寄存电路SC1的移位信号输出端。第二移位寄存器A2中的补偿选择电路100耦接第三移位寄存电路

SC3的移位信号输出端。第三移位寄存器A3中的补偿选择电路100耦接第五移位寄存电路SC5的移位信号输出端(未示出)。

[0107] 此外,第i+3个移位寄存电路输出的移位信号CR提供给第i个移位寄存电路,作为显示复位信号STD。例如,第四移位寄存电路SC4的移位信号CR作为第一移位寄存电路SC1的显示复位信号STD。

[0108] 棚极驱动电路30还包括消隐复位信号线TRST,其向各个移位寄存电路提供消隐复位信号TRST。

[0109] 如图8所示,棚极驱动电路30还包括第三子时钟信号线CLKD_1、第四子时钟信号线CLKD_2、第五子时钟信号线CLKD_3和第六子时钟信号线CLKD_4。在实施例中,第三子时钟信号线CLKD_1向第4i-3个移位寄存电路提供第四时钟信号。第四子时钟信号线CLKD_2向第4i-2个移位寄存电路提供第四时钟信号。第五子时钟信号线CLKD_3向第4i-1个移位寄存电路提供第四时钟信号。第六子时钟信号线CLKD_4向第4i个移位寄存电路提供第四时钟信号。如图8所示,第三子时钟信号线CLKD_1向第一移位寄存电路SC1和第五移位寄存电路SC5(未示出)提供第四时钟信号。第四子时钟信号线CLKD_2向第二移位寄存电路SC2和第六移位寄存电路SC6(未示出)提供第四时钟信号。第五子时钟信号线CLKD_3向第三移位寄存电路SC3和第七移位寄存电路SC7(未示出)提供第四时钟信号。第六子时钟信号线CLKD_4向第四移位寄存电路SC4和第八移位寄存电路SC8(未示出)提供第四时钟信号。

[0110] 此外,棚极驱动电路30还包括第七子时钟信号线CLKE_1、第八子时钟信号线CLKE_2、第九子时钟信号线CLKE_3和第十子时钟信号线CLKE_4。在实施例中,第七子时钟信号线CLKE_1向第4i-3个移位寄存电路提供第五时钟信号。第八子时钟信号线CLKE_2向第4i-2个移位寄存电路提供第五时钟信号。第九子时钟信号线CLKE_3向第4i-1个移位寄存电路提供第五时钟信号。第十子时钟信号线CLKE_4向第4i个移位寄存电路提供第五时钟信号。如图8所示,第七子时钟信号线CLKE_1向第一移位寄存电路SC1和第五移位寄存电路SC5(未示出)提供第五时钟信号。第八子时钟信号线CLKE_2向第二移位寄存电路SC2和第六移位寄存电路SC6(未示出)提供第五时钟信号。第九子时钟信号线CLKE_3向第三移位寄存电路SC3和第七移位寄存电路SC7(未示出)提供第五时钟信号。第十子时钟信号线CLKE_4向第四移位寄存电路SC4和第八移位寄存电路SC8(未示出)提供第五时钟信号。

[0111] 需要说明的是,图8中所示的级联关系仅是一种示例,根据本公开的描述,还可以根据实际情况采用其它级联方式。

[0112] 下面结合图9中的信号时序图,对图8中所示的棚极驱动电路30的工作过程进行说明。在实施例中,棚极驱动电路30中的移位寄存器(A1、A2等)例如具有图3所示的移位寄存器的电路结构。

[0113] 图9示出了图8所示的棚极驱动电路30在用于随机补偿显示面板中的第五行子像素时的信号时序图。信号STU表示输入信号STU。TRST表示提供给消隐复位信号线TRST的信号。信号OE和CLKA分别表示提供给第一子时钟信号线CLK_1和第二子时钟线的信号CLK_2的信号。信号CLKD_1、CLKD_2、CLKD_3和CLKD_4分别表示提供给第三子时钟信号线CLKD_1、第四子时钟信号线CLKD_2、第五子时钟信号线CLKD_3和第六子时钟信号线CLKD_4的信号。信号CLKE_1、CLKE_2、CLKE_3和CLKE_4分别表示提供给第七子时钟信号线CLKE_1、第八子时钟信号线CLKE_2、第九子时钟信号线CLKE_3和第十子时钟信号线CLKE_4的信号。

[0114] $H<5>$ 表示栅极驱动电路30中第三移位寄存器A3中的第一控制节点H的电压,其为第五移位寄存电路SC5和第六移位寄存电路SC6(未示出)提供消隐输入信号。 $Q<5>$ 和 $Q<6>$ 分别表示第五移位寄存电路SC5和第六移位寄存电路SC6中的第一节点Q的电压。

[0115] $OUT1<1>$ 、 $OUT1<3>$ 、 $OUT1<5>$ 和 $OUT1<8>$ 分别表示栅极驱动电路30中的第一移位寄存电路SC1、第三移位寄存电路SC3、第五移位寄存电路SC5以及第八移位寄存电路SC8中相应的第一驱动信号输出端 $OUT1$ 。 $OUT2<5>$ 表示栅极驱动电路30中的第五移位寄存电路SC5的第二驱动信号输出端 $OUT2$ 。需要说明的是,每一级移位寄存器中的移位信号输出端CR和驱动信号输出端 $OUT1$ 的电压相同。

[0116] 此外,如上文所描述的,图3中示出的晶体管均为P型,第一电压V1为低电平,第二电压V2为高电平。第三电压V3和第四电压V4交替提供低电平。

[0117] 可以理解的是,图9所示的信号时序图中的信号电平只是示意性的,不代表真实电平值。

[0118] 如图9所示,一帧1F包括显示阶段和消隐阶段。在一帧1F开始前,消隐复位信号线TRST和第一子时钟信号线CLK_1均提供低电平信号,以向各个移位寄存器提供低电平的消隐复位信号TRST和补偿选择控制信号OE,使得各级移位寄存器中的第一晶体管M1和各个移位寄存电路中的第五晶体管M5导通。由此,将消隐输入信号STU(高电平的输入信号STU)提供到第一控制节点H,以控制第一控制节点H的电压为高电平。将第二电压V2(高电平)提供到第一节点Q,以控制第一节点Q的电压为高电平。由此,对各级的第一控制节点H和第一节点Q进行复位,以实现全局复位。

[0119] 然后,一帧1F开始,第三电压V3为高电平,第四电压V4为低电平。第七晶体管M7关闭,第十晶体管M10导通。消隐复位信号线TRST提供的信号变为高电平,第五晶体管M5关闭。

[0120] 以下针对随机扫描栅极驱动电路30中的第五移位寄存电路SC5(第三移位寄存器A3中)的工作过程来进行详细描述。第三移位寄存器A3中的补偿选择电路100接收补偿选择控制信号OE和第五移位寄存电路SC5输出的移位信号 $CR<5>$ 。第五移位寄存电路SC5接收第三移位寄存电路SC3输出的移位信号 $CR<3>$,作为显示输入信号STU。第五移位寄存电路SC5接收第八移位寄存电路SC8输出的移位信号 $CR<8>$,作为显示复位信号STD。

[0121] 在一帧1F的显示阶段Display中,对第一移位寄存电路SC1的工作过程描述如下。

[0122] 在第1时段中,第一移位寄存电路SC1的显示输入信号端接收低电平的输入信号STU,第四晶体管M4导通,使得第一移位寄存电路SC1中的第一节点 $Q<1>$ 经由第一电压V1被下拉至低电平,并由第二电容C2保持。第十九晶体管M19、第二十二晶体管M22和第二十五晶体管M25在第一节点 $Q<1>$ 的电压的控制下导通。由于第四时钟信号端CLKD(与第三子时钟信号线CLKD_1耦接)和第五时钟信号CLKE(与第七子时钟信号线CLKE_1耦接)均为高电平,因此第一移位寄存电路输出高电平的移位信号 $CR<1>$ 、第一驱动信号 $OUT1<1>$ 以及第二驱动信号 $OUT2<1>$ 。

[0123] 在第2时段,第四时钟信号端CLKD输入低电平信号,第一节点 $Q<1>$ 的电位由于自举效应而进一步被拉低,所以第十九晶体管M19、第二十二晶体管M22和第二十五晶体管M25保持导通,从而移位信号输出端 $CR<1>$ 和第一驱动信号输出端 $OUT1<1>$ 均输出低电平信号。例如,从移位信号输出端 $CR<1>$ 输出的低电平信号可以用于上下级移位寄存器单元的扫描移位,而从第一驱动信号输出端 $OUT1<1>$ 和第二驱动信号输出端 $OUT2<1>$ 输出的低电平信号可

以用于驱动显示面板中的子像素单元进行显示。

[0124] 在第3时段中,第四时钟信号端CLKD输入高电平信号,由于此时第一节点Q<1>保持低电平,所以第十九晶体管M19、第二十二晶体管M22和第二十五晶体管M25保持导通,从而移位信号CR<1>、第一驱动信号OUT1<1>以及第二驱动信号OUT2<1>均为高电平。由于第二电容C2的自举作用,所以第一节点Q<1>的电位也会升高。

[0125] 在第4时段中,由于第一移位寄存电路的显示复位信号端STD和第四移位寄存电路的移位信号输出端CR<4>连接,此时第四移位寄存电路的移位信号输出端CR<4>输出低电平,所以第一移位寄存电路的显示复位信号端STD输入低电平,第六晶体管M6导通,第一节点Q<1>被上拉至高电平,完成对第一节点Q<1>的复位。由于第一节点Q<1>为高电平,第十一晶体管M11关断,同时第四电压端V4输入的低电平可以使第二上拉节点QBB的电压变为低电平,所以第十二晶体管M12导通,以进一步控制第一节点Q<1>的电压为高电平。同时第二十一晶体管M21、第二十四晶体管M24、第二十七晶体管M27也导通,从而可以对移位信号输出端CR<1>、第一驱动信号输出端OUT1<1>第二驱动信号输入端OUT2<1>进一步上拉。

[0126] 第一移位寄存电路驱动显示面板中第一行的子像素完成显示后,依次类推,第二、第三等移位寄存电路逐行驱动显示面板中的子像素完成一帧的显示驱动。至此,一帧1F的显示阶段结束。

[0127] 同时在第一帧1F的显示阶段Display中还对上拉控制节点H进行充电,例如,当第一帧1F中需要对第五行子像素进行补偿时,则在第一帧1F的显示阶段Display中还进行如下操作。以下对第五移位寄存电路SC5及相关移位寄存电路的工作过程描述如下。

[0128] 在第3时段中,第三移位寄存电路SC3输出低电平的移位信号CR<3>,使得第五移位寄存电路SC5的显示输入信号STU为低电平。第四晶体管M4导通,将第一电压V1提供到第一节点Q<5>,第一节点Q<5>的电压变为低电平。由此,第八晶体管M8和第十一晶体管M11导通。通过高电平的第二电压V2将第一上拉节点QB_A和第二上拉节点QB_B拉高。此外,由于显示输入信号STU为低电平,第十五晶体管M15和第十八晶体管M18导通,将高电平的第二电压V2分别提供到第一上拉节点QB_A和第二上拉节点QB_B,从而可以对第一上拉节点QB_A和第二上拉节点QB_B进行辅助上拉。此时,第二十晶体管M20、第二十一晶体管M21、第二十三晶体管M23、第二十四晶体管M24、第二十六晶体管M26和第二十七晶体管均关断。

[0129] 此外,第一节点Q<5>为低电平,使得第十九晶体管M19、第二十二晶体管M22和第二十五晶体管M25导通,将第四时钟信号CLKD(与第三子时钟信号线CLKD_1耦接)提供到移位信号输出端CR、第一驱动信号输出端OUT1<5>,以及将第五时钟信号CLKE(与第七子时钟信号线CLKE_1耦接)提供到第二驱动信号输出端OUT2<5>,从而分别输出高电平信号。

[0130] 在第4时段中,显示输入信号STU为高电平,第四晶体管关断。第一节点Q<5>在第二电容器C2的保持作用下被保持为低电平。通过第三子时钟信号线CLKD_1向第四时钟信号端CLKD提供低电平信号,通过第七子时钟信号线CLKE_1向第五时钟信号端CLKE提供低电平信号。第一节点Q<5>的电压由于自举作用而进一步被拉低。第十九晶体管M19、第二十二晶体管M22和第二十五晶体管M25保持导通,从而移位信号输出端CR<5>、第一驱动信号输出端OUT1<5>和第二驱动信号输出端OUT2<5>均输出低电平信号。此外,第一上拉节点QB_A和第二上拉节点QB_B保持高电平,第二十晶体管M20、第二十一晶体管M21、第二十三晶体管M23、第二十四晶体管M24、第二十六晶体管M26和第二十七晶体管保持关断。

[0131] 此外,在第三移位寄存器A3中,第五移位寄存电路SC5的移位信号CR(OUT1<5>)被提供给补偿选择电路100(即第一晶体管M1的第一极),补偿选择控制信号OE在显示阶段的时序被设置为与移位信号CR(OUT1<5>)的时序相同。由此,在第4时段,补偿选择控制信号OE被提供为低电平信号。此时,所有移位寄存器中的第一晶体管M1均导通。由于第三移位寄存器A3中的第一晶体管M1的第一极接收低电平的移位信号CR(OUT1<5>),因此第三移位寄存器A3的第一控制节点H<5>变为低电平。在此情况下,第三移位寄存器A3经由第一控制节点H<5>向保持电路200和第五移位寄存电路SC5和第六移位寄存电路SC6提供低电平的消隐输入信号。此后,由第一电容C1保持消隐输入信号,使得第一控制节点H<5>的电压保持为低电平。

[0132] 在第5时段中,第十九晶体管M19、第二十二晶体管M22和第二十五晶体管M25保持导通。通过第三子时钟信号线CLKD_1向第四时钟信号端CLKD提供高电平信号,通过第七子时钟信号线CLKE_1向第五时钟信号端CLKE提供高电平信号,使得移位信号输出端CR<5>、第一驱动信号输出端OUT1<5>和第二驱动信号输出端OUT2<5>均输出高电平信号。由于第二电容C2和第三电容C3两端电压的等式跳变,第一节点Q<5>的电压会上升一个幅度,但仍为低电平。此时,由于显示复位信号STD(即,OUT1<8>)为高电平,所以不会对第一节点Q<5>进行上拉,使得上拉节点Q可以保持在一个较低的电平。

[0133] 在第6时段中,第八移位寄存电路SC8输出低电平的移位信号CR<8>,使得第五移位寄存电路的显示复位信号STD为低电平信号,第六晶体管M6导通,从而将第一节点Q<5>的电压复位为高电平。此外,由于第一节点Q<5>的电压为高电平,第十一晶体管M11关断,第二上拉节点QB_B的电压通过第十晶体管M10而被拉低至低电平。由此,第十二晶体管M12导通,以对第一节点Q<5>放噪。此外,第二十一晶体管M21、第二十四晶体管M24和第二十七晶体管M27导通,以将第二电压V2提供至移位信号输出端CR<5>、第一驱动信号输出端OUT1<5>和第二驱动信号输出端OUT2<5>,从而分别输出高电平信号。

[0134] 在上述一帧1F的显示阶段,由于第一时钟信号CLKA一直保持为低电平,所以第三晶体管M3保持关断。第三晶体管M3可以隔离第一控制节点H对第一节点Q的影响。

[0135] 在显示阶段,与第五移位寄存电路SC5的上述工作过程类似,第六移位寄存电路SC6也经由第一控制节点H接收第三移位寄存器A3的补偿选择电路100提供的消隐输入信号。第六移位寄存电路SC6根据第四子时钟信号线CLKD_2提供的第四时钟信号CLKD和第八子时钟信号线CLKE_2提供的第五时钟信号CLKE输出移位信号和驱动信号。

[0136] 然后,一帧1F的消隐阶段Blank开始。在第7时段中,第一控制节点H<5>保持低电平,第二晶体管M2导通。第一时钟信号CLKA为低电平信号,第三晶体管M3导通。由此,将第一电压端的第一电压V1提供到第一节点Q<5>,使得第一节点Q<5>的电压变为低电平。在此时段,第四时钟信号CLKD和第五时钟信号端CLKE均为高电平信号,使得移位信号输出端CR<5>、第一驱动信号输出端OUT1<5>和第二驱动信号输出端OUT2<5>均输出高电平信号。

[0137] 在第8时段中,第一控制节点H<5>的电压保持为低电平,第二晶体管M2保持导通。第一时钟信号CLKA变为高电平信号,第三晶体管M3关断。此时,输出电路可根据相应的时钟信号来输出相应的驱动信号,以驱动感测晶体管工作。如图9所示,第三子时钟信号线CLKD_1提供的第四时钟信号CLKD为低电平信号,使得第一节点Q<5>进行二次电位下降,移位信号CR<5>和第一驱动信号OUT1<5>均为低电平。此时,低电平的第一驱动信号OUT1<5>可驱动显

示面板中第五行子像素中的感测晶体管感测该行子像素的驱动电流,从而基于所感测的驱动电流进行补偿。此外,第二驱动信号输出端OUT2<5>在第七子时钟信号线CLKE_1提供的第五时钟信号CLKE的控制下输出第二驱动信号。

[0138] 此外,由于第四子时钟信号线CLKD_2向第六移位寄存电路SC6提供高电平的第四时钟信号CLKD,第八子时钟信号线CLKE_2向第六移位寄存电路SC6提供高电平的第五时钟信号CLKE,因此第六移位寄存电路SC6输出高电平的第一驱动信号OUT1<6>和第二驱动信号OUT2<6>。由此,虽然第三寄存器A3中的第一上拉节点H<5>仍为低电平,但是不会对第六行子像素进行补偿。

[0139] 可以理解的是,对于第三移位寄存器A3,第五移位寄存电路SC5和第六移位寄存电路SC6均接收补偿选择模块100提供的消隐输入信号(对应于H<5>的电压)。当需要在某一帧的消隐阶段对第五行和第六行子像素同时进行补偿时,也可改变相应的子时钟信号线提供的时钟信号,使得第六移位寄存电路SC6也可在相应的时钟信号的控制下在消隐阶段输出相应的驱动信号,以驱动感测晶体管工作,从而实现对第六行子像素的补偿。基于此,栅极驱动电路30可以同时对多行子像素进行补偿。

[0140] 在第9时段中,第四时钟信号CLKD和第五时钟信号CLKE均变为高电平,移位信号输出端CR<5>、第一驱动信号输出端OUT1<5>和第二驱动信号输出端OUT2<5>均输出高电平信号。由于第二电容C2和第三电容C3两端电压的等式跳变,第一节点Q<5>的电压上升一个幅度,但仍为低电平。

[0141] 在第10时段中,消隐复位信号线TRST向消隐复位信号端TRST提供低电平信号,第五晶体管M5导通,以将第一节点Q<5>复位为高电平。补偿选择控制信号OE也为低电平,第一晶体管M1导通,使用高电平的移位信号CR<5>对第一控制节点H<5>的电压进行复位。

[0142] 在一帧1F的驱动时序结束。后续在其它帧等更多阶段中对栅极驱动电路的驱动可以参考上述描述,这里不再赘述。

[0143] 需要说明是,在上述对随机补偿的工作原理进行描述时,是以第一帧的消隐阶段输出对应于显示面板的第五行子像素的驱动信号为例进行说明的,然而本公开对此不作限定。例如,当需要在某一帧的消隐阶段对显示面板的第i行子像素进行补偿时,在该帧的显示阶段,使得补偿选择控制信号OE的时序和包括第i个移位寄存电路的移位寄存器的补偿选择电路所接收的移位信号CR的时序相同,从而控制该移位寄存器的第一控制节点的电压并保持该电压,然后在消隐阶段,通过第i个移位寄存电路的相应的控制第i个移位寄存电路输出驱动信号以驱动感测晶体管工作,从而进行对第i行子像素的补偿。这里需要说明的是,两个信号时序相同指的是位于低电平的时间同步,而不要求两个信号的幅值相同。

[0144] 另一方面,本公开的实施例还提供了阵列基板。阵列基板可包括根据本公开实施例的栅极驱动电路。此外,本公开的实施例还提供了包括上述阵列基板的显示装置。在实施例中,显示装置可以为液晶面板、液晶电视、显示器、OLED面板、OLED电视、电子纸显示装置、手机、平板电脑、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0145] 此外,本公开的实施例还提供了用于驱动移位寄存器的方法。

[0146] 图10示出了根据本公开的实施例的用于驱动移位寄存器的方法的示意性流程图。移位寄存器可以是基于本公开实施例的任何可适用的移位寄存器。

[0147] 在步骤1010,补偿选择电路可根据补偿选择控制信号和从N个移位信号输出端输

出的N个移位信号中的一个移位信号,向保持电路和移位寄存电路提供消隐输入信号。在实施例中,在需要对某一行子像素进行补偿时,可在步骤1010中控制补偿选择控制信号的时序与包括对应的移位寄存电路的移位寄存器的补偿选择电路所接收的移位信号的时序相同,从而控制该移位寄存器的第一控制节点的电压。然后,补偿选择电路根据补偿选择控制信号,将所接收的移位信号作为消隐输入信号提供给保持电路和移位寄存电路。

[0148] 在步骤1020,保持电路可保持该消隐输入信号。

[0149] 此外,在实施例中,在显示阶段,显示输入电路可根据显示输入信号将显示下拉信号提供到第一节点。根据第一节点的电压,从N个移位信号输出端输出N个移位信号,以及从N个第一驱动信号输出端输出N个第一驱动信号。该第一驱动信号可用于驱动子像素进行显示。

[0150] 在步骤1030,消隐输入电路可根据消隐输入信号和消隐控制信号将消隐下拉信号提供到第一节点。

[0151] 在步骤1040,根据第一节点的电压,从N个移位信号输出端输出N个移位信号,以及从N个第一驱动信号输出端输出N个第一驱动信号。由此,该第一驱动信号可用于对子像素进行补偿。

[0152] 本领域技术人员可以理解,以上各步骤虽然按顺序描述,但并不构成对方法顺序的限定,本公开实施例也可以以任何其它合适顺序实施。

[0153] 以上对本公开的若干实施方式进行了详细描述,但本公开的保护范围并不限于此。显然,对于本领域的普通技术人员来说,在不脱离本公开的精神和范围的情况下,可以对本公开的实施例进行各种修改、替换或变形。本公开的保护范围由所附权利要求限定。

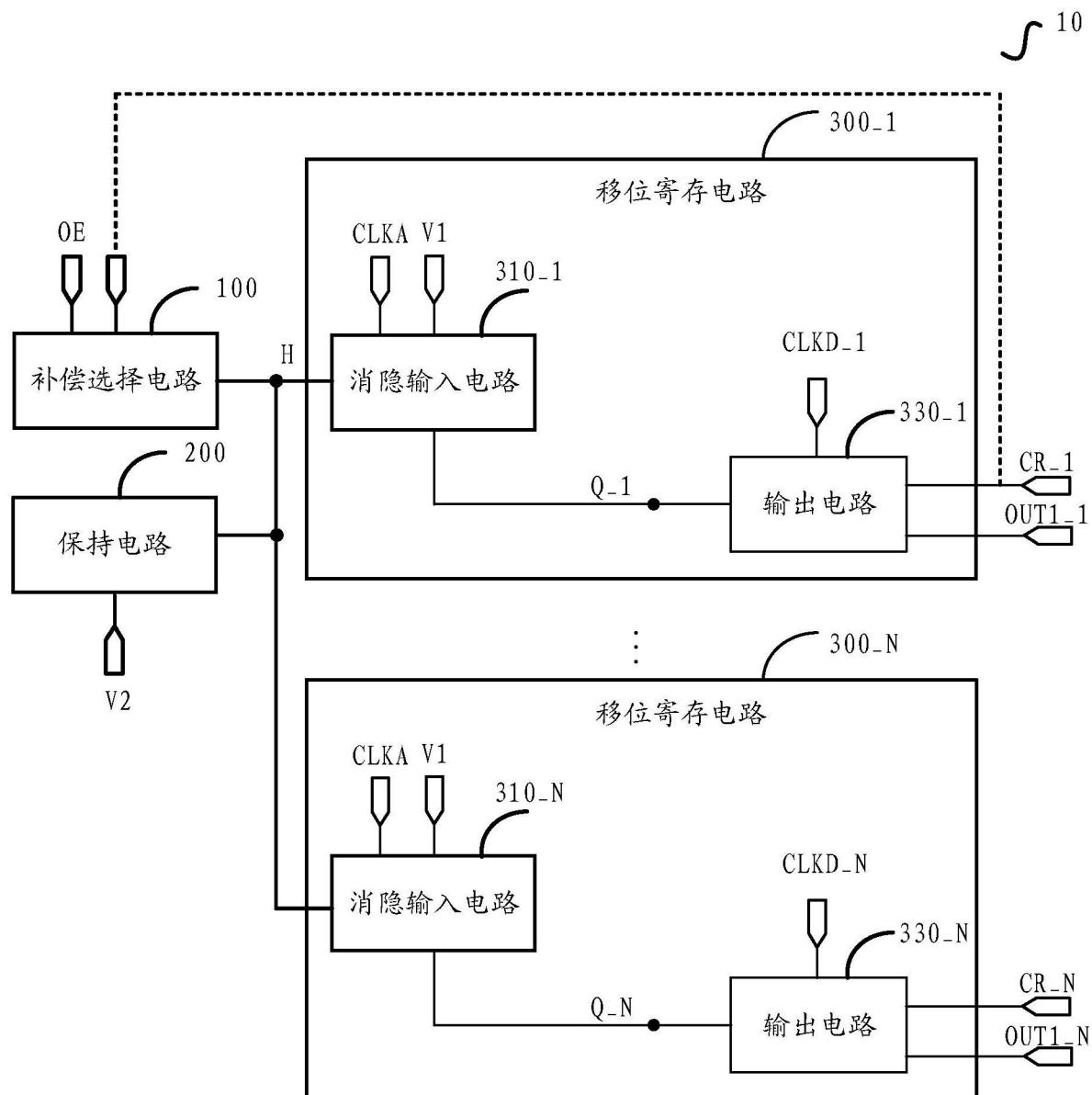


图1

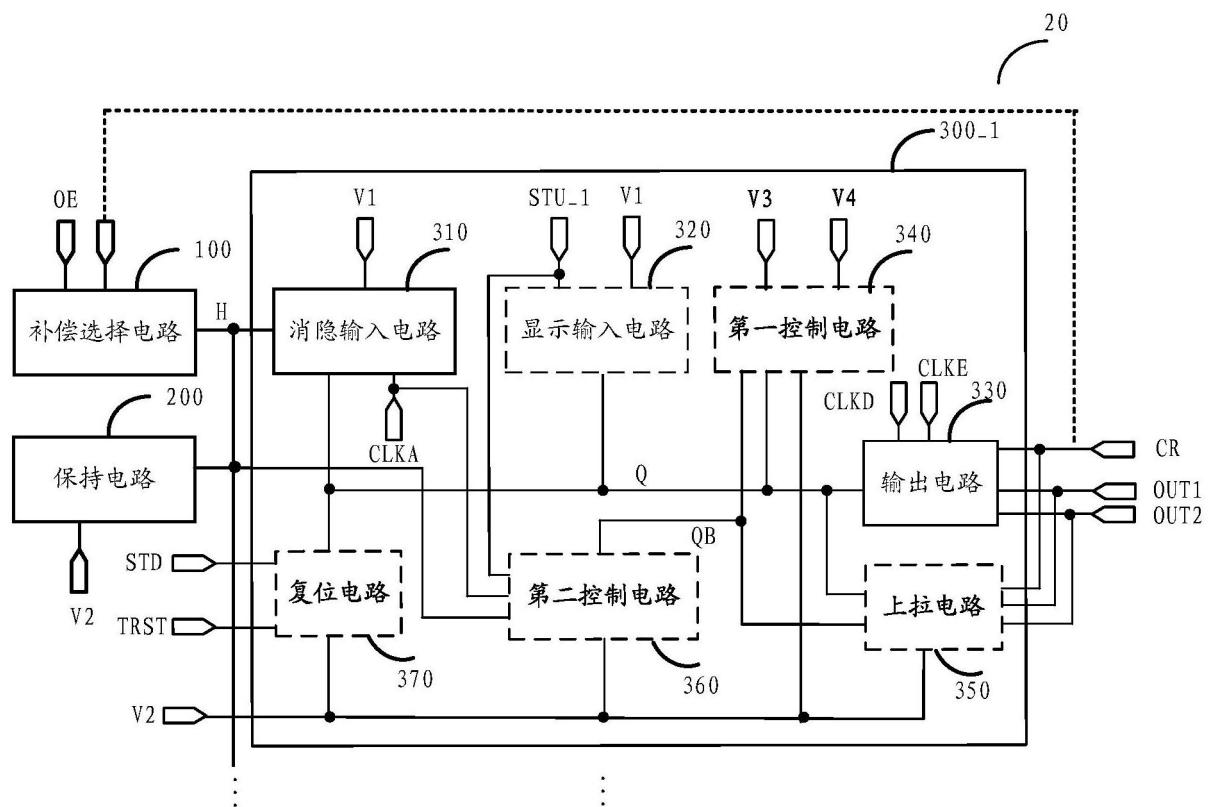


图2

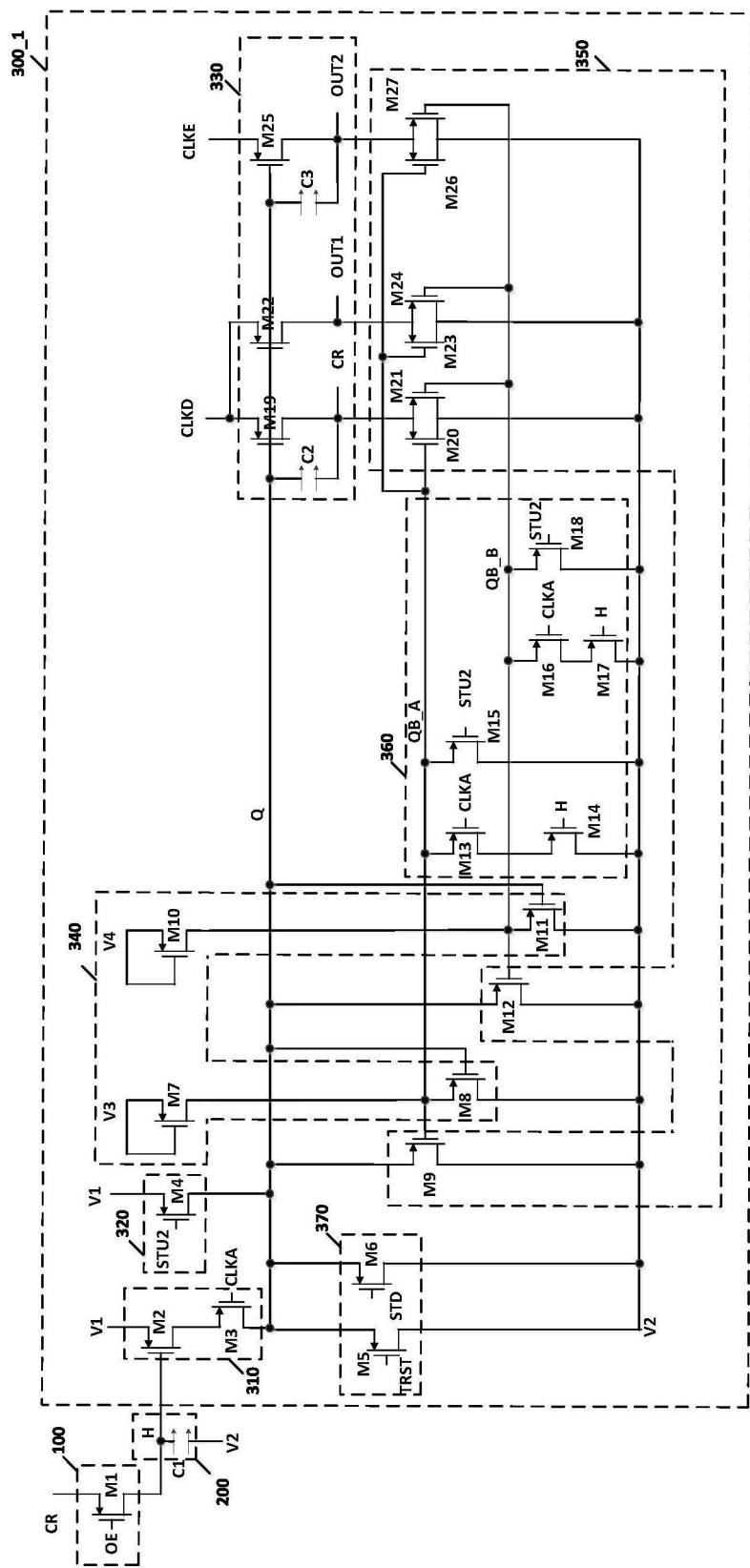


图3

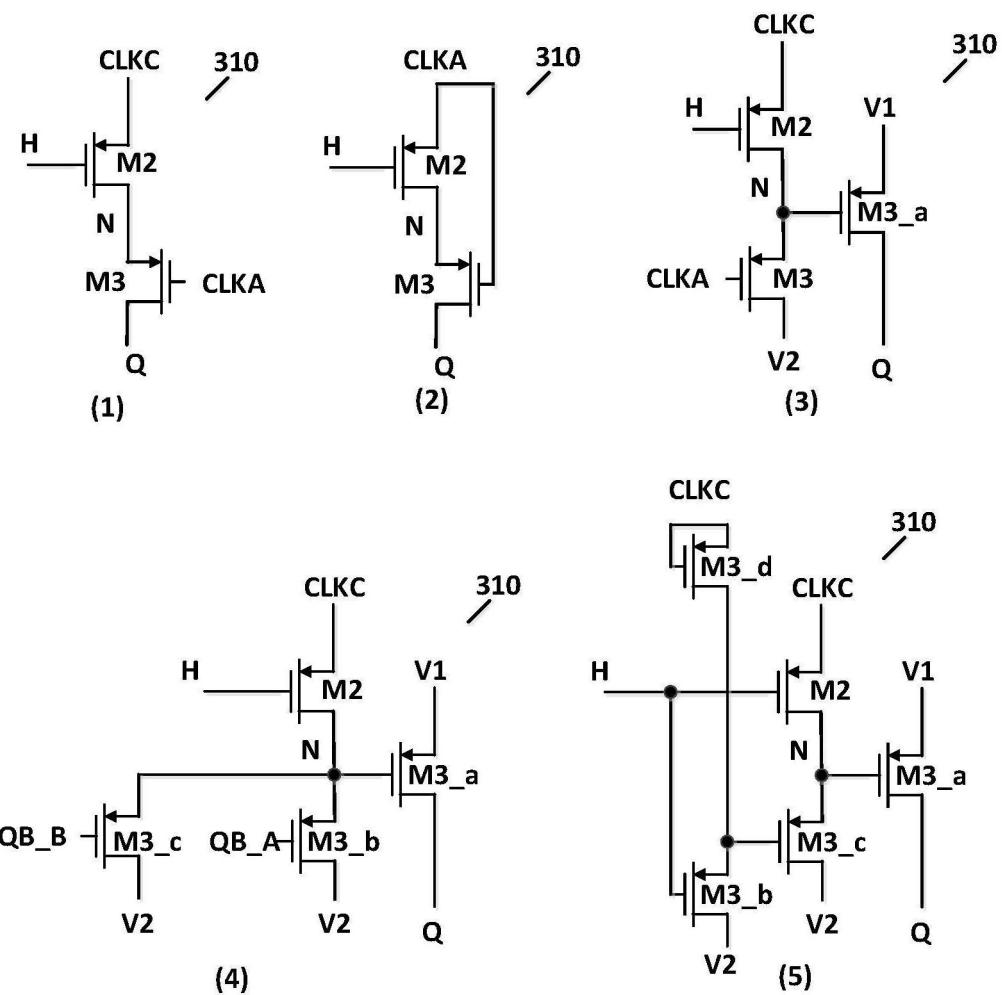


图4

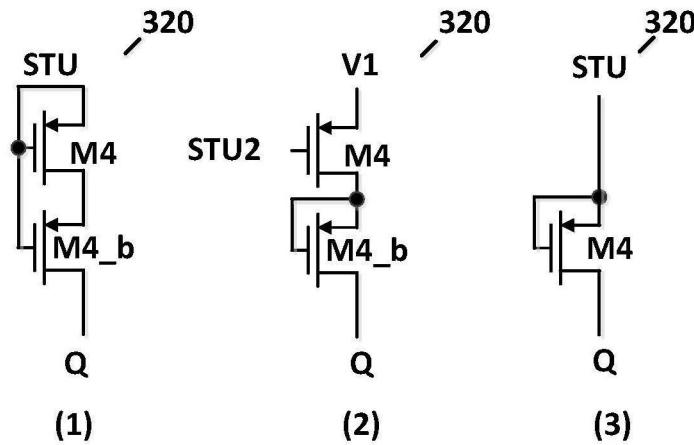


图5

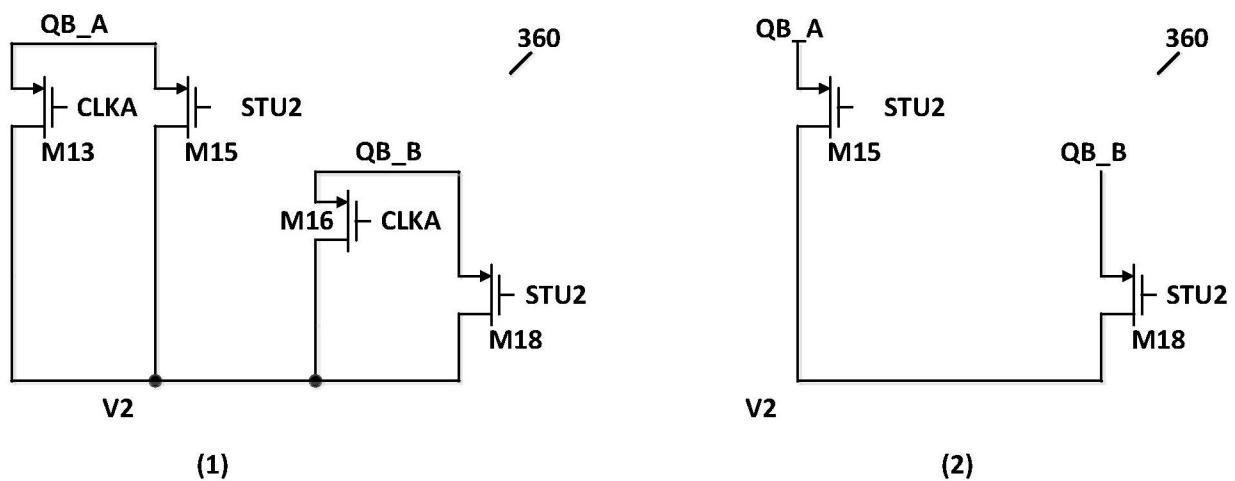


图6

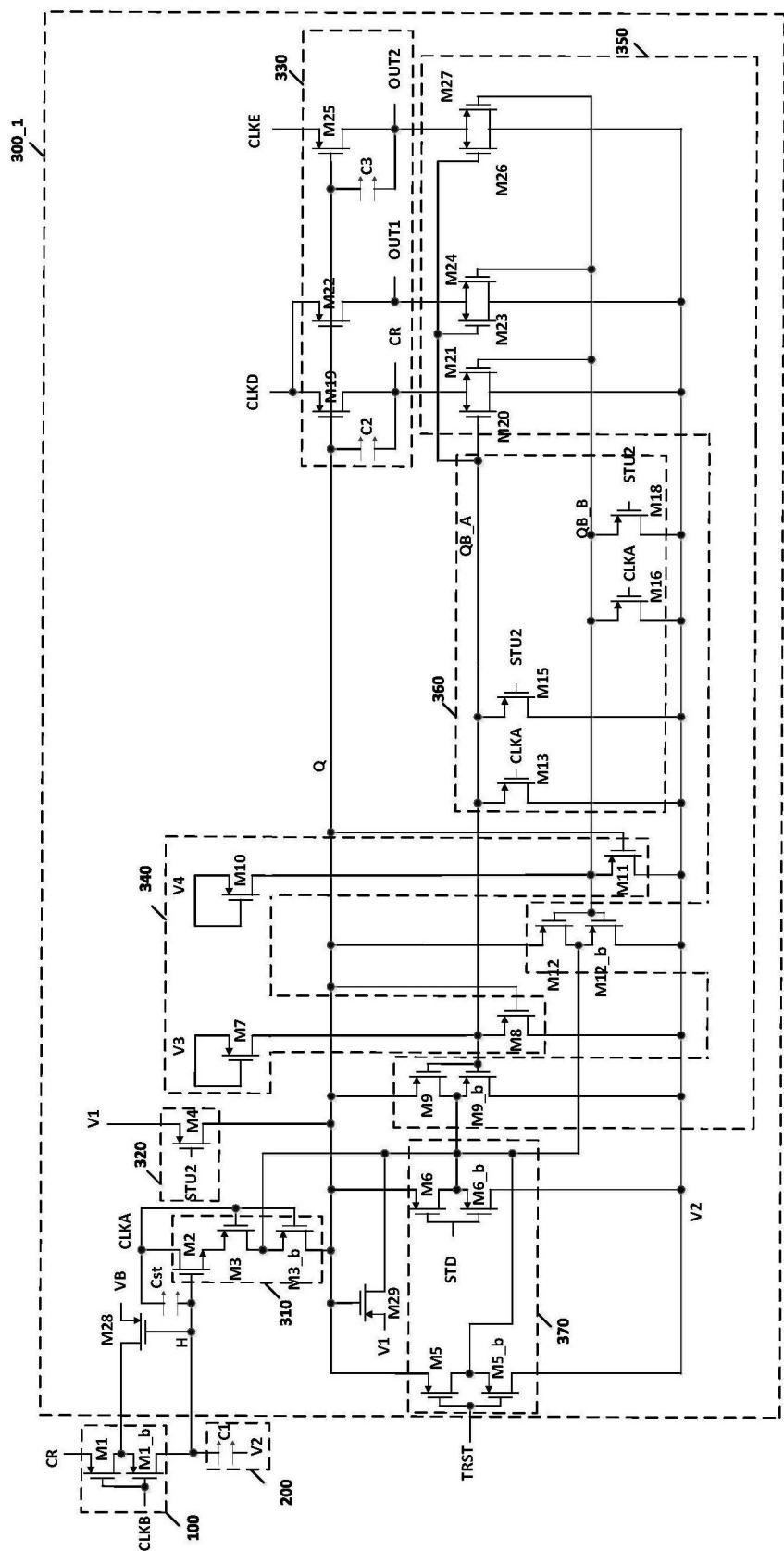


图7

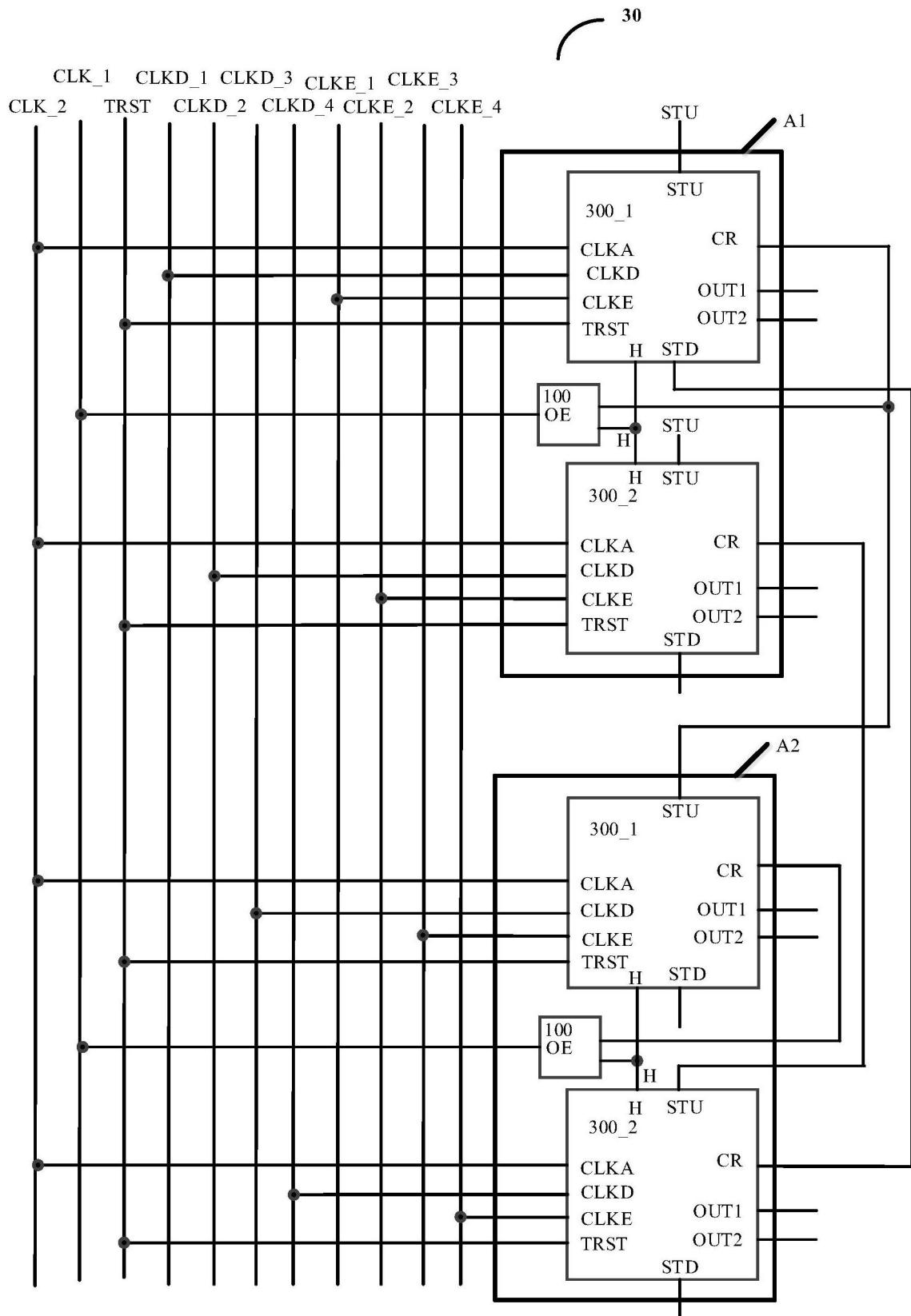


图8

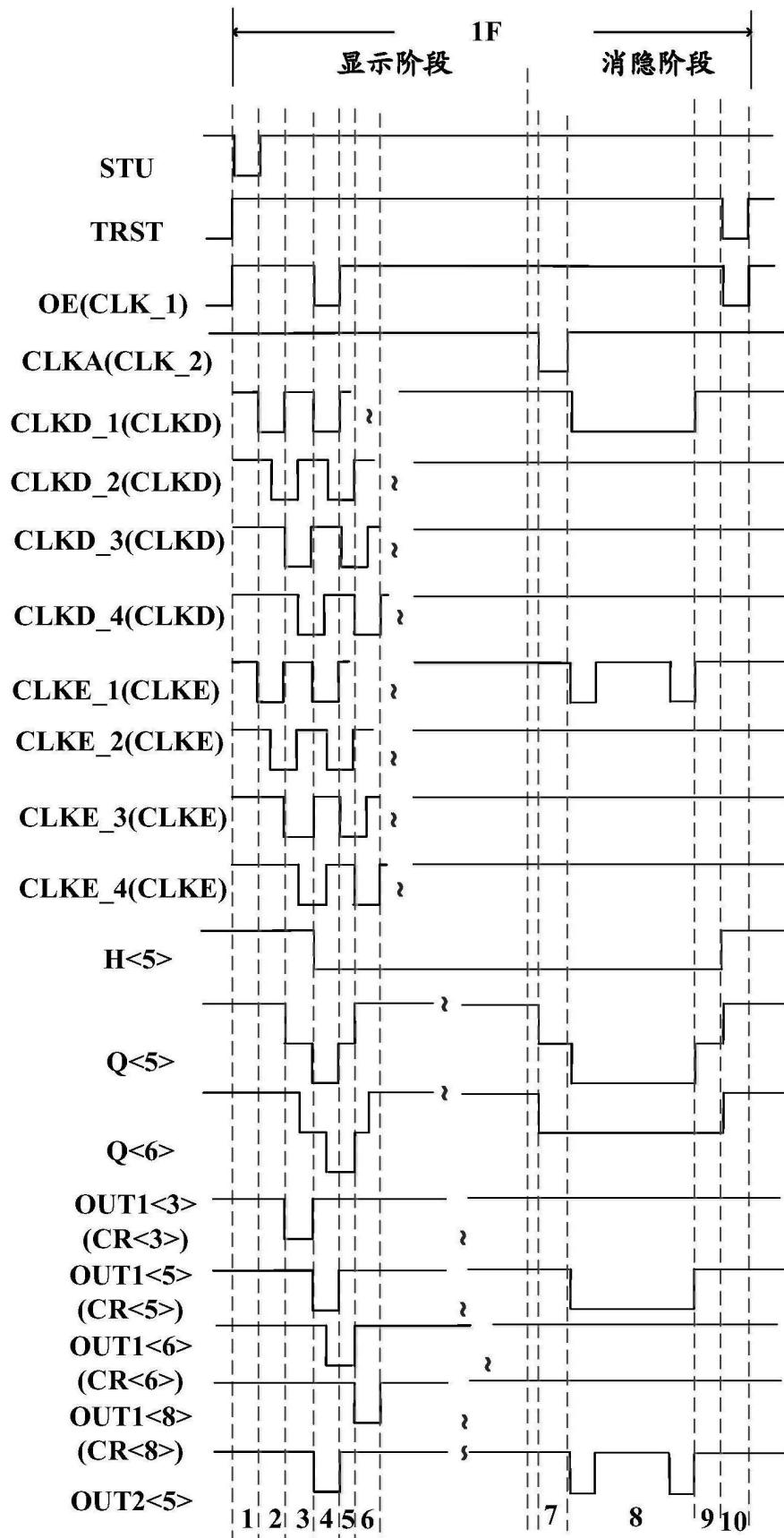


图9

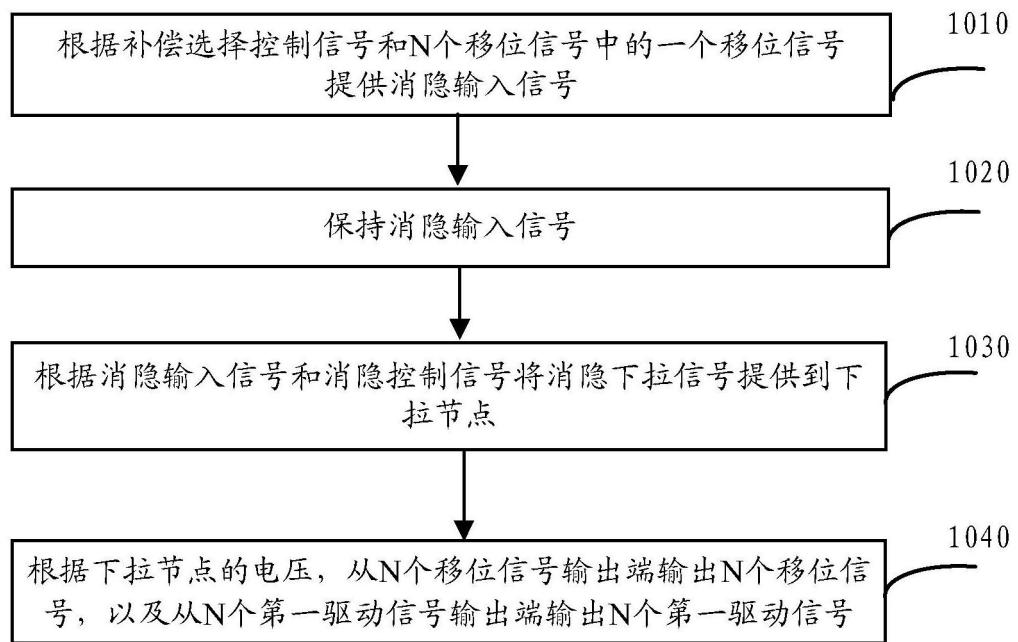


图10