

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/322 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년04월24일 10-0573473 2006년04월17일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0032633 2004년05월10일	(65) 공개번호 (43) 공개일자	10-2005-0107642 2005년11월15일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 주식회사 실트론
 경북 구미시 임수동 274번지

(72) 발명자 윤성호
 대전광역시동구용운동387-7

 배소익
 대전광역시서구삼천동가람아파트15-501

 문영희
 경상북도구미시상모동우방신세계아파트108-403

(74) 대리인 신영무

심사관 : 김희주

(54) 실리콘 웨이퍼 및 그 제조방법

요약

본 발명은 실리콘 웨이퍼 및 그 제조방법에 관한 것으로, 소자의 활성 영역을 완전한 무결함 상태로 만들고, 활성 영역 아래 벌크 영역에 금속 오염 등의 불순물을 게더링하는 효과를 증가시키기 위해서 고밀도의 균일한 BMD(Bulk Micro Defect)를 갖는 고품질의 어닐 웨이퍼(anneled wafer)를 제조하는 방법 및 상기의 특성을 갖는 어닐 웨이퍼에 관한 것이다.

대표도

도 2

색인어

실리콘 단결정, 열처리, COP(crystal originated particle), BMD(bulk micro defect), DZ(denuded zone)

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시예에 따른 실리콘 웨이퍼를 제조하기 위한 공정들을 설명하기 위하여 도시한 도면이다.
- 도 2는 본 발명의 바람직한 실시예에 따른 열처리 공정을 설명하기 위하여 도시한 도면이다.
- 도 3a 및 도 3b는 질소 도핑 유무에 따른 LLS(localized light scattering) 크기별 LLS 개수를 도시한 도면이다.
- 도 4는 질소 도핑 농도에 따른 FPD(Flow Pattern Defect) 평균값을 도시한 도면이다.
- 도 5는 질소 도핑된 웨이퍼의 열처리 온도에 따른 GOI(Gate Oxide Integrate) 평가 결과를 나타낸 도면이다.
- 도 6은 열처리 온도에 따른 NSMD(Near Surface Micro Defect) 측정 결과를 나타낸 도면이다.
- 도 7a 및 도 7b는 질소 도핑된 웨이퍼의 열처리 시간에 따른 COP가 없는 영역 깊이의 변화를 LLS의 변화로 측정한 결과를 나타낸 도면들이다.
- 도 8a 및 도 8b는 승온 속도에 따른 DZ(Denuded Zone) 깊이와 BMD(Bulk Micro Defect) 밀도를 나타낸 도면들이다.
- 도 9는 산소 농도에 따른 DZ 깊이와 BMD 밀도의 변화를 나타낸 도면이다.
- 도 10은 질소 도핑된 실리콘 웨이퍼의 산소 농도에 따른 COP가 없는 영역의 깊이를 나타낸 도면이다.
- 도 11a 및 도 11b는 승온 속도에 따른 전체 슬립 길이(slip length)를 도시한 그래프들이다.
- 도 12는 실리콘 웨이퍼 내에서 산소 석출에 의해 슬립이 억제되는 과정을 보여주는 도면이다.
- 도 13은 산소 농도에 따른 슬립 길이의 변화를 보여주는 도면이다.
- 도 14는 열처리 후 표면에서 슬립이 전이되는 깊이를 설명하기 위하여 도시한 도면이다.
- 도 15a 및 도 15b는 가스 분위기에 따른 비저항의 변화를 나타낸 그래프들이다.
- 도 16은 본 발명의 바람직한 실시예에 따라 제조된 실리콘 웨이퍼의 결함 농도 프로파일을 도시한 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 실리콘 웨이퍼 및 그 제조방법에 관한 것으로, 더욱 상세하게는 웨이퍼의 표면에서 일정한 깊이까지 완벽하게 이상적인 소자 활성 존(Device Active Zone)을 형성되고, 또한 웨이퍼의 벌크 영역에는 고밀도의 균일한 BMD(Bulk Micro Defect)를 갖는 실리콘 웨이퍼 및 그 제조방법에 관한 것이다.

최근에 반도체 소자 제조 공정의 디자인룰(design rule)이 0.1 μ m 이하로 초 미세화되고 고집적화 되고 있으며, 실리콘 웨이퍼도 300 mm 이상 웨이퍼로 대구경화 되고 있다. 이에 따라 실리콘 웨이퍼도 반도체 소자의 활성 영역에 완전한 무결함층이 요구되며, 활성 영역 아래의 벌크 영역에는 산소 석출물과 벌크 적층결함(Bulk Stacking Fault)으로 이루어진 BMD(Bulk Micro Defect)의 밀도를 증가시켜 반도체 소자 제조 공정 중에 발생할 수 있는 금속 등의 불순물을 효과적으로 제거할 수 있는 실리콘 웨이퍼가 요구되고 있다.

일반적으로 실리콘 웨이퍼에서 산화막 내압에 가장 영향을 주는 결함으로는, COP(Crystal Originate Particle), FPD(Flow Pattern Defect) 및 LSTD(Laser Scattering Tomography Defect) 등이 알려져 있다.

웨이퍼의 표면층에 나타나는 COP는 암모니아와 과산화수소가 혼합된 용액(Standard Cleaning 1 용액)으로 반복 처리함으로써 관찰할 수 있는 0.09~0.12 μ m 정도의 결합으로서 웨이퍼 표면에 피트(Pit)로서 나타나게 된다. COP는 결정을 인상할 때 도입되는 결정 결합의 일종으로 알려져 있다.

산화막 내압과 관계가 있는 FPD는 불산, 중크롬산 칼륨계의 에칭액을 이용하여 선택 에칭함으로써 잔물결 모양으로 나타나는 결합으로 알려져 있다.

LSTD는 레이저 산란 토모그래피법(Laser Scattering Tomography)에 의해 검출되는 결합으로서, 결정 성장 중에 나타나는 미세 결합으로 알려져 있다.

COP의 경우 일반적으로 SP1-TBI로 측정 시 0.09~0.12 μ m의 특정 사이즈의 결정 결합(즉, ingot을 만들 때부터 발생하는 결합)이며, FPD는 이러한 COP를 눈으로 쉽게 직접 확인하기 위해 식각(etching)을 해서 현미경으로 확인하는 결합이다. 그래서 FPD의 경우 0.09~0.12 μ m 보다 더 작은 사이즈의 0.09 μ m 이하의 결합까지 나타날 수 있다. 또한 LSTD의 경우 웨이퍼 표면의 결정 결합 뿐만 아니라, 미세 파티클(particle)까지 포함되서 측정하게 된다. 즉, 표면이 파티클(particle)에 의해 오염이 되어 있다면, COP개수는 작아도 LSTD 개수는 증가할 수 있다. 그리고 LSTD의 경우 0.4~0.5 μ m이상의 결합을 측정하기 때문에 마찬가지로 COP 보다는 그 개수가 증가하게 된다. 요약하자면, 일반적으로 디바이스의 산화막 내압에 가장 영향을 주는 요소가 COP인데 이러한 COP를 직접 혹은 간접적으로 확인하는 것이 FPD 밀도(density)와 LSTD이다.

예를 들어 특정 고객의 경우 COP가 표면에서 약 10 μ m 까지는 없어야 된다고 spec.을 제시 하는데, 이 경우 위에서 언급된 장비인 SP1-TBI나 에칭에 의한 방법은 단지 표면만 확인하는 것이고 LSTD의 경우 최대 5 μ m 까지만 측정 가능하다. 그래서 웨이퍼 회사에서는 위의 3가지 방법으로 간접적으로 확인하고 실제 10 μ m 까지 연마(polishing)을 해서 SP1-TBI 또는 LSTD를 측정한다.

췌크랄스키(Czochralski; CZ)법으로 인상 성장된 실리콘 단결정을 가공하여 제작된 실리콘 웨이퍼는 산소 불순물을 많이 포함하고 있으며, 이 산소 불순물은 전위나 결합 등을 발생시키는 산소석출물이 된다. 이 산소석출물이 소자가 형성되는 표면에 존재하는 경우, 누설 전류 증대 및 산화막 내압 저하 등의 원인이 되어 반도체 소자의 특성에 큰 영향을 미친다.

또한, 일반적인 실리콘 웨이퍼는 웨이퍼의 전면으로부터 후면에 이르기까지 전위, 적층 결합 및 산소석출물 등이 존재하지 않는 디누드 존(Denuded Zone; DZ)이 표면으로부터 소정 깊이까지 확보되어야 한다. 그러나, 일반적으로 실리콘 웨이퍼는 표면 영역에 산소석출물이 발생되어 누설 전류의 소오스(Source)로서 작용하게 된다.

따라서, 이러한 반도체 소자의 요구 조건에 부응하기 위해 몇가지 방법으로 실리콘 웨이퍼를 제조할 수 있다.

첫번째로 실리콘 웨이퍼를 제조하기 위한 실리콘 잉곳(ingot)을 제조할 때 무결함의 순수(pure) 실리콘 단결정을 제작하여 소자의 활성 영역에 완전한 무결함 영역을 만들어 주는 것이다. 하지만 이 경우 벌크 영역에는 상대적으로 산소석출물이 낮아 BMD 밀도가 낮은 단점이 있으며, 순수 실리콘 단결정의 제조 방법은 매우 높은 수준의 잉곳 성장 기술력이 요구되어 제조 비용이 높다는 단점이 있다.

반도체 소자의 활성 영역에 완전한 무결함 영역을 만들어주는 두번째 방법으로는 실리콘 웨이퍼 위에 실리콘을 CVD (Chemical Vapor Deposition) 방법을 이용하여 에피택셜층(epitaxial layer)을 성장시킨 에피 웨이퍼를 만드는 방법이 있다. 순수 실리콘 단결정 제조 방법 및 어닐 웨이퍼 제조 방법에 비해 많은 기술 축적이 이루어졌으며, 대량 생산에도 용이하지만 어닐 웨이퍼에 비해 가격이 높기 때문에 메모리 소자 보다는 비메모리 소자에 적용하고 있는 실정이다.

반도체 소자의 활성 영역에 완전한 무결함 영역을 만들어주는 세번째 방법으로는 웨이퍼를 어닐링하는 방법이 있다. 이는 결정 성장 중에 발생하는 결합인 COP(Crystal originated particle)를 열처리를 통하여 제거함으로써 반도체 소자의 활성 영역에서 COP를 제거하며, 또한 표면 영역에서 산소의 외방 확산(Out-Diffusion)으로 인해 산소석출물이 없는 DZ 영역을 일정 깊이까지 확보할 수 있다. 그리고, 벌크 영역에는 산소석출물인 BMD의 밀도를 증가시켜 금속 등의 불순물을 효과적으로 제거할 수 있다. 하지만 열처리를 통하여 상기의 특성을 갖는 어닐 웨이퍼를 제조하기 위해서는 열처리 공정중의 가스 분위기, 승온 및 강온 속도 그리고 열처리 온도와 시간 등을 적절히 조절해야 한다. 그렇지 않으면 고온 공정중에 슬립이 발생하거나, 균일하고 충분한 무결함 영역과 BMD 밀도를 갖는 어닐 웨이퍼를 제조할 수 없는 등의 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 고온 공정에 의한 슬립 발생을 완벽히 제어하며, 소자의 활성 영역에 균일하고 충분한 DZ 및 COP 프리(free) 영역을 제공하고 또한 벌크 영역에는 고밀도의 BMD를 갖는 실리콘 웨이퍼를 제공한다.

본 발명은 고온 공정에 의한 슬립 발생을 완벽히 제어하며, 소자의 활성 영역에 균일하고 충분한 DZ 및 COP 프리(free) 영역을 제공하고 또한 벌크 영역에는 고밀도의 BMD를 갖는 실리콘 웨이퍼의 제조방법을 제공한다.

발명의 구성 및 작용

본 발명은, 전면, 후면, 테두리 에지부 및 상기 전면과 후면 사이의 영역을 갖는 실리콘 웨이퍼에서, 상기 웨이퍼 전면의 표면으로부터 5 μ m 내지 40 μ m 깊이에서 50nm 내지 100nm 크기의 COP에 대하여 LLS(Localized Light Scattering)의 개수는 100개 이하인 제1 디누드 존; 상기 웨이퍼 후면의 표면으로부터 5 μ m 내지 40 μ m 깊이에서 50nm 내지 100nm 크기의 COP에 대하여 LLS(Localized Light Scattering)의 개수는 100개 이하인 제2 디누드 존; 및 상기 제1 디누드 존과 상기 제2 디누드 존 사이에 형성되고, BMD(Bulk Micro Defect)의 농도 프로파일이 웨이퍼 전면에서 후면 방향에 걸쳐 전 구간에서 균일하게 유지되는 분포를 갖는 벌크 영역을 포함하며, 상기 실리콘 웨이퍼는 1E12 atoms/cm³ 내지 1E14 atoms/cm³ 범위의 질소 농도를 갖는 실리콘 웨이퍼를 제공한다.

상기 제1 디누드 존과 상기 제2 디누드 존 사이의 영역에서 상기 BMD의 농도는 1.0 \times 10⁸~1.0 \times 10¹⁰ ea/cm³ 범위의 농도일 수 있다.

삭제

또한 본 발명은, (a) 전면, 후면, 테두리 에지부 및 상기 전면과 후면 사이의 영역을 갖는 실리콘 웨이퍼를 준비하는 단계와, (b) 상기 실리콘 웨이퍼를 제1 온도로 설정된 열처리 장비에 로딩하는 단계와, (c) 상기 실리콘 웨이퍼를 상기 열처리 장비 내의 제1 온도에서 소정 시간동안 유지하여 예열시키는 단계와, (d) 상기 열처리 장비 내의 온도를 상기 제1 온도보다 높은 제2 온도까지 제1 온도 상승률로 승온시키는 단계와, (e) 상기 열처리 장비 내의 온도를 상기 제2 온도 보다 높은 제3 온도까지 제2 온도 상승률로 승온시키는 단계와, (f) 상기 열처리 장비 내의 온도를 상기 제3 온도보다 높은 제4 온도까지 제3 온도 상승률로 승온시키는 단계와, (g) 상기 열처리 장비 내의 온도를 제4 온도로 유지하여 상기 실리콘 웨이퍼를 고온 열처리하는 단계와, (h) 상기 열처리 장비 내의 온도를 상기 제1 온도 정도까지 하강시키는 단계를 포함하며, 상기 제2 온도 상승률은 상기 제1 온도 상승률보다 작고, 상기 (c) 단계 및 상기 (f) 단계 내지 상기 (h) 단계는 불활성 가스 분위기에서 수행하고, 상기 (d) 단계 및 상기 (e) 단계는 수소 분위기에서 수행하는 실리콘 웨이퍼의 제조방법을 제공한다.

상기 실리콘 웨이퍼를 준비하는 단계는, 씨드 결정(Seed Crystal)을 용융 실리콘에 담그고 결정성장 속도와 결정의 응고 계면에서의 성장 방향의 온도 구배를 조절하면서 인상하여 실리콘 단결정을 성장시키는 단계와, 성장된 실리콘 단결정을 웨이퍼의 형태로 슬라이싱하는 단계 및 슬라이싱할 때 발생한 슬라이싱 데미지(damage)를 제거하고 슬라이싱된 웨이퍼의 측면을 라운딩하거나 표면을 식각하기 위한 에칭 공정을 실시하는 단계를 포함하며, 상기 실리콘 단결정을 성장시키는 단계에서 실리콘 단결정 내에서 핵생성에 필요한 에너지를 감소시키고 미세한 산소 석출 핵을 증가시키기 위하여 질소를 1E12 atoms/cm³ 내지 1E14 atoms/cm³ 범위의 농도로 도핑시키면서 실리콘 단결정을 성장시키는 것이 바람직하다.

상기 (h) 단계 후에, 상기 실리콘 웨이퍼 표면을 폴리싱하는 단계와, 상기 실리콘 웨이퍼 표면을 경면화하기 위한 경면 연마 단계 및 상기 실리콘 웨이퍼를 세정하는 단계를 더 포함할 수 있다.

상기 제1 온도는 500 $^{\circ}$ C 정도의 온도이고, 상기 제2 온도는 950 $^{\circ}$ C 정도의 온도이며, 상기 제3 온도는 1100 $^{\circ}$ C 정도의 온도이고, 상기 제4 온도는 1200 $^{\circ}$ C 정도의 온도일 수 있다.

상기 제1 온도 상승률은 10 $^{\circ}$ C/min 정도이고, 상기 제2 온도 상승률은 5 $^{\circ}$ C/min 정도일 수 있다.

상기 제3 온도 상승률은 0.1 내지 5 $^{\circ}$ C/min 정도일 수 있다.

상기 (g) 단계는 상기 제4 온도에서 1분 내지 120분간 유지하여 열처리하는 것이 바람직하다.

상기 (h) 단계는, 상기 열처리 장비 내의 온도를 제1 온도 하강률로 상기 제3 온도까지 하강시키는 단계와, 상기 열처리 장비 내의 온도를 제2 온도 하강률로 상기 제2 온도까지 하강시키는 단계와, 상기 열처리 장비 내의 온도를 제3 온도 하강률로 상기 제1 온도까지 하강시키는 단계를 포함할 수 있다.

상기 제3 온도 하강률은 상기 제2 온도 하강률보다 크도록 설정하는 것이 바람직하다.

상기 제1 온도 하강률은 0.1 내지 5°C/min 정도일 수 있다.

상기 제2 온도 하강률은 5°C/min 정도이고, 상기 제3 온도 하강률은 10°C/min 정도일 수 있다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

도 1은 본 발명의 실시예에 따른 실리콘 웨이퍼를 제조하기 위한 공정들을 설명하기 위하여 도시한 도면이다.

도 1을 참조하면, 먼저, 쇼크랄스키법을 이용하여 소정의 인상장치 내에서 실리콘 단결정을 성장시킨다(S10). 즉, 씨드 결정(Seed Crystal)을 용융 실리콘에 담근 후 천천히 인상하면서 결정을 성장시킨다. 결정 성장시 질소 이온을 도핑하여 질소가 실리콘 단결정 잉곳에 도핑되도록 한다. 질소 도핑 농도는 $1E12 \text{ atoms/cm}^3$ 내지 $1E14 \text{ atoms/cm}^3$ 정도가 되도록 하는 것이 바람직하다.

이어서, 성장된 잉곳을 웨이퍼의 형태로 슬라이싱한다(S20).

다음에, 슬라이싱할 때 발생한 슬라이싱 데미지(damage)를 제거하고 슬라이싱된 웨이퍼의 측면을 라운딩하거나 표면을 식각하기 위하여 에칭 공정을 실시한다(S30).

이어서, 실리콘 웨이퍼 내에 포함된 결정성장시 발생한 산소가 디바이스 제작을 위한 후속의 열처리 과정에서 전자를 방출하여 도너 역할을 하는 것을 방지하기 위하여 열처리를 통한 산소석출물로 만들어 주는 공정인 도너 킬링(donor killing) 공정을 실시한다(S40). 즉, 실리콘 웨이퍼 내에 결정성장시 포함되어지는 약 $10^{18} \text{ atoms/cm}^3$ 의 산소 원자들 중 약 $10^{16} \text{ atoms/cm}^3$ 정도가 단결정용 냉각 과정에서 복수 개의 산소 원자가 모여서 전자를 방출하고 도너(Donor)화하는데, 웨이퍼의 저항률을 맞추기 위해서 도펀트(Dopant)를 첨가하여도 이러한 도너들로 인하여 목표로 하는 저항률을 얻을 수 없게 된다. 그러므로 결정성장시 발생하는 산소가 도너 역할을 하는 것을 방지하기 위하여 산소석출물로 만들어주는 공정인 도너 킬링을 수행하는데, 본 발명의 실시예의 열처리 공정은 상기 도너 킬링 공정 단계에서 수행하는 것이 바람직하다.

다음에, 실리콘 웨이퍼 표면을 폴리싱하는 단계(S50)와, 실리콘 웨이퍼 표면을 경면화하기 위한 경면 연마 단계(S60) 및 세정 단계(S70)를 수행한다. 상기와 같은 공정들은 거친 실리콘 웨이퍼는 패키징되어 제품화되게 된다.

상기 실리콘 단결정을 성장시키는 단계(S10)에 대하여 간략히 설명하면, 먼저 씨드 결정으로부터 가늘고 긴 결정을 성장시키는 necking 단계를 거치고, 실리콘 단결정을 직경방향으로 성장시켜 목표 직경으로 만드는 shouldering 단계를 거친다. 상기 shouldering 단계를 거친 이후에는 일정한 직경을 갖는 결정이 성장되는데, 이 과정을 몸통 growing(body growing) 단계라 부른다. 일정한 길이 만큼 몸통 growing이 진행된 후에는 결정의 직경을 서서히 감소시켜 결국 용융실리콘과 분리하는 테일링(tailing) 공정 단계를 거쳐 결정성장 단계를 마무리한다. 이러한 결정성장 공정은 핫존(Hot Zone)이라는 공간에서 이루어지게 되는데, 핫존은 결정성장 장치(Grower)에서 용융 실리콘이 단결정 잉곳으로 성장될 때의 용융 실리콘과 잉곳 접촉 주위의 공간을 의미한다. 상기 결정성장 장치는 용융 도가니, 가열장치, 보온 구조물, 잉곳인상장치, 회전축 등을 포함하는 장비들로 구성된다.

상술한 바과 같이 일정농도의 이하로 질소 도핑된 실리콘 잉곳을 절단, 연마, 세정 등의 공정을 실시하여 실리콘 웨이퍼를 만든다.

도 2는 본 발명의 바람직한 실시예에 따른 열처리 공정을 설명하기 위하여 도시한 도면이다. 본 발명의 실시예에 따른 열처리 장비(피니스)는 일반적으로 상용화된 장비를 사용할 수 있다.

도 2를 참조하면, 먼저, 쇼크랄스키 방법으로 결정성장된 잉곳을 슬라이싱하여 만들어진 실리콘 웨이퍼를 불활성 가스 분위기, 예컨대 아르곤(Ar) 가스 분위기의 열처리 장비(확산로)에 로딩(loading)한다. 이때, 열처리 장비의 온도는 제1 온도(약 500℃)로 설정되어 있다. 열처리 장비의 설정 온도는 웨이퍼 에지(edgy)와 중심부(center)와의 온도 차에 의한 열 응력으로 인하여 슬립이 발생할 가능성이 있으므로 너무 고온으로 설정하는 것은 바람직하지 않다. 실리콘 웨이퍼를 열처리 장비에서 제1 온도로 소정 시간 동안 예열하여 유지한다.

이어서, 열처리 장비 내 가스 분위기를 수소(H₂) 가스 분위기로 바꾸고, 열처리 장비 내의 온도를 제2 온도(예컨대, 950℃)까지 제1 온도 상승률(ramp-up rate)(예컨대, 약 10℃/min)로 승온시킨다.

열처리 장비 내의 온도가 목표하는 제2 온도까지 상승하면, 열처리 장비 내의 온도를 제3 온도(예컨대, 1100℃)까지 제2 온도 상승률(ramp-up rate)(예컨대, 약 5℃/min)로 승온시킨다. 상기 제2 온도 상승률은 제1 온도 상승률보다는 작도록 하는 것이 바람직하다. 웨이퍼 중심부와 에지부의 온도 차가 크게 발생할수록 열 응력에 의한 슬립(slip)이 발생하게 되는데, 온도를 상승(heat up)시킬 때 온도가 올라갈수록 웨이퍼 내에서 슬립이 발생하지 않을 온도 편차가 감소하며 웨이퍼의 항복응력(yield stress)은 감소하게 된다. 따라서, 온도를 상승시킬 때 온도가 올라가면서 승온 속도를 일정 속도 이하로 감소시켜야 하는데, 주어진 특정 온도에서 웨이퍼의 중심부와 에지부 사이에 온도 편차에 의한 슬립 발생을 억제하기 위하여 제2 온도 상승률은 제1 온도 상승률보다 작도록 한다.

열처리 장비 내의 온도가 목표하는 제3 온도까지 상승하면, 열처리 장비 내 가스 분위기를 불활성 가스 분위기, 예컨대 아르곤(Ar) 가스 분위기로 바꾸고, 열처리 장비 내의 온도를 제4 온도(예컨대, 1200℃)까지 제3 온도 상승률(ramp-up rate)(예컨대, 0.1~5℃/min)로 승온시킨다.

열처리 장비 내의 온도가 목표하는 제4 온도까지 상승하면, 제4 온도에서 1~120분간 유지하여 고온 열처리를 실시한다. 일정 수준의 디누드존(DZ) 깊이와 BMD 밀도를 확보하기 위해서 바람직하게는 60분 정도 유지하며, 120분을 초과하여 유지하게 되면 COP가 존재하지 않는 영역의 깊이가 깊어지지만 확산로의 수명이 짧아질 가능성이 있다.

이어서, 열처리 장비 내의 온도를 제1 온도 하강률(ramp-down rate)(예컨대, 0.1~5℃/min)로 제5 온도까지 하강시킨다. 상기 제5 온도는 제3 온도와 동일한 온도인 것이 바람직하다.

열처리 장비 내의 온도가 제5 온도까지 하강하면, 열처리 장비 내의 온도를 제2 온도 하강률(예컨대, 5℃/min)로 제6 온도까지 하강시킨다. 상기 제6 온도는 제2 온도와 동일한 온도인 것이 바람직하다.

열처리 장비 내의 온도가 제6 온도까지 하강하면, 열처리 장비 내의 온도를 제3 온도 하강률(예컨대, 10℃/min)로 제7 온도까지 하강시킨다. 상기 제7 온도는 로딩시에 설정된 제1 온도와 동일한 것이 바람직하다. 상기 제3 온도 하강률은 제2 온도 하강률보다는 크도록 하는 것이 바람직하다. 상기와 같은 과정들을 통해 열처리 공정이 이루어지게 된다.

도 2를 참조하여 설명한 본 발명의 실시예에 의한 경우, 실리콘 웨이퍼의 BMD(Bulk Micro Defect) 농도 프로파일은 웨이퍼의 전면 및 후면으로부터 일정 깊이에 이르는 표면 영역은 COP(Crystal Originated Particle) 및 BMD가 존재하지 않고, 벌크 영역에는 게터링 역할을 할 수 있는 충분한 BMD가 전체 벌크 영역에 걸쳐 일정하게 유지된다. BMD는 산소석출물과 벌크적층결함(Bulk Stacking Fault)을 포함하는 의미의 결함을 말한다. 일반적으로 벌크 적층결함의 핵은 수~수백 nm의 크기로 매우 불균일한 크기로 존재하는데, 임계 크기 이상의 핵은 본 발명의 열처리 공정을 거치면서 성장하여 벌크 적층결함을 형성하게 된다.

도 16은 본 발명의 바람직한 실시예에 따라 제조된 실리콘 웨이퍼의 결함 농도 프로파일을 도시한 도면이다.

도 16을 참조하면, 웨이퍼 전면의 표면으로부터 소정 깊이까지는 COP(Crystal Originated Particle) 결함이 없는 제1 디누드 존(예컨대, 웨이퍼 표면으로부터 5 μ m~40 μ m 깊이)이 형성된다. 웨이퍼 후면의 표면으로부터 소정 깊이까지는 COP 결함이 없는 제2 디누드 존(예컨대, 웨이퍼 표면으로부터 5 μ m~40 μ m 깊이)이 형성된다. 상기 제1 디누드 존과 상기 제2 디누드 존 사이에는 BMD(Bulk Micro Defect)의 농도 프로파일이 웨이퍼 전면에서 후면 방향으로 일정하게 유지되는 분포를 갖는 벌크 영역이 형성된다. 상기 제1 디누드 존과 상기 제2 디누드 존 사이의 영역에서 상기 BMD의 농도는 1.0 \times 10⁸~1.0 \times 10¹⁰ ea/cm³ 범위의 농도를 가지며, 벌크 영역에 걸쳐 게터링 사이트(gathering site)로서의 역할을 할 수 있는 충분하고 균일한 농도를 갖는다.

상술한 실시예에서 언급한 열처리 공정에 의하여 도 16을 참조하여 설명한 실리콘 웨이퍼의 결함 농도 프로파일을 얻을 수 있는데, 열처리 장비, 열처리 온도, 열처리 시간, 온도 상승률, 온도 하강률, 분위기 가스의 종류, 유량, 혼합비 등에 따라 약간의 차이가 있을 수 있으나, 질소 도핑 및 열처리를 이용하여 벌크 영역에서 충분하고 균일한 결함 농도 프로파일을 얻는 모든 기술적 사상들은 본 발명의 실시예에 포함된다고 할 것이다.

도 3a 및 도 3b는 질소 도핑 유무에 따른 LLS(localized light scattering) 크기별 LLS 개수를 도시한 도면이다. 도 3a는 일정한 풀링 속도(pulling speed)(1.4 mm/min)로 잉곳을 성장시키면서 질소를 도핑하지 않은 경우이고, 도 3b는 일정한 풀링 속도(pulling speed)(1.4 mm/min)로 잉곳을 성장시키면서 질소를 5E13 atoms/cm³의 농도로 도핑한 경우이다. LLS 개수는 KLA-Tencor Surfscan SP1 장비를 이용하여 측정하였다. 도 3b에서 나타난 바와 같이 실리콘 단결정에 질소를 도핑함으로써 0.12 μ m 이하 크기의 미세한 파티클(particle)이 증가하고 0.12 μ m 이상의 큰 파티클의 개수는 오히려 감소하고 있다. 이는 호모지니어스(homogeneous)한 실리콘 단결정에 헤테로지니어스(heterogeneous)한 질소 원자가 첨가됨으로써 실리콘 매트릭스(matrix) 내에서 핵생성에 필요한 에너지를 감소시킴으로써 미세한 산소 석출 핵의 증가에 기인한 것이다. 이와 같이 실리콘 단결정에 불순물인 질소를 첨가함으로써 미세한 파티클의 개수가 증가하고 큰 파티클의 개수가 감소함으로써 고온 열처리시 파티클들을 쉽게 제거할 수 있다. 따라서, 웨이퍼에서 충분한 DZ(Denuded Zone)을 확보하고, COP(Crystal Originate Particle)가 없는 영역을 확보하기 위해서는 실리콘 결정 성장시 질소를 첨가하는 것이 바람직하다.

도 4는 질소 도핑 농도에 따른 FPD(Flow Pattern Defect) 평균값을 도시한 도면이다. 이때, 풀링 속도는 1.4 mm/min로 하여 잉곳을 성장시켰다. FPD는 결정성장시 발생하는 결함인 COP가 있는 곳에 SECCO 에칭(예컨대, K₂Cr₂O₇ 및 HF를 소정의 비율로 혼합한 용액을 사용)을 30분 동안 실시하여 현미경(microscope)으로 관찰할 수 있는 결함을 말한다. 도 4에 나타난 바와 같이 특정 질소 농도 이하에서는 질소 도핑 농도가 감소할수록 웨이퍼 당 평균 FPD 밀도가 증가한다. 즉 이 구간에서는 질소 농도가 증가함에 따라 FPD가 감소하게 되고, 예를 들어 질소 농도가 1E14 atoms/cm³ 농도에서는 FPD 밀도가 100개 이하로 감소하게 되고 질소가 첨가됨으로써 발생하는 결정 결함인 NiLD(nitrogen induced large defect)가 발생한다. 또한, 5E14 atoms/cm³ 이상의 농도에서는 FPD가 거의 발생하지 않고 또한 웨이퍼 전면에 질소에 의한 결정 결함인 NiLD가 발생하게 된다.

따라서, 실리콘 잉곳 제조시 1E14 atoms/cm³ 농도 이상으로 질소 농도를 증가시켜 질소에 의한 결정 결함을 야기시키는 것은 바람직하지 않다. 어닐 웨이퍼를 제조하기 위해 실리콘 단결정에 질소를 첨가하는 것은 1E14 atoms/cm³ 농도 이하로 제어하는 것이 바람직하다.

도 5는 질소 도핑된 웨이퍼의 열처리 온도에 따른 GOI(Gate Oxide Integrate) 평가 결과를 나타낸 도면이다. GOI 평가는 반도체 소자의 패일율(fail rate)을 간접적으로 확인해 보는 것이다. A-모드 패일(A-mode fail)은 0~6MV/cm의 전계를 가했을 때 일어나는 패일이고, B-모드 패일은 6~8MV/cm의 전계를 가했을 때 일어나는 패일이며, C-모드 패일은 8~10MV/cm의 전계를 가했을 때 일어나는 패일이고, C+ -모드 패일은 10~13MV/cm의 전계를 가했을 때 일어나는 패일을 말한다. 일반적으로 B-모드 패일은 COP에 의해 발생하는 것으로 알려져 있다. 실리콘 웨이퍼에 대하여 열처리 공정을 실시한 후, 표면으로부터 6 μ m 깊이까지 연마(polishing)후 GOI를 평가하였다. 본 발명의 바람직한 실시예에 따라 열처리를 수행하였다. 열처리 조건은, 확산로 내 분위기를 아르곤(Ar) 가스 분위기로 만들고 실리콘 웨이퍼를 확산로에 장입하여 500 $^{\circ}$ C에서 예열하여 유지하는 단계와, 확산로 내 가스분위기를 수소(H₂) 분위기로 바꾼 후 950 $^{\circ}$ C까지 10 $^{\circ}$ C/min 속도로 승온시키는 단계와, 1100 $^{\circ}$ C까지 5 $^{\circ}$ C/min 속도로 승온시키는 단계와, 확산로 내 가스분위기를 아르곤(Ar) 분위기로 바꾼 후 1200 $^{\circ}$ C까지 1 $^{\circ}$ C/min 속도로 승온시키는 단계와, 1200 $^{\circ}$ C에서 60분간 유지하는 단계와, 1100 $^{\circ}$ C까지 1 $^{\circ}$ C/min 속도로 강온시키는 단계와, 950 $^{\circ}$ C까지 5 $^{\circ}$ C/min 속도로 강온시키는 단계와, 500 $^{\circ}$ C까지 10 $^{\circ}$ C/min 속도로 강온시키는 단계로 이루어졌다. GOI 평가 조건은 산화막 두께는 120 \AA , 폴리실리콘의 두께는 1000 \AA , 트랜지스터 면적은 0.2cm²으로 한 후, 항복 전압 측정 장비로는 HP4156A를 사용하였다. 도 5의 (a)에서 알 수 있듯이 열처리 전 베어 웨이퍼(bare wafer)의 경우 웨이퍼 전 영역에서 패일이 발생하였다. 이는 열처리를 실시하지 않은 베어 웨이퍼의 결정 특성상 표면에 있는 COP로 인해 패일이 발생하였으나, 도 5의 (b) 내지 (f)에 나타난 바와 같이 열처리 온도가 증가할수록 웨이퍼 표면의 COP는 쉽게 제거되므로 패일율은 점차 감소하며, 1200 $^{\circ}$ C의 열처리 온도에서는 거의 발생하지 않음을 보여주고 있다. 즉, 열처리를 실시하지 않은 베어 웨이퍼의 보이드(void)성 결함인 COP가 고온 열처리를 통해서 완전히 소멸되고, 표면의 산소 석출물 역시 고온에서 분해(dissolution) 되었음을 보여주고 있다.

도 6은 열처리 온도에 따른 NSMD(Near Surface Micro Defect) 측정 결과를 나타낸 도면이다. 도 6의 (a)는 1 μ m 깊이로 연마하여 NSMD를 측정한 결과이고, 도 6의 (b)는 5 μ m 깊이로 연마하여 NSMD를 측정한 결과이다. NSMD는 일본 미즈이

-마이닝(Mitsui-Mining)사의 MO601 장비로 측정하였다. 도 6의 (a)에 나타난 바와 같이 표면으로부터 1 μ m 깊이로 연마한 경우, 1100 $^{\circ}$ C 이상의 온도에서 파티클을 제외한 COP가 미량 제거 되어 표면에는 COP가 거의 발견되지 않았으나, 하지만 도 6의 (b)에 나타난 바와 같이 표면으로부터 5 μ m 깊이로 연마한 경우 1150 $^{\circ}$ C의 온도까지는 열처리 후 COP가 완전히 소멸되지 않고, 1175 $^{\circ}$ C 이상의 온도에서만 COP가 완전히 제거된 것을 볼 수 있다. 즉, 표면에서 5 μ m까지 COP가 없는 깊이를 확보하기 위해서는 적어도 1175 $^{\circ}$ C 이상의 온도에서 열처리를 하는 것이 바람직하다. 한편, 도 5에서 설명한 바와 같이 COP에 의한 GOI의 폐일율을 최소화하기 위해서는 1200 $^{\circ}$ C에서 열처리하는 것이 더욱 바람직하다.

도 7a 및 도 7b는 질소 도핑된 웨이퍼의 열처리 시간에 따른 COP가 없는 영역 깊이의 변화를 LLS의 변화로 측정한 결과를 나타낸 도면들이다. 도 7a에서 (a), (b), (c), (d), (e)는 아르곤(Ar) 가스 분위기에서 각각 15분, 30분, 60분, 90분, 120분 동안 열처리를 실시한 경우이고, (f)는 수소(H₂) 분위기에서 60분 동안 열처리를 실시한 경우를 나타낸다. 도 7b에서 (a)는 웨이퍼 표면으로부터 8 μ m를 연마한 경우의 LPDN의 분포를 나타내고, (b)는 10 μ m를 연마한 경우이며, (c)는 12 μ m를 연마한 경우이며, (b)는 14 μ m를 연마한 경우의 LPDN 분포를 나타낸 도면이다. 열처리 온도는 1200 $^{\circ}$ C로 고정한 후 측정하였다. 열처리는 도 5를 참조하여 설명한 경우와 동일한 조건으로 실시하였다. 도 7a와 도 7b에서 나타난 바와 같이 어닐 웨이퍼를 연마할 경우 표면으로부터 특정 깊이에서 LLS가 급격히 증가하는데, 이는 웨이퍼 표면에서 특정 깊이까지는 고온 열처리에 의해서 COP가 소멸되지만, 특정 깊이 이상에서는 더 이상 소멸되지 않고 베어 웨이퍼의 결정특성을 그대로 반영하고 있다. 도 7a에 나타난 바와 같이 1200 $^{\circ}$ C의 열처리 온도에서 열처리 시간이 증가할수록 LLS가 급격히 증가하는 지점은 점점 깊어지며, 따라서 COP가 없는 영역의 깊이는 증가한다고 할 수 있다. 또한, 동일한 열처리 시간의 경우, 수소 분위기에서 열처리를 하는 경우가 Ar 분위기에서 열처리를 하는 경우보다 우수한 COP 제거 효율을 나타낸다. 이는 수소 열처리시 COP 내벽에 있는 산소(oxide)가 Ar으로 열처리하는 경우 보다 쉽게 제거되므로 이후 보이드성 결함인 COP가 쉽게 제거(shrink)될 수 있다. 그러나, 수소 가스를 사용할 경우 COP가 없는 영역 깊이 면에서는 Ar 가스 보다 우수하지만, 열처리 공정에서 사용하는 석영 튜브(Quartz tube) 등의 예칭으로 인해 금속 오염 면에서 Ar 가스를 사용하는 것이 바람직하다.

또한, 도 7a 및 도 7b에서 알 수 있듯이 적어도 10 μ m 이상의 COP가 없는 영역 깊이를 확보하기 위해서는 1200 $^{\circ}$ C에서 열처리 시간을 60분 이상으로 하는 것이 바람직하며, 그 이상의 COP가 없는 영역 깊이를 확보하기 위해서는 60분 이상의 열처리를 실시하는 것이 바람직하나 확산로의 수명이 짧아질 가능성이 있으므로 이를 고려해야 한다.

도 8a는 도 2를 참조하여 설명한 제1 온도(500 $^{\circ}$ C) ~ 제2 온도(950 $^{\circ}$ C) 구간에서 승온 속도(제1 온도 상승률)에 따른 DZ (Denuded Zone) 깊이(도 8a에서 (a)에 해당)와 BMD 밀도(도 8a에서 (b)에 해당)를 나타낸 도면이다. 이때, 기타의 열처리 조건들은 도 5를 참조하여 설명한 경우와 동일하게 하였다. 산소 농도를 12.5ppma, 도 2를 참조하여 설명한 제2 온도(950 $^{\circ}$ C)~제3 온도(1100 $^{\circ}$ C) 구간에서 승온 속도(제2 온도 상승률)를 5 $^{\circ}$ C/min 로 고정한 후 각각의 DZ 깊이와 BMD 밀도를 측정하였다. DZ 깊이와 BMD 밀도 측정은 1200 $^{\circ}$ C에서 아르곤(Ar) 분위기로 열처리를 실시한 후, 다시 산소 분위기에서 2단계 열처리(800 $^{\circ}$ C에서 4시간 열처리하고, 1000 $^{\circ}$ C에서 16시간 열처리함)를 실시하여 SECCO 예칭을 한 후 현미경으로 확인하는 방법을 사용하였다. 산소 분위기에서 도 8a에 나타난 것처럼 승온 속도(제1 온도 상승률)가 증가할수록 DZ 깊이는 증가하였고, 승온 속도(제1 온도 상승률)가 18 $^{\circ}$ C/min 이상에서는 DZ 깊이가 거의 증가하지 않았다. 반면, BMD 밀도의 경우 18 $^{\circ}$ C/min까지는 승온 속도에 비례하여 BMD 밀도가 증가하였다. 또한, 주어진 승온 구간에서 DZ는 25 μ m 이상, BMD 밀도는 5E5ea/cm² 이상 충분히 확보되었다. 이는 승온 속도가 빠를수록 상대적으로 산소 석출물의 핵생성을 시킬 수 있는 충분한 시간이 확보되지 않으므로, 핵생성 밀도가 낮으며, 1200 $^{\circ}$ C 고온 열처리시 산소 석출물이 표면에서 상대적으로 쉽게 소멸된다.

도 8b는 도 2를 참조하여 설명한 제1 온도(500 $^{\circ}$ C) ~ 제2 온도(950 $^{\circ}$ C) 구간에서의 승온 속도(제1 온도 상승률)를 10 $^{\circ}$ C/min로 고정시킨 후 제2 온도(950 $^{\circ}$ C) ~ 제3 온도(1100 $^{\circ}$ C) 구간에서 승온 속도(제2 온도 상승률)의 변화에 따른 DZ 깊이(도 8b에서 (b)에 해당)와 BMD 밀도(도 8b에서 (a)에 해당)를 나타낸다. 이때, 기타의 열처리 조건들은 도 5를 참조하여 설명한 경우와 동일하게 하였다. 도 8a와 비슷한 결과를 보이지만 5 $^{\circ}$ C/min 이상에서는 거의 포화되는 형태를 나타내고 있다.

도 9는 산소 농도에 따른 DZ 깊이와 BMD 밀도의 변화를 나타낸다. 열처리 조건은 도 5를 참조하여 설명한 경우와 동일하게 하였다. 도 2를 참조하여 설명한 제1 온도(500 $^{\circ}$ C) ~ 제2 온도(950 $^{\circ}$ C) 구간에서의 승온 속도(제1 온도 상승률)를 10 $^{\circ}$ C/min, 제2 온도(950 $^{\circ}$ C) ~ 제3 온도(1100 $^{\circ}$ C) 구간에서 승온 속도(제2 온도 상승률)를 5 $^{\circ}$ C/min로 고정한 후 DZ 깊이와 BMD 밀도의 변화를 측정하였다. 도 9에서 알 수 있듯이 산소 농도가 증가할수록 DZ 깊이(도 9에서 (a))는 증가하고, BMD 밀도(도 9에서 (b))는 감소하는 경향을 보였으며, 고정 인자로 작용한 승온 속도 보다 산소 농도가 DZ 깊이 및 BMD 밀도에 더 큰 영향을 준다는 것을 알 수 있다. 따라서, 낮은 산소 농도에서 높은 DZ 깊이와 BMD 밀도를 확보해야 하는 경

우와, 높은 산소 농도에서 낮은 DZ 깊이와 BMD 밀도를 확보해야 하는 경우, 승온 속도들(제1 온도 상승률 및 제2 온도 상승률)의 적절한 조절을 통해 가능하다. 즉, 반도체 소자에서 요구되는 산소 농도에 따라서 DZ 깊이와 BMD 밀도를 조절하기 위해 승온 속도들(제1 온도 상승률 및 제2 온도 상승률)을 가감할 수 있다.

도 10은 질소 도핑된 실리콘 웨이퍼의 산소 농도에 따른 COP가 없는 영역의 깊이를 나타내고 있다. 도 10은 도 5를 참조하여 설명한 열처리 조건과 동일하게 하였으며, $5E13 \text{ atoms/cm}^2$ 의 농도로 질소를 도핑한 경우를 나타낸다. 도 10에 나타난 바와 같이 산소 농도가 증가할수록 COP가 없는 영역 깊이는 선형적으로 감소하며, 산소 농도가 14ppma에서는 $6\mu\text{m}$ 내외로 크게 감소한다. 그러나 도 5에서 설명한 것처럼 COP가 없는 영역 깊이는 열처리 시간을 증가시킬수록 증가하므로 낮은 산소 농도에서는 열처리 시간을 조절하여 반도체 소자에서 요구하는 COP가 없는 영역 깊이를 충족시킬 수 있다.

도 11a 및 도 11b는 승온 속도에 따른 전체 슬립 길이(slip length)를 도시한 그래프들이다. 도 11a는 도 2를 참조하여 설명한 제2 온도 상승률을 5°C/min 로 고정하고 제1 온도 상승률을 변화시킴에 따른 슬립 길이의 변화이며, 도 11b는 도 2를 참조하여 설명한 제1 온도 상승률을 10°C/min 로 고정하고 제2 온도 상승률을 변화시킴에 따른 슬립 길이의 변화이다. 도 11a 및 도 11b는 열처리 온도를 1200°C , 열처리 시간을 60분 그리고 산소 농도를 12.5ppma로 고정하여 열처리를 실시한 경우이다. 기타 열처리 조건은 도 5를 참조하여 설명한 경우와 동일하게 하였다. 일반적으로 확산로에서 승온 속도가 증가할수록 웨이퍼 내 중심부(center)와 에지부(edge)의 온도 편차가 커지게 되고 이에 의한 열응력(thermal stress)으로 인해 슬립(slip)이 심하게 발생하며, 열처리 동안 실리콘 웨이퍼와 실리콘카바이드(SiC) 보트와 접촉된 부분에서 실리콘과 실리콘카바이드(SiC)의 열팽창 계수의 차이에 의해서 응력(stress)이 발생하여 그에 따른 슬립이 발생하게 된다. 즉, 승온 속도가 증가할수록 그에 따른 슬립 길이가 증가하게 된다. 도 11a와 도 11b 모두에서 승온 속도가 증가함에 따라 슬립 길이는 길어짐을 볼 수 있다.

일반적으로 실리콘 단결정 격자에 어떠한 외부 응력이 생기고 이러한 응력이 실리콘의 항복 응력(yield stress) 이상으로 가해질 때 그에 따른 변형을 스트레인(strain) 혹은 전위(dislocation)라고 정의할 수 있다. 만약 이러한 외부 응력이 지속적으로 가해질 경우 이러한 전위는 격자사이를 이동하면서 움직이게 되는데 이를 슬립(slip)이라고 한다. 이러한 슬립은 실리콘 웨이퍼 내 석출물이 증가하여 석출물 간의 간격이 적을수록 전위의 이동이 방해받을 수 있으므로 슬립이 쉽게 발생하지 않는다. 따라서, 웨이퍼 내 석출물의 밀도를 증가시켜 슬립 발생을 감소시킬 수 있으며 이러한 현상을 전위 핀닝(dislocation pinning) 현상이라고 한다. 도 12에서는 실리콘 웨이퍼 내에서 이러한 산소 석출에 의해 슬립이 억제되는 과정을 보여주고 있다.

한편, 도 9에서 설명한 것처럼 산소 농도가 증가할수록 벌크 내부의 산소석출물인 BMD의 밀도는 증가한다. 즉, 산소 농도가 높을수록 산소 석출물의 밀도 증가로 인해 슬립 발생이 억제되며, 이러한 결과는 도 2를 참조하여 설명한 제2 온도 상승률을 5°C/min 로 고정하고 도 2를 참조하여 설명한 제1 온도 상승률을 10°C/min 로 고정한 후 산소 농도에 따른 슬립 길이를 도 13에서 나타내고 있다. 도 13에 나타난 바와 같이 산소 농도가 증가할수록 슬립 발생이 현저히 감소하며, 14ppma에서는 1mm 내외로 거의 발생하지 않았다. 하지만 산소 농도가 증가하면 상대적으로 DZ 깊이가 감소하여 충분한 DZ 깊이의 확보 측면에서는 바람직하지 않다.

따라서 충분한 DZ 깊이 및 COP가 없는 영역의 깊이를 확보하기 위해서는 산소농도가 낮을수록 유리하며, 그에 따른 슬립 발생의 증가는 열처리 조건을 적절히 조절하여 해결할 수 있고, 따라서 슬립 발생을 감소시킬 수 있다. 본 실시예에서 테스트한 결과 11ppma의 낮은 산소 농도에서도 제1 온도 상승률 및 제2 온도 상승률을 동시에 5°C/min 이하로 할 경우 1mm 이하의 슬립이 발생하였다. 이를 XRT로 측정된 결과를 도 14b에 나타냈다.

어닐 웨이퍼를 제조하기 위해서는 열처리 중 웨이퍼와 보트의 접촉에 의한 통상 1mm 이하의 포인트(point)로 나타나는 손상(damage)의 경우 완벽히 제어하기는 불가능하다. 따라서, 이러한 최소의 손상을 2단계 소자 열처리(800°C 에서 4시간, 1000°C 에서 16시간)를 하고 난 후 손상이 발생한 부위에서 반도체 소자 구동 영역까지 슬립이 전이되는지를 확인하고자 하였다. 도 14c에서 나타난 것처럼 소자 열처리 후에 표면에서 약 $144\mu\text{m}$ 까지만 슬립이 전이되고 소자의 구동 영역까지는 전이되지 않았다. 이러한 결과는 도 14c에서 나타난 것처럼 벌크 내부의 높은 BMD 밀도에 의해 앞서 설명한 전위 핀닝 효과에 의해 슬립이 소자 구동 영역까지 전이되는 것을 막아주고 있다.

도 15a 및 도 15b는 가스 분위기에 따른 비저항의 변화를 나타낸 그래프들이다. 도 15a는 도 2를 참조하여 설명한 제1 온도 내지 제3 온도 구간에서도 아르곤(Ar) 가스 분위기에서 열처리한 경우의 비저항 변화를 나타낸 그래프이고, 도 15b는 제1 온도 내지 제3 온도 구간에서 수소 분위기로 열처리하는 경우의 비저항 변화를 나타낸 그래프이다. 일반적으로 Ar 분위기에서 열처리를 할 경우 클린룸 내 보론 원자가 웨이퍼 표면에 흡착되어 열처리하는 도중에 내부로 확산된다. 따라서, 도 15a에 나타난 바와 같이 표면에 보론 원자의 밀도가 증가하게 되고, 보론 원자는 열처리 도중에 내부로 확산하여 비저항 값이 감소하게 되고, 이러한 현상은 소자에 치명적인 영향을 미치게 된다. 따라서, 이러한 문제를 해결하기 위해서 아

르곤(Ar) 어닐 도중에 가스 분위기를 수소 분위기로 바꿈으로써 보론 원자를 포함한 웨이퍼 위의 자연산화막(native oxide)을 완전히 제거함으로써 고온에서 보론 원자가 확산되는 것을 막아 도 15b에서 볼 수 있듯이 매우 균일한 비저항을 얻을 수 있다.

이와 같이 가스 분위기를 불활성 가스 분위기에서 수소 분위기로 바꿀 경우 수소 분위기로 열처리되는 온도 구간이 중요하다. 왜냐하면 수소는 자연산화막만을 완전히 제거할 정도로만 수소를 첨가하여야 하지만, 그 이상 수소를 첨가하면 표면의 자연산화막을 제거한 후 웨이퍼 표면에 있는 보론 원자를 웨이퍼 표면 밖으로 확산시켜 오히려 표면에서 비저항이 증가되는 현상이 발생한다. 또한, 1100°C 이상에서 오랜 시간동안 수소 분위기에서 열처리하는 경우 웨이퍼의 금속 오염을 증가시킨다. 일반적으로 Ar 분위기에서만 열처리하는 경우가 수소 분위기에서 열처리하는 경우 보다 석영 등의 주요 소모품의 수명을 증가시키며 웨이퍼의 오염 측면에서 유리한 것으로 알려져 있다. 따라서, 이러한 면들을 종합적으로 검토하여 보면, 수소 분위기에서 열처리하는 구간을 적절히 선정하여 조절하는 것이 바람직함을 알 수 있다.

실험 한 결과 열처리 도중 제1 온도(500°C)에서 제3 온도(1100°C) 사이의 온도 구간에서 수소 분위기로 열처리하고 나머지 온도 구간에서는 Ar 분위기에서 열처리를 할 경우 표면에 보론 원자를 포함한 자연산화막만을 제거하여 도 15b와 같은 매우 균일한 비저항 프로파일(profile)을 얻을 수 있다.

발명의 효과

본 발명에 의하면, 어닐 웨이퍼의 문제점이었던 고온 공정에 의한 슬립 발생을 제어할 수 있다.

또한 본 발명에 의하면, 소자의 활성 영역에 균일하고 충분한 DZ 영역 및 COP가 없는 영역을 제공할 수 있다.

또한 본 발명에 의하면, 벌크 영역에는 고밀도의 균일한 BMD를 갖는 웨이퍼를 제조할 수 있다. 따라서, 활성층 아래 벌크 영역에 고밀도의 균일한 BMD가 형성되도록 함으로써 금속 오염 등의 불순물을 게터링(gattering)하는 효과를 증대시킬 수 있다. 즉, 벌크 영역내에서 충분하고 일정하게 존재하는 BMD에 의해 후속의 열처리 공정 등에 의해 웨이퍼 표면으로 외방 확산되는 금속 오염 물질들을 충분히 게터링함으로써, 표면으로 외방 확산되는 금속 오염물질의 양을 현저하게 감소시킬 수 있다.

이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

(57) 청구의 범위

청구항 1.

전면, 후면, 테두리 에지부 및 상기 전면과 후면 사이의 영역을 갖는 실리콘 웨이퍼에서,

상기 웨이퍼 전면의 표면으로부터 5 μ m 내지 40 μ m 깊이에서 50nm 내지 100nm 크기의 COP에 대하여 LLS(Localized Light Scattering)의 개수는 100개 이하인 제1 디누드 존;

상기 웨이퍼 후면의 표면으로부터 5 μ m 내지 40 μ m 깊이에서 50nm 내지 100nm 크기의 COP에 대하여 LLS(Localized Light Scattering)의 개수는 100개 이하인 제2 디누드 존; 및

상기 제1 디누드 존과 상기 제2 디누드 존 사이에 형성되고, BMD(Bulk Micro Defect)의 농도 프로파일이 웨이퍼 전면에서 후면 방향에 걸쳐 전 구간에서 균일하게 유지되는 분포를 갖는 벌크 영역을 포함하며,

상기 실리콘 웨이퍼는 1E12 atoms/cm² 내지 1E14 atoms/cm² 범위의 질소 농도를 갖는 실리콘 웨이퍼.

청구항 2.

제1항에 있어서, 상기 제1 디누드 존과 상기 제2 디누드 존 사이의 영역에서 상기 BMD의 농도는 $1.0 \times 10^8 \sim 1.0 \times 10^{10}$ ea/cm³ 범위의 농도인 실리콘 웨이퍼.

청구항 3.

삭제

청구항 4.

- (a) 전면, 후면, 테두리 에지부 및 상기 전면과 후면 사이의 영역을 갖는 실리콘 웨이퍼를 준비하는 단계;
- (b) 상기 실리콘 웨이퍼를 제1 온도로 설정된 열처리 장비에 로딩하는 단계;
- (c) 상기 실리콘 웨이퍼를 상기 열처리 장비 내의 제1 온도에서 소정 시간동안 유지하여 예열시키는 단계;
- (d) 상기 열처리 장비 내의 온도를 상기 제1 온도보다 높은 제2 온도까지 제1 온도 상승률로 승온시키는 단계;
- (e) 상기 열처리 장비 내의 온도를 상기 제2 온도 보다 높은 제3 온도까지 제2 온도 상승률로 승온시키는 단계;
- (f) 상기 열처리 장비 내의 온도를 상기 제3 온도보다 높은 제4 온도까지 제3 온도 상승률로 승온시키는 단계;
- (g) 상기 열처리 장비 내의 온도를 제4 온도로 유지하여 상기 실리콘 웨이퍼를 고온 열처리하는 단계; 및
- (h) 상기 열처리 장비 내의 온도를 상기 제1 온도 정도까지 하강시키는 단계를 포함하며,

상기 제2 온도 상승률은 상기 제1 온도 상승률보다 작고, 상기 (c) 단계 및 상기 (f) 단계 내지 상기 (h) 단계는 불활성 가스 분위기에서 수행하고, 상기 (d) 단계 및 상기 (e) 단계는 수소 분위기에서 수행하는 실리콘 웨이퍼의 제조방법.

청구항 5.

제4항에 있어서, 상기 실리콘 웨이퍼를 준비하는 단계는,

씨드 결정(Seed Crystal)을 용융 실리콘에 담고 결정성장 속도와 결정의 응고 계면에서의 성장 방향의 온도 구배를 조절하면서 인상하여 실리콘 단결정을 성장시키는 단계;

성장된 실리콘 단결정을 웨이퍼의 형태로 슬라이싱하는 단계; 및

슬라이싱할 때 발생한 슬라이싱 데미지(damage)를 제거하고 슬라이싱된 웨이퍼의 측면을 라운딩하거나 표면을 식각하기 위한 에칭 공정을 실시하는 단계를 포함하며,

상기 실리콘 단결정을 성장시키는 단계에서 실리콘 단결정 내에서 핵생성에 필요한 에너지를 감소시키고 미세한 산소 석출 핵을 증가시키기 위하여 질소를 $1E12$ atoms/cm³ 내지 $1E14$ atoms/cm³ 범위의 농도로 도핑시키면서 실리콘 단결정을 성장시키는 실리콘 웨이퍼의 제조방법.

청구항 6.

제4항에 있어서, 상기 (h) 단계 후에,

상기 실리콘 웨이퍼 표면을 폴리싱하는 단계;

상기 실리콘 웨이퍼 표면을 경면화하기 위한 경면 연마 단계; 및

상기 실리콘 웨이퍼를 세정하는 단계를 더 포함하는 실리콘 웨이퍼의 제조방법.

청구항 7.

제4항에 있어서, 상기 제1 온도는 500℃ 정도의 온도이고, 상기 제2 온도는 950℃ 정도의 온도이며, 상기 제3 온도는 1100℃ 정도의 온도이고, 상기 제4 온도는 1200℃ 정도의 온도인 실리콘 웨이퍼의 제조방법.

청구항 8.

제4항에 있어서, 상기 제1 온도 상승률은 10℃/min 정도이고, 상기 제2 온도 상승률은 5℃/min 정도인 실리콘 웨이퍼의 제조방법.

청구항 9.

제4항에 있어서, 상기 제3 온도 상승률은 0.1 내지 5℃/min 정도인 실리콘 웨이퍼의 제조방법.

청구항 10.

제4항에 있어서, 상기 (g) 단계는 상기 제4 온도에서 1분 내지 120분간 유지하여 열처리하는 실리콘 웨이퍼의 제조방법.

청구항 11.

제4항에 있어서, 상기 (h) 단계는,

상기 열처리 장비 내의 온도를 제1 온도 하강률로 상기 제3 온도까지 하강시키는 단계;

상기 열처리 장비 내의 온도를 제2 온도 하강률로 상기 제2 온도까지 하강시키는 단계; 및

상기 열처리 장비 내의 온도를 제3 온도 하강률로 상기 제1 온도까지 하강시키는 단계를 포함하는 실리콘 웨이퍼의 제조방법.

청구항 12.

제11항에 있어서, 상기 제3 온도 하강률은 상기 제2 온도 하강률보다 크도록 설정된 실리콘 웨이퍼의 제조방법.

청구항 13.

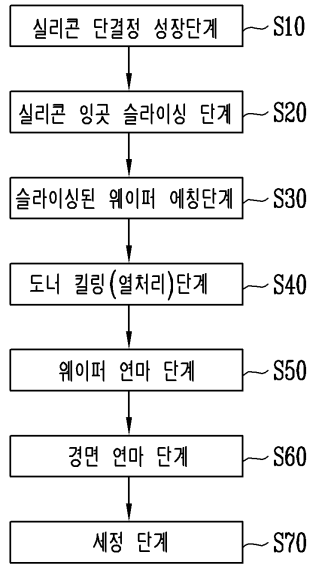
제11항에 있어서, 상기 제1 온도 하강률은 0.1 내지 5℃/min 정도인 실리콘 웨이퍼의 제조방법.

청구항 14.

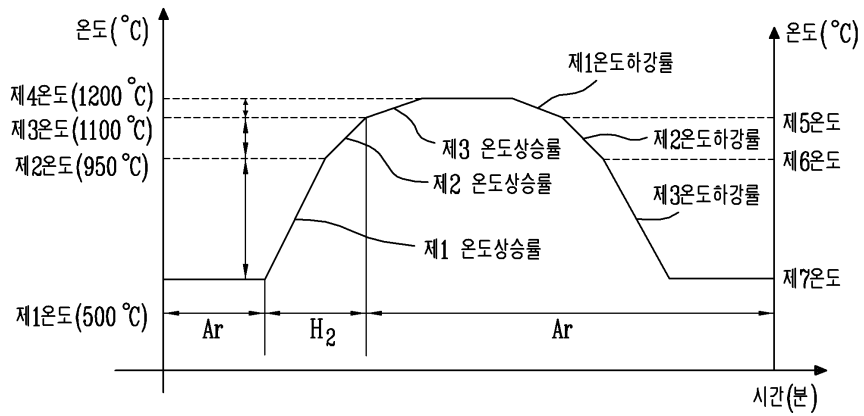
제11항에 있어서, 상기 제2 온도 하강률은 5°C/min 정도이고, 상기 제3 온도 하강률은 10°C/min 정도인 실리콘 웨이퍼의 제조방법.

도면

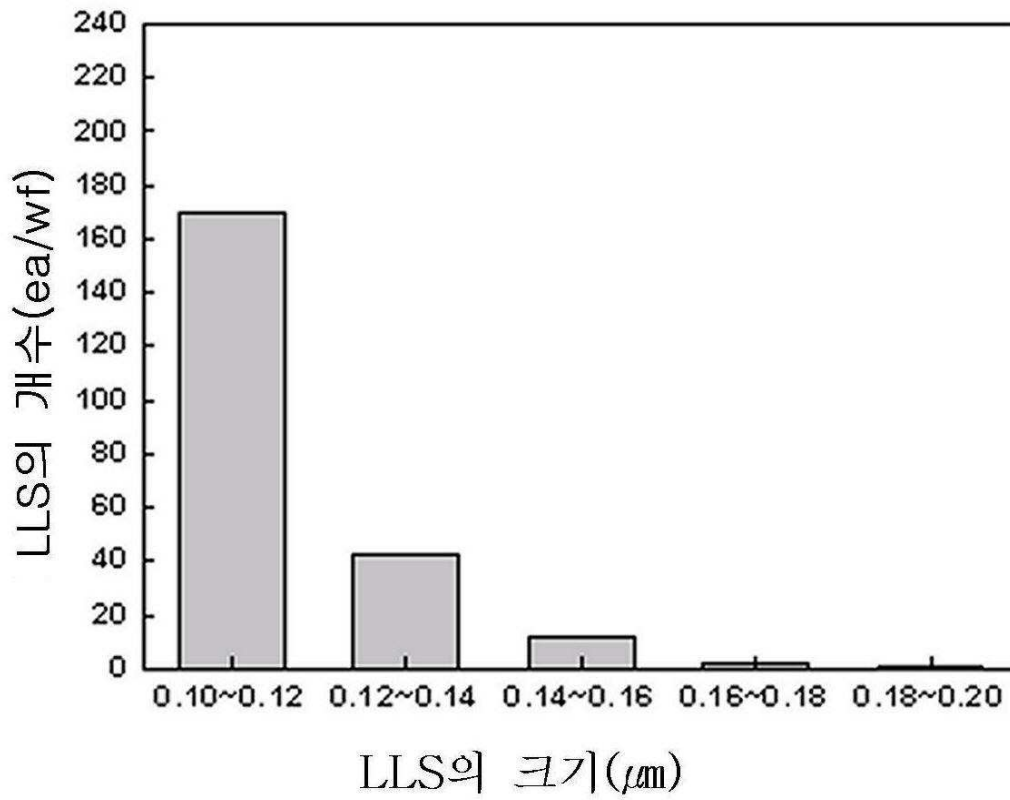
도면1



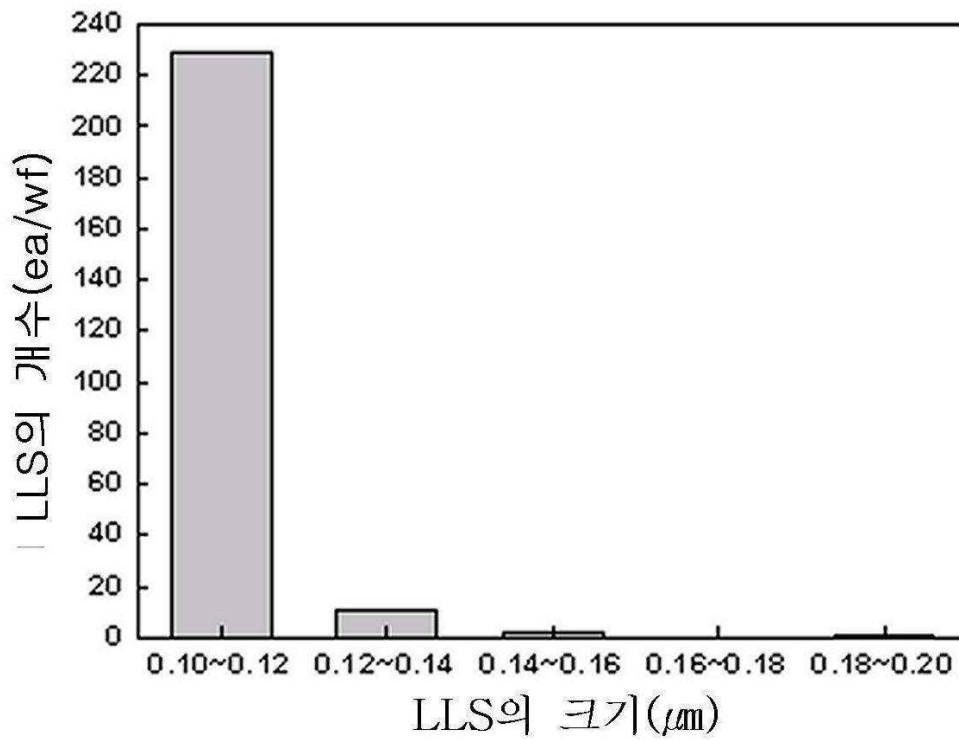
도면2



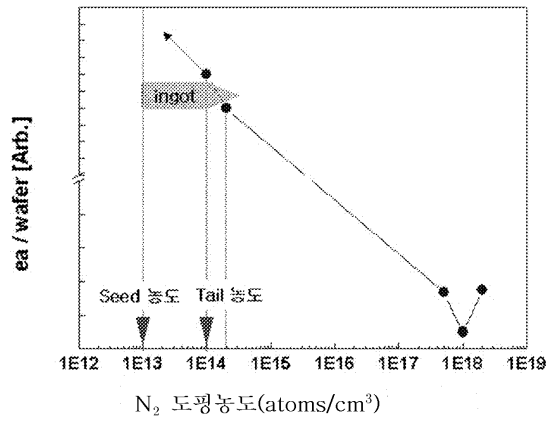
도면3a



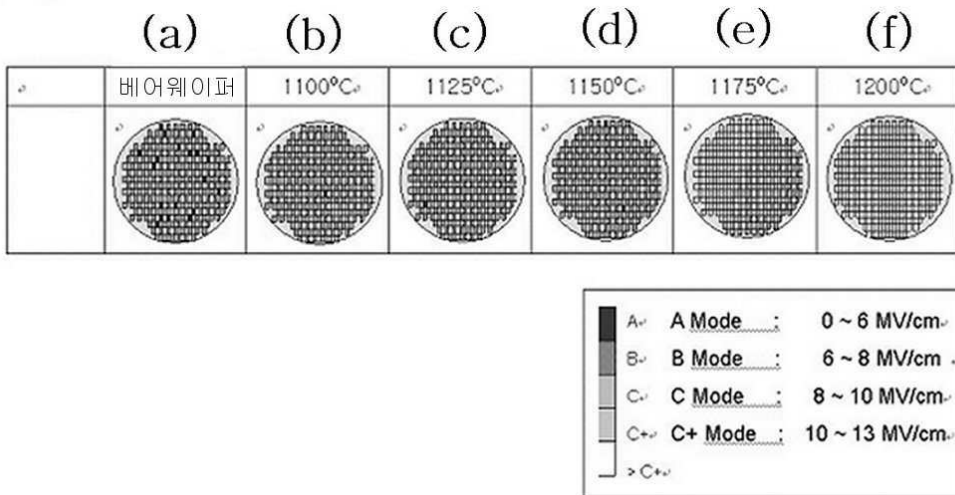
도면3b



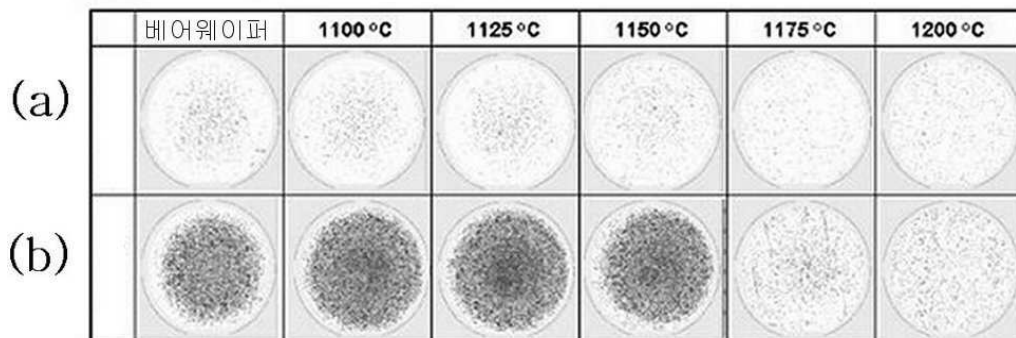
도면4



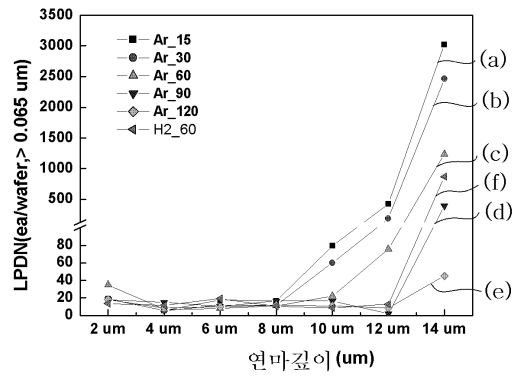
도면5



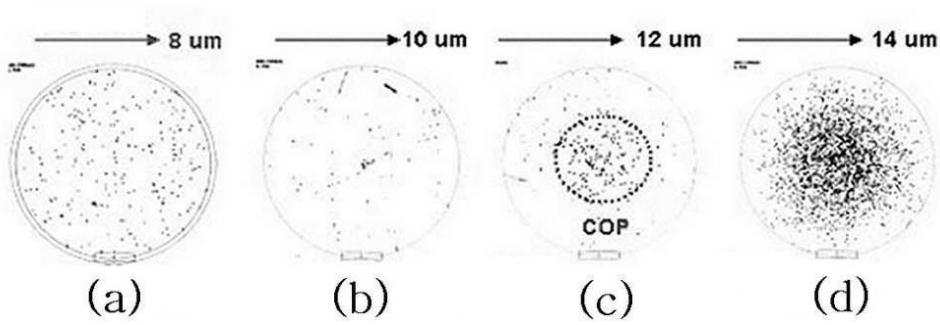
도면6



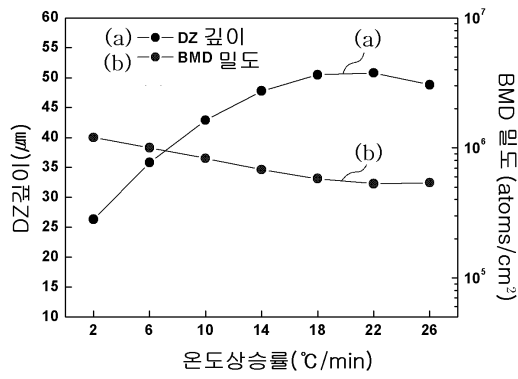
도면7a



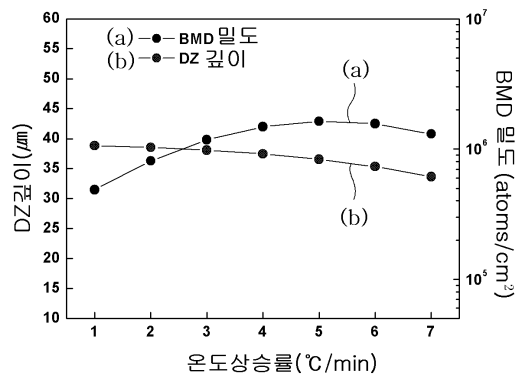
도면7b



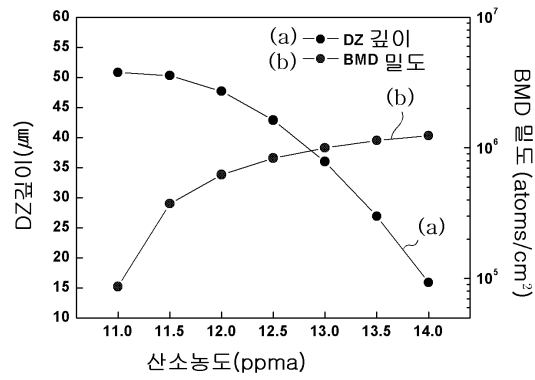
도면8a



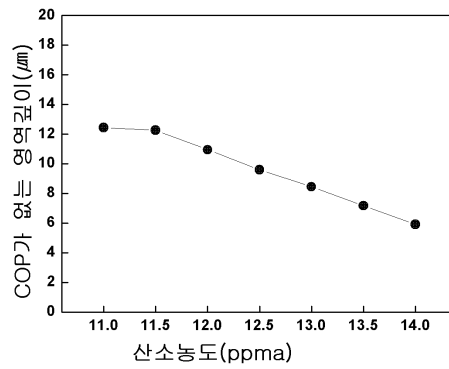
도면8b



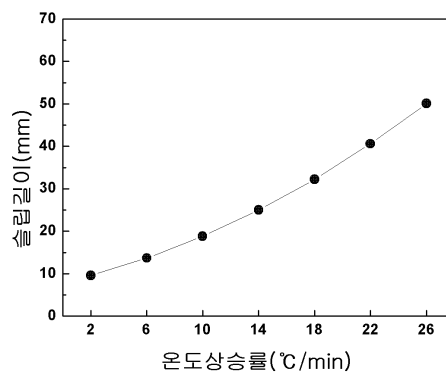
도면9



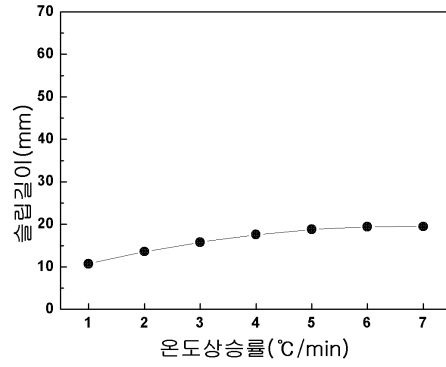
도면10



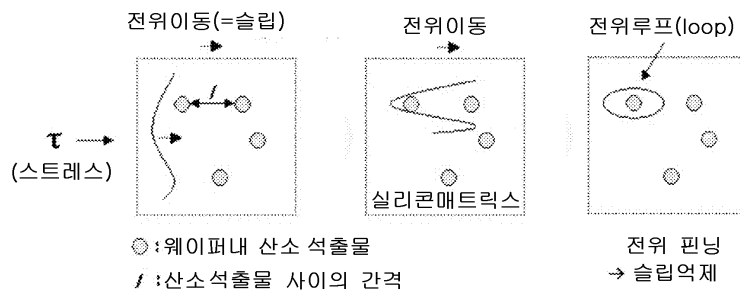
도면11a



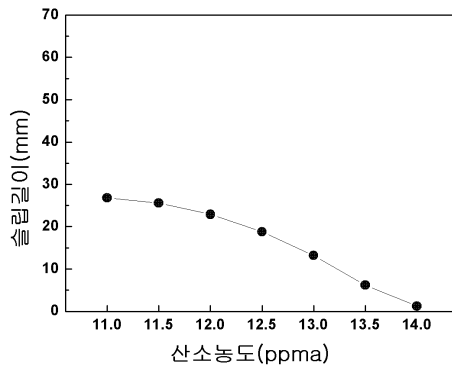
도면11b



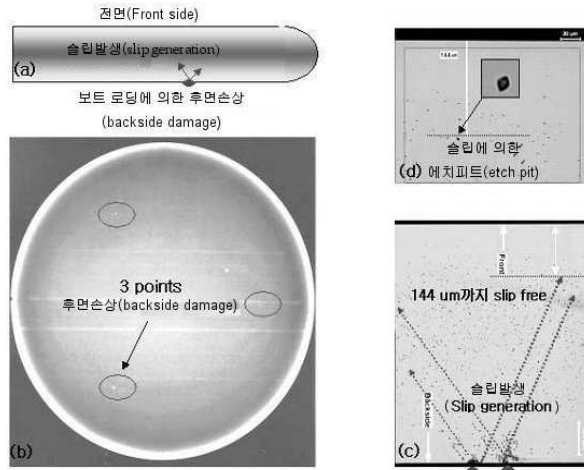
도면12



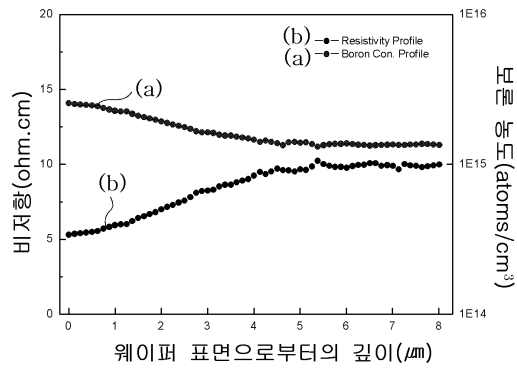
도면13



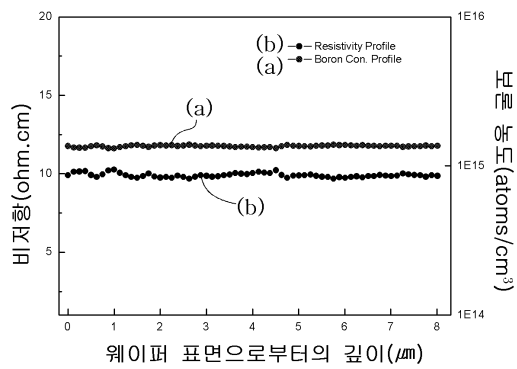
도면14



도면15a



도면15b



도면16

