

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4511475号
(P4511475)

(45) 発行日 平成22年7月28日 (2010. 7. 28)

(24) 登録日 平成22年5月14日 (2010. 5. 14)

(51) Int. Cl.	F 1
A 6 3 F 7/02 (2006.01)	A 6 3 F 7/02 3 2 4 C
	A 6 3 F 7/02 3 2 6 Z

請求項の数 7 (全 132 頁)

(21) 出願番号	特願2006-6628 (P2006-6628)	(73) 特許権者	000144153
(22) 出願日	平成18年1月13日 (2006. 1. 13)		株式会社三共
(65) 公開番号	特開2007-185374 (P2007-185374A)		東京都渋谷区渋谷三丁目2 9 番 1 4 号
(43) 公開日	平成19年7月26日 (2007. 7. 26)	(74) 代理人	100103090
審査請求日	平成20年12月4日 (2008. 12. 4)		弁理士 岩壁 冬樹
		(74) 代理人	100124501
			弁理士 塩川 誠人
		(74) 代理人	100134692
			弁理士 川村 武
		(74) 代理人	100135161
			弁理士 眞野 修二
		(72) 発明者	鶴川 詔八
			群馬県桐生市相生町 1 丁目 1 6 4 番地の 5

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

遊技媒体を用いて遊技者が所定の遊技を行うことが可能であり、遊技領域における入賞領域に遊技媒体が入賞したことにもとづいて景品として景品遊技媒体を払い出す遊技機であって、

前記入賞領域に遊技媒体が入賞したことを検出して入賞検出信号を出力する入賞検出手段と、

前記入賞検出手段からの入賞検出信号が入力され、遊技の進行を制御する遊技制御手段と、

景品遊技媒体の払い出しを行う払出手段と、

前記払出手段によって景品遊技媒体が払い出されたことを検出して払出検出信号を出力する払出検出手段と、

前記払出手段を制御する払出制御手段とを備え、

前記遊技制御手段は、

所定のメイン処理を繰り返し実行するメイン処理実行手段と、

所定時間毎に発生するタイマ割込の設定を行うタイマ割込設定手段と、

前記タイマ割込が発生したときに、前記メイン処理の実行を中断してタイマ割込処理を実行するタイマ割込処理実行手段と、

前記タイマ割込処理の実行中に、前記入賞検出信号の入力に応じて、払い出すべき景品遊技媒体の数を特定可能な払出数データを払出数記憶手段に記憶させる払出数登録手段と

10

20

、
前記メイン処理の実行中に、前記払出数記憶手段に記憶された払出数データにもとづいて、払い出すべき景品遊技媒体の数を特定可能な払出数コマンドを、前記払出制御手段に送信する払出数送信手段と、

払い出すべき景品遊技媒体であって前記払出手段による払い出しが完了していない景品遊技媒体の総数を示す総未払出数を記憶する総未払出数記憶手段と、

前記メイン処理の実行中に、

前記総未払出数記憶手段から総未払出数を読み出す読出手段と、

前記払出数送信手段によって送信された払出数コマンドに示される景品遊技媒体の数を、前記読出手段が読み出した総未払出数に加算する払出数加算手段と、

前記払出数加算手段により加算された総未払出数を、前記総未払出数記憶手段に書き込む払出数書込手段と、

前記読出手段が総未払出数を読み出す前に前記タイマ割込処理の実行を禁止する割込禁止手段と、

前記払出数書込手段によって総未払出数が前記総未払出数記憶手段に書き込まれると、前記タイマ割込処理の実行を許可する割込許可手段とを含み、

前記タイマ割込処理の実行中に、前記払出検出信号にもとづいて、前記払出手段によって払い出された景品遊技媒体の数を、前記総未払出数記憶手段が記憶する総未払出数から減算する総未払出数減算手段と、

前記払出数加算手段によって前記払出数コマンドに示される景品遊技媒体の数が総未払出数に加算されると、前記払出数コマンドに示される景品遊技媒体の数が加算された総未払出数が所定の範囲内であるか否かを判定する払出数判定手段とを含む

ことを特徴とする遊技機。

【請求項 2】

遊技制御手段は、払出数判定手段によって所定の範囲内でないと判定されると、払出手段による景品遊技媒体の払い出しに異常が発生したことを示す異常発生コマンドを、払出制御手段に送信する対払出異常発生コマンド送信手段を含み、

前記払出制御手段は、前記遊技制御手段から受信した前記異常発生コマンドにもとづいて、前記払出手段による景品遊技媒体の払い出しに異常が発生したことを報知する払出側異常報知手段を含む

請求項 1 記載の遊技機。

【請求項 3】

演出用の電気部品を制御して遊技演出を実行する演出制御手段を備え、

遊技制御手段は、払出数判定手段によって所定の範囲内でないと判定されると、払出手段による景品遊技媒体の払い出しに異常が発生したことを示す異常発生コマンドを、前記演出制御手段に送信する対演出異常発生コマンド送信手段を含み、

前記演出制御手段は、前記遊技制御手段から受信した前記異常発生コマンドにもとづいて、前記払出手段による景品遊技媒体の払い出しに異常が発生したことを報知する演出側異常報知手段を含む

請求項 1 または請求項 2 記載の遊技機。

【請求項 4】

払出数判定手段は、

払出数加算手段によって払出数コマンドに示される景品遊技媒体の数が加算された総未払出数にもとづいて、払い出すべき景品遊技媒体の数よりも多い遊技媒体が払い出される異常である払出過多異常が発生したか否かを判定する払出過多異常判定手段と、

前記払出数加算手段によって前記払出数コマンドに示される景品遊技媒体の数が加算された総未払出数にもとづいて、総未払出数が所定の払出過少判定値を超えた状態の異常である払出過少異常が発生したか否かを判定する払出過少異常判定手段とを含み、

対払出異常発生コマンド送信手段は、

前記払出過多異常判定手段によって前記払出過多異常が発生したと判定されると、前記

払出過多異常が発生したことを示す払出過多異常コマンドを、払出制御手段に送信する対払出過多異常コマンド送信手段と、

前記払出過少異常判定手段によって前記払出過少異常が発生したと判定されると、前記払出過少異常が発生したことを示す払出過少異常コマンドを、前記払出制御手段に送信する対払出過少異常コマンド送信手段とを含み、

払出側異常報知手段は、

遊技制御手段から受信した前記払出過多異常コマンドにもとづいて、前記払出過多異常が発生したことを報知する払出側過多報知手段と、

前記遊技制御手段から受信した前記払出過少異常コマンドにもとづいて、前記払出過少異常が発生したことを報知する払出側過少報知手段とを含む

10

請求項 2 記載の遊技機。

【請求項 5】

払出数判定手段は、

払出数加算手段によって払出数コマンドに示される景品遊技媒体の数が加算された総未払出数にもとづいて、払い出すべき景品遊技媒体の数よりも多い遊技媒体が払い出される異常である払出過多異常が発生したか否かを判定する払出過多異常判定手段と、

前記払出数加算手段によって前記払出数コマンドに示される景品遊技媒体の数が加算された総未払出数にもとづいて、総未払出数が所定の払出過少判定値を超えた状態の異常である払出過少異常が発生したか否かを判定する払出過少異常判定手段とを含み、

対演出異常発生コマンド送信手段は、

20

前記払出過多異常判定手段によって前記払出過多異常が発生したと判定されると、前記払出過多異常が発生したことを示す払出過多異常コマンドを、演出制御手段に送信する対演出過多異常コマンド送信手段と、

前記払出過少異常判定手段によって前記払出過少異常が発生したと判定されると、前記払出過少異常が発生したことを示す払出過少異常コマンドを、前記演出制御手段に送信する対演出過少異常コマンド送信手段とを含み、

演出側異常報知手段は、

遊技制御手段から受信した前記払出過多異常コマンドにもとづいて、前記払出過多異常が発生したことを報知する演出側過多報知手段と、

前記遊技制御手段から受信した前記払出過少異常コマンドにもとづいて、前記払出過少異常が発生したことを報知する演出側過少報知手段とを含む

30

請求項 3 記載の遊技機。

【請求項 6】

遊技制御手段は、払出数判定手段によって払出手段による景品遊技媒体の払い出しに異常が発生したと判定されると、払出数送信手段による払出数コマンドの送信を禁止する払出数送信禁止手段を含む請求項 1 から請求項 5 のいずれかに記載の遊技機。

【請求項 7】

払出制御手段は、

払出検出手段から払出検出信号を入力する払出検出信号入力手段と、

前記払出検出信号入力手段によって入力された前記払出検出信号を遊技制御手段に出力する払出検出信号出力手段と、

40

前記払出検出信号の入力に応じて、払出手段によって払い出された景品遊技媒体の数を示す信号を外部出力する外部出力手段とを含み、

総未払出数減算手段は、前記払出制御手段から入力した前記払出検出信号の入力に応じて、前記払出手段によって払い出された景品遊技媒体の数を、総未払出数記憶手段が記憶する総未払出数から減算する

請求項 1 から請求項 6 のいずれかに記載の遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、遊技媒体を用いて遊技者が所定の遊技を行うことが可能であり、遊技領域における入賞領域に遊技媒体が入賞したことにもとづいて景品として景品遊技媒体を払い出す遊技機に関する。

【背景技術】

【0002】

遊技機として、遊技球などの遊技媒体を発射装置によって遊技領域に発射し、遊技領域に設けられている入賞口などの入賞領域に遊技媒体が入賞すると、所定個の賞球が遊技者に払い出されるものがある。

【0003】

遊技機における遊技進行は、マイクロコンピュータ等による遊技制御手段によって制御される。賞球払出の制御を行う払出制御手段が、遊技制御手段が搭載されている遊技制御基板（主基板）とは別の払出制御基板に搭載されている場合、遊技の進行は主基板に搭載された遊技制御手段によって制御されるので、入賞にもとづく賞球個数は遊技制御手段によって決定され、賞球個数を示す制御コマンドが払出制御基板に送信される。そして、払出制御手段は、遊技制御手段からの制御コマンドにもとづいて、入賞にもとづく個数の賞球を払い出す処理を行う。

【0004】

また、全入賞計数スイッチの検出信号（排出処理装置のスイッチの検出信号）を払出制御手段に入力して、払出制御手段が賞球数の過不足の判定を行うものがある（例えば、特許文献1参照）。特許文献1に記載された遊技機では、各入賞口への遊技球の入賞を検出する入賞検出スイッチの検出信号を遊技制御基板に入力し、入賞にもとづく賞球個数が遊技制御手段によって決定され、賞球個数を示す制御コマンドが払出制御基板に送信される。また、払出制御手段は、入賞数カウンタの値に基づいて賞球数の過不足の判定を行う。そして、払出制御手段は、警告処理を行うことによって、賞球数の過不足の判定結果を報知する。

【0005】

【特許文献1】特開2002-35325号公報（段落109-118、図13-14）

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、特許文献1に記載された遊技機では、各入賞検出スイッチの検出信号を遊技制御基板に入力し遊技制御手段が賞球数を管理している一方で、払出制御基板に全入賞計数スイッチの検出信号を入力し払出制御手段が賞球数を管理している。そのため、遊技制御手段が管理する賞球数と払出制御手段が管理する賞球数との間で数にズレが生じる虞がある。

【0007】

例えば、遊技制御手段は、賞球数の総数を記憶する総賞球バッファを用いて賞球数を管理する。遊技制御手段は、払い出しが行われると、総賞球数バッファが記憶する総賞球数から、払出カウントスイッチによって検出された払出数を減算する。また、遊技制御手段は、入賞を検出すると、総賞球数バッファから総賞球数を読み出し、読み出した総賞球数に、各入賞検出スイッチによって検出された賞球数を加算する。そして、遊技制御手段は、加算後の総賞球数を再び総賞球数バッファに書き込む。この場合、総賞球数バッファから総賞球数を読み出してから再び書き込むまでの間に払い出しが行われると、遊技制御手段は、払い出しに基づく減算処理を実行した後に、加算後の総賞球数（減算分が反映されていない総賞球数）を総賞球数バッファに上書きしてしまうことになる。そのため、払い出しによる減算分を総賞球数に正しく反映できなくなり、遊技制御手段が管理する賞球数と払出制御手段が管理する賞球数との間で数にズレが生じてしまう虞がある。

【0008】

そこで、本発明は、遊技制御手段と払出制御手段とが別個に設けられ、遊技領域における入賞領域に遊技媒体が入賞したことにもとづいて景品として景品遊技媒体を払い出す遊

10

20

30

40

50

技機において、遊技制御手段が管理する賞球数と払出制御手段が管理する賞球数との間のズレの発生を防止できるようにすることを目的とする。

【課題を解決するための手段】

【0009】

本発明による遊技機は、遊技媒体（例えば、遊技球）を用いて遊技者が所定の遊技を行うことが可能であり、遊技領域における入賞領域（例えば、可変入賞球装置15、入賞口29、30、33、39、大入賞口）に遊技媒体が入賞したことにもとづいて景品として景品遊技媒体を払い出す遊技機であって、入賞領域に遊技媒体が入賞したことを検出して入賞検出信号を出力する入賞検出手段（例えば、始動口スイッチ14a、カウントスイッチ23、入賞口スイッチ29a、30a、33a、39a）と、入賞検出手段からの入賞検出信号が入力され、遊技の進行を制御する遊技制御手段（例えば、遊技制御用マイクロコンピュータ560）と、景品遊技媒体の払い出しを行う払出手段（例えば、球払出装置97）と、払出手段によって景品遊技媒体が払い出されたことを検出して払出検出信号を出力する払出検出手段（例えば、払出個数カウントスイッチ301）と、払出手段を制御する払出制御手段（例えば、払出制御用マイクロコンピュータ370）とを備え、遊技制御手段は、所定のメイン処理を繰り返し実行するメイン処理実行手段（例えば、遊技制御用マイクロコンピュータ560においてステップS17～S19hの処理を繰り返し実行する部分）と、所定時間毎に発生するタイマ割込の設定を行うタイマ割込設定手段（例えば、遊技制御用マイクロコンピュータ560においてステップS16の処理を実行する部分）と、タイマ割込が発生したときに、メイン処理の実行を中断してタイマ割込処理を実行するタイマ割込処理実行手段（例えば、遊技制御用マイクロコンピュータ560においてステップS20～S27の処理を実行する部分）と、タイマ割込処理の実行中に、入賞検出信号の入力に応じて、払い出すべき景品遊技媒体の数を特定可能な払出数データ（例えば、カウント値）を払出数記憶手段（例えば、賞球コマンド出力カウンタ）に記憶させる払出数登録手段（例えば、遊技制御用マイクロコンピュータ560においてステップS2124の処理を実行する部分）と、メイン処理の実行中に、払出数記憶手段に記憶された払出数データにもとづいて、払い出すべき景品遊技媒体の数を特定可能な払出数コマンド（例えば、図53に示す賞球個数コマンド「03」、「0A」、「0F」）を、払出制御手段に送信する払出数送信手段（例えば、遊技制御用マイクロコンピュータ560においてステップS1254の処理を実行する部分）と、払い出すべき景品遊技媒体であって払出手段による払い出しが完了していない景品遊技媒体の総数を示す総未払出数（例えば、総賞球数）を記憶する総未払出数記憶手段（例えば、総賞球数格納バッファ）と、メイン処理の実行中に、総未払出数記憶手段から総未払出数を読み出す読出手段（例えば、遊技制御用マイクロコンピュータ560においてステップS1282の処理を実行する部分）と、払出数送信手段によって送信された払出数コマンドに示される景品遊技媒体の数を、読出手段が読み出した総未払出数に加算する払出数加算手段（例えば、遊技制御用マイクロコンピュータ560においてステップS1283の処理を実行する部分）と、払出数加算手段により加算された総未払出数を、総未払出数記憶手段に書き込む払出数書込手段（例えば、遊技制御用マイクロコンピュータ560においてステップS1284の処理を実行する部分）と、読出手段が総未払出数を読み出す前にタイマ割込処理の実行を禁止する割込禁止手段（例えば、遊技制御用マイクロコンピュータ560においてステップS1281の処理を実行する部分）と、払出数書込手段によって総未払出数が総未払出数記憶手段に書き込まれると、タイマ割込処理の実行を許可する割込許可手段（例えば、遊技制御用マイクロコンピュータ560においてステップS1285の処理を実行する部分）とを含み、タイマ割込処理の実行中に、払出検出信号にもとづいて、払出手段によって払い出された景品遊技媒体の数を、総未払出数記憶手段が記憶する総未払出数から減算する総未払出数減算手段（例えば、遊技制御用マイクロコンピュータ560においてステップS2131の処理を実行する部分）と、払出数加算手段によって払出数コマンドに示される景品遊技媒体の数が総未払出数に加算されると、払出数コマンドに示される景品遊技媒体の数が加算された総未払出数が所定の範囲内であるか否かを判定する払出数判定手段（例

10

20

30

40

50

えば、遊技制御用マイクロコンピュータ560においてステップS1305の処理を実行する部分)とを含むことを特徴とする。

【0010】

遊技制御手段は、払出数判定手段によって所定の範囲内でないと判定されると、払出手段による景品遊技媒体の払い出しに異常が発生したことを示す異常発生コマンド(例えば、図53に示す賞球過多異常コマンド「E1」、賞球過少異常コマンド「E2」)を、払出制御手段に送信する対払出異常発生コマンド送信手段(例えば、遊技制御用マイクロコンピュータ560においてステップS1306で賞球過多異常コマンド「E1」を払出制御基板37に送信する部分、遊技制御用マイクロコンピュータ560においてステップS1305bで賞球過少異常コマンド「E2」を払出制御基板37に送信する部分)を含み、払出制御手段は、遊技制御手段から受信した異常発生コマンドにもとづいて、払出手段による景品遊技媒体の払い出しに異常が発生したことを報知する払出側異常報知手段(例えば、払出制御用マイクロコンピュータ370において、ステップS829で賞球過多異常エラービットをセットしたことにもとづいて、ステップS759でエラー表示用LED374に「9」を表示させる部分、払出制御用マイクロコンピュータ370において、ステップS832で賞球過少異常エラービットをセットしたことにもとづいて、ステップS759でエラー表示用LED374に「A」を表示させる部分)を含むように構成されていてもよい。

10

【0011】

遊技機は、演出用の電気部品(例えば、スピーカ27や各ランプ25, 28a, 28b, 28c、可変表示装置9)を制御して遊技演出を実行する演出制御手段(例えば、音/ランプ制御用マイクロコンピュータ100b、図柄制御用マイクロコンピュータ100a)を備え、遊技制御手段は、払出数判定手段によって所定の範囲内でないと判定されると、払出手段による景品遊技媒体の払い出しに異常が発生したことを示す異常発生コマンドを、演出制御手段に送信する対演出異常発生コマンド送信手段(例えば、遊技制御用マイクロコンピュータ560においてステップS1306で賞球過多異常コマンドを音/ランプ制御基板80bに送信する部分、遊技制御用マイクロコンピュータ560においてステップS1305bで賞球過少異常コマンドを音/ランプ制御基板80bに送信する部分)を含み、演出制御手段は、遊技制御手段から受信した異常発生コマンドにもとづいて、払出手段による景品遊技媒体の払い出しに異常が発生したことを報知する演出側異常報知手段(例えば、音/ランプ制御用マイクロコンピュータ100bにおいてステップS790でスピーカ27や各ランプ25, 28a, 28b, 28cを用いて報知する部分、図柄制御用マイクロコンピュータ100aにおいて可変表示装置9を用いて報知する部分)を含むように構成されていてもよい。

20

30

【0012】

払出数判定手段は、払出数加算手段によって払出数コマンドに示される景品遊技媒体の数が加算された総未払出数にもとづいて、払い出すべき景品遊技媒体の数よりも多い遊技媒体が払い出される異常である払出過多異常が発生したか否かを判定する払出過多異常判定手段(例えば、遊技制御用マイクロコンピュータ560において、ステップS1305で総賞球数が-499よりも小さいと判断したことにもとづいて賞球過多異常が発生したと判定する部分)と、払出数加算手段によって払出数コマンドに示される景品遊技媒体の数が加算された総未払出数にもとづいて、総未払出数が所定の払出過少判定値を超えた状態の異常である払出過少異常が発生したか否かを判定する払出過少異常判定手段(例えば、遊技制御用マイクロコンピュータ560において、ステップS1305aで総賞球数が2000よりも大きいと判断したことにもとづいて賞球過少が発生したと判定する部分)とを含み、対払出異常発生コマンド送信手段は、払出過多異常判定手段によって払出過多異常が発生したと判定されると、払出過多異常が発生したことを示す払出過多異常コマンド(例えば、図53に示す賞球過多異常コマンド「E1」)を、払出制御手段に送信する対払出過多異常コマンド送信手段(例えば、遊技制御用マイクロコンピュータ560においてステップS1306で賞球過多異常コマンド「E1」を払出制御基板37に送信する

40

50

部分)と、払出過少異常判定手段によって払出過少異常が発生したと判定されると、払出過少異常が発生したことを示す払出過少異常コマンド(例えば、図53に示す賞球過少異常コマンド「E2」)を、払出制御手段に送信する対払出過少異常コマンド送信手段(例えば、遊技制御用マイクロコンピュータ560においてステップS1305bで賞球過少異常コマンド「E2」を払出制御基板37に送信する部分)とを含み、払出側異常報知手段は、遊技制御手段から受信した払出過多異常コマンドにもとづいて、払出過多異常が発生したことを報知する払出側過多報知手段(例えば、払出制御用マイクロコンピュータ370において、ステップS829で賞球過多異常エラービットをセットしたことにもとづいて、ステップS759でエラー表示用LED374に「9」を表示させる部分)と、遊技制御手段から受信した払出過少異常コマンドにもとづいて、払出過少異常が発生したことを報知する払出側過少報知手段(例えば、払出制御用マイクロコンピュータ370において、ステップS832で賞球過少異常エラービットをセットしたことにもとづいて、ステップS759でエラー表示用LED374に「A」を表示させる部分)とを含むように構成されていてもよい。

10

【0013】

払出数判定手段は、払出数加算手段によって払出数コマンドに示される景品遊技媒体の数が加算された総未払出数にもとづいて、払い出すべき景品遊技媒体の数よりも多い遊技媒体が払い出される異常である払出過多異常が発生したか否かを判定する払出過多異常判定手段(例えば、遊技制御用マイクロコンピュータ560において、ステップS1305で総賞球数が-499よりも小さいと判断したことにもとづいて賞球過多異常が発生したと判定する部分)と、払出数加算手段によって払出数コマンドに示される景品遊技媒体の数が加算された総未払出数にもとづいて、総未払出数が所定の払出過少判定値を超えた状態の異常である払出過少異常が発生したか否かを判定する払出過少異常判定手段(例えば、遊技制御用マイクロコンピュータ560において、ステップS1305aで総賞球数が2000よりも大きいと判断したことにもとづいて賞球過少が発生したと判定する部分)とを含み、対演出異常発生コマンド送信手段は、払出過多異常判定手段によって払出過多異常が発生したと判定されると、払出過多異常が発生したことを示す払出過多異常コマンドを、演出制御手段に送信する対演出過多異常コマンド送信手段(例えば、遊技制御用マイクロコンピュータ560においてステップS1306で賞球過多異常コマンドを音/ランプ制御基板80bに送信する部分)と、払出過少異常判定手段によって払出過少異常が発生したと判定されると、払出過少異常が発生したことを示す払出過少異常コマンドを、演出制御手段に送信する対演出過少異常コマンド送信手段(例えば、遊技制御用マイクロコンピュータ560においてステップS1305bで賞球過少異常コマンドを音/ランプ制御基板80bに送信する部分)とを含み、演出側異常報知手段は、遊技制御手段から受信した払出過多異常コマンドにもとづいて、払出過多異常が発生したことを報知する演出側過多報知手段(例えば、音/ランプ制御用マイクロコンピュータ100bにおいてステップS790でスピーカ27や各ランプ25, 28a, 28b, 28cを用いて報知する部分、図柄制御用マイクロコンピュータ100aにおいて可変表示装置9を用いて図99(A)の画面を表示する部分)と、遊技制御手段から受信した払出過少異常コマンドにもとづいて、払出過少異常が発生したことを報知する演出側過少報知手段(例えば、音/ランプ制御用マイクロコンピュータ100bにおいてステップS790でスピーカ27や各ランプ25, 28a, 28b, 28cを用いて報知する部分、図柄制御用マイクロコンピュータ100aにおいて可変表示装置9を用いて図99(B)の画面を表示する部分)とを含むように構成されていてもよい。

20

30

40

【0014】

遊技制御手段は、払出数判定手段によって払出手段による景品遊技媒体の払い出しに異常が発生したと判定されると、払出数送信手段による払出数コマンドの送信を禁止する払出数送信禁止手段(例えば、遊技制御用マイクロコンピュータ560において、ステップS1241, S1261, S1271, S1291で賞球過多異常エラーフラグまたは賞球過少異常エラーフラグがセットされていることにもとづいて処理を終了する部分)を含

50

むように構成されていてもよい。

【0015】

払出制御手段は、払出検出手段から払出検出信号を入力する払出検出信号入力手段（例えば、払出制御用マイクロコンピュータ370において入力ポート1（図5に示すI/Oポート372f）から払出個数カウントスイッチ301の検出信号を入力する部分）と、払出検出信号入力手段によって入力された払出検出信号を遊技制御手段に出力する払出検出信号出力手段（例えば、払出制御用マイクロコンピュータ370において、ステップS603aで出力ポート0（図5に示すI/Oポート372a）から払出個数カウントスイッチ301の検出信号を出力する部分）と、払出検出信号の入力に応じて、払出手段によって払い出された景品遊技媒体の数を示す信号を外部出力する外部出力手段（例えば、払出制御用マイクロコンピュータ370においてターミナル基板160から賞球情報を出力する部分）とを含み、総未払出数減算手段は、払出制御手段から入力した払出検出信号の入力に応じて、払出手段によって払い出された景品遊技媒体の数を、総未払出数記憶手段が記憶する総未払出数から減算する（例えば、遊技制御用マイクロコンピュータ560において、払出制御用マイクロコンピュータ370を経由して入力した払出個数カウントスイッチ301の検出信号にもとづいて、ステップS2131の処理を実行する）ように構成されていてもよい。

10

【発明の効果】

【0016】

請求項1記載の発明では、払出手段によって景品遊技媒体の払い出しが行われると、タイマ割込処理において、払い出された景品遊技媒体の数を総未払出数から減算する。また、メイン処理において、払出数コマンドに示される景品遊技媒体の数を総未払出数に加算する際に、総未払出数記憶手段から総未払出数を読み出すと、再び総未払出数を総未払出数記憶手段に書き込むまでタイマ割込処理の実行を禁止する。そのため、総未払出数記憶手段から総未払出数を読み出してから再び書き込むまでの間に、払い出された景品遊技媒体の数を総未払出数から減算する処理を実行しないようにすることができ、払い出された景品遊技媒体の数を遊技制御手段が把握できなくなる事態を防止できる。従って、遊技制御手段が管理する賞球数と払出制御手段が管理する賞球数との間のズレの発生を防止することができる。

20

【0017】

請求項2記載の発明では、遊技制御手段によって景品遊技媒体の払い出しに異常が発生したことを示す異常発生コマンドが払出制御手段に送信され、払出制御手段が、受信した異常発生コマンドにもとづいて報知するように構成されているので、景品遊技媒体の払い出しのエラー状態を報知することができる。

30

【0018】

請求項3記載の発明では、遊技制御手段によって景品遊技媒体の払い出しに異常が発生したことを示す異常発生コマンドが演出制御手段に送信され、演出制御手段が、受信した異常発生コマンドにもとづいて報知するように構成されているので、景品遊技媒体の払い出しのエラー状態を報知することができる。

【0019】

請求項4記載の発明では、景品遊技媒体の払い出しの異常が払出過多異常であるか、または払出過少異常であるかを区別して判定し、払出過多異常であることと払出過少異常であることとを区別して報知するように構成されているので、払出制御手段は、払い出すべき景品遊技媒体の数よりも多い遊技媒体を払い出してしまった状態であるか、または払い出すべき景品遊技媒体の数よりも少ない遊技媒体を払い出してしまった状態であるかを区別して、景品遊技媒体の払い出しのエラー状態を報知することができる。

40

【0020】

請求項5記載の発明では、景品遊技媒体の払い出しの異常が払出過多異常であるか、または払出過少異常であるかを区別して判定し、払出過多異常であることと払出過少異常であることとを区別して報知するように構成されているので、演出制御手段は、払い出すべ

50

き景品遊技媒体の数よりも多い遊技媒体を払い出してしまった状態であるか、または払い出すべき景品遊技媒体の数よりも少ない遊技媒体を払い出してしまった状態であるかを区別して、景品遊技媒体の払い出しのエラー状態を報知することができる。

【0021】

請求項6記載の発明では、景品遊技媒体の払い出しに異常が発生したことが検出されると、払出数コマンドの送信を禁止するように構成されているので、不正に景品遊技媒体が払い出されてしまうことを防止できる。特に、払い出すべき景品遊技媒体の数よりも多い遊技媒体を払い出してしまう払出過多状態を確実に防止できるので、景品遊技媒体を多く払い出されてしまう不正を防止することができる。

【0022】

請求項7記載の発明では、払出検出手段からの払出検出信号を払出制御手段に入力し、さらに払出制御手段に入力された払出検出信号を遊技制御手段に入力するように構成されているので、払出検出信号を出力するための配線を、払出検出手段から遊技制御手段および払出制御手段の両方に設ける必要がなくなる。そのため、払出検出手段から払出検出信号を出力するための配線を削減することができる。

【発明を実施するための最良の形態】

【0023】

実施の形態1.

以下、本発明の一実施形態を図面を参照して説明する。

まず、遊技機の一例であるパチンコ遊技機の全体の構成について説明する。図1はパチンコ遊技機を正面からみた正面図、図2は遊技盤の前面を示す正面図である。なお、以下の実施の形態では、パチンコ遊技機を例に説明を行うが、本発明による遊技機はパチンコ遊技機に限られず、スロット機などの他の遊技機に適用することもできる。

【0024】

パチンコ遊技機1は、縦長の方形状に形成された外枠（図示せず）と、外枠の内側に開閉可能に取り付けられた遊技枠とで構成される。また、パチンコ遊技機1は、遊技枠に開閉可能に設けられている額縁状に形成されたガラス扉枠2を有する。遊技枠は、外枠に対して開閉自在に設置される前面枠（図示せず）と、機構部品等が取り付けられる機構板と、それらに取り付けられる種々の部品（後述する遊技盤を除く。）を含む構造体である。

【0025】

図1に示すように、パチンコ遊技機1は、額縁状に形成されたガラス扉枠2を有する。ガラス扉枠2の下部表面には打球供給皿（上皿）3がある。打球供給皿3の下部には、打球供給皿3に収容しきれない遊技球を貯留する余剰球受皿4と遊技球を発射する打球操作ハンドル（操作ノブ）5が設けられている。ガラス扉枠2の背面には、遊技盤6が着脱可能に取り付けられている。なお、遊技盤6は、それを構成する板状体と、その板状体に取り付けられた種々の部品とを含む構造体である。また、遊技盤6の前面には遊技領域7が形成されている。

【0026】

遊技領域7の中央付近には、それぞれが演出用の飾り図柄を可変表示する複数の可変表示部を含む可変表示装置（飾り図柄表示装置）9が設けられている。可変表示装置9には、例えば「左」、「中」、「右」の3つの可変表示部（図柄表示エリア）がある。可変表示装置9は、特別図柄表示器8による特別図柄の可変表示期間中に、装飾用（演出用）の図柄としての飾り図柄の可変表示を行う。飾り図柄の可変表示を行う可変表示装置9は、図柄制御基板に搭載されている図柄制御用マイクロコンピュータによって制御される。

【0027】

可変表示装置9の下部には、始動入賞口14に入った有効入賞球数すなわち保留記憶（始動記憶または始動入賞記憶ともいう。）数を表示する4つの特別図柄保留記憶表示器18が設けられている。特別図柄保留記憶表示器18は、保留記憶数を入賞順に4個まで表示する。特別図柄保留記憶表示器18は、始動入賞口14に始動入賞があるごとに、点灯

10

20

30

40

50

状態のLEDの数を1増やす。そして、特別図柄保留記憶表示器18は、特別図柄表示器8で可変表示が開始されるごとに、点灯状態のLEDの数を1減らす（すなわち1つのLEDを消灯する）。具体的には、特別図柄保留記憶表示器18は、特別図柄表示器8で可変表示が開始されるごとに、点灯状態をシフトする。なお、この例では、始動入賞口14への入賞による始動記憶数に上限数（4個まで）が設けられているが、上限数を4個以上にしてもよい。

【0028】

可変表示装置9の上部には、識別情報としての特別図柄を可変表示する特別図柄表示器（特別図柄表示装置）8が設けられている。この実施の形態では、特別図柄表示器8は、例えば0～9の数字を可変表示可能な簡易で小型の表示器（例えば7セグメントLED）で実現されている。特別図柄表示器8は、遊技者に特定の停止図柄を把握しづらくさせるために、0～99など、より多種類の数字を可変表示するように構成されていてもよい。また、可変表示装置9は、特別図柄表示器8による特別図柄の可変表示期間中に、装飾用（演出用）の図柄としての飾り図柄の可変表示を行う。

【0029】

可変表示装置9の下方には、始動入賞口14を形成する可変入賞球装置15が設けられている。始動入賞口14に入った入賞球は、遊技盤6の背面に導かれ、始動口スイッチ14aによって検出される。可変入賞球装置15は、ソレノイド16によって開状態にされる。

【0030】

可変入賞球装置15の下部には、特定遊技状態（大当たり状態）においてソレノイド21によって開状態に制御される開閉板を用いた特別可変入賞球装置20が設けられている。特別可変入賞球装置20は大入賞口を開閉する手段である。特別可変入賞球装置20に入賞し遊技盤6の背面に導かれた入賞球のうち一方（V入賞領域：特別領域）に入った入賞球はV入賞スイッチ22で検出された後カウントスイッチ23で検出され、他方の領域に入った遊技球は、そのままカウントスイッチ23で検出される。遊技盤6の背面には、大入賞口内の経路を切り換えるためのソレノイド21Aも設けられている。

【0031】

遊技球がゲート32を通過しゲートスイッチ32aで検出されると、普通図柄表示器10の表示の可変表示が開始される。この実施の形態では、左右のランプ（点灯時に図柄が視認可能になる）が交互に点灯することによって可変表示が行われ、例えば、可変表示の終了時に左側のランプが点灯すれば当たりになる。そして、普通図柄表示器10における停止図柄が所定の図柄（当り図柄）である場合に、可変入賞球装置15が所定回数、所定時間だけ開状態になる。普通図柄表示器10の近傍には、ゲート32を通過した入賞球数を表示する4つのLEDによる表示部を有する普通図柄始動記憶表示器41が設けられている。ゲート32への遊技球の通過があるごとに、普通図柄始動記憶表示器41は点灯するLEDを1増やす。そして、普通図柄表示器10の可変表示が開始されるごとに、点灯するLEDを1減らす。

【0032】

遊技盤6には、複数の入賞口29、30、33、39が設けられ、遊技球の入賞口29、30、33、39への入賞は、それぞれ入賞口スイッチ29a、30a、33a、39aによって検出される。各入賞口29、30、33、39は、遊技媒体を受け入れて入賞を許容する領域として遊技盤6に設けられる入賞領域を構成している。なお、始動入賞口14や大入賞口も、遊技媒体を受け入れて入賞を許容する入賞領域を構成する。遊技領域7の左右周辺には、遊技中に点滅表示される装飾ランプ25が設けられ、下部には、入賞しなかった遊技球を吸収するアウト口26がある。また、遊技領域7の外側の左右上部には、効果音を発する2つのスピーカ27が設けられている。遊技領域7の外周には、天枠ランプ28a、左枠ランプ28bおよび右枠ランプ28cが設けられている。さらに、遊技領域7における各構造物（大入賞口等）の周囲には装飾LEDが設置されている。天枠ランプ28a、左枠ランプ28bおよび右枠ランプ28cおよび装飾用LEDは、遊技機

に設けられている装飾発光体の一例である。

【0033】

そして、この例では、左枠ランプ28bの近傍に、賞球払出中に点灯する賞球ランプ51が設けられ、天枠ランプ28aの近傍に、補給球が切れたときに点灯する球切れランプ52が設けられている。さらに、プリペイドカードが挿入されることによって球貸しを可能にするプリペイドカードユニット（以下、「カードユニット」という。）50が、パチンコ遊技機1に隣接して設置されている。

【0034】

カードユニット50には、例えば、使用可能状態であるか否かを示す使用可表示ランプ、カードユニットがいずれの側のパチンコ遊技機1に対応しているのかを示す連結台方向表示器、カードユニット内にカードが投入されていることを示すカード投入表示ランプ、記録媒体としてのカードが挿入されるカード挿入口、およびカード挿入口の裏面に設けられているカードリーダーライタの機構を点検する場合にカードユニットを解放するためのカードユニット錠が設けられている。

10

【0035】

遊技者の操作により打球発射装置から発射された遊技球は、打球レールを通過して遊技領域7に入り、その後、遊技領域7を下りてくる。遊技球が始動入賞口14に入り始動スイッチ14aで検出されると、図柄の可変表示を開始できる状態であれば、特別図柄表示器8において特別図柄が可変表示（変動）を始める。図柄の可変表示を開始できる状態であれば、保留記憶数を1増やす。

20

【0036】

特別図柄表示器8における特別図柄の可変表示は、一定時間が経過したときに停止する。停止時の特別図柄（停止図柄）が大当たり図柄（特定表示結果）であると、大当たり遊技状態に移行する。すなわち、特別可変入賞球装置20が、一定時間経過するまで、または、所定個数（例えば10個）の遊技球が入賞するまで開放する。そして、特別可変入賞球装置20の開放中に遊技球がV入賞領域に入賞しV入賞スイッチ22で検出されると、継続権が発生し特別可変入賞球装置20の開放が再度行われる。継続権の発生は、所定回数（例えば15ラウンド）許容される。また、V入賞領域を設けずに、特別可変入賞球装置20の開放を常に決定されたラウンド数の最後のラウンドまで（例えば、15ラウンドまで）許容するようにしてもよい。

30

【0037】

停止時の特別図柄表示器8における特別図柄が確率変動を伴う大当たり図柄（確変図柄）である場合には、次に大当たりになる確率が高くなる。すなわち、確変状態という遊技者にとってさらに有利な状態になる。

【0038】

遊技球がゲート32を通過すると、普通図柄表示器10において普通図柄が可変表示される状態になる。また、普通図柄表示器10における停止図柄が所定の図柄（当り図柄）である場合に、可変入賞球装置15が所定時間だけ開状態になる。

【0039】

次に、パチンコ遊技機1の裏面の構造について図3を参照して説明する。図3は、遊技機を裏面から見た背面図である。

40

【0040】

図3に示すように、遊技機裏面側では、可変表示装置9を制御する図柄制御用マイクロコンピュータが搭載された図柄制御基板80aを含む可変表示制御ユニット49、遊技制御用マイクロコンピュータ等が搭載された遊技制御基板（主基板）31が設置されている。また、球払出制御を行う払出制御用マイクロコンピュータ等が搭載された払出制御基板37が設置されている。なお、可変表示制御ユニットは、図柄制御基板80aとともに、各種装飾LED、装飾ランプ25、枠側に設けられている天枠ランプ28a、左枠ランプ28bおよび右枠ランプ28cを点灯制御し、スピーカ27からの音発生を制御する音／ランプ制御用マイクロコンピュータが搭載された音／ランプ制御基板を含む。

50

【0041】

さらに、DC30V、DC21V、DC12VおよびDC5Vを作成する電源回路が搭載された電源基板910やタッチセンサ基板91が設けられている。電源基板910は、大部分が主基板31と重なっているが、主基板31に重なることなく外部から視認可能に露出した露出部分がある。この露出部分には、遊技機1における主基板31および各制御基板（音／ランプ制御基板、図柄制御基板80aおよび払出制御基板37）や遊技機に設けられている各電気部品（電力が供給されることによって動作する部品）への電力供給を実行あるいは遮断するための電力供給許可手段としての電源スイッチが設けられている。さらに、露出部分における電源スイッチの内側（基板内部側）には、交換可能なヒューズが設けられている。

10

【0042】

なお、各制御基板には、制御用マイクロコンピュータを含む制御手段が搭載されている。制御手段は、遊技制御手段等からのコマンドとしての指令信号（制御信号）に従って遊技機に設けられている電気部品（遊技用装置：球払出装置97、可変表示装置9、ランプやLEDなどの発光体、スピーカ27等）を制御する。以下、主基板31を制御基板に含めて説明を行うことがある。その場合には、制御基板に搭載される制御手段は、遊技制御手段と、遊技制御手段等からの指令信号に従って遊技機に設けられている電気部品を制御する手段とのそれぞれを指す。また、主基板31以外のマイクロコンピュータが搭載された基板をサブ基板ということがある。

【0043】

20

遊技機裏面において、上方には、各種情報を遊技機外部に出力するための各端子を備えたターミナル基板160が設置されている。ターミナル基板160には、少なくとも、球切れ検出スイッチ167の出力を導入して外部出力するための球切れ用端子、賞球情報（賞球個数信号）を外部出力するための賞球用端子および球貸し情報（球貸し個数信号）を外部出力するための球貸し用端子が設けられている。また、中央付近には、主基板31からの各種情報を遊技機外部に出力するための各端子を備えた情報端子基板（情報出力基板）36が設置されている。

【0044】

貯留タンク38に貯留された遊技球は誘導レール39を通り、カーブ樋を経て払出ケース40Aで覆われた球払出装置に至る。球払出装置の上部には、遊技媒体切れ検出手段としての球切れスイッチ187が設けられている。球切れスイッチ187が球切れを検出すると、球払出装置の払出動作が停止する。球切れスイッチ187は遊技球通路内の遊技球の有無を検出するスイッチであるが、貯留タンク38内の補給球の不足を検出する球切れ検出スイッチ167も誘導レール39における上流部分（貯留タンク38に近接する部分）に設けられている。球切れ検出スイッチ167が遊技球の不足を検知すると、遊技機設置島に設けられている補給機構から遊技機に対して遊技球の補給が行われる。

30

【0045】

入賞にもとづく景品としての遊技球や球貸し要求にもとづく遊技球が多数払い出されて打球供給皿3が満杯になると、遊技球は、余剰球通路を経て余剰球受皿4に導かれる。さらに遊技球が払い出されると、感知レバー（図示せず）が貯留状態検出手段としての満タンスイッチ（図示せず）を押圧して、貯留状態検出手段としての満タンスイッチがオンする。その状態では、球払出装置内の払出モータの回転が停止して球払出装置の動作が停止するとともに打球発射装置の駆動も停止する。

40

【0046】

図4は、主基板（遊技制御基板）31における回路構成の一例を示すブロック図である。なお、図4には、払出制御基板37、音／ランプ制御基板80bおよび図柄制御基板80a等も示されている。主基板31には、プログラムに従ってパチンコ遊技機1を制御する遊技制御用マイクロコンピュータ（遊技制御手段に相当）560が搭載されている。遊技制御用マイクロコンピュータ560は、ゲーム制御（遊技進行制御）用のプログラム等を記憶するROM54、ワークメモリとして使用される記憶手段としてのRAM55、プ

50

プログラムに従って制御動作を行うCPU56およびI/Oポート部57を含む。この実施の形態では、ROM54およびRAM55は遊技制御用マイクロコンピュータ560に内蔵されている。すなわち、遊技制御用マイクロコンピュータ560は、1チップマイクロコンピュータである。1チップマイクロコンピュータには、少なくともRAM55が内蔵されていればよく、ROM54は外付けであっても内蔵されていてもよい。また、I/Oポート部57は、外付けであってもよい。

【0047】

なお、遊技制御用マイクロコンピュータ560においてCPU56がROM54に格納されているプログラムに従って制御を実行するので、以下、遊技制御用マイクロコンピュータ560（またはCPU56）が実行する（または、処理を行う）ということは、具体的には、CPU56がプログラムに従って制御を実行することである。このことは、主基板31以外の他の基板に搭載されているマイクロコンピュータについても同様である。

10

【0048】

また、ゲートスイッチ32a、始動口スイッチ14a、カウントスイッチ23、V入賞スイッチ22および各入賞口スイッチ29a, 30a, 33a, 39aからの検出信号を基本回路53に与える入力ドライバ回路58も主基板31に搭載され、可変入賞球装置15を開閉するソレノイド16、特別可変入賞球装置を開閉するソレノイド21、および大入賞口内の経路を切り換えるためのソレノイド21Aを基本回路53からの指令に従って駆動する出力回路59も主基板31に搭載され、電源投入時に遊技制御用マイクロコンピュータ560をリセットするためのシステムリセット回路（図示せず）や、大当たり遊技状態の発生を示す大当たり情報等の情報出力信号をホールコンピュータ等の外部装置に対して出力する情報出力回路（図示せず）も主基板31に搭載されている。

20

【0049】

この実施の形態では、音／ランプ制御基板80bに搭載されている音／ランプ制御手段（音／ランプ制御用マイクロコンピュータで構成される。）が、中継基板77を介して遊技制御用マイクロコンピュータ560からの演出制御コマンドを受信し、図柄制御用基板80aに転送する。そして、図柄制御基板80aに搭載されている図柄制御手段（図柄制御用マイクロコンピュータで構成される。）が、音／ランプ制御手段から演出制御コマンドを受信し、飾り図柄を可変表示する可変表示装置9の表示制御を行う。

【0050】

30

図5は、払出制御基板37および球払出装置97などの払出に関連する構成要素を示すブロック図である。図5に示すように、払出制御基板37には、払出制御用CPU371を含む払出制御用マイクロコンピュータ370が搭載されている。この実施の形態では、払出制御用マイクロコンピュータ370は、1チップマイクロコンピュータであり、少なくともRAMが内蔵されている。払出制御用マイクロコンピュータ370、RAM（図示せず）、払出制御用プログラムを格納したROM（図示せず）およびI/Oポート等は、払出制御手段を構成する。すなわち、払出制御手段は、払出制御用CPU371、RAMおよびROMを有する払出制御用マイクロコンピュータ370と、I/Oポートとで実現される。また、I/Oポートは、払出制御用マイクロコンピュータ370に内蔵されていてもよい。払出制御用マイクロコンピュータ370におけるRAMの少なくとも一部は、電源基板910に搭載されているバックアップ電源によって電源バックアップされている。この実施の形態では、全てのRAM領域が電源バックアップされているとする。よって、遊技機に対して電力供給がなされていないときにも、所定期間（バックアップ電源としてのコンデンサが放電してバックアップ電源が電力供給不能になるまで）は、RAMの記憶内容は保存される。

40

【0051】

球切れスイッチ187、満タンスイッチ48および払出個数カウントスイッチ301からの検出信号は、中継基板72を介して払出制御基板37のI/Oポート372fに入力される。なお、この実施の形態では、払出個数カウントスイッチ301からの検出信号は、払出制御用マイクロコンピュータ370に入力されたあと、I/Oポート372aおよ

50

び出力回路 373B を介して主基板 31 に出力される。

【0052】

また、払出モータ位置センサ 295 からの検出信号は、中継基板 72 を介して払出制御基板 37 の I/O ポート 372e に入力される。払出モータ位置センサ 295 は、払出モータ 289 の回転位置を検出するための発光素子 (LED) と受光素子とによるセンサであり、遊技球が詰まったこと、すなわちいわゆる球噛みを検出するために用いられる。払出制御基板 37 に搭載されている払出制御用マイクロコンピュータ 370 は、球切れスイッチ 187 からの検出信号が球切れ状態を示していたり、満タンスイッチ 48 からの検出信号が満タン状態を示している、球払出処理を停止する。

【0053】

さらに、満タンスイッチ 48 からの検出信号が満タン状態を示している、払出制御用マイクロコンピュータ 370 は、打球発射装置からの球発射を停止させるために、発射基板 90 に対してローレベルの満タン信号を出力する。発射基板 90 の AND 回路 91 が出力する発射モータ 94 への発射モータ信号は、発射基板 90 から発射モータ 94 に伝えられる。払出制御用マイクロコンピュータ 370 からの満タン信号は、発射基板 90 に搭載された AND 回路 91 の入力側の一方に入力され、駆動信号生成回路 92 からの駆動信号は、AND 回路 91 の入力側の他方に入力される。そして、AND 回路 91 の発射モータ信号が発射モータ 94 に入力される。すなわち、払出制御用マイクロコンピュータ 370 が満タン信号を出力している間は、発射モータ 94 への発射モータ信号の出力が停止される。

【0054】

入賞口への遊技球の入賞があると、遊技制御用マイクロコンピュータ 560 のシリアル通信回路 505 (図 7, 54 参照) から、払出指令信号として、払い出すべき賞球個数を示す賞球個数コマンドが出力 (送信) される。賞球個数コマンドは、8 ビットのデータ (2 進 8 桁のデータ) によって構成され、非同期シリアル通信によって出力される。

【0055】

賞球個数コマンドは、シリアル通信回路 380 (図 54 参照) に入力される。払出制御用マイクロコンピュータ 370 は、シリアル通信回路 380 を介して賞球個数コマンドを入力すると、賞球個数コマンドが示す個数の遊技球を払い出すために球払出装置 97 を駆動する制御を行う。なお、主基板 31 の出力回路 67 からは、主基板 31 が接続されていることを示す接続確認信号も出力される。また、賞球個数コマンドは、払出数を指定する払出指令信号に相当する。

【0056】

また、電源基板 910 から、電源電圧が所定値以下の低下したことを示す電源断信号、および RAM の内容をクリアするためのクリアスイッチが操作されたことを示すクリア信号とが、入力ポート 372g に入力される。電源断信号とクリア信号とは、出力回路 373B を介して主基板 31 に出力される。そして、主基板 31 において、入力回路 68 および I/O ポート 57 を介して遊技制御用マイクロコンピュータ 560 に入力される。

【0057】

払出制御用マイクロコンピュータ 370 は、出力ポート 372b を介して、賞球払出数を示す賞球情報信号および貸し球数を示す球貸し個数信号をターミナル基板 (枠用外部端子基板と盤用外部端子基板とを含む) 160 に出力する。なお、出力ポート 372b の外側に、ドライバ回路が設置されているが、図 5 では記載省略されている。

【0058】

また、払出制御用マイクロコンピュータ 370 は、出力ポート 372c を介して、7 セグメント LED によるエラー表示用 LED 374 にエラー信号を出力する。さらに、出力ポート 372b を介して、点灯/消灯を指示するための信号を賞球 LED 51 および球切れ LED 52 に出力する。なお、払出制御基板 37 の入力ポート 372f には、エラー状態を解除するためのエラー解除スイッチ 375 からの検出信号が入力される。エラー解除スイッチ 375 は、ソフトウェアリセットによってエラー状態を解除するために用いられ

10

20

30

40

50

る。

【0059】

さらに、払出制御用マイクロコンピュータ370からの払出モータ289への駆動信号は、出力ポート372aおよび中継基板72を介して球払出装装置97の払出機構部分における払出モータ289に伝えられる。なお、出力ポート372aの外側に、ドライバ回路（モータ駆動回路）が設置されているが、図6では記載省略されている。

【0060】

遊技機に隣接して設置されているカードユニット50には、カードユニット制御用マイクロコンピュータが搭載されている。また、カードユニット50には、使用可表示ランプ、連結台方向表示器、カード投入表示ランプおよびカード挿入口が設けられている。インタフェース基板（中継基板）66には、打球供給皿3の近傍に設けられている度数表示LED60、球貸し可LED61、球貸しスイッチ62および返却スイッチ63が接続される。

【0061】

インタフェース基板66からカードユニット50には、遊技者の操作に応じて、球貸しスイッチ62が操作されたことを示す球貸しスイッチ信号および返却スイッチ63が操作されたことを示す返却スイッチ信号が与えられる。また、カードユニット50からインタフェース基板66には、プリペイドカードの残高を示すカード残高表示信号および球貸し可表示信号が与えられる。カードユニット50と払出制御基板37の間では、接続信号（VL信号）、ユニット操作信号（BRDY信号）、球貸し要求信号（BRQ信号）、球貸し完了信号（EXS信号）およびパチンコ機動作信号（PRDY信号）が入力ポート372fおよび出力ポート372dを介して送受信される。カードユニット50と払出制御基板37の間には、インタフェース基板66が介在している。よって、接続信号（VL信号）等の信号は、図5に示すように、インタフェース基板66を介してカードユニット50と払出制御基板37の間で送受信されることになる。

【0062】

パチンコ遊技機1の電源が投入されると、払出制御基板37に搭載されている払出制御用マイクロコンピュータ370は、カードユニット50にPRDY信号を出力する。また、カードユニット制御用マイクロコンピュータは、電源が投入されると、VL信号を出力する。払出制御用マイクロコンピュータ370は、VL信号の入力状態によってカードユニット50の接続状態／未接続状態を判定する。カードユニット50においてカードが受け付けられ、球貸しスイッチが操作され球貸しスイッチ信号が入力されると、カードユニット制御用マイクロコンピュータは、払出制御基板37にBRDY信号を出力する。この時点から所定の遅延時間が経過すると、カードユニット制御用マイクロコンピュータは、払出制御基板37にBRQ信号を出力する。

【0063】

そして、払出制御用マイクロコンピュータ370は、カードユニット50に対するEXS信号を立ち上げ、カードユニット50からのBRQ信号の立ち下がりを検出すると、払出モータ289を駆動し、所定個の貸し球を遊技者に払い出す。そして、払出が完了したら、払出制御用マイクロコンピュータ370は、カードユニット50に対するEXS信号を立ち下げる。その後、カードユニット50からのBRDY信号がオン状態でないことを条件に、遊技制御手段から払出指令信号を受けると賞球払出制御を実行する。

【0064】

カードユニット50で用いられる電源電圧AC24Vは払出制御基板37から供給される。すなわち、カードユニット50に対する電源基板910からの電力供給は、払出制御基板37およびインタフェース基板66を介して行われる。この例では、インタフェース基板66内に配されているカードユニット50に対するAC24Vの電源供給ラインに、カードユニット50を保護するためのヒューズが設けられ、カードユニット50に所定電圧以上の電圧が供給されることが防止される。

【0065】

また、この実施の形態では、カードユニット50が遊技機とは別体として遊技機に隣接して設置されている場合を例にするが、カードユニット50は遊技機と一体化されていてもよい。また、コイン投入に応じてその金額に応じた遊技球が貸し出されるような場合でも本発明を適用できる。

【0066】

図6は、中継基板77、音／ランプ制御基板80bおよび図柄制御基板80aの回路構成例を示すブロック図である。この実施の形態では、音／ランプ制御基板80bは、音出力装置27の音出力制御、各ランプ25、28a、28b、28cの表示制御を行う。また、図柄制御基板80aは、可変表示装置9の表示制御を行う。また、この実施の形態では、「演出制御」とは、可変表示装置9の表示制御や、スピーカ27の音出力制御、各ランプ25、28a、28b、28cの表示制御を行うことによって、遊技演出などの演出を行うことをいう。また、演出制御手段は、可変表示装置9の表示制御を行う図柄制御用マイクロコンピュータ100aと、スピーカ27の音出力制御、および各ランプ25、28a、28b、28cの表示制御を行う音／ランプ制御用マイクロコンピュータ100bとによって実現される。なお、この実施の形態では、音／ランプ制御用マイクロコンピュータ100bと図柄制御用マイクロコンピュータ100aの両方またはいずれか一方を指して、演出制御手段ということがある。また、音／ランプ制御基板80bおよび図柄制御基板80aを設けずに、演出制御に関して演出制御基板のみを設けてもよい。

【0067】

音／ランプ制御基板80bは、音／ランプ制御用CPU101bおよびRAMを含む音／ランプ制御用マイクロコンピュータ100bを搭載している。なお、RAMは外付けであってもよい。音／ランプ制御基板80bにおいて、音／ランプ制御用CPU101bは、内蔵または外付けのROM（図示せず）に格納されたプログラムに従って動作し、中継基板77を介して入力される主基板31からの取込信号（演出制御INT信号）に応じて、入力ドライバ102および入力ポート103を介して演出制御コマンドを受信する。

【0068】

演出制御コマンドおよび演出制御INT信号は、音／ランプ制御基板80bにおいて、まず、入力ドライバ102に入力する。入力ドライバ102は、中継基板77から入力された信号を音／ランプ制御基板80bの内部に向かう方向にしか通過させない（音／ランプ制御基板80bの内部から中継基板77への方向には信号を通過させない）信号方向規制手段としての単方向性回路でもある。

【0069】

中継基板77には、主基板31から入力された信号を音／ランプ制御基板80bに向かう方向にしか通過させない（音／ランプ制御基板80bから中継基板77への方向には信号を通過させない）信号方向規制手段としての単方向性回路74が搭載されている。単方向性回路として、例えばダイオードやトランジスタが使用される。図6には、ダイオードが例示されている。また、単方向性回路は、各信号毎に設けられる。さらに、単方向性回路である出力ポート571を介して主基板31から演出制御コマンドおよび演出制御INT信号が出力されるので、中継基板77から主基板31の内部に向かう信号が規制される。すなわち、中継基板77からの信号は主基板31の内部（遊技制御用マイクロコンピュータ560側）に入り込まない。なお、出力ポート571は、図4に示されたI/Oポート部57の一部である。また、出力ポート571の外側（中継基板77側）に、さらに、単方向性回路である信号ドライバ回路が設けられていてもよい。

【0070】

さらに、音／ランプ制御用CPU101bは、ランプドライバ352に対してランプを駆動する信号を出力する。ランプドライバ352は、ランプを駆動する信号を増幅して天枠ランプ28a、左枠ランプ28b、右枠ランプ28cなどの枠側に設けられている各ランプに供給する。また、枠側に設けられている装飾ランプ25に供給する。

【0071】

また、音／ランプ制御用CPU101bは、音声合成用IC173に対して音番号デー

タを出力する。音声合成用 I C 1 7 3 は、音番号データに応じた音声や効果音を発生し増幅回路 1 7 5 に出力する。増幅回路 1 7 5 は、音声合成用 I C 1 7 3 の出力レベルを、ボリューム 1 7 6 で設定されている音量に応じたレベルに増幅した音声信号をスピーカ 2 7 に出力する。音声データ R O M 1 7 4 には、音番号データに応じた制御データが格納されている。音番号データに応じた制御データは、所定期間（例えば飾り図柄の変動期間）における効果音または音声の出力態様を時系列的に示すデータの集まりである。

【0072】

なお、ランプを駆動する信号および音番号データは、音／ランプ制御用 C P U 1 0 1 b とランプドライバ 3 5 2 および音声合成 I C 1 7 3 との間で、双方向通信（信号受信側から送信側に応答信号を送信するような通信）によって伝達される。

10

【0073】

また、音／ランプ制御用マイクロコンピュータ 1 0 0 b は、演出制御コマンド（例えば、変動パターンコマンド）にもとづいて、可変表示装置 9 を用いて行う演出内容を決定する。例えば、音／ランプ制御用マイクロコンピュータ 1 0 0 b は、可変表示装置 9 を用いて予告演出を行うか否かを決定する。また、例えば、音／ランプ制御用マイクロコンピュータ 1 0 0 b は、可変表示装置 9 を用いて行う予告演出の種類を決定する。

【0074】

なお、「予告演出」とは、大当たりとなるまたはその可能性があることを事前（可変表示装置 9 において飾り図柄の停止図柄が導出表示される前に）に遊技者に報知するための演出をいう。例えば、変動中に異なった態様（速度や回転方向等）の変動を行ったりキャラクター等を登場させたりすることにより大当たりになる可能性があることを遊技者に報知する。

20

【0075】

また、音／ランプ制御用マイクロコンピュータ 1 0 0 b は、主基板 3 1 からの演出制御コマンド（例えば、表示結果指定コマンド）を、入出力ポート 1 0 4 を介して図柄制御基板 8 0 a に転送（送信）する。また、音／ランプ制御用マイクロコンピュータ 1 0 0 b は、決定した演出内容（予告演出を行うか否かや、予告演出の種類）を示す演出内容指定コマンドを生成する。また、音／ランプ制御用マイクロコンピュータ 1 0 0 b は、生成した演出内容指定コマンドを、入出力ポート 1 0 4 を介して図柄制御基板 8 0 a に送信する。

【0076】

30

なお、音／ランプ制御用マイクロコンピュータ 1 0 0 b は、決定した演出内容（予告演出を行うか否かや、予告演出の種類）を、演出制御コマンド（変動パターンコマンドや表示結果指定コマンド）に付加してもよい。そして、音／ランプ制御用マイクロコンピュータ 1 0 0 b は、演出内容を付加した演出制御コマンドを、入出力ポート 1 0 4 を介して図柄制御基板 8 0 a に送信してもよい。

【0077】

図柄制御基板 8 0 a は、図柄制御用 C P U 1 0 1 a および R A M を含む図柄制御用マイクロコンピュータ 1 0 0 a を搭載している。なお、R A M は外付けであってもよい。図柄制御基板 8 0 a において、図柄制御用 C P U 1 0 1 a は、内蔵または外付けの R O M （図示せず）に格納されたプログラムに従って動作する。また、図柄制御用 C P U 1 0 1 a は、音／ランプ制御用基板 8 0 b から受信した演出制御コマンドにもとづいて、V D P （ビデオディスプレイプロセッサ）1 0 9 に、L C D を用いた可変表示装置 9 の表示制御を行わせる。

40

【0078】

図柄制御用 C P U 1 0 1 a は、受信した演出制御コマンドに従ってキャラクター R O M （図示せず）から必要なデータを読み出す。キャラクター R O M は、可変表示装置 9 に表示される画像の中でも使用頻度の高いキャラクター画像データ、具体的には、人物、文字、図形または記号等（飾り図柄を含む）をあらかじめ格納しておくためのものである。図柄制御用 C P U 1 0 1 a は、キャラクター R O M から読み出したデータを V D P 1 0 9 に出力する。V D P 1 0 9 は、図柄制御用 C P U 1 0 1 a から入力されたデータにもとづいて表示制

50

御を実行する。

【0079】

この実施の形態では、可変表示装置9の表示制御を行うVDP109が図柄制御基板80aに搭載されている。VDP109は、図柄制御用マイクロコンピュータ100aとは独立したアドレス空間を有し、そこにVRAMをマッピングする。VRAMは、VDPによって生成された画像データを展開するためのバッファメモリである。そして、VDP109は、VRAM内の画像データを可変表示装置9に出力する。なお、可変表示装置の数に対応した数のVDPを図柄制御基板80aに搭載するようにしてもよい。

【0080】

図7は、主基板31における回路構成および主基板31から音／ランプ制御基板80bに送信される演出制御コマンドの信号線を示すブロック図である。図7に示すように、この実施の形態では、主基板31が搭載する遊技制御用マイクロコンピュータ560は、演出制御信号送信用の8本の信号線CD0～CD7を用いて、演出制御コマンドを音／ランプ制御基板80bに送信する。また、主基板31と音／ランプ制御基板80bとの間には、ストロブ信号を送受するための演出制御INT信号の信号線も配線されている。

【0081】

主基板31には、図7に示すように、始動口スイッチ14aからの配線が接続されている。また、主基板31には、大入賞口である特別可変入賞球装置20や、その他の入賞口への遊技球の入賞等を検出するための各種スイッチ29a, 30a, 33a, 39aからの配線も接続されている。さらに、主基板31には、可変入賞球装置15を開閉するソレノイド16、特別可変入賞球装置20を開閉するソレノイド21および大入賞口内の経路を切り換えるためのソレノイド21Aへの配線が接続されている。

【0082】

主基板31は、遊技制御用マイクロコンピュータ560、入力ドライバ回路58および出力回路59を搭載する。遊技制御用マイクロコンピュータ560は、クロック回路501、システムリセット手段として機能するリセットコントローラ502、乱数回路503a, 503b、ゲーム制御用のプログラム等を記憶するROM54、ワークメモリとして使用されるRAM55、プログラムに従って動作するCPU56、CPU56に割込要求信号（タイマ割込による割込要求信号）を送出するCTC504、払出制御基板37や音／ランプ制御基板80bが備えるマイクロコンピュータと非同期シリアル通信を行うシリアル通信回路505およびI/Oポート部57を内蔵する。

【0083】

なお、この実施の形態では、シリアル通信回路505を内蔵するマイクロコンピュータを搭載した基板（例えば、主基板31）とは異なる基板（例えば、払出制御基板37や音／ランプ制御基板80b）のマイクロコンピュータとの通信にシリアル通信回路505を用いる場合を説明するが、シリアル通信回路505は、シリアル通信回路505を内蔵するマイクロコンピュータを搭載した基板が備える別のマイクロコンピュータとシリアル通信を行ってもよい。例えば、同じ構成の2つのマイクロコンピュータが同じ基板に搭載されている場合に、各マイクロコンピュータが内蔵するシリアル通信回路が相互にシリアル通信を行ってもよい。

【0084】

クロック回路501は、システムクロック信号を 2^7 （＝128）分周して生成した所定の周期の基準クロック信号CLKを、各乱数回路503a, 503bに出力する。リセットコントローラ502は、ローレベルの信号が一定期間入力されたとき、CPU56および各乱数回路503a, 503bに所定の初期化信号を出力して、遊技制御用マイクロコンピュータ560をシステムリセットする。

【0085】

また、この実施の形態では、図7に示すように、遊技制御用マイクロコンピュータ560は、発生可能な乱数の値の範囲が異なる2つの乱数回路503a, 503bを搭載する。乱数回路503aは、12ビットの疑似乱数を発生する乱数回路（以下、12ビット乱

10

20

30

40

50

数回路ともいう)である。12ビット乱数回路503aは、12ビットで発生できる範囲(すなわち、0から4095までの範囲)の値の乱数を発生する機能を備える。また、乱数回路503bは、16ビットの疑似乱数を発生する乱数回路(以下、16ビット乱数回路ともいう)である。16ビット乱数回路503bは、16ビットで発生できる範囲(すなわち、0から65535までの範囲)の値の乱数を発生する機能を備える。なお、この実施の形態では、遊技制御用マイクロコンピュータ560が2つの乱数回路を内蔵する場合を説明するが、遊技制御用マイクロコンピュータ560は、3以上の乱数回路を内蔵してもよい。また、この実施の形態では、12ビット乱数回路503aおよび16ビット乱数回路503bを包括的に表現する場合、または、12ビット乱数回路503aと16ビット乱数回路503bとのうちいずれかを指す場合に、乱数回路503という。

10

【0086】

次に、乱数回路503の構成について説明する。図8は、乱数回路503の構成例を示すブロック図である。なお、この実施の形態において、12ビット乱数回路503aと16ビット乱数回路503bとの基本的な構成は同じである。図8に示すように、乱数回路503は、カウンタ521、比較器522、カウント値順列変更回路523、クロック信号出力回路524、カウント値更新信号出力回路525、乱数値読取信号出力回路526、乱数更新方式選択信号出力回路527、セレクタ528、乱数回路起動信号出力回路530、乱数値記憶回路531、反転回路532、ラッチ信号生成回路533およびタイマ回路534を含む。

【0087】

20

この実施の形態では、乱数回路503は、複数種類の識別情報の可変表示の表示結果を特定の表示結果とするか否か(例えば、特別図柄表示装置8の表示図柄の組み合わせを大当り図柄の組み合わせとするか否か)を判定するための大当り判定用の乱数を発生する。そして、遊技制御用マイクロコンピュータ560のCPU56は、乱数回路503が発生した乱数にもとづいて特定の表示結果とすると判定すると、遊技状態を遊技者にとって有利な特定遊技状態(例えば、大当り遊技状態)に移行させる。

【0088】

カウンタ521は、セレクタ528によって選択された所定の信号を入力し、セレクタ528から入力する信号に応答してカウント値Cを出力する。この場合、カウンタ521は、所定の初期値を入力し、カウント値Cを一定の規則に従って初期値から所定の最終値まで循環的に更新して出力する。また、カウンタ521は、カウント値Cを最終値まで更新すると、カウント値Cを最終値まで更新した旨を示す通知信号をCPU56に出力する。この実施の形態では、カウンタ521から通知信号が出力されると、CPU56によって初期値が更新される。

30

【0089】

この実施の形態において、カウンタ521は、セレクタ528から信号を入力するごとに(セレクタ528からの信号における立ち上がりエッジが入力されるごとに)、カウント値Cを「0」から「4095」まで1ずつカウントアップする。また、カウンタ521は、カウント値Cを「4095」までカウントアップすると、カウント値Cを最終値まで更新した旨を示す通知信号をCPU56に出力する。すると、CPU56は、カウンタ521から通知信号を入力し、初期値を更新する。そして、カウンタ521は、CPU56によって更新された初期値から「4095」まで、再びカウント値Cをカウントアップする。また、「4095」までカウントアップすると、カウンタ521は、再び「0」からカウントを開始する。そして、カウンタ521は、更新後の初期値の1つ前の値(最終値)までカウントアップすると、通知信号をCPU56に出力する。なお、この実施の形態では、比較器522は、後述するように、全てのカウント値を入力すると通知信号をカウンタ521に出力する。この場合、カウンタ521は、比較器522から通知信号を入力すると、カウント値をリセットして「0」にする。

40

【0090】

なお、比較器522は、入力したカウント値が乱数最大値設定レジスタ535に設定さ

50

れている乱数最大値より大きいかな否かを判断し、カウント値が乱数最大値より大きい（乱数最大値を超えた）と判断すると、通知信号をカウンタ521に出力してもよい。この場合、例えば、比較器522は、カウント値が乱数最大値を超えたと判断すると、クロック信号出力回路524が次に乱数発生用クロック信号S11を出力する前に、通知信号をカウンタ521に出力する。例えば、乱数最大値設定レジスタ535に乱数最大値「256」が設定されている場合を考える。この場合、カウンタ521が「0」から「256」までカウントアップし、さらにカウント値「257」を出力すると、比較器522は、入力したカウント値「257」が乱数最大値「256」を超えたと判断し、カウンタ521に通知信号を出力する。比較器522から通知信号を入力すると、カウンタ521は、クロック信号出力回路524からの乱数発生用クロック信号S11の入力を待つことなく、カウント値を「258」に更新し出力する。以上の処理を繰り返し実行することによって、比較器522は、カウント値「257」から「4095」まで入力している間、カウント値が乱数最大値を超えていると判断して、繰り返しカウンタ521に通知信号を出力する。そして、カウンタ521は、比較器522から通知信号を入力している間、クロック信号出力回路524からの乱数発生用クロック信号S11の入力を待つことなく、カウント値を繰り返し更新し出力する。そのようにすることによって、クロック信号出力回路524が次に乱数発生用クロック信号S11を出力するまでの間に、「257」から「4095」までカウント値を高速にカウントアップさせるように制御し、「257」から「4095」までの乱数値を読み飛ばす（乱数値記憶回路531に記憶させない）ように制御する。

10

20

【0091】

カウント値順列変更回路523は、カウント値順列変更レジスタ(RSC)536、更新規則選択レジスタ(RRC)542および更新規則メモリ543を含む。カウント値順列変更レジスタ536は、カウンタ521がカウントアップするカウント値Cの更新順である順列（初期値から最終値までの並び順）を変更させるためのカウント値順列変更データ「01h」を格納する。カウント値順列変更回路523は、カウント値順列変更レジスタ536に数値順列変更データ「01h」が格納されているとき、カウンタ521がカウントアップして更新するカウント値Cの順列を、カウント値順列変更データ「01h」が格納されていないときとは異なる順列に変更する。この場合、カウント値順列変更回路523は、数値順列変更データ「01h」が格納されているとき、カウント値の順列の変更

30

【0092】

なお、CPU56によってカウント値順列変更データをクリアするのでなく、乱数回路503側でカウント値順列変更データをクリアするようにしてもよい。例えば、カウント値順列変更レジスタ536にカウント値順列変更データ「01h」が書き込まれたことにもとづいて、更新規則選択レジスタ(RRC)542にレジスタ値が設定されると、カウント値順列変更回路523は、カウント値順列変更レジスタ536のレジスタ値をクリアするようにしてもよい。

40

【0093】

図9は、更新規則選択レジスタ542の例を示す説明図である。更新規則選択レジスタ542は、カウンタ521が出力するカウント値の並び順の並べ替え（順列の変更）に用いる更新規則を設定するレジスタである。この実施の形態では、更新規則選択レジスタ542にレジスタ値が設定されることによって、カウンタ521が出力するカウント値の順列の変更

50

よび読出とともに不可能な状態に構成されている。したがって、更新規則選択レジスタ542のビット4～ビット7に値を書き込む制御を行っても無効とされ、ビット4～ビット7から読み出す値は全て「0 (= 0000b)」である。

【0094】

更新規則選択レジスタ542の値（レジスタ値）は、カウント値順列変更レジスタ536にカウント値順列変更データ「01h」が書き込まれたことに応じて、レジスタ値が「0 (= 00h)」から「15 (= 0Fh)」まで循環的に更新される。すなわち、カウント値順列変更レジスタ536にカウント値順列データ「01h」が書き込まれるごとに、更新規則選択レジスタ542のレジスタ値は、「0」から「1」ずつ加算され、「15」になると再び「0」に戻る。

10

【0095】

図10は、更新規則メモリ543の例を示す説明図である。図10に示すように、更新規則メモリ543は、更新規則選択レジスタ542の値（レジスタ値）と、カウント値の更新規則とを対応付けて格納している。図10に示す例では、例えば、更新規則選択レジスタ542にレジスタ値1が設定されている場合、更新規則Bを用いて、カウンタ521が出力するカウント値の順列が変更されることが分かる。なお、図10において、更新規則Aは、カウンタ521がカウント値Cを更新する規則と同一の更新規則であり、レジスタ値「0」に対応づけて更新規則メモリ543に格納される。また、更新規則メモリ543には、カウンタ521がカウント値Cを更新する更新規則とは異なる更新規則B～Pが、レジスタ値「1」～「15」に対応づけて格納される。

20

【0096】

カウント値順列変更回路523は、カウント値順列変更レジスタ536にカウント値順列変更データ「01h」が書き込まれている場合、まず、カウンタ521からカウント値の最終値「4095」が最初に入力されるまで、現在設定されている更新規則に従って、そのままカウント値を出力する。そして、カウント値順列変更回路523は、カウンタ521からカウント値の最終値「4095」を入力すると、カウント値の更新規則を変更する。なお、CPU56によって初期値が変更されている場合には、カウント値順列変更回路523は、カウンタ521から変更後の最終値（初期値の1つ前の値）まで入力すると、カウント値の更新規則を変更することになる。

【0097】

カウント値順列変更回路523は、更新規則選択レジスタ542のレジスタ値に対応する更新規則を更新規則メモリ543から選択し、カウント値の順列の変更に用いる更新規則として設定する。また、カウント値順列変更回路523は、カウンタ521によって再び初期値「0」から順にカウント値の更新が開始されると、設定した更新規則に従って、カウント値の初期値から最終値までの順列を変更する。なお、CPU56によって初期値が変更されている場合には、カウント値順列変更回路523は、カウンタ521によって変更後の初期値から順にカウント値の更新が開始されると、設定した更新規則に従って、カウント値の初期値から最終値までの順列を変更することになる。そして、カウント値順列変更回路523は、変更した順列に従ってカウント値を出力する。

30

【0098】

なお、この実施の形態では、後述する乱数最大値設定レジスタ535に乱数最大値が設定されていることによって、発生させる乱数の最大値が制限されている場合、カウント値順列変更回路523は、カウント値Cを乱数最大値以下に制限して順列を変更して出力する。例えば、乱数最大値設定レジスタ535に乱数最大値「256」が設定されているものとし、カウント値順列変更回路523が、更新規則Aから更新規則Bに変更して、カウント値の順列を変更するものとする。この場合、カウント値順列変更回路523は、比較器522の乱数最大値設定レジスタ535に設定されている乱数最大値「256」にもとづいて、更新規則Bに従って、カウント値の順列を「256→255→・・・→0」に変更して出力する。

40

【0099】

50

以上のように、カウント値順列変更回路523は、カウント値順列変更レジスタ536にカウント値順列変更データ「01h」が書き込まれている場合、更新規則を切り替えて用いることによって、カウント値Cの順列を変更して出力する。そのため、乱数回路503が生成する乱数のランダム性を向上させることができる。

【0100】

図11は、カウント値順列変更回路523が、カウンタ521が出力するカウント値の順列を変更する場合の例を示す説明図である。図11に示すように、CPU56は、所定のタイミングで、カウント値順列変更データ「01h」をカウント値順列変更レジスタ536に書き込む。すると、更新規則選択レジスタ542のレジスタ値が1加算される。例えば、更新規則選択レジスタ542のレジスタ値が「0」から「1」に更新される。レジスタ値が更新されると、カウント値順列変更回路523は、カウンタ521から最初にカウント値の最終値「4095」が入力されるまで、更新前のレジスタ値「0」に対応する「更新規則A」に従ってカウント値を更新して出力する。このとき、カウント値順列変更回路523は、更新規則Aに従って、「0→1→・・・→4095」の順列でカウント値を出力する。

10

【0101】

カウンタ521からカウント値の最終値「4095」が入力されると、カウント値順列変更回路523は、更新規則メモリ543から、更新後のレジスタ値「1」に対応する「更新規則B」を選択して設定する。カウント値順列変更回路523は、カウンタ521から再び初期値「0」以降のカウント値の入力を開始すると、選択設定した「更新規則B」に従って、カウント値の順列を変更して出力する。本例では、カウント値順列変更回路523は、順列を「0→1→・・・→4095」から「4095→4094→・・・→0」に変更して、カウント値を出力する。

20

【0102】

その後、カウント値順列変更レジスタ536は、後述するように、カウント値順列変更回路523が切り替え後の更新規則に従ってカウント値の更新動作を開始したことに応じてリセットされる。そして、次にカウント値順列変更データ「01h」がカウント値順列変更レジスタ536に書き込まれるまで、カウント値順列変更回路523は、「4095→4094→・・・→0」のままの順列で、カウント値を出力し続ける。

【0103】

CPU56によってカウント値順列変更データ「01h」がカウント値順列変更レジスタ536に再度書き込まれると、カウント値順列変更レジスタ536のレジスタ値が「1」から「2」に更新される。そして、カウンタ521からカウント値の最終値「4095」を入力すると、カウント値順列変更回路523は、更新規則メモリ543から、レジスタ値「2」に対応する「更新規則C」を選択して設定する。カウント値順列変更回路523は、カウンタ521から再び初期値「0」以降のカウント値の入力を開始すると、選択設定した「更新規則C」に従って、カウント値の順列を更新して出力する。本例では、カウント値順列変更回路523は、順列を「4095→4094→・・・→0」から「1→3→・・・→4095→0→・・・→4094」に変更して、カウント値を出力する。

30

【0104】

以上のように、カウント値順列変更レジスタ536をリセットした後、カウント値順列データ「01h」をカウント値順列変更レジスタ536に再度書き込むことによって、カウント値の順列をさらに変更することができる。

40

【0105】

図12は、カウント値順列変更レジスタ536の例を示す説明図である。カウント値順列変更レジスタ536は、カウンタ521がカウントアップするカウント値の順列を変更させるためのカウント値順列変更データ「01h」を設定するレジスタである。図12に示すように、カウント値順列変更レジスタ536は、読出可能な8ビットレジスタであり、初期値が「0(=00h)」に設定されている。また、カウント値順列変更レジスタ536は、ビット0だけが書込および読出ともに可能な状態に構成されている。すなわち、

50

カウンタ値順列変更レジスタ536は、ビット1～ビット7が書込および読出ともに不可能な状態に構成されている。したがって、カウンタ値順列変更レジスタ536のビット1～ビット7に値を書き込む制御を行っても無効とされ、ビット1～ビット7から読み出す値は全て「0 (= 0000000b)」である。

【0106】

なお、カウンタ値順列変更レジスタ536の値は、カウンタ値順列変更回路523が切り替え後の更新規則に従ってカウンタ値の更新動作を開始したことに応じて、CPU56によってリセットされる。この場合、CPU56は、カウンタ値順列変更レジスタ536に書き込まれている値を、カウンタ値順列変更データ「01h」から初期値である「0 (= 00h)」に戻す。

10

【0107】

比較器522は、ランダムRの最大値（乱数最大値）を指定するための乱数最大値設定データを格納する乱数最大値設定レジスタ（RMX）535を備える。比較器522は、乱数最大値設定レジスタ535に格納されている乱数最大値設定データに示される乱数最大値に従って、カウンタ521が更新するカウンタ値の更新範囲を制限する。この実施の形態では、比較器522は、カウンタ521から入力するカウンタ値と乱数最大値設定レジスタ535に格納されている乱数最大値設定データ（例えば「00FFh」）に示される乱数最大値（例えば「256」）とを比較する。そして、比較器522は、入力したカウンタ値が乱数最大値以下であると判断すると、入力したカウンタ値を乱数値記憶回路531に出力する。

20

【0108】

この実施の形態では、比較器522は、具体的には、以下のような制御を行う。比較器522は、カウンタ値の初期値更新の際に、CPU56からカウンタ値の初期値をもらい、初期値から乱数最大値までのカウンタ値の個数を求める。例えば、カウンタ値の初期値が「157」であり乱数最大値が「256」である場合、比較器522は、初期値から乱数最大値までのカウンタ値の個数を「100個」と求める。また、比較器522は、カウンタ値順列変更回路523からカウンタ値を入力するに従って、初期値からカウンタ値をいくつ入力したかをカウンタアップする。初期値からカウンタ値を入力した回数が「100回」に達すると、比較器522は、初期値「157」から最大値「256」までの全てのカウンタ値を入力したと判断する。そして、比較器522は、全てのカウンタ値を入力した旨の通知信号をカウンタ521に出力する。カウンタ値の個数で判断することによって、カウンタ値順列変更回路523によってカウンタ値の順列が変更されている場合であっても、比較器522は、カウンタ値の更新範囲を乱数最大値以下に制限し、全てのカウンタ値を入力した際にカウンタ521に通知信号を出力することができる。

30

【0109】

カウンタ値の更新範囲を比較器522が制限する動作について説明する。なお、本例では、カウンタ値順列変更回路523が更新規則Aを選択し、乱数最大値設定レジスタ535に乱数最大値「256」が設定されている場合を説明する。

【0110】

カウンタ521が「0」から「256」までカウンタ値を更新している間、カウンタ値順列変更回路523は、乱数最大値設定レジスタ535に設定されている乱数最大値「256」にもとづいて、更新規則Aに従って、「0」から「256」までのカウンタ値をそのまま比較器522に出力する。この場合、カウンタ値順列変更回路523は、比較器522から乱数最大値「256」の値をもらい、カウンタ521から入力するカウンタ値が乱数最大値より大きいかなかを判断し、更新規則が変更されているとき（例えば、更新規則B）であっても、乱数最大値設定レジスタ535に設定されている乱数最大値「256」にもとづいて、「257」から「4095」までのカウンタ値を比較器522に出力しない。カウンタ521は、例えば、初期値が「0」と設定されているときに、最終値「256」までカウンタ値を更新すると、通知信号をCPU56に出力する。通知信号を出力すると、CPU56によって、カウンタ521のカウンタ値の初期値が変更される。本例

40

50

では、CPU 56によって、初期値が「50」に変更されるものとする。

【0111】

なお、カウント値が乱数最大値「256」より大きいかな否かをカウント値順列変更回路523が判断するのでなく、比較器522が判定するようにしてもよい。この場合、例えば、比較器522は、カウント値が乱数最大値設定レジスタ535に設定されている乱数最大値より大きいかな否かを判断し、カウント値が乱数最大値より大きいと判断すると、通知信号をカウンタ521に出力する。そして、比較器522は、カウント値が乱数最大値を超えたと判断すると、クロック信号出力回路524が次に乱数発生用クロック信号S11を出力する前に、通知信号をカウンタ521に出力する。そのようにすることによって、比較器522は、クロック信号出力回路524が次に乱数発生用クロック信号S11を出力するまでの間に、「257」から「4095」までカウント値を高速にカウントアップさせるようにカウンタ521を制御する。そのようにすることによって、カウント値順列変更回路523からの値が「257」未満のときだけカウント値を乱数値記憶回路531に出力するようにし、カウント値順列変更回路523からの値が「257」以上のときにはカウント値を高速で更新させるようにすることができる。

10

【0112】

更新規則Aにもとづいて、カウント値順列変更回路523から、「0」から「255」までカウント値を入力している間、比較器522は、入力するカウント値が乱数最大値「256」以下であるので、入力したカウント値をそのまま乱数値記憶回路531に出力する。次に、カウント値順列変更回路523から入力するカウント値が「256」に達すると、比較器522は、入力したカウント値を乱数値記憶回路531に出力するとともに、初期値から最大値までの全てのカウント値を入力した旨の通知信号をカウンタ521に出力する。具体的には、比較器522は、カウント値の初期値変更の際に、CPU56からカウント値の初期値（本例では、「0」）をもらい、初期値「0」から乱数最大値（本例では、「256」）までのカウント値の個数（本例では、「257個」）を求める。そして、カウント値順列変更回路523から入力したカウント値の個数が257個に達すると、全てのカウント値を入力した旨の通知信号をカウンタ521に出力する。なお、本例では、CPU56によって初期値が「50」に変更されるので、カウンタ521は、比較器522から通知信号を入力しても、カウント値をリセットするとなく、変更後の初期値「50」からカウント値の更新を行う。

20

30

【0113】

カウンタ521が変更後の初期値「50」から「256」までカウント値を更新している間、カウント値順列変更回路523は、乱数最大値設定レジスタ535に設定されている乱数最大値「256」にもとづいて、更新規則Aに従って、「50」から「256」までのカウント値をそのまま比較器522に出力する。また、カウント値順列変更回路523は、乱数最大値設定レジスタ535に設定されている乱数最大値「256」にもとづいて、「257」から「4095」までのカウント値を比較器522に出力せず、カウンタ521の更新するカウント値が1周したとき（257回更新したとき）に、カウント値順列変更レジスタ536にカウント値順列変更データが書き込まれた場合には、カウント値順列変更回路523は、カウント値の順列を変更して出力する。例えば、更新規則が更新規則Bに変更された場合、カウント値順列変更回路523は、カウント値の順列を「256→255→・・・→50」に変更して出力する。

40

【0114】

カウント値順列変更回路523から、「256」から「50」までカウント値を入力している間、比較器522は、入力したカウント値をそのまま乱数値記憶回路531に出力する。次に、カウント値順列変更回路523から入力するカウント値が「50」に達すると、比較器522は、入力したカウント値を乱数値記憶回路531に出力するとともに、初期値から最大値までの全てのカウント値を入力した旨の通知信号をカウンタ521に出力する。具体的には、比較器522は、カウント値の初期値変更の際に、CPU56からカウント値の初期値（本例では、「50」）をもらい、初期値「50」から乱数最大値（

50

本例では、「256」までのカウント値の個数（本例では、「207個」）を求める。そして、カウント値順列変更回路523から入力したカウント値の個数が207個に達すると、全てのカウント値を入力した旨の通知信号をカウンタ521に出力する。

【0115】

なお、カウント値順列変更回路523がカウント値の順列を変更した場合であっても、比較器522は、カウント値の個数が207個に達すると、通知信号をカウンタ521に出力する。そのようにすることによって、カウント値の順列が変更された場合であっても、初期値「50」から最大値「256」までの全てのカウント値を入力したことにもとづいて、通知信号をカウンタ521に出力できる。

【0116】

比較器522から通知信号を入力すると、カウンタ521は、カウント値の初期値をリセットし「0」に戻す。そして、カウンタ521は、「0」からカウント値の更新を行う。カウンタ521の値が「0」から再び更新がされると、カウンタ521からのカウント値にもとづいて、カウント値順列変更回路523は「49」～「0」までのカウント値を比較器522に出力し、比較器522はカウント値順列変更回路523からのカウント値の入力にもとづいて乱数値記憶回路531にカウント値を出力する。そして、カウンタ521は、最終値（本例では、「49」）までカウント値を更新すると、通知信号をCPU56に出力する。通知信号を出力すると、CPU56によって、カウンタ521のカウント値の初期値が再び変更される。

【0117】

以上のような動作を繰り返すことにより、比較器522は、カウンタ521に、「0」から乱数最大値「256」まで連続的にカウント値をカウントアップさせ、「0」から「256」までの値を乱数値記憶回路531にランダムR（乱数値）として記憶させる。すなわち、比較器522は、カウント値の更新範囲を乱数最大値「256」以下に制限して、カウンタ521にカウント値を更新させる。

【0118】

図13は、乱数最大値設定レジスタ535の例を示す説明図である。図13（a）は、12ビット乱数回路503aが搭載する乱数最大値設定レジスタ535の例を示す。また、図13（b）は、16ビット乱数回路503bが搭載する乱数最大値設定レジスタ535の例を示す。まず、12ビット乱数回路503aが搭載する乱数最大値設定レジスタ535について説明する。図13（a）に示すように、12ビット乱数回路503aにおいて、乱数最大値設定レジスタ535は、16ビットレジスタであり、初期値が「4095（＝0FFFh）」に設定されている。乱数最大値設定レジスタ535は、ビット0～ビット11が書込および読出ともに可能な状態に構成されている。また、乱数最大値設定レジスタ535は、ビット12～ビット15が書込および読出ともに不可能な状態に構成されている。したがって、12ビット乱数回路503aにおいて、乱数最大値設定レジスタ535のビット12～ビット15に値を書き込む制御を行っても無効とされ、ビット12～ビット15から読み出す値は全て「0（＝0000b）」である。

【0119】

また、乱数最大値設定レジスタ535に設定される乱数最大値は、所定の下限值が定められている。この実施の形態では、乱数最大値設定レジスタ535に下限値「256」より小さい値を指定する乱数最大値設定データ「0000h」～「00FEh」が書き込まれた場合、CPU56は、乱数最大値設定レジスタ535に、初期値「4095」を指定する乱数最大値設定データ「0FFFh」を設定しなおす。すなわち、乱数最大値設定レジスタ535に設定可能な乱数最大値は「256」から「4095」までであり、CPU56は、下限値「256」より小さい値が設定されていると判断すると、乱数最大値を所定値「4095」に設定しなおす。なお、CPU56は、リセットコントローラ502によって遊技制御用マイクロコンピュータ560がシステムリセットされるまで、乱数最大値設定データが書き込まれた乱数最大値設定レジスタ535を書込不可能に制御する。なお、CPU56により書込不可能に制御するのでなく、乱数最大値設定レジスタ535は

、データが書き込まれた後にリセット信号を入力するまで書込不可能となるように形成されていてもよい。

【0120】

次に、16ビット乱数回路503bが搭載する乱数最大値設定レジスタ535について説明する。図13(b)に示すように、16ビット乱数回路503bにおいて、乱数最大値設定レジスタ535は、16ビットレジスタであり、初期値が「65535(=FFFFh)」に設定されている。また、16ビット乱数回路503bにおいて、乱数最大値設定レジスタ535は、ビット0～ビット15の全てのビットが書込および読出ともに可能な状態に構成されている。

【0121】

また、乱数最大値設定レジスタ535に下限値「512」より小さい値を指定する乱数最大値設定データ「0000h」～「00FEh」が書き込まれた場合、CPU56は、乱数最大値設定レジスタ535に、初期値「65535」を指定する乱数最大値設定データ「FFFFh」を設定しなおす。すなわち、乱数最大値設定レジスタ535に設定可能な乱数最大値は「512」から「65535」までであり、CPU56は、下限値「512」より小さい値が設定されていると判断すると、乱数最大値を所定値「65535」に設定しなおす。なお、CPU56は、リセットコントローラ502によって遊技制御用マイクロコンピュータ560がシステムリセットされるまで、乱数最大値設定データが書き込まれた乱数最大値設定レジスタ535を書込不可能に制御する。この場合、CPU56により書込不可能に制御するのでなく、乱数最大値設定レジスタ535は、データが書き込まれた後にリセット信号を入力するまで書込不可能となるように形成されていてもよい。

【0122】

クロック信号出力回路524は、セクタ528および反転回路532に出力するクロック信号の周期(すなわち、カウント値の更新周期)を指定するための周期設定データを格納する周期設定レジスタ(RPS)537を備える。クロック信号出力回路524は、周期設定レジスタ537に格納されている周期設定データに基づいて、遊技制御用マイクロコンピュータ560が搭載するクロック回路501から入力する基準クロック信号CLKを分周して、乱数回路503内部で乱数値の生成に用いるクロック信号(乱数発生用クロック信号SI1)を生成する。そのようにすることによって、クロック信号出力回路524は、クロック信号を所定回数入力したことを条件に、カウント値Cを更新させるための乱数発生用クロック信号SI1をカウンタ521に出力するように動作する。なお、周期設定データとは、クロック回路501から入力した基準クロック信号CLKを何分周させるかを設定するためのデータである。また、クロック出力回路524は、生成した乱数発生用クロック信号SI1をセクタ528および反転回路532に出力する。例えば、周期設定レジスタ537に周期設定データ「0Fh(=16)」が書き込まれている場合、クロック信号出力回路524は、クロック回路501から入力する基準クロック信号CLKを16分周して乱数発生用クロック信号SI1を生成する。この場合、クロック信号出力回路524が生成する乱数発生用クロック信号SI1の周期は、「システムクロック信号の周期×128×16」となる。

【0123】

図14は、周期設定レジスタ537の例を示す説明図である。図14に示すように、周期設定レジスタ537は、8ビットレジスタであり、初期値が「256(=FFh)」に設定されている。また、周期設定レジスタ537は、書込および読出ともに可能な状態に構成されている。

【0124】

また、周期設定レジスタ537に設定される周期設定データの値は、所定の下限值が定められている。この実施の形態では、周期設定レジスタ537に下限値「システムクロック信号の周期×128×7」より小さい値を指定する周期設定データ「00h～06h」が書き込まれた場合、CPU56は、周期設定レジスタ537に下限値「システムクロッ

ク信号の周期 $\times 128 \times 7$ 」を指定する周期設定データ「07h」を設定しなおす。すなわち、周期設定レジスタ537に設定可能な周期は「システムクロック信号の周期 $\times 128 \times 7$ 」から「システムクロック信号の周期 $\times 128 \times 256$ 」までであり、CPU56は、下限値より小さい値が設定されていると判断すると、周期設定データを設定しなおす。なお、CPU56は、リセットコントローラ502によって遊技制御用マイクロコンピュータ560がシステムリセットされるまで、周期設定データが書き込まれた周期設定レジスタ537を書込不可能に制御する。なお、CPU56により書込不可能に制御するのではなく、周期設定レジスタ537は、データが書き込まれた後にリセット信号を入力するまで書込不可能となるように形成されていてもよい。

【0125】

10

なお、周期設定レジスタ537に下限値としての周期設定データを設定することなく、設定された周期設定データに基づいて、例えばクロック信号出力回路524が基準クロック信号CLKをそのままカウンタ521および反転回路532に出力するようにしてもよい。この場合、CPU56は、周期設定レジスタ537に設定される周期設定データの値を下限値と比較して設定しなおす処理を行う必要がなくなる。また、カウンタ521は、クロック信号出力回路524から基準クロック信号CLKを入力する毎にカウント値Cを更新することになる。

【0126】

カウント値更新信号出力回路525は、カウント値更新データ「01h」を格納するカウント値更新レジスタ(RGN)538を備える。カウント値更新データとは、カウント値の更新を要求するためのデータである。カウント値更新信号出力回路525は、カウント値更新レジスタ538にカウント値更新データ「01h」が書き込まれたことに応じて、カウント値更新信号SI3をセクタ528に出力する。

20

【0127】

図15は、カウント値更新レジスタ538の例を示す説明図である。図15に示すように、カウント値更新レジスタ538は、読出不能な8ビットレジスタであり、ビット0のみが書込可能な状態に構成されている。したがって、カウント値更新レジスタ538のビット1～ビット7に値を書き込む制御を行っても無効とされる。

【0128】

乱数値読取信号出力回路526は、乱数値取込データ「01h」を格納する乱数値取込レジスタ(RLT)539を備える。乱数値取込データとは、乱数値記憶回路531へのカウント値の取込を要求するためのデータである。乱数値読取信号出力回路526は、乱数値取込レジスタ539に乱数値取込データ「01h」が書き込まれたことに応じて、乱数値の読み取りを要求するための乱数値読取信号をラッチ信号生成回路533に出力する。

30

【0129】

図16は、乱数値取込レジスタ539の例を示す説明図である。図16に示すように、乱数値取込レジスタ539は、読出不能な8ビットレジスタである。また、乱数値取込レジスタ539は、ビット0だけが書込可能な状態に構成されている。すなわち、乱数値取込レジスタ539のビット1～ビット7に値を書き込む制御を行っても無効とされる。

40

【0130】

乱数更新方式選択信号出力回路527は、乱数更新方式選択データを格納する乱数更新方式選択レジスタ(RTS)540を備える。乱数更新方式選択データとは、ランダムRの値を更新する方式である各乱数更新方式のうち、いずれかの乱数更新方式を指定するためのデータである。乱数更新方式選択信号出力回路527は、乱数更新方式選択レジスタ540に乱数更新方式選択データが書き込まれたことに応じて、書き込まれた乱数更新方式選択データにより指定される乱数更新方式に対応する乱数更新方式選択信号を、セクタ528およびラッチ信号生成回路533に出力する。

【0131】

図17(A)は、乱数更新方式選択レジスタ540の例を示す説明図である。図17(

50

A) に示すように、乱数更新方式選択レジスタ540は、8ビットレジスタであり、初期値が「00h」に設定されている。また、乱数更新方式選択レジスタ540は、ビット0～ビット1が書込および読出ともに可能な状態に構成されている。また、乱数更新方式選択レジスタ540は、ビット2～ビット7が書込および読出ともに不可能な状態に構成されている。したがって、乱数更新方式選択レジスタ540のビット2～ビット7に値を書き込む制御を行っても無効とされ、ビット2～ビット7から読み出す値は全て「0 (= 00000b)」である。

【0132】

図17(B)は、乱数更新方式選択レジスタ540に書き込まれる乱数更新方式選択データの一例の説明図である。図17(B)に示すように、乱数更新方式選択データは、2ビットのデータから構成される。乱数更新方式選択データ「01b」は、第1の乱数更新方式を指定するために用いられる。また、乱数更新方式選択データ「10b」は、第2の乱数更新方式を指定するために用いられる。なお、この実施の形態では、第1の乱数更新方式とは、カウント値更新信号出力回路525からカウント値更新信号SI3が出力されたことをトリガとして、カウント値を更新する方式である。また、第2の乱数更新方式とは、クロック信号出力回路524から乱数発生用クロック信号SI1が出力されたことをトリガとして、カウント値を更新する方式である。また、乱数更新方式選択データ「01b」または「10b」が乱数更新方式選択レジスタ540に書き込まれた場合、乱数回路503は起動可能な状態となる。一方、乱数更新方式選択データ「00b」または「11b」が乱数更新方式選択レジスタ540に書き込まれた場合、乱数回路503は起動不可能な状態となる。

【0133】

セクタ528は、カウント値更新信号出力回路525から出力されるカウント値更新信号SI3、またはクロック信号出力回路524から出力される乱数発生用クロック信号SI1のいずれかを選択してカウンタ521に出力する。セクタ528は、乱数更新方式選択信号出力回路527から第1の乱数更新方式に対応する乱数更新方式選択信号(第1の乱数更新方式選択信号ともいう)が入力されると、カウント値更新信号出力回路525から出力されるカウント値更新信号SI3を選択してカウンタ521に出力する。一方、セクタ528は、乱数更新方式選択信号出力回路527から第2の乱数更新方式に対応する乱数更新方式選択信号(第2の乱数更新方式選択信号ともいう)が入力されると、クロック信号出力回路524から出力される乱数発生用クロック信号SI1を選択してカウンタ521に出力する。なお、セクタ528は、乱数更新方式選択信号出力回路527から第1の更新方式選択信号が入力されると、カウント値更新信号出力回路525から出力されるカウント値更新信号SI3に応じて、クロック信号出力回路524から出力される乱数発生用クロック信号SI1に同期した数値データの更新を指示する数値更新指示信号を、カウンタ521に出力してもよい。

【0134】

乱数回路起動信号出力回路530は、乱数回路起動データ「80h」を格納する乱数回路起動レジスタ(RST)541を備える。乱数回路起動データとは、乱数回路503の起動を要求するためのデータである。乱数回路起動信号出力回路530は、乱数回路起動レジスタ541に乱数回路起動データ「80h」が書き込まれると、所定の乱数回路起動信号をカウンタ521およびクロック信号出力回路537に出力し、カウンタ521およびクロック信号出力回路524をオンにさせる。そして、カウンタ521によるカウント値の更新動作とクロック信号出力回路524による内部クロック信号の出力動作とを開始させることによって、乱数回路503を起動させる。

【0135】

図18は、乱数回路起動レジスタ541の例を示す説明図である。図18に示すように、乱数回路起動レジスタ541は、8ビットレジスタであり、初期値が「00h」に設定されている。乱数回路起動レジスタ541は、ビット7だけが書込および読出ともに可能な状態に構成されている。また、乱数回路起動レジスタ541は、ビット0～ビット6が

書込および読出ともに不可能な状態に構成されている。すなわち、乱数回路起動レジスタ 541 のビット 0 ～ビット 6 に値を書き込む制御を行っても無効とされ、ビット 0 ～ビット 6 から読み出す値は全て「0 (= 000000b)」である。

【0136】

乱数値記憶回路 531 は、例えば 16 ビットレジスタであり、遊技制御処理における大当り判定において用いられる乱数であるランダム R の値を格納する。乱数値記憶回路 531 は、ラッチ信号生成回路 533 からラッチ信号 S L を入力したことに応じて、カウンタ 521 から比較器 522 を介して出力されるカウント値 C をランダム R の値として格納する。そして、乱数値記憶回路 531 は、ラッチ信号生成回路 533 からラッチ信号 S L を入力するごとに、カウンタ 521 が更新するカウント値 C を読み込んでランダム R の値を記憶する。

10

【0137】

図 19 は、乱数値記憶回路 531 の一構成例を示す回路図である。乱数値記憶回路 531 は、図 19 に示すように、2 個の AND 回路 201, 203 と、2 個の NOT 回路 202, 204 と、16 個のフリップフロップ回路 2101 ～2116 と、16 個の OR 回路 2201 ～2216 とを含む。

【0138】

図 19 に示すように、AND 回路 201 の入力端子は、ラッチ信号生成回路 533 の出力端子と NOT 回路 204 の出力端子とに接続され、出力端子は、NOT 回路 202 の入力端子とフリップフロップ回路 2101 ～2116 のクロック端子 C1k1 ～C1k16 とに接続されている。NOT 回路 202 の入力端子は、AND 回路 201 の出力端子に接続され、出力端子は、AND 回路 203 の一方の入力端子に接続されている。

20

【0139】

AND 回路 203 の入力端子は、NOT 回路 202 の出力端子と遊技制御用マイクロコンピュータ 560 が搭載する CPU 56 とに接続され、出力端子は、NOT 回路 204 の入力端子に接続されている。NOT 回路 204 の入力端子は、AND 回路 203 の出力端子に接続され、出力端子は、AND 回路 201 の一方の入力端子と OR 回路 2201 ～2216 の一方の入力端子とに接続されている。

【0140】

フリップフロップ回路 2101 ～2116 の入力端子 D1 ～D16 は、比較器 522 の出力端子に接続されている。フリップフロップ回路 2101 ～2116 のクロック端子 C1k1 ～C1k16 は、AND 回路 201 の出力端子に接続され、出力端子 Q1 ～Q16 は、OR 回路 2201 ～2216 の他方の入力端子に接続されている。

30

【0141】

OR 回路 2201 ～2216 の入力端子は、NOT 回路 204 の出力端子とフリップフロップ回路 2101 ～2116 の出力端子とに接続され、出力端子は、遊技制御用マイクロコンピュータ 560 が搭載する CPU 56 に接続されている。

【0142】

乱数値記憶回路 531 の動作について説明する。図 20 は、乱数値記憶回路 531 に各信号が入力されるタイミング、および乱数値記憶回路 531 が各信号を出力するタイミングを示すタイミングチャートである。図 20 に示すように、遊技制御用マイクロコンピュータ 560 が搭載する CPU 56 から出力制御信号 SC (本例では、ハイレベル信号) が入力されていない場合 (すなわち、AND 回路 203 の一方の入力端子への入力がローレベルの場合)、ラッチ信号生成回路 533 からラッチ信号 S L が入力されると (図 20 に示す例では、タイミング T1, T2, T7 のとき)、AND 回路 201 の 2 つの入力端子への入力とともにハイレベルとなる。そのため、AND 回路 201 の出力端子から出力される信号 SR はハイレベルとなる。そして、AND 回路 201 から出力された信号 SR は、フリップフロップ回路 2101 ～2116 のクロック端子 C1k1 ～C1k16 に入力される。

40

【0143】

50

フリップフロップ回路2101～2116は、クロック端子C1k1～C1k16から入力される信号SRの立ち上がりエッジにตอบสนองして、比較器522から入力端子D1～D16を介して入力されるカウント値CのビットデータC1～C16を乱数値のビットデータR1～R16としてラッチして記憶する。また、フリップフロップ回路2101～2116は、記憶するランダムRのビットデータR1～R16を出力端子Q1～Q16から出力する。

【0144】

出力制御信号SCが入力されていない場合（図20に示す例では、タイミングT3までの期間およびタイミングT6以降の期間）、AND回路203の一方の入力端子への入力がローレベルとなるので、AND回路203の出力端子から出力される信号SGはローレベルとなる。AND回路203が出力する信号SGは、NOT回路204において反転され、ハイレベルの信号とされる。そして、OR回路2201～2216の一方の入力端子に、NOT回路204からハイレベルの信号が入力される。

10

【0145】

以上のように、OR回路2201～2216の一方の入力端子への入力がハイレベルとなるので、他方の入力端子に入力される信号がハイレベルであるかローレベルであるかに関わらず、OR回路2201～2216はハイレベルの信号を出力する。すなわち、入力されるランダムRのビットデータR1～R16の値が「0」であるか「1」であるかに関わらず、OR回路2201～2216から出力される信号S01～S016は、全てハイレベル（「1」）となる。そのようにすることによって、乱数値記憶回路531から出力される値は、常に「65535（＝1111111111111111b）」となり、乱数値記憶回路531からランダムRを読み出すことができない状態となる。すなわち、乱数値記憶回路531から乱数を読み出そうとしても、乱数値記憶回路531から常に同じ値「65535」しか読み出せない状態となり、出力制御信号SCが入力されていない場合、乱数値記憶回路531は、読出不能（ディセイブル）状態となる。なお、16ビット乱数回路503bを用いる場合、乱数値としての値「65535」が用いられる可能性がある。この場合、遊技制御用マイクロコンピュータ560は、値「65535」を読み込んだとしても、その値が乱数であるのか読出不能状態であるのかを判断することができない。そのため、図39に示す各大当り判定用の判定テーブルにおいて、あらかじめランダムRが「65535」である場合には「ハズレ」と判定するように設定しておけばよい。

20

30

【0146】

ラッチ信号生成回路533からラッチ信号SLが入力されていないときに、CPU56から出力制御信号SCが入力されると（図20に示す例では、タイミングT4からタイミングT6までの期間）、AND回路203の2つの入力端子への入力がともにハイレベルとなるので、AND回路203の出力端子から出力される信号SGはハイレベルとなる。AND回路203が出力する信号SGは、NOT回路204において反転され、ローレベルの信号とされる。そして、OR回路2201～2216の一方の入力端子に、NOT回路204からローレベルの信号が入力される。

【0147】

以上のように、OR回路2201～2216の一方の入力端子への入力がローレベルとなるので、他方の入力端子に入力される信号がハイレベルの場合、OR回路2201～2216の出力端子からハイレベルの信号が出力される。また、OR回路2201～2216の他方の入力端子に入力される信号がローレベルの場合、OR回路2201～2216からローレベルの信号が出力される。すなわち、OR回路2201～2216の他方の入力端子に入力されるランダムRのビットデータR1～R16の値は、OR回路2201～2216の出力端子からそのまま（すなわち、ビットデータR1～R16の値が「1」のときは「1」が、「0」のときは「0」）出力される。そのようにすることによって、乱数値記憶回路531からのランダムRの読出が可能となる。すなわち、出力制御信号SCが入力されている場合、乱数値記憶回路531は、読出可能（イネイブル）状態となる。

40

【0148】

50

ただし、CPU 56から出力制御信号SCが入力される前に、ラッチ信号生成回路533からラッチ信号SLが入力されている場合、AND回路203の一方の入力端子への入力がローレベルとなるので、ラッチ信号SLが入力されている状態のままで、出力制御信号SCが入力されても（図20に示す例では、タイミングT3からタイミングT4の期間）、AND回路203の出力端子から出力される信号SGはローレベルのままとなる。AND回路203が出力する信号SGは、NOT回路204において反転され、ハイレベルの信号とされる。そして、OR回路2201～2216の一方の入力端子に、NOT回路204からハイレベルの信号が入力される。

【0149】

以上のように、OR回路2201～2216の一方の入力端子への入力がハイレベルとなるので、他方の入力端子に入力される信号がハイレベルであるかローレベルであるかに関わらず、OR回路2201～2216から出力される信号SO1～SO16は全てハイレベルとなる。そして、出力制御信号SCが入力されているにも関わらず、乱数値記憶回路531からランダムRを読み出すことができない状態のままとなる。すなわち、ラッチ信号SLが入力されている場合、乱数値記憶回路531は、出力制御信号SCを受信不可能な状態となる。なお、16ビット乱数回路503bを用いる場合、乱数値としての値「65535」が用いられる可能性がある。この場合、遊技制御用マイクロコンピュータ560は、値「65535」を読み込んだとしても、その値が乱数であるのか読出不能状態であるのかを判断することができない。そのため、図39に示す各大当り判定用の判定テーブルにおいて、あらかじめランダムRが「65535」である場合には「ハズレ」と判定するように設定しておけばよい。

【0150】

また、ラッチ信号生成回路533からラッチ信号SLが入力される前に、CPU 56から出力制御信号SCが入力されている場合、AND回路201の一方の入力端子への入力がローレベルとなるので、出力制御信号SCが入力されているままの状態、ラッチ信号SLが入力されても（図20に示す例では、タイミングT5）、AND回路201の出力端子から出力される信号SRはローレベルのままとなる。そのため、フリップフロップ回路2101～2116のクロック端子Clk1～Clk16に入力される信号SRは、ローレベルからハイレベルに立ち上がり、フリップフロップ回路2101～2116に格納されているランダムRのビットデータR1～R16は、ラッチ信号SLが入力されているにも関わらず、記憶される乱数は更新されない。すなわち、出力制御信号SCが入力されている場合、乱数値記憶回路531は、ラッチ信号SLを受信不可能な状態となる。

【0151】

反転回路532は、クロック信号出力回路524から入力する乱数発生用クロック信号SI1における信号レベルを反転させることによって、クロック信号の極性を反転させた反転クロック信号SI2を生成する。また、反転回路532は、生成した反転クロック信号SI2をラッチ信号生成回路533に出力する。

【0152】

なお、乱数回路503は、反転回路532に代えて遅延回路を含んでもよい。この場合、遅延回路は、クロック信号出力回路524から入力する乱数発生用クロック信号SI1を遅延させることによって、クロック信号を遅延させた遅延クロック信号を生成する。また、遅延回路は、生成した遅延クロック信号をラッチ信号生成回路533に出力する。従って、ラッチ信号生成回路533は、乱数発生用クロック信号SI1を遅延させた遅延クロック信号に同期して、乱数値記憶回路531にラッチ信号を出力することになる。

【0153】

ラッチ信号生成回路533は、セクタおよびフリップフロップ回路等を用いて構成される。ラッチ信号生成回路533は、乱数値読取信号出力回路526からの乱数値読取信号と反転回路532からの反転クロック信号SI2とを入力し、乱数値記憶回路531に乱数値を記憶させるためのラッチ信号SLを出力する。また、ラッチ信号生成回路533は、乱数更新方式選択信号出力回路527からの乱数更新方式選択信号によって指定され

た乱数値更新方式に応じて、ラッチ信号 S L を出力する。この場合、ラッチ信号生成回路 5 3 3 は、乱数更新方式選択信号出力回路 5 2 7 から第 1 の乱数更新方式選択信号が入力された場合、反転回路 5 3 2 から出力される反転クロック信号 S I 2 を選択し、ラッチ信号 S L として乱数値記憶回路 5 3 1 に出力する。一方、ラッチ信号生成回路 5 3 3 は、乱数更新方式選択信号出力回路 5 2 7 から第 2 の乱数更新方式選択信号が入力された場合、乱数値読取信号出力回路 5 2 6 から出力される乱数値読取信号を、反転回路 5 3 2 から出力される反転クロック信号 S I 2 の立ち上がりエッジに同期させて、ラッチ信号 S L として乱数値記憶回路 5 3 1 に出力する。

【0154】

タイマ回路 5 3 4 は、始動口 1 4 への遊技球の入賞を検出した旨の入賞検出信号 S S を始動口スイッチ 1 4 a から入力する。また、タイマ回路 5 3 4 は、始動口スイッチ 1 4 a から入賞検出信号 S S が継続して入力されている時間を計測する。そして、タイマ回路 5 3 4 は、計測時間が所定期間（例えば、3 m s）になると、乱数値読取信号出力回路 5 2 6 の乱数値取込レジスタ 5 3 9 に乱数値取込データ「0 1 h」を書き込む。例えば、タイマ回路 5 3 4 は、ハイレベルの信号が入力されたことに応じて起動するアップカウンタまたはダウンカウンタによって構成される。タイマ回路 5 3 4 は、始動口スイッチ 1 4 a からの入力がハイレベルとなっている間（すなわち、入賞検出信号 S S が継続して入力されている間）、クロック回路 5 0 1 から順次入力する基準クロック信号 C L K をアップカウントまたはダウンカウントする。そして、タイマ回路 5 3 4 は、アップカウントまたはダウンカウントするカウント値が 3 m s に対応する値になると、始動口スイッチ 1 4 a から入賞検出信号 S S が入力されたと判断して、乱数値取込データ「0 1 h」を乱数値取込レジスタ 5 3 9 に書き込む。

【0155】

次に、シリアル通信回路 5 0 5 の構成について説明する。シリアル通信回路 5 0 5 は、全二重方式、非同期方式および標準 N R Z（ノンリターンゼロ）符号化を用いたデータフォーマットで、各制御基板（例えば、払出制御基板 3 7 や音／ランプ制御基板 8 0 b）のマイクロコンピュータとシリアル通信を行う。シリアル通信回路 5 0 5 は、各制御基板のマイクロコンピュータに各種データ（例えば、賞球個数コマンドや演出制御コマンド）を送信する送信部と、各制御基板のマイクロコンピュータからの各種データ（例えば、賞球 A C K コマンド）を受信する受信部とを含む。

【0156】

図 2 1 は、シリアル通信回路 5 0 5 の送信部の構成例を示すブロック図である。また、図 2 2 は、シリアル通信回路 5 0 5 の受信部の構成例を示すブロック図である。シリアル通信回路 5 0 5 は、ボーレートレジスタ 7 0 2、ボーレート生成回路 7 0 3、2 つのステータスレジスタ 7 0 5、7 0 6、3 つの制御レジスタ 7 0 7、7 0 8、7 0 9、送信データレジスタ 7 1 0、受信データレジスタ 7 1 1、送信用シフトレジスタ 7 1 2、受信用シフトレジスタ 7 1 3、割り込み制御回路 7 1 4、送信フォーマット／パリティ生成回路 7 1 5 および受信フォーマット／パリティチェック回路 7 1 6 を含む。また、図 2 1 に示すように、シリアル通信回路 5 0 5 の送信部は、これらの構成要素のうち、ボーレートレジスタ 7 0 2、ボーレート生成回路 7 0 3、ステータスレジスタ A 7 0 5、制御レジスタ 7 0 7、7 0 8、7 0 9、送信データレジスタ 7 1 0、送信用シフトレジスタ 7 1 2、割り込み制御回路 7 1 4 および送信フォーマット／パリティ生成回路 7 1 5 によって構成される。また、図 2 2 に示すように、シリアル通信回路 5 0 5 の受信部は、これらの構成要素のうち、ボーレートレジスタ 7 0 2、ボーレート生成回路 7 0 3、ステータスレジスタ 7 0 5、7 0 6、制御レジスタ 7 0 7、7 0 8、7 0 9、受信データレジスタ 7 1 1、受信用シフトレジスタ 7 1 3、割り込み制御回路 7 1 4 および受信フォーマット／パリティチェック回路 7 1 6 によって構成される。

【0157】

なお、シリアル通信回路 5 0 5 において、送信部と受信部とは、実際には、共通の回路を用いて構成される。そして、シリアル通信回路 5 0 5 は、上記に示したように、シリア

ル通信回路 505 の各構成要素を使い分けて用いることによって、送信回路又は受信回路として機能する。

【0158】

まず、シリアル通信回路 505 が各制御基板が搭載するマイクロコンピュータと送受信するデータのデータフォーマットを説明する。図 23 は、シリアル通信 505 が各制御基板が搭載するマイクロコンピュータと送受信するデータのデータフォーマットの例を示す説明図である。図 23 に示すように、シリアル通信回路 505 が送受信するデータのデータフォーマットは、スタートビット、データおよびストップビットを 1 フレームとして構成される。また、シリアル通信回路 505 が送受信するデータのデータ長は、後述するシリアル通信回路設定処理において初期設定を行えば、8 ビットまたは 9 ビットのいずれかに設定できる。図 23 (a) は、データ長を 8 ビットに設定した場合のデータフォーマットの例である。また、図 23 (b) は、データ長を 9 ビットに設定した場合のデータフォーマットの例である。

10

【0159】

図 23 に示すように、シリアル通信回路 505 が送受信するデータのデータフォーマットは、ハイレベル（論理「1」）のアイドルラインのあとに、1 フレームの始まりであることを示すスタートビット（論理「0」）を含む。また、データフォーマットは、スタートビットのあとに、8 ビットまたは 9 ビットの送受信データを含む。そして、データフォーマットは、送受信データのあとに、1 フレームの終わりであることを示すストップビット（論理「1」）を含む。

20

【0160】

シリアル通信回路 505 は、図 23 に示すデータフォーマットに従って、送受信データの最下位ビット（ビット 0）から先にデータを送受信する。また、後述するシリアル通信回路設定処理において初期設定を行えば、送受信データにパリティビットを付加するように設定することもできる。パリティビットを付加するように設定した場合、送受信データの最上位ビットがパリティビット（奇数パリティまたは偶数パリティ）として用いられる。例えば、データ長を 8 ビットに設定した場合、送受信データのビット 7 がパリティビットとして用いられる。また、例えば、データ長を 9 ビットに設定した場合、送受信データのビット 8 がパリティビットとして用いられる。

【0161】

ボーレート生成回路 703 は、クロック回路 501 が出力するクロック信号およびボーレートレジスタ 702 に設定されている設定値（ボーレート設定値ともいう）にもとづいて、シリアル通信回路 505 が用いるボーレートを生成する。この場合、ボーレート生成回路 703 は、クロック信号およびボーレート設定値にもとづいて、所定の計算式を用いてボーレートを求める。例えば、ボーレート生成回路 703 は、式（1）を用いて、シリアル通信回路 505 が用いるボーレートを求める。

30

【0162】

ボーレート = クロック周波数 / (ボーレート設定値 × 16) 式（1）

【0163】

図 24 は、ボーレートレジスタ 702 の例を示す説明図である。ボーレートレジスタ 702 は、ボーレート生成回路 703 が生成するボーレートの値を指定するための所定の設定値を設定するレジスタである。例えば、ボーレートレジスタ 702 が式（1）を用いてボーレートを求めるものとし、クロック周波数が 3 MHz であるとする。この場合、希望の目標ボーレートが 1200 bps であるとする、ボーレートレジスタ 702 に設定値「156」を設定する。すると、ボーレート生成回路 703 は、クロック周波数「3 MHz」およびボーレート設定値「156」にもとづいて、式（1）を用いて、ボーレート「1201.92 bps」を生成する。ボーレートレジスタ 702 は、16 ビットレジスタであり、初期値が「0 (= 00h)」に設定されている。また、ボーレートレジスタ 702 は、ビット 0 ～ ビット 12 が書込および読出ともに可能な状態に構成されている。また、ボーレートレジスタ 702 は、ビット 13 ～ ビット 15 が書込および読出ともに不可能

40

50

な状態に構成されている。したがって、ボーレートレジスタ702のビット13～ビット15に値を書き込む制御を行っても無効とされ、ビット13～ビット15から読み出す値は全て「0 (= 000b)」である。

【0164】

図25(A)は、制御レジスタA707の例を示す説明図である。制御レジスタA707は、シリアル通信回路505の通信フォーマットを設定するレジスタである。この実施の形態では、制御レジスタA707の各ビットの値が設定されることによって、シリアル通信回路505の通信フォーマットが設定される。制御レジスタA707には、送受信データのデータ形式や各種通信方式等の通信フォーマットを設定するための通信フォーマット設定データが設定される。図25(A)に示すように、制御レジスタA707は、8ビットレジスタであり、初期値が「0 (= 00h)」に設定されている。また、制御レジスタA707は、ビット0～ビット4が書込および読出ともに可能な状態に構成されている。また、制御レジスタA707は、ビット5～ビット7が書込および読出ともに不可能な状態に構成されている。したがって、制御レジスタA707のビット5～ビット7に値を書き込む制御を行っても無効とされ、ビット5～ビット7から読み出す値は全て「0 (= 000b)」である。

10

【0165】

図25(B)は、制御レジスタA707に設定される通信フォーマット設定データの一例の説明図である。図25(B)に示すように、制御レジスタA707のビット4(ビット名「M」)には、送受信するデータのデータ長を設定するための設定データが設定される。図25(B)に示すように、ビット4を「0」に設定することによって、送受信データのデータ長が8ビットに設定される。また、ビット4を「1」に設定することによって、送受信データのデータ長が9ビットに設定される。

20

【0166】

制御レジスタA707のビット3(ビット名「WAKE」)には、スタンバイ状態の受信回路(シリアル通信回路505の受信部)をウェイクアップする(オンライン状態にさせる)ウェイクアップ方式を設定するための設定データが設定される。図25(B)に示すように、ビット3を「0」に設定することによって、アイドルラインを認識したときにウェイクアップするアイドルラインウェイクアップ方式が設定される。また、ビット3を「1」に設定することによって、所定のアドレスマークを認識することによってウェイクアップするアドレスマークウェイクアップ方式が設定される。

30

【0167】

制御レジスタA707のビット2(ビット名「ILT」)には、受信データのアイドルラインの検出方式を選択するための設定データが設定される。図25(B)に示すように、ビット2を「0」に設定することによって、受信データに含まれるスタートビットの後からアイドルラインを検出する検出方式が設定される。また、ビット2を「1」に設定することによって、受信データに含まれるストップビットの後からアイドルラインを検出する検出方式が設定される。

【0168】

制御レジスタA707のビット1(ビット名「PE」)には、パリティ機能を使用するか否かを設定するための設定データが設定される。図25(B)に示すように、ビット1を「0」に設定することによって、パリティ機能を使用しないように設定される。また、ビット1を「1」に設定することによって、パリティ機能を使用するように設定される。

40

【0169】

制御レジスタA707のビット0(ビット名「PT」)には、パリティ機能を使用すると設定した場合のパリティの種類を設定するための設定データが設定される。図25(B)に示すように、ビット0を「0」に設定することによって、パリティの種類として偶数パリティが設定される。また、ビット0を「1」に設定することによって、パリティの種類として奇数パリティが設定される。

【0170】

50

図26(A)は、制御レジスタB708の例を示す説明図である。制御レジスタB708は、シリアル通信回路505の割り込み要求を許可するか否かを設定するレジスタである。この実施の形態では、制御レジスタB708の各ビットの値が設定されることによって、シリアル通信回路505からの割り込み要求を許可するか禁止するかが設定される。制御レジスタB708には、各種割り込み要求を許可するか否かを示す割り込み要求設定データが主として設定される。なお、制御レジスタB708には、割り込み要求設定データ以外に、シリアル通信回路505の各種設定を行うための設定データも設定される。図26(A)に示すように、制御レジスタB708は、8ビットレジスタであり、初期値が「0(=00h)」に設定されている。また、制御レジスタB708は、ビット0～ビット7が書込および読出ともに可能な状態に構成されている。

10

【0171】

図26(B)は、制御レジスタB708に設定される割り込み要求設定データの一例を示す説明図である。図26(B)に示すように、制御レジスタB708のビット7(ビット名「TIE」)には、データの送信時に行う割り込み要求である送信割り込み要求を許可するか否かを示す設定データが設定される。図26(B)に示すように、ビット7を「0」に設定することによって、送信割り込み要求を禁止するように設定される。また、ビット7を「1」に設定することによって、送信割り込み要求を許可するように設定される。

【0172】

制御レジスタB708のビット6(ビット名「TCIE」)には、データの送信完了時に行う割り込み要求である送信完了割り込み要求を許可するか否かを示す設定データが設定される。図26(B)に示すように、ビット6を「0」に設定することによって、送信完了割り込み要求を禁止するように設定される。また、ビット6を「1」に設定することによって、送信完了割り込み要求を許可するように設定される。

20

【0173】

制御レジスタB708のビット5(ビット名「RIE」)には、データの受信時に行う割り込み要求である受信割り込み要求を許可するか否かを示す設定データが設定される。図26(B)に示すように、ビット5を「0」に設定することによって、受信割り込み要求を禁止するように設定される。また、ビット5を「1」に設定することによって、受信割り込み要求を許可するように設定される。

30

【0174】

制御レジスタB708のビット4(ビット名「ILIE」)には、受信データのアイドルラインを検出したときに行う割り込み要求であるアイドルライン割り込み要求を許可するか否かを示す設定データが設定される。図26(B)に示すように、ビット4を「0」に設定することによって、アイドルライン割り込み要求を禁止するように設定される。また、ビット4を「1」に設定することによって、アイドルライン割り込み要求を許可するように設定される。

【0175】

制御レジスタB708のビット3(ビット名「TE」)には、送信回路(シリアル通信回路505の送信部)を使用するか否かを示す設定データが設定される。図26(B)に示すように、ビット3を「0」に設定することによって、送信回路を使用しないように設定される。また、ビット3を「1」に設定することによって、送信回路を使用するように設定される。

40

【0176】

制御レジスタB708のビット2(ビット名「RE」)には、受信回路を使用するか否かを示す設定データが設定される。図26(B)に示すように、ビット2を「0」に設定することによって、受信回路を使用しないように設定される。また、ビット2を「1」に設定することによって、受信回路を使用するように設定される。

【0177】

制御レジスタB708のビット1(ビット名「RWU」)には、受信回路のウェイクア

50

ップ機能を使用するか否かを示す設定データが設定される。図26(B)に示すように、ビット1を「0」に設定することによって、ウェイクアップ機能を使用しないように設定される。また、ビット1を「1」に設定することによって、ウェイクアップ機能を使用するように設定される。

【0178】

制御レジスタB708のビット0(ビット名「SBK」)には、所定のブレイクコード送信機能を使用するか否かを示す設定データが設定される。図26(B)に示すように、ビット1を「0」に設定することによって、ブレイクコード送信機能を使用しないように設定される。また、ビット1を「1」に設定することによって、ブレイクコード送信機能を使用するように設定される。ビット1を「1」に設定すると、シリアル通信回路505は、ブレイクコード(例えば、「0」を連続して含む信号)を制御基板(払出制御基板37や音/ランプ制御基板80b)が搭載するマイクロコンピュータに送信する。

10

【0179】

図27(A)は、ステータスレジスタA705の例を示す説明図である。ステータスレジスタA705は、シリアル通信回路505の各種ステータスを確認するためのレジスタである。この実施の形態では、ステータスレジスタA705の各ビットの値を確認することによって、CPU56は、シリアル通信回路505の各種ステータスを確認することができる。図27(A)に示すように、ステータスレジスタA705は、8ビットレジスタであり、初期値が「0(=00h)」に設定されている。また、ステータスレジスタA705は、ビット0～ビット7が読出のみ可能な状態に構成されている。したがって、ステータスレジスタA705のビット0～ビット7に値を書き込む制御を行っても無効とされる。

20

【0180】

本実施の形態では、後述するように、送信データレジスタ710に送信データが入っていない状態(送信データエンプティ)となったり、送信用シフトレジスタ712が格納する送信データの送信を完了すると、割り込み制御回路714によって、ステータスレジスタA705の対応するビットがセットされる。そして、CPU56は、ステータスレジスタA705にセットされた各ビットの値を読み出す。

【0181】

図27(B)は、ステータスレジスタA705に格納されるステータス確認データの一例を示す図である。図27(B)に示すように、ステータスレジスタA705のビット7(ビット名「TDRE」)には、送信データレジスタ710に送信データが入っていない状態であること(送信データエンプティ)を示す送信データエンプティフラグが格納される。図27(B)に示すように、ビット7に「0」が格納されている場合、送信データレジスタ710から送信用シフトレジスタ712に送信データが未だに転送されておらず、送信データレジスタ710に送信データが格納されたままの状態であることを示す。また、ビット7に「1」が格納されている場合、送信データレジスタ710から送信用シフトレジスタ712に送信データが転送されており、送信データレジスタ710に送信データが入っていない状態(送信データエンプティ)であることを示す。

30

【0182】

ステータスレジスタA705のビット6(ビット名「TC」)には、シリアル通信回路505からの送信データの送信を完了した旨を示す送信完了フラグが格納される。図27(B)に示すように、ビット6に「0」が格納されている場合、送信用シフトレジスタ712が格納する送信データの送信中の状態であり、シリアル通信回路505からの送信データの送信が完了していない状態であることを示す。また、ビット6に「1」が格納されている場合、送信用シフトレジスタ712が格納する送信データの転送を完了した状態であり、シリアル通信回路505からの送信データの送信が完了した状態であることを示す。

40

【0183】

なお、送信データの送信を完了した状態となり、遊技制御用マイクロコンピュータ56

50

0は、送信先のマイクロコンピュータからの受信確認信号の待ち状態となる。この実施の形態では、後述する送信時割込の設定が行われると、シリアル通信回路505は、送信データの送信完了を検出すると、ステータスレジスタA705のビット6を「1」とするとともに、受信確認信号の待ち状態になったものとしてCPU56に割り込み要求（送信時割り込み要求という）を行う。

【0184】

ステータスレジスタA705のビット5（ビット名「RDRF」）には、受信データレジスタ711に受信データが格納された状態であること（受信データフル）を示す受信データフルフラグが格納される。図27（B）に示すように、ビット5に「0」が格納されている場合、受信データレジスタ711に受信データが入っていない状態であることを示す。また、ビット5に「1」が格納されている場合、受信用シフトレジスタ713の値が受信データレジスタ711に転送され、受信データレジスタ711に受信データが格納されている状態であることを（受信データフル）を示す。

10

【0185】

なお、受信データレジスタ711に受信データが格納された状態となると、CPU56は、受信データを受信データレジスタ711から読み込んで受信処理を行える状態となる。この実施の形態では、シリアル通信回路505は、受信データフルを検出すると、ステータスレジスタA705のビット5を「1」とするとともに、受信処理が可能になったものとしてCPU56に割り込み要求（受信時割り込み要求という）を行う。

【0186】

20

ステータスレジスタA705のビット4（ビット名「IDLE」）には、受信回路がアイドルラインを検出したことを示すアイドルライン検出フラグが格納される。図27（B）に示すように、ビット4に「0」が格納されている場合、シリアル通信回路505の受信部がアイドルラインを検出していない状態であることを示す。また、ビット4に「1」が格納されている場合、シリアル通信回路505の受信部がアイドルラインを検出した状態であることを示す。

【0187】

ステータスレジスタA705のビット3（ビット名「OR」）には、CPU56が受信データレジスタ711が格納する受信データを読み込む前に、受信用シフトレジスタ713が次のデータを受信してしまったこと（オーバーラン）を示すオーバーランフラグが格納される。図27（B）に示すように、ビット3に「0」が格納されている場合、受信回路がオーバーランを検出していない状態であることを示す。また、ビット3に「1」が格納されている場合、受信回路がオーバーランを検出した状態であることを示す。

30

【0188】

なお、オーバーランが発生すると、受信データレジスタ711内の受信データが読み込まれる前に受信用シフトレジスタ713に次の受信データが格納されてしまうので、受信データが上書きされてしまいCPU56が受信データを正しく読み込めなくなってしまう。そのため、各制御基板が搭載するマイクロコンピュータと正しく通信を行えなくなり、CPU56が誤動作をする原因となる。この実施の形態では、シリアル通信回路505は、オーバーランを検出すると、ステータスレジスタA705のビット3を「1」とするとともに、通信時にエラーが発生したものとしてCPU56に割り込み要求を行う。

40

【0189】

ステータスレジスタA705のビット2（ビット名「NF」）には、受信データにノイズを検出したことを示すノイズエラーフラグが格納される。図27（B）に示すように、ビット2に「0」が格納されている場合、受信回路が受信データにノイズを検出していない状態であることを示す。また、ビット2に「1」が格納されている場合、受信回路が受信データにノイズを検出した状態であることを示す。

【0190】

例えば、シリアル通信回路505は、受信データの各ビットを検出する際に、ボーレート生成回路703が生成したボーレートを用いて、所定ビット長の「1」または「0」を

50

検出する。この場合、検出した「1」または「0」の長さが所定ビット長に満たない場合、シリアル通信回路505は、受信データにノイズが発生したものとしてノイズエラーを検出する。ノイズエラーが発生すると、ノイズによって正しい受信データを受信できない可能性が高く、CPU56が誤動作をする原因となる。この実施の形態では、シリアル通信回路505は、ノイズエラーを検出すると、ステータスレジスタA705のビット2を「1」にするとともに、通信時にエラーが発生したものとしてCPU56に割り込み要求を行う。

【0191】

ステータスレジスタA705のビット1（ビット名「FE」）には、受信データのストップビットの位置が「0」（本来、ストップビットは「1」）であることを検出したこと（フレーミングエラー）を示すフレーミングエラーフラグが格納される。図27（B）に示すように、ビット1に「0」が格納されている場合、受信回路が受信データにフレーミングエラーを検出していない状態であることを示す。また、ビット1に「1」が格納されている場合、受信回路がフレーミングエラーを検出した状態であることを示す。

10

【0192】

フレーミングエラーが発生すると、受信データのストップビットを正しく受信できなかった状態であるので、正しい受信データを受信できない可能性が高く、CPU56が誤動作をする原因となる。この実施の形態では、シリアル通信回路505は、フレーミングエラーを検出すると、ステータスレジスタA705のビット1を「1」にするとともに、通信時にエラーが発生したものとしてCPU56に割り込み要求を行う。

20

【0193】

ステータスレジスタA705のビット0（ビット名「PF」）には、受信データから求めたパリティの値と、受信データに含まれるパリティの値とが一致しなかったこと（パリティエラー）を示すパリティエラーフラグが格納される。図27（B）に示すように、ビット0に「0」が格納されている場合、受信回路が受信データにパリティエラーを検出していない状態であることを示す。また、ビット0に「1」が格納されている場合、受信回路がパリティエラーを検出した状態であることを示す。

【0194】

パリティエラーが発生すると、受信データの各データビットまたはパリティビットを正しく受信できなかった状態であるので、正しい受信データを受信できない可能性が高く、CPU56が誤動作をする原因となる。この実施の形態では、シリアル通信回路505は、パリティエラーを検出すると、ステータスレジスタA705のビット0を「1」にするとともに、通信時にエラーが発生したものとしてCPU56に割り込み要求を行う。

30

【0195】

図28（A）は、ステータスレジスタB706の例を示す説明図である。ステータスレジスタB706は、シリアル通信回路505の受信状態（受信ステータス）を確認するためのレジスタである。この実施の形態では、ステータスレジスタB706のビットの値を確認することによって、CPU56は、シリアル通信回路505の受信ステータスを確認することができる。図28（B）に示すように、ステータスレジスタB706は、8ビットレジスタであり、初期値が「0（＝00h）」に設定されている。また、ステータスレジスタB706は、ビット0が読出のみ可能な状態に構成されている。したがって、ステータスレジスタA705のビット0に値を書き込む制御を行っても無効とされる。また、ステータスレジスタB706は、ビット1～ビット7が書込および読出ともに不可能な状態に構成されている。したがって、ステータスレジスタA705のビット1～ビット7に値を書き込む制御を行っても無効とされ、ビット1～ビット7から読み出す値は全て「0（＝0000b）」である。

40

【0196】

図28（B）は、ステータスレジスタB706に格納されるステータス確認データの一例を示す図である。図28（B）に示すように、ステータスレジスタB706のビット0（ビット名「RAF」）には、受信回路が受信データを受信中であること（受信アクティ

50

ブ)を示す受信アクティブフラグが格納される。図28(B)に示すように、ビット0に「0」が格納されている場合、受信回路が受信データを受信中でないことを示す。また、ビット0に「1」が格納されている場合、受信回路が受信データを受信中であることを示す。なお、シリアル通信回路505は、スタートビットを検出すると、受信データの受信が開始されたものとして、ステータスレジスタB706のビット0を「1」にする。

【0197】

図29(A)は、制御レジスタC709の例を示す説明図である。制御レジスタC709は、シリアル通信回路505の通信エラー時の割り込み要求を許可するか否かを設定するレジスタである。この実施の形態では、制御レジスタC709の各ビットの値が設定されることによって、シリアル通信回路505からの通信時の割り込み要求を許可するか禁止するかが設定される。制御レジスタC709には、通信エラー時の各種割り込み要求を許可するか否かを示すエラー割り込み要求設定データが主として設定される。なお、制御レジスタC709には、エラー割り込み要求設定データ以外に、データ長を9ビットに設定した場合の9ビット目のデータが格納される。シリアル通信回路505の各種設も設定される。図29(A)に示すように、制御レジスタC709は、8ビットレジスタであり、初期値が「0(=00h)」に設定されている。また、制御レジスタC709は、ビット0～ビット3およびビット6,7が書込および読出ともに可能な状態に構成されている。また、制御レジスタC709は、ビット4,5が書込および読出ともに不可能な状態に構成されている。したがって、制御レジスタC709のビット4,5に値を書き込む制御を行っても無効とされ、ビット4,5から読み出す値は全て「0(=0000b)」である。

【0198】

図29(B)は、制御レジスタC709に設定されるエラー割り込み要求設定データの一例を示す説明図である。図29(B)に示すように、制御レジスタC709のビット7(ビット名「R8」)には、データ長を9ビットに設定した場合の受信データの9ビット目のデータが格納される。また、制御レジスタC709のビット6(ビット名「T8」)には、データ長を9ビットに設定した場合の送信データの9ビット目のデータが格納される。

【0199】

制御レジスタC709のビット3(ビット名「ORIE」)には、オーバーランを検出した場合に行う割り込み要求であるオーバーランフラグ割り込み要求を許可するか否かを示す設定データが設定される。図29(B)に示すように、ビット3を「0」に設定することによって、オーバーランフラグ割り込み要求を禁止するように設定される。また、ビット3を「1」に設定することによって、オーバーランフラグ割り込み要求を許可するように設定される。

【0200】

制御レジスタC709のビット2(ビット名「NEIE」)には、ノイズエラーを検出した場合に行う割り込み要求であるノイズエラーフラグ割り込み要求を許可するか否かを示す設定データが設定される。図29(B)に示すように、ビット2を「0」に設定することによって、ノイズエラーフラグ割り込み要求を禁止するように設定される。また、ビット2を「1」に設定することによって、ノイズエラーフラグ割り込み要求を許可するように設定される。

【0201】

制御レジスタC709のビット1(ビット名「FIE」)には、フレーミングエラーを検出した場合に行う割り込み要求であるフレーミングエラーフラグ割り込み要求を許可するか否かを示す設定データが設定される。図29(B)に示すように、ビット1を「0」に設定することによって、フレーミングエラーフラグ割り込み要求を禁止するように設定される。また、ビット1を「1」に設定することによって、フレーミングエラーフラグ割り込み要求を許可するように設定される。

【0202】

制御レジスタC709のビット0（ビット名「P E I E」）には、パリティエラーを検出した場合に行う割り込み要求であるパリティエラーフラグ割り込み要求を許可するかを示す設定データが設定される。図29（B）に示すように、ビット0を「0」に設定することによって、パリティエラーフラグ割り込み要求を禁止するように設定される。また、ビット0を「1」に設定することによって、パリティエラーフラグ割り込み要求を許可するように設定される。

【0203】

図30は、シリアル通信回路505が備えるデータレジスタの例を示す説明図である。データレジスタ701は、シリアル通信回路505が送受信するデータを格納するレジスタである。図30に示すように、データレジスタは、8ビットレジスタであり、初期値が「0（＝00h）」に設定されている。また、データレジスタ701は、ビット0～ビット7が書込および読出ともに可能な状態に構成されている。

10

【0204】

この実施の形態では、シリアル通信回路505が送信データを送信する場合、データレジスタは、送信データレジスタ710として用いられる。なお、データ長を9ビットに設定した場合、データレジスタおよび制御レジスタC709のビット6が送信データレジスタ710として用いられる。この場合、データレジスタのビット0～ビット7が送信データレジスタ710のビット0～ビット7として用いられ、制御レジスタC709のビット6が送信データレジスタ710のビット8として用いられる。

20

【0205】

また、シリアル通信回路505が受信データを受信する場合、データレジスタは、受信データレジスタ711として用いられる。なお、データ長を9ビットに設定した場合、データレジスタおよび制御レジスタC709のビット7が受信データレジスタ711として用いられる。この場合、データレジスタのビット0～ビット7が受信データレジスタ711のビット0～ビット7として用いられ、制御レジスタC709のビット7が受信データレジスタ711のビット8として用いられる。

【0206】

割り込み制御回路714は、CPU56に各種割り込み要求を行う。この実施の形態では、割り込み制御回路714は、制御レジスタB708のビット6（T C I E）が「1」に設定されている場合、送信データレジスタ710に送信データの送信を完了した状態となると、CPU56に割り込み信号を出力するとともに、ステータスレジスタA705のビット6（T C）に「1」を設定することによって割り込み要求を行う。なお、ステータスレジスタA705のビットの設定値により割込要因を識別可能とするのではなく、割り込み制御回路714は、割込要因毎に異なる割り込み信号をCPU56に出力するようにしてもよい。

30

【0207】

また、割り込み制御回路714は、制御レジスタB708のビット5（R I E）が「1」に設定されている場合、受信データレジスタ711に受信データが格納されている状態になると（受信データフルを検出すると）、CPU56に割り込み信号を出力するとともに、ステータスレジスタA705のビット5（R D R F）に「1」を設定することによって割り込み要求を行う。

40

【0208】

また、割り込み制御回路714は、制御レジスタC709のビット0～3のいずれかが「1」に設定されている場合、各種通信エラーが発生すると、CPU56に割り込み信号を出力するとともに、通信エラーの種類に応じて、ステータスレジスタA705のビット0～ビット3に「1」を設定することによって割り込み要求を行う。例えば、制御レジスタC709のビット3（O R I E）が「1」に設定されている場合、オーバーランを検出して割り込み要求を行うときに、ステータスレジスタA705のビット3（O R）に「1」を設定する。また、例えば、制御レジスタC709のビット2（N E I E）が「1」に設定されている場合、ノイズエラーを検出して割り込み要求を行うときに、ステータスレ

50

ジスタA705のビット2(NF)に「1」を設定する。また、例えば、制御レジスタC709のビット1(FEIE)が「1」に設定されている場合、フレーミングエラーを検出して割り込み要求を行うときに、ステータスレジスタA705のビット1(FE)に「1」を設定する。また、例えば、制御レジスタC709のビット0(PEIE)が「1」に設定されている場合、パリティエラーを検出して割り込み要求を行うときに、ステータスレジスタA705のビット0(PF)に「1」を設定する。なお、複数の通信エラーを検出した場合、割り込み制御回路714は、複数の通信エラーにもとづいて割り込み要求を行うとともに、ステータスレジスタA705の該当するビットをそれぞれ「1」に設定する。

【0209】

10

送信フォーマット／パリティ生成回路715は、送信データのデータフォーマットを生成する。この実施の形態では、送信フォーマット／パリティ生成回路715は、送信データレジスタ710に格納される送信データにスタートビットおよびストップビットを付加してデータフォーマットを生成し、送信用シフトレジスタ712に転送する。また、制御レジスタA707のビット1(PE)に「1」が設定され、パリティ機能を使用する旨が設定されている場合、送信フォーマット／パリティ生成回路715は、送信データにパリティビットを付加してデータフォーマットを生成する。

【0210】

受信フォーマット／パリティチェック回路716は、受信データのデータフォーマットを検出する。この実施の形態では、受信フォーマット／パリティチェック回路716は、受信用シフトレジスタ713に格納される受信データからスタートビットおよびストップビットを検出し、受信データに含まれるデータ部分を検出して受信データレジスタ711に転送する。また、制御レジスタA707のビット1(PE)に「1」が設定され、パリティ機能を使用する旨が設定されている場合、受信フォーマット／パリティチェック回路716は、受信データのパリティを求め、受信データに含まれるパリティと一致するか否かを検出する。また、求めた値が受信データに含まれるパリティと一致しない場合、受信フォーマット／パリティチェック回路716は、パリティエラーを検出する。なお、後述するシリアル通信回路設定処理において通信エラー時割り込み要求を許可する旨が設定されている場合、割り込み制御回路714は、パリティエラーを検出すると、通信エラーの発生を割込原因としてCPU56に割り込み要求を行う。

20

30

【0211】

図31は、遊技制御用マイクロコンピュータ560における記憶領域のアドレスマップの一例を示す説明図である。図31に示すように、遊技制御用マイクロコンピュータ560の記憶領域のうち、0000h番地～1FFFh番地の領域は、ROM54に割り当てられている。また、7E00h番地～7FFFh番地の領域は、RAM55に割り当てられている。さらに、FD00h番地～FE00h番地の領域は、乱数最大値設定レジスタ535等の内蔵レジスタに割り当てられている。

【0212】

また、図31に示すように、ROM54に割り当てられている0000h番地～1FFFh番地の領域は、ユーザプログラムエリアとユーザプログラム管理エリアとを含む。0000h番地～1F7Fh番地の領域のユーザプログラムエリアには、ユーザ（例えば、遊技機の製作者）により予め作成されたプログラム（ユーザプログラム）550が記憶される。また、1F80h番地～1FFFh番地の領域のユーザプログラム管理エリアには、CPU56がユーザプログラム550を実行するために必要となるデータ（ユーザプログラム実行データ）が記憶される。また、RAM55に割り当てられている7E00h番地～7FFFh番地の領域のうち、7E00h番地～7EFFh番地の領域は未使用領域であり、7F00h番地～7FFFh番地の領域はワークエリアとして用いられる。

40

【0213】

図32は、ユーザプログラム管理エリアにおけるアドレスマップの一例を示す説明図である。図32に示すように、1F97h番地の領域には、乱数回路503のカウンタ52

50

1 に入力される初期値を変更するための方式である初期値変更方式のうち、ユーザによって選択された初期値変更方式を指定するための初期値変更方式設定データが記憶される。また、1 F 9 8 h 番地および1 F 9 9 h 番地の領域には、R A M 5 5 に割り当てられた7 F 0 0 h 番地～7 F F F h 番地のうち、ユーザによって予め指定されたR A M 5 5 における番地（指定R A M 番地）を特定するためのR A M 番地データが記憶される。この場合、指定R A M 番地を示す値のうち、指定R A M 番地の下位の値が1 F 9 8 h 番地に記憶され、指定R A M 番地の上位の値が1 F 9 9 h 番地に記憶される。

【0 2 1 4】

図3 3は、初期値変更方式設定データの一例を示す説明図である。図3 3に示すように、初期値変更データは、8ビットのデータから構成される。初期値変更データ「0 0 h」は、初期値変更方式として、初期値を変更しないことを指定するデータである。この実施の形態では、初期値変更データ「0 0 h」が設定されている場合、乱数回路5 0 3のカウンタ5 2 1は、予め定められた初期値「0」から所定の最終値までカウント値を更新することになる。また、初期値変更データ「0 1 h」は、初期値変更方式として、カウンタ5 2 1に入力する初期値を、遊技制御用マイクロコンピュータ5 6 0を識別するためのI Dナンバにもとづく値に変更することを指定するデータである。この実施の形態では、初期値変更データ「0 1 h」が設定されている場合、カウンタ5 2 1が更新するカウンタ値の初期値が「0」からI Dナンバにもとづく値に変更され、カウンタ5 2 1は、変更後の初期値から所定の最終値までカウント値を更新することになる。

【0 2 1 5】

ユーザプログラムエリアに記憶されるユーザプログラム5 5 0について説明する。図3 4は、ユーザプログラム5 5 0の構成例を示す説明図である。図3 4に示すように、この実施の形態では、ユーザプログラム5 5 0は、複数種類のプログラムモジュールから構成される乱数回路設定プログラム5 5 1と、表示結果決定プログラム5 5 2と、カウント値順列変更プログラム5 5 4と、乱数値更新プログラム5 5 5と、シリアル通信回路設定プログラム5 5 6と、割込優先順位設定プログラム5 5 7とを含む。

【0 2 1 6】

乱数回路設定プログラム5 5 1は、乱数回路5 0 3にランダムRの値を更新させるための初期設定を行う乱数回路設定処理を実行させるためのプログラムである。すなわち、C P U 5 6は、乱数回路設定プログラム5 5 1に従って処理を実行することにより、乱数回路初期設定手段として機能する。

【0 2 1 7】

図3 5は、乱数回路設定プログラム5 5 1の構成例を示す説明図である。図3 5に示すように、乱数回路設定プログラム5 5 1は、複数種類のプログラムモジュールとして、乱数最大値設定モジュール5 5 1 aと、乱数更新方式選択モジュール5 5 1 bと、周期設定モジュール5 5 1 cと、乱数回路起動モジュール5 5 1 dと、初期値変更モジュール5 5 1 eと、乱数回路選択モジュール5 5 1 fとを含む。

【0 2 1 8】

乱数最大値設定モジュール5 5 1 aは、ユーザ（例えば、遊技機の製作者）によって予め設定されたランダムRの最大値を乱数回路5 0 3に設定させるためのプログラムモジュールである。C P U 5 6は、乱数最大値設定モジュール5 5 1 aに従って処理を実行することによって、ユーザによって予め設定されたランダムRの最大値を指定する乱数最大値設定データを、乱数最大値設定レジスタ5 3 5に書き込む。そのようにすることによって、C P U 5 6は、ユーザによって予め設定されたランダムRの最大値を乱数回路5 0 3に設定する。例えば、ユーザによってランダムRの最大値として予め「2 5 5」が設定された場合、C P U 5 6は、乱数最大値設定レジスタ5 3 5に乱数最大値設定データ「0 0 F F h」を書き込んで、ランダムRの最大値「2 5 5」を乱数回路5 0 3に設定する。

【0 2 1 9】

乱数更新方式選択モジュール5 5 1 bは、ユーザによって選択された乱数更新方式（第1の乱数更新方式または第2の乱数更新方式）を乱数回路5 0 3に設定させるためのプロ

グラムモジュールである。CPU 56は、乱数更新方式選択モジュール551bに従って処理を実行することによって、ユーザによって選択された乱数更新方式を指定する乱数更新方式選択データ「01b」または「10b」を乱数更新方式選択レジスタ540に書き込む。そのようにすることによって、CPU 56は、ユーザによって選択された乱数更新方式を乱数回路503に設定する。よって、遊技制御用マイクロコンピュータ560は、第1の乱数更新方式又は第2の乱数更新方式のうちのいずれかを、乱数回路503が乱数更新に用いる乱数更新方式として選択する機能を備える。

【0220】

周期設定モジュール551cは、ユーザによって予め設定された内部クロック信号の周期（すなわち、クロック信号出力回路524がセクタ528および反転回路532にクロック信号を出力する周期）を乱数回路503に設定させるためのプログラムモジュールである。CPU 56は、周期設定モジュール551cに従って処理を実行することによって、ユーザによって予め設定された内部クロック信号の周期を指定するための周期設定データを周期設定レジスタ537に書き込む。そのようにすることによって、CPU 56は、ユーザによって予め設定された内部クロック信号の周期を乱数回路503に設定する。例えば、ユーザによって内部クロック信号の周期が予め「システムクロック信号の周期×128×16」と設定された場合、CPU 56は、周期設定レジスタ537に周期設定データ「0Fh」を書き込んで、内部クロック信号の周期「システムクロック信号の周期×128×16」を乱数回路503に設定する。

【0221】

乱数回路起動モジュール551dは、乱数回路503を起動させるためのプログラムモジュールである。CPU 56は、乱数回路起動モジュール551dに従って処理を実行することによって、乱数回路起動データ「80h」を乱数回路起動レジスタ541に書き込むことにより、乱数回路503を起動させる。

【0222】

初期値変更モジュール551eは、カウンタ521が更新するカウント値の初期値を変更させるためのプログラムモジュールである。CPU 56は、初期値変更モジュール551eに従って処理を実行することによって、初期値変更手段として機能する。CPU 56は、初期値変更モジュール551eを実行して、ユーザによって選択された初期値変更方式によって、カウンタ521が更新するカウント値の初期値を変更させる。そのようにすることによって、CPU 56は、初期値変更方式を選択する機能を備える。

【0223】

この実施の形態では、ユーザプログラム管理エリアの1F97h番地の領域に初期値変更方式設定データ「01h」が記憶されている場合、CPU 56は、カウント値の初期値を、遊技制御用マイクロコンピュータ560毎に付与された固有のIDナンバにもとづいて算出された値に変更させる。

【0224】

例えば、遊技制御用マイクロコンピュータ560は、ROM54の所定の記憶領域に、遊技制御用マイクロコンピュータ560のIDナンバと、IDナンバにもとづいて所定の演算を行って求めた演算値とを予め対応付けて記憶している。この場合、例えば、遊技制御用マイクロコンピュータ560のIDナンバが「100」とすると、IDナンバ「100」に所定値「50」を加算して求めた演算値「150」を、予めIDナンバに対応付けて記憶している。また、例えば、IDナンバ「100」に所定値「50」を減算して求めた演算値「50」を、予めIDナンバに対応付けて記憶している。また、例えば、予めIDナンバに対応づけて所定値だけを記憶していてもよい。そして、遊技制御用マイクロコンピュータ560のCPU 56は、予め記憶される所定値（例えば、「50」）にIDナンバ（例えば、「100」）を加算して求めた値「150」を、カウント値の初期値としてもよい。また、CPU 56は、予め記憶される所定値（例えば、「50」）をIDナンバ（例えば、「100」）から減算して求めた値「50」を、カウント値の初期値としてもよい。なお、遊技制御用マイクロコンピュータ560は、データ書き込みが禁止さ

10

20

30

40

50

れている記憶領域であれば、遊技制御用マイクロコンピュータ560のIDナンバを、ROM54の所定の記憶領域に記憶していてもよく、RAM55の所定の記憶領域に記憶していてもよい。

【0225】

そして、初期値変更方式設定データ「01h」が記憶されている場合、CPU56は、予め記憶するIDナンバにもとづく演算値にカウント値の初期値を変更させる。そのようにすれば、乱数回路503が発生する乱数のランダム性をより向上させることができ、遊技制御用マイクロコンピュータ560のIDナンバを見ただけでは乱数の初期値を認識しにくくすることができる。そのため、無線信号を用いた取り込み信号を遊技機に対して発生させるなどの行為によって、大当たり状態への移行条件を不正に成立させられてしまうことをより確実に防止することができ、セキュリティ性を向上させることができる。

10

【0226】

また、例えば、初期値変更方式設定データ「01h」が記憶されている場合、CPU56は、遊技制御用マイクロコンピュータ560のIDナンバと所定値とを演算して（例えば、IDナンバに所定値を加算して）求めた演算値にカウント値の初期値を変更させる。この場合、例えば、CPU56は、乱数を用いてランダムに変化させた値をIDナンバと演算することによって、演算に用いる値をランダムに更新し初期値を求めてもよい。そのようにすれば、乱数回路503が発生する乱数のランダム性をより向上させることができる。

【0227】

20

乱数回路選択モジュール551fは、遊技制御用マイクロコンピュータ560が内蔵する各乱数回路503の中から、タイマ割込処理の実行時に用いる乱数回路を設定するためのプログラムモジュールである。CPU56は、乱数回路選択モジュール551fに従って処理を実行することによって、遊技制御用マイクロコンピュータ560が内蔵する2つの乱数回路（12ビット乱数回路503aおよび16ビット乱数回路503b）のうち、いずれの乱数回路をタイマ割込処理の実行時に用いるかを設定する。例えば、CPU56は、ROM54の所定の記憶領域に記憶された所定の設定値（ユーザによって予め設定された値）に従って、タイマ割込処理の実行時に用いる乱数回路として、12ビット乱数回路503aまたは16ビット乱数回路503bを設定する。

【0228】

30

なお、タイマ割込処理の実行時に用いる乱数回路として、12ビット乱数回路503aおよび16ビット乱数回路503bの両方を設定してもよい。この場合、CPU56は、例えば、12ビット乱数回路503aが発生した乱数にもとづいて変動パターンを決定し、16ビット乱数回路503bが発生した乱数にもとづいて大当たり判定を行うようにしてもよい。この実施の形態では、乱数値記憶回路531は、12ビット乱数回路503aと16ビット乱数回路503bとにそれぞれ存在する（すなわち、12ビット用の乱数を記憶する乱数値記憶回路と、16ビット用の乱数を記憶する乱数値記憶回路とが、別個に存在する）。また、12ビット乱数回路503aおよび16ビット乱数回路503bの両方を設定した場合、CPU56は、12ビット乱数回路503aから読み出した乱数と、16ビット乱数回路503bから読み出した乱数とを、RAM55に設けられた別々のバッファ領域にそれぞれ格納する。そのため、12ビット乱数回路503aから乱数を読み出すタイミングと、16ビット乱数回路503bから乱数を読み出すタイミングとが同じであっても、2つの異なる乱数を抽出し別々のバッファ領域に格納することができる。

40

【0229】

乱数値更新プログラム555は、乱数更新方式として第1の乱数更新方式が選択されているときに、乱数値記憶回路531に格納されているランダムRの値を更新させるためのプログラムである。CPU56は、乱数値更新プログラム555に従って処理を実行することによって、乱数値更新手段として機能する。CPU56は、第1の乱数更新方式が選択されているときに、乱数値更新プログラム555を実行して、カウント値更新データ「01h」をカウント値更新レジスタ538に書き込むことにより、カウンタ521にカウ

50

ント値を更新させ、乱数値記憶回路531に格納しているランダムRの値を更新させる。なお、乱数更新方式として第2の乱数更新方式が選択されている場合には、クロック信号出力回路537が出力する乱数発生用クロック信号によって、カウンタ521にカウント値を更新させ、乱数値記憶回路531に格納しているランダムRの値を更新させることになる。

【0230】

表示結果決定プログラム552は、特別図柄表示装置8における表示結果を大当り図柄とするか否かを決定するためのプログラムである。CPU56は、表示結果決定プログラム552に従って処理を実行することによって、表示結果決定手段として機能する。

【0231】

この実施の形態では、CPU56は、遊技球が可変入賞球装置15に入賞して特別図柄の可変表示を実行するための条件（実行条件）が成立したことに応じて、表示結果決定プログラム552に従って処理を実行する。そして、CPU56は、乱数値記憶回路531から更新後のランダムRの値を読み出して、特別図柄表示装置8における表示結果を大当り図柄とするか否かを決定する。

【0232】

図36は、第1の乱数更新方式が選択されている場合に、CPU56がランダムRの値を更新させたりランダムRの値を読み出したりする動作を示す説明図である。図36に示すように、第1の乱数更新方式が選択されている場合、CPU56は、カウント値更新データ「01h」をカウント値更新レジスタ538に書き込むことによって、乱数値記憶回路531が記憶するランダムRの値（例えば「2」）を更新させる。そして、CPU56は、遊技球が可変入賞球装置15に入賞して特別図柄の可変表示を実行するための条件（実行条件）が成立したことに応じて、乱数値記憶回路531からランダムRの値（例えば「2」）を読み出す。

【0233】

なお、乱数値記憶回路531が記憶するランダムRの値をさらに更新させる場合、前回更新時にランダムRの値を更新したときから、クロック回路501が出力するシステムクロック信号の周期以上の間隔を経過したときに、カウント値更新レジスタ538にカウント値更新データ「01h」を書き込まなければならない。なぜなら、更新後のランダムRの値を乱数値記憶回路531から読み出す時間を確保する必要があるからである。

【0234】

図37は、第2の乱数更新方式が選択されている場合に、CPU56がランダムRの値を読み出したりする動作を示す説明図である。図37に示すように、第2の乱数更新方式が選択されている場合、タイマ回路534は、乱数値取込データ「01h」を乱数値取込レジスタ539に書き込むことによって、カウンタ521が出力するカウント値（例えば「2」）を乱数値記憶回路531に取り込ませて、乱数値記憶回路531が記憶するランダムRの値を更新させる。そして、CPU56は、乱数値記憶回路531から更新後のランダムRの値（例えば「2」）を読み出す。

【0235】

具体的には、第2の乱数更新方式が選択されている場合、カウンタ521は、乱数発生用クロック信号SI1を入力したことをトリガとしてカウント値Cを更新する。その後、乱数値取込データ「01h」が乱数値取込レジスタ539に書き込まれると、ラッチ信号生成回路533はラッチ信号SLを乱数値記憶回路531に出力する。そして、乱数値記憶回路531は、ラッチ信号SLを入力したことをトリガとしてカウンタ521が出力するカウント値を読み込んで記憶する。そして、CPU56は、乱数値記憶回路531が記憶するランダムRの値を読み出す。

【0236】

なお、タイマ回路534が乱数値取込データ「01h」を乱数値取込レジスタ539に書き込まなければ、カウンタ521がカウント値を更新しても、乱数値記憶回路531は、カウンタ521が更新する乱数値を記憶しない。例えば、タイマ回路534が乱数値取

10

20

30

40

50

込データ「01h」を乱数値取込レジスタ539に書き込み、カウンタ521が出力するカウント値「3」を乱数値記憶回路531に取り込ませて、乱数値記憶回路531が記憶するランダムRの値「3」を更新させたとする。この場合、タイマ回路534が乱数値取込データ「01h」を再び乱数値取込レジスタ539に書き込まなければ、カウンタ521が出力するカウント値が「3」から「4」や「5」に更新されても、乱数値記憶回路531が記憶する乱数値は更新されず、乱数値記憶回路531から読み出される乱数値は「3」のままである。

【0237】

カウント値順列変更プログラム554は、カウント値順列変更レジスタ536にカウント値順列変更データ「01h」を書き込んで、乱数値記憶回路531が記憶するカウント値の順列を変更させるカウント値順列変更処理を実行するためのプログラムである。CPU56は、カウント値順列変更プログラム554に従って処理を実行することによって、数値データ順列変更手段として機能する。CPU56は、カウント値順列変更プログラム554を実行して、カウント値順列変更レジスタ536にカウント値順列変更データ「01h」を書き込むことによって、カウント値順列変更回路523が出力し乱数値記憶回路531に入力されるカウント値の順列を変更させる。

10

【0238】

シリアル通信回路設定プログラム556は、シリアル通信回路505に各制御基板に搭載されたマイクロコンピュータ（本例では、払出制御用マイクロコンピュータ）とシリアル通信させるための初期設定を行うシリアル通信回路設定処理を実行させるためのプログラムである。すなわち、CPU56は、シリアル通信回路設定プログラム556に従って処理を実行することにより、シリアル通信回路設定手段として機能する。

20

【0239】

割込優先順位設定プログラム557は、シリアル通信回路505の割り込み要求に応じて実行する割込処理の優先順位を初期設定するためのプログラムである。すなわち、CPU56は、割込優先順位設定プログラム556に従って処理を実行することにより、優先順位初期設定手段として機能する。

【0240】

また、遊技制御用マイクロコンピュータ560は、図38に示すように、特図保留メモリ570と、大当たり判定用テーブルメモリ571と、フラグメモリ572と、始動入賞口スイッチタイマメモリ573とを備える。

30

【0241】

特図保留メモリ570は、遊技球が可変入賞球装置15に入賞して特別図柄の可変表示の実行条件は成立したが、未だ可変表示の開始条件が成立していない（例えば、特別図柄表示装置8がまだ可変表示を実行中である）可変表示の実行条件の成立回数を含む保留データを記憶するためのメモリ（保存領域）である。特図保留メモリ570は、4つのエントリを備え、各エントリには、遊技球が可変入賞球装置15に入賞した順に、保留番号と、入賞に応じて乱数値記憶回路531から読み出したランダムRの値とが対応付けて格納される。また、特別図柄表示装置8における特別図柄の可変表示が1回終了したり、大当たり遊技状態が終了したりするごとに、特図保留メモリ570の最上位の情報にもとづいた可変表示の開始条件が成立し、特図保留メモリ570最上位の情報にもとづいた可変表示が実行される。この場合、特別図柄の可変表示の開始条件が成立すると、特図保留メモリ570の第2位以下に登録されている情報が1位ずつ繰り上がる。また、特別図柄の可変表示中に遊技球が可変入賞球装置15に新たに入賞した場合には、その新たな入賞にもとづいて乱数値記憶回路531から読み出されたランダムRの値が、特図保留メモリ570の空エントリに登録される。

40

【0242】

大当たり判定用テーブルメモリ571は、CPU56が特別図柄表示装置8の表示結果を大当たり図柄とするか否かを判定するために用いる複数の大当たり判定テーブルを記憶する。具体的には、大当たり判定用テーブルメモリ571は、図39（A）に示すように、確変状

50

態以外の遊技状態（通常状態という）において用いられる通常時大当たり判定テーブル571aを記憶する。また、大当たり判定用テーブルメモリ571は、図39（B）に示すように、確変状態において用いられる確変時大当たり判定テーブル571bを格納する。なお、図39に示す判定テーブルを用いて大当たり判定を行う場合、乱数最大値設定レジスタ535に設定された乱数最大値によって大当たりと判定する確率が大きく変化することになる。この場合、例えば、設定される乱数最大値が小さすぎると、通常時大当たり判定テーブル571aを用いた場合と、確変時大当たり判定テーブル571bを用いた場合とで、大当たりと判定する確率の差が小さくなってしまい、遊技者の遊技に対する興味を減退させてしまうことになる。そのため、乱数回路503および乱数最大値に対応づけて、複数の判定テーブル（複数の通常時大当たり判定用テーブル571aおよび複数の確変時大当たり判定用テーブル571b）を大当たり判定用テーブルメモリ571に記憶してもよい。そして、CPU56は、大当たり判定用テーブルメモリ571が記憶する判定テーブルのうち、使用する乱数回路503および乱数最大値に対応する判定テーブル571a、571bを用いて、表示結果決定プログラム552に従って、特別図柄表示装置8の表示結果を大当たり図柄とするか否かを判定するようにしてもよい。そのようにすることによって、使用する乱数回路503の種類や乱数最大値が異なっても、大当たりと判定する確率がある程度同じになるように制御することができる。

10

【0243】

なお、この実施の形態では、16ビット乱数回路503bを用いることにする。すなわち、ステップS151の処理で16ビット乱数回路503bを用いることに決定されたとする。よって、ランダムRとして、16ビットで発生できる範囲（0から65535までの範囲）の値をとりうる。

20

【0244】

フラグメモリ572には、遊技の進行を制御する遊技制御処理において用いられる各種のフラグが設定される。例えば、フラグメモリ572には、遊技状態が確変状態であることを示す確変フラグや、大当たり状態であることを示す大当たりフラグが設定される。

【0245】

始動口スイッチタイマメモリ573は、始動口スイッチ14aから入力される入賞検出信号SSに応じて加算またはクリアされるタイマ値を記憶する。

【0246】

図40および図41は、遊技制御手段における出力ポートの割り当ての例を示す説明図である。図40に示すように、出力ポート0は払出制御基板37に送信される払出制御信号（本例では、接続確認信号）の出力ポートである。また、音／ランプ制御基板80bに送信される演出制御コマンドの8ビットのデータ（演出制御信号）は出力ポート1から出力される。なお、図40および図41に示された「論理」（例えば1がオン状態）と逆の論理（例えば0がオン状態）を用いてもよいが、特に、接続確認信号については、主基板31と払出制御基板37との間の信号線において断線が生じた場合やケーブル外れの場合（ケーブル未接続を含む）等に、払出制御用マイクロコンピュータ370では必ずオフ状態と検知されるように「論理」が定められる。具体的には、一般に、断線やケーブル外れが生ずると信号の受信側ではハイレベルが検知されるので、主基板31と払出制御基板37との間の信号線でのハイレベルが、遊技制御手段における出力ポートにおいてオフ状態になるように「論理」が定められる。従って、必要であれば、主基板31において出力ポートの外側に、信号を論理反転させる出力バッファ回路が設置される。

30

40

【0247】

大入賞口を開閉する可変入賞球装置20を開閉するためのソレノイド（大入賞口扉ソレノイド）21、大入賞口内の経路を切り換えるためのソレノイド（大入賞口内誘導板ソレノイド）21Aおよび可変入賞球装置15を開閉するためのソレノイド（普通電動役物ソレノイド）16に対する駆動信号は、出力ポート2から出力される。また、音／ランプ制御基板80bに送信される演出制御コマンドについての演出制御INT信号（取込信号）も出力ポート2から出力される。演出制御INT信号は、演出制御コマンドの8ビットの

50

データを取り込む（受信する）ことを演出制御手段に指令するための信号である。

【0248】

そして、出力ポート3, 4から、情報出力回路64を介して情報端子板34やターミナル基板160に至る各種情報出力用信号すなわち制御に関わる情報の出力データが出力される。

【0249】

図42は、遊技制御手段における入力ポートのビット割り当ての例を示す説明図である。図42に示すように、入力ポート0のビット1～7には、それぞれ、カウントスイッチ23、ゲートスイッチ32a、入賞口スイッチ33a, 39a, 29a, 30a、始動口スイッチ14aの検出信号が入力される。また、入力ポート1のビット0, 1には、それぞれ、払出制御基板37からの電源断信号およびクリアスイッチ921の検出信号が入力される。また、入力ポート2には、払出制御用マイクロコンピュータ370を経由して、払出個数カウントスイッチ301の検出信号が入力される。なお、V入賞領域を設けた場合、遊技制御手段における入力ポート（例えば、入力ポート0のビット0）に、V入賞スイッチ（Vカウントスイッチ）の検出信号も入力される。

【0250】

次に遊技機の動作について説明する。図43、図44および図45は、遊技機に対して電力供給が開始され遊技制御用マイクロコンピュータ560へのリセット信号がハイレベルになったことに応じて遊技制御用マイクロコンピュータ560のCPU56が実行するメイン処理を示すフローチャートである。リセット信号が入力されるリセット端子の入力レベルがハイレベルになると、遊技制御用マイクロコンピュータ560のCPU56は、プログラムの内容が正当か否かを確認するための処理であるセキュリティチェック処理を実行した後、ステップS1以降のメイン処理を開始する。メイン処理において、CPU56は、まず、必要な初期設定を行う。

【0251】

初期設定処理において、CPU56は、まず、割込禁止に設定する（ステップS1）。次に、マスク可能割込の割込モードを設定し（ステップS2）、スタックポインタにスタックポインタ指定アドレスを設定する（ステップS3）。なお、ステップS2では、遊技制御用マイクロコンピュータ560の特定レジスタ（Iレジスタ）の値（1バイト）と内蔵デバイスが出力する割込ベクタ（1バイト：最下位ビット0）から合成されるアドレスが、割込番地を示すモードに設定する。また、マスク可能な割込が発生すると、CPU56は、自動的に割込禁止状態に設定するとともに、プログラムカウンタの内容をスタックにセーブする。

【0252】

次いで、内蔵デバイスレジスタの設定（初期化）を行う（ステップS4）。ステップS4の処理によって、内蔵デバイス（内蔵周辺回路）であるCTC（カウンタ／タイマ）およびPIO（パラレル入出力ポート）の設定（初期化）がなされる。

【0253】

この実施の形態で用いられる遊技制御用マイクロコンピュータ560は、I/Oポート（PIO）およびタイマ／カウンタ回路（CTC）504も内蔵している。

【0254】

次に、入力ポート1のビット0の状態によって電源断信号がオフ状態になっているか否か確認する（ステップS5）。遊技機に対する電力供給が開始されたときに、+5V電源などの各種電源の出力電圧は徐々に規定値に達するのであるが、ステップS5の処理によって、すなわち、電源断信号が出力されていない（ハイレベルになっている）ことを確認することによりCPU56は電源電圧が安定したことを確認することができる。

【0255】

電源断信号がオン状態である場合には、CPU56は、所定期間（例えば、0.1秒）の遅延時間の後に（ステップS80）、再度、電源断信号がオフ状態になっているか否か確認する。電源断信号がオフ状態になっている場合には、RAM55をアクセス可能状態

に設定し（ステップS6）、クリア信号のチェック処理に移行する。

【0256】

なお、電源断信号がオフ状態である場合に、遊技の進行を制御する遊技装置制御処理（遊技制御処理）の開始タイミングをソフトウェアで遅らせるためのソフトウェア遅延処理を実行するようにしてもよい。そのようなソフトウェア遅延処理によって、ソフトウェア遅延処理を実行しない場合に比べて、遊技制御処理の開始タイミングを遅延させることができる。遅延処理を実行したときには、他の制御基板（例えば、払出制御基板37）に対して、遊技制御基板（主基板31）が送信するコマンドを他の制御基板のマイクロコンピュータが受信できないという状況が発生することを防止できる。

【0257】

次いで、CPU56は、クリアスイッチがオンされているか否か確認する（ステップS7）。なお、CPU56は、入力ポート0を介して1回だけクリア信号の状態を確認するようにしてもよいが、複数回クリア信号の状態を確認するようにしてもよい。例えば、クリア信号の状態がオフ状態であることを確認したら、所定時間（例えば、0.1秒）の遅延時間をおいた後、クリア信号の状態を再確認する。そのときにクリア信号の状態がオン状態であることを確認したら、クリア信号がオン状態になっていると判定する。また、このときにクリア信号の状態がオフ状態であることを確認したら、所定時間の遅延時間をおいた後、再度、クリア信号の状態を再確認するようにしてもよい。ここで、再確認の回数は、1回または2回に限られず、3回以上であってもよい。また、2回チェックして、チェック結果が一致していなかったときにもう一度確認するようにしてもよい。

【0258】

ステップS7でクリアスイッチがオンでない場合には、遊技機への電力供給が停止したときにバックアップRAM領域のデータ保護処理（例えばパリティデータの付加等の電力供給停止時処理）が行われたか否か確認する（ステップS8）。この実施の形態では、電力供給の停止が生じた場合には、バックアップRAM領域のデータを保護するための処理が行われている。そのような電力供給停止時処理が行われていたことを確認した場合には、CPU56は、電力供給停止時処理が行われた、すなわち電力供給停止時の制御状態が保存されていると判定する。電力供給停止時処理が行われていないことを確認した場合には、CPU56は初期化処理を実行する。

【0259】

電力供給停止時処理が行われていたか否かは、電力供給停止時処理においてバックアップRAM領域に保存されるバックアップ監視タイマの値が、電力供給停止時処理を実行したことに応じた値（例えば2）になっているか否かによって確認される。なお、そのような確認の仕方は一例であって、例えば、電力供給停止時処理においてバックアップフラグ領域に電力供給停止時処理を実行したことを示すフラグをセットし、ステップS8において、そのフラグがセットされていることを確認したら電力供給停止時処理が行われたと判定してもよい。

【0260】

電力供給停止時の制御状態が保存されていると判定したら、CPU56は、バックアップRAM領域のデータチェック（この例ではパリティチェック）を行う（ステップS9）。この実施の形態では、クリアデータ（00）をチェックサムデータエリアにセットし、チェックサム算出開始アドレスをポインタにセットする。また、チェックサムの対象になるデータ数に対応するチェックサム算出回数をセットする。そして、チェックサムデータエリアの内容とポインタが指すRAM領域の内容との排他的論理和を演算する。演算結果をチェックサムデータエリアにストアするとともに、ポインタの値を1増やし、チェックサム算出回数の値を1減算する。以上の処理が、チェックサム算出回数の値が0になるまで繰り返される。チェックサム算出回数の値が0になったら、CPU56は、チェックサムデータエリアの内容の各ビットの値を反転し、反転後のデータをチェックサムにする。

【0261】

電力供給停止時処理において、上記の処理と同様の処理によってチェックサムが算出さ

10

20

30

40

50

れ、チェックサムはバックアップRAM領域に保存されている。ステップS9では、算出したチェックサムと保存されているチェックサムとを比較する。不測の停電等の電力供給停止が生じた後に復旧した場合には、バックアップRAM領域のデータは保存されているはずであるから、チェック結果（比較結果）は正常（一致）になる。チェック結果が正常でないということは、バックアップRAM領域のデータが、電力供給停止時のデータとは異なっている可能性があることを意味する。そのような場合には、内部状態を電力供給停止時の状態に戻すことができないので、電力供給の停止からの復旧時でない電源投入時に実行される初期化处理（ステップS10～S14の処理）を実行する。

【0262】

チェック結果が正常であれば、CPU56は、遊技制御手段の内部状態と演出制御手段等の電気部品制御手段の制御状態を電力供給停止時の状態に戻すための遊技状態復旧処理を行う。具体的には、ROM54に格納されているバックアップ時設定テーブルの先頭アドレスをポインタに設定し（ステップS91）、バックアップ時設定テーブルの内容を順次作業領域（RAM55内の領域）に設定する（ステップS92）。作業領域はバックアップ電源によって電源バックアップされている。バックアップ時設定テーブルには、作業領域のうち初期化してもよい領域についての初期化データが設定されている。ステップS91およびS92の処理によって、作業領域のうち初期化してはならない部分については、保存されていた内容がそのまま残る。初期化してはならない部分とは、例えば、電力供給停止前の遊技状態を示すデータ（特別図柄プロセスフラグなど）、出力ポートの出力状態が保存されている領域（出力ポートバッファ）、未払出賞球数を示すデータが設定されている部分などである。

【0263】

また、CPU56は、ROM54に格納されているバックアップ時コマンド送信テーブルの先頭アドレスをポインタに設定し（ステップS93）、ステップS15に移行する。

【0264】

初期化处理では、CPU56は、まず、RAMクリア処理を行う（ステップS10）。なお、RAM55の全領域を初期化せず、所定のデータをそのままにしてもよい。また、ROM54に格納されている初期化時設定テーブルの先頭アドレスをポインタに設定し（ステップS11）、初期化時設定テーブルの内容を順次作業領域に設定する（ステップS12）。

【0265】

ステップS11およびS12の処理によって、例えば、普通図柄判定用乱数カウンタ、普通図柄判定用バッファ、特別図柄バッファ、総賞球数格納バッファ、特別図柄プロセスフラグ、賞球中フラグ、球切れフラグなど制御状態に応じて選択的に処理を行うためのフラグに初期値が設定される。また、出力ポートバッファにおける接続確認信号を出力する出力ポートに対応するビットがセット（接続確認信号のオン状態に対応）される。

【0266】

また、CPU56は、ROM54に格納されている初期化時コマンド送信テーブルの先頭アドレスをポインタに設定し（ステップS13）、その内容に従ってサブ基板を初期化するための初期化コマンドをサブ基板に送信する処理を実行する（ステップS14）。初期化コマンドとして、可変表示装置9に表示される初期図柄を示すコマンドや払出制御基板37への初期化コマンド等を使用することができる。

【0267】

また、CPU56は、各乱数回路503a、503bを初期設定する乱数回路設定処理を実行する（ステップS15）。この場合、CPU56は、乱数回路設定プログラム551に従って処理を実行することによって、各乱数回路503a、503bにランダムRの値を更新させるための設定を行う。

【0268】

また、CPU56は、シリアル通信回路505を初期設定するシリアル通信回路設定処理を実行する（ステップS15a）。この場合、CPU56は、シリアル通信回路設定プ

プログラム556に従って処理を実行することによって、シリアル通信回路505に払出制御用マイクロコンピュータとシリアル通信させるための設定を行う。

【0269】

シリアル通信回路505を初期設定すると、CPU56は、シリアル通信回路505の割り込み要求に応じて実行する割込処理の優先順位を初期設定する（ステップS15b）。この場合、CPU56は、割込優先順位設定プログラム557に従って処理を実行することによって、割込処理の優先順位を初期設定する。

【0270】

例えば、CPU56は、各割込処理のデフォルトの優先順位を含む所定の割込処理優先順位テーブルに従って、各割込処理の優先順位を初期設定する。図46は、割込処理優先順位テーブルの例を示す説明図である。この実施の形態では、CPU56は、図46に示す割込処理優先順位テーブルに従って、シリアル通信回路505において通信エラーが発生したことを割込原因とする割込処理を優先して実行するように初期設定する。この場合、例えば、CPU56は、通信エラーが発生したことを割込原因とする割込処理を優先して実行する旨を示す通信エラー時割込優先実行フラグをセットする。

10

【0271】

なお、この実施の形態では、タイマ割込とシリアル通信回路505からの割り込み要求とが同時に発生した場合、CPU56は、タイマ割込による割込処理を優先して行う。

【0272】

また、ユーザによって各割込処理のデフォルトの優先順位を変更することもできる。例えば、遊技制御用マイクロコンピュータ560は、ユーザ（例えば、遊技機の製作者）によって設定された割込処理を指定する指定情報を、あらかじめROM54の所定の記憶領域に記憶している。そして、CPU56は、ROM54の所定の記憶領域に記憶された指定情報に従って、割込処理の優先順位を設定する。

20

【0273】

そして、CPU56は、所定時間（例えば2ms）ごとに定期的にタイマ割込がかかるように遊技制御用マイクロコンピュータ560に内蔵されているCTCのレジスタの設定を行なうタイマ割込設定処理を実行する（ステップS16）。すなわち、初期値として例えば2msに相当する値が所定のレジスタ（時間定数レジスタ）に設定される。この実施の形態では、2msごとに定期的にタイマ割込がかかるとする。

30

【0274】

タイマ割込の設定が完了すると、CPU56は、まず、割込禁止状態にして（ステップS17）、電源断信号が出力されたか否か（オン状態になったか否か）を検出する電源断処理（電源断検出処理）を実行する（ステップS18a）。また、CPU56は、初期値用乱数更新処理を実行して（ステップS18b）、再び割込許可状態にする（ステップS19）。すなわち、CPU56は、電源断処理および初期値用乱数更新処理が実行されるときには割込禁止状態にして、電源断処理および初期値用乱数更新処理の実行が終了すると割込許可状態にする。

【0275】

なお、初期値用乱数更新処理とは、初期値用乱数を発生するためのカウンタのカウント値を更新する処理である。初期値用乱数とは、当たりの種類を決定するための判定用乱数（例えば、当たりを発生させる特別図柄を決定するための大当たり図柄決定用乱数や、遊技状態を確変状態に移行させるかを決定するための確変決定用乱数、普通図柄にもとづく当たりを発生させるか否かを決定するための普通図柄当たり判定用乱数）を発生するためのカウンタ（判定用乱数発生カウンタ）等のカウント値の初期値を決定するための乱数である。後述する遊技制御処理（遊技制御用マイクロコンピュータが、遊技機に設けられている可変表示装置9、可変入賞球装置15、球払出装置97等の遊技用の装置を、自身で制御する処理、または他のマイクロコンピュータに制御させるために指令信号を送信する処理、遊技装置制御処理ともいう）において、判定用乱数発生カウンタのカウント値が1周すると、そのカウンタに初期値が設定される。

40

50

【0276】

また、初期値用乱数更新処理が実行されるときに割込禁止状態にされるのは、初期値用乱数更新処理が後述するタイマ割込処理でも実行される（すなわち、タイマ割込処理のステップS24でも同じ処理が実行される）ことから、タイマ割込処理における処理と競合してしまうのを避けるためである。すなわち、ステップS18bの処理中にタイマ割込が発生してタイマ割込処理中で初期値用乱数を発生するためのカウンタのカウント値を更新してしまったのでは、カウント値の連続性が損なわれる場合がある。しかし、ステップS18bの処理中では割込禁止状態にしておけば、そのような不都合が生ずることはない。

【0277】

ステップS19で割込許可状態に設定されると、次にステップS17の処理が実行されて割込禁止状態とされるまで、タイマ割込またはシリアル通信回路505からの割り込み要求を許可する状態となる。そして、割込許可状態に設定されている間に、タイマ割込が発生すると、遊技制御用マイクロコンピュータ560のCPU56は、後述するタイマ割込処理を実行する。また、割込許可状態に設定されている間に、シリアル通信回路505から割り込み要求が発生すると、遊技制御用マイクロコンピュータ560のCPU56は、後述する各割込処理（通信エラー割込処理や、受信時割込処理、送信完了割込処理）を実行する。また、本実施の形態では、ステップS17からステップS19までのループ処理の前にステップS15bを実行することによって、タイマ割込または割り込み要求を許可する状態に設定される前に、割込処理の優先順位を設定または変更する処理が行われる。

【0278】

次いで、CPU56は、表示用乱数更新処理を実行する（ステップS19a）。なお、表示用乱数とは、特別図柄表示器8の表示を決定するための乱数である。この実施の形態では、表示用乱数として、特別図柄の変動パターンを決定するための変動パターン決定用乱数や、大当りを発生させない場合にリーチとするか否かを決定するためのリーチ判定用乱数が用いられる。また、表示用乱数更新処理とは、表示用乱数を発生するためのカウンタのカウント値を更新する処理である。

【0279】

次いで、CPU56は、特別図柄の変動に同期する飾り図柄に関する演出制御コマンドをRAM55の所定の領域に設定して演出制御コマンドを送出する処理を行う（コマンド制御処理：ステップS19b）。なお、飾り図柄の変動が特別図柄の変動に同期するとは、変動時間（可変表示期間）が同じであることを意味する。

【0280】

また、CPU56は、入賞口スイッチ29a、30a、33a、39a等の検出信号にもとづく賞球個数の設定などを行う賞球処理を実行する（ステップS19c）。具体的には、入賞口スイッチ29a、30a、33a、39a等がオンしたことにもとづく入賞検出に応じて、払出制御基板37に賞球個数を示す賞球個数コマンド等の払出指令コマンドを出力する。払出制御基板37に搭載されている払出制御用マイクロコンピュータ370は、賞球個数を示す賞球個数コマンドの受信に応じて球払出装置97を駆動する。

【0281】

なお、この実施の形態では、後述するタイマ割込処理の入力判定処理において、入賞口スイッチ29a、30a、33a、39a等がオンしたことにもとづく入賞検出に応じて、入賞数がカウントされる。そして、メイン処理の賞球処理において、カウントされた入賞数にもとづいて、賞球個数コマンドが払出制御基板37に送信される。

【0282】

また、CPU56は、特別図柄プロセス処理を行う（ステップS19d）。特別図柄プロセス処理では、遊技状態に応じてパチンコ遊技機1を所定の順序で制御するための特別図柄プロセスフラグに従って該当する処理が選出されて実行される。そして、特別図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。また、普通図柄プロセス処理を行う（ステップS19e）。普通図柄プロセス処理では、普通図柄表示器10の

表示状態を所定の順序で制御するための普通図柄プロセスフラグに従って該当する処理が選出されて実行される。そして、普通図柄プロセスフラグの値は、遊技状態に応じて各処理中に更新される。

【0283】

また、CPU56は、例えばホール管理用コンピュータに供給される大当り情報、始動情報、確率変動情報などのデータを出力する情報出力処理を行う（ステップS19f）。

【0284】

また、遊技機の制御状態を遊技機外部で確認できるようにするための試験信号を出力する処理である試験端子処理を実行する（ステップS19g）。また、この実施の形態では、出力ポートの出力状態に対応したRAM領域（出力ポートバッファ）が設けられているので、CPU56は、出力ポート2のRAM領域におけるソレノイドに関する内容を出力ポートに出力する（ステップS19h：出力処理）。

【0285】

出力処理を実行すると、CPU56は、ステップS17に移行し、ステップS17以降の処理を再び実行する。すなわち、ステップS17からステップS19hまでの処理が繰り返し実行される。

【0286】

次に、メイン処理における乱数回路設定処理（ステップS15）を説明する。図47は、乱数回路設定処理を示すフローチャートである。乱数回路設定処理において、CPU56は、まず、乱数回路設定プログラム551に含まれる乱数回路選択モジュール551fに従って処理を実行し、遊技制御用マイクロコンピュータ560が内蔵する各乱数回路503a、503bの中から、タイマ割込処理の実行時に用いる乱数回路を設定する（ステップS151）。例えば、遊技制御用マイクロコンピュータ560は、ユーザ（例えば、遊技機の製作者）によって設定されたタイマ割込処理の実行時に用いる乱数回路503を指定する指定情報を、あらかじめROM54の所定の記憶領域に記憶している。そして、CPU56は、ROM54の所定の記憶領域に記憶された指定情報に従って、12ビット乱数回路503aまたは16ビット乱数回路503bのいずれかを選択し、選択した乱数回路をタイマ割込処理の実行時に用いる乱数回路として設定する。なお、タイマ割込処理の実行時に用いる乱数回路として、12ビット乱数回路503aおよび16ビット乱数回路503bの両方を設定してもよい。

【0287】

上記のように、ステップS151において、更新可能な数値データの所定の範囲が異なる複数の乱数回路（12ビット乱数回路503aと16ビット乱数回路503b）について、それぞれ使用可能とするか否かを設定するので、タイマ割込処理の実行中に不要な乱数を処理することを防止することができ、遊技制御用マイクロコンピュータ560の制御負担を軽減することができる。例えば、遊技制御用マイクロコンピュータ560が、2つの乱数回路503a、503bのうちの一方が発生する乱数のみを用いて遊技制御処理を行う場合、遊技制御処理に用いない方の乱数回路から乱数を読み出す処理等を行わないようにでき、遊技制御用マイクロコンピュータ560の制御負担を軽減できる。

【0288】

CPU56は、ステップS151で使用する乱数回路503を設定すると、例えば、乱数回路起動レジスタ541にデータを書き込まない等により、カウンタ521やクロック信号出力回路524の動作を停止させることで、使用しないように設定した方の乱数回路のカウンタ521がカウント値Cを更新しないようにする。また、例えば、使用しないように設定した方の乱数回路のカウンタ521はカウント値Cを更新するが、CPU56は出力制御信号SCを出力しないようにし、乱数値記憶回路531から乱数を読み出せないように制御してもよい。また、例えば、CPU56は、タイマ回路534に使用しないように設定した方の乱数回路の乱数値取込レジスタ539に乱数値取込データ「01h」を書き込ませないようにし、ラッチ信号生成回路533がラッチ信号SLを乱数値記憶回路531に出力しないように制御してもよい。

【0289】

上記のように、使用する乱数回路503を設定するようにすることによって、使用する乱数回路503だけを設定することによって、生成する乱数の値の範囲を適切に設定することができる。また、タイマ割込処理の実行中に不要な乱数を処理することを防止することができ、遊技制御用マイクロコンピュータ560の制御負担を軽減することができる。例えば、大当たりとする判定値として離れた値（例えば、「1」と「100」を含む判定テーブルを用いて大当たり判定を行う場合、所定の大当たり確率（例えば、100分の1）で大当たりと判定するようにすると、16ビット乱数回路503bによる乱数を用いるよりも、12ビット乱数回路503aによる乱数を用いた方が、処理すべき判定値の種類の数が少なく済み、遊技制御用マイクロコンピュータ560の制御負担が軽減される。

10

【0290】

また、CPU56は、乱数回路設定プログラム551に含まれる乱数最大値設定モジュール551aに従って処理を実行し、ユーザによって予め設定された乱数最大値を指定する乱数最大値設定データを、乱数最大値設定レジスタ535に書き込む（ステップS152）。そのようにすることによって、ユーザによって予め設定されたランダムRの乱数最大値を乱数回路503に設定する。なお、タイマ割込実行時に用いる乱数回路として12ビット乱数回路503aを設定した場合、CPU56は、乱数最大値（「0」～「4095」のうちのいずれかの値）を指定する乱数最大値設定データを、12ビット乱数回路503aの乱数最大値設定レジスタ535に書き込む。また、タイマ割込実行時に用いる乱数回路として16ビット乱数回路503bを設定した場合、CPU56は、乱数最大値（「0」～「65535」のうちのいずれかの値）を指定する乱数最大値設定データを、16ビット乱数回路503bの乱数最大値設定レジスタ535に書き込む。

20

【0291】

なお、この実施の形態では、乱数最大値として「0」～「255」が設定された場合には、後述する乱数最大値再設定処理において乱数最大値を所定値に設定しなおすことになる。また、乱数最大値として「256」以上の値を書き込む制御を行った場合であっても、データ化けなどの原因によって「0」～「255」の値が乱数最大値設定レジスタ535に設定されてしまった場合には、後述する乱数最大値再設定処理において乱数最大値を所定値に設定しなおす。

【0292】

30

上記のように、ステップS152において、生成する乱数の最大値をあらかじめ乱数最大値設定レジスタ535に設定するので、タイマ割込処理の実行中に用いる乱数の範囲より大きい値の乱数を生成してしまうことを防止でき、乱数回路503および遊技制御用マイクロコンピュータ560の処理負担を軽減することができる。

【0293】

また、CPU56は、ステップS152で乱数最大値設定レジスタ535に設定した乱数最大値が所定の下限值以下でないかを確認し、乱数最大値が下限値以下である場合には、乱数最大値設定レジスタ535に設定されている乱数最大値の再設定を行う乱数最大値再設定処理を実行する（ステップS153）。

【0294】

40

また、CPU56は、乱数回路設定プログラム551に含まれる初期値変更モジュール551eに従って処理を実行し、乱数回路503のカウンタ521が更新するカウント値の初期値を変更させる初期値変更処理を実行する（ステップS154）。

【0295】

また、CPU56は、乱数回路設定プログラム551に含まれる乱数更新方式選択モジュール551bに従って処理を実行し、乱数更新方式選択データを乱数更新方式選択レジスタ540に書き込む（ステップS155）。そのようにすることによって、乱数回路503の乱数更新方式を設定する。なお、この実施の形態では、CPU56は、乱数更新方式選択データ「10h」を乱数更新方式選択レジスタ540に書き込むものとする。すなわち、この実施の形態では、乱数回路503の乱数更新方式として第2の乱数更新方式が

50

設定される。

【0296】

また、CPU 56は、乱数回路設定プログラム551に含まれる周期設定モジュール551cに従って処理を実行し、ユーザによって予め設定された乱数発生用クロック信号SI1の周期を指定する周期設定データ（基準クロック信号を何分周させるかを設定するためのデータ）を、周期設定レジスタ537に書き込む（ステップS156）。そのようにすることによって、ユーザによって予め設定された乱数発生用クロック信号SI1の周期を乱数回路503に設定する。

【0297】

また、CPU 56は、乱数回路503のカウンタ521によって所定の最終値までカウント値が更新されたときに、カウンタ521に入力する初期値を更新するか否かを設定する（ステップS157）。例えば、遊技制御用マイクロコンピュータ560は、カウンタ521によって所定の最終値までカウント値が更新されたときに、カウンタ521に入力する初期値を更新するか否かを示す設定値を、予めユーザによって設定されROM54の所定領域に記憶している。そして、CPU 56は、ROM54の所定の記憶領域に記憶された所定の設定値に従って、カウンタ521によって所定の最終値までカウント値が更新されたときに、カウンタ521に入力する初期値を更新するか否かを設定する。この実施の形態では、CPU 56は、ステップS157において、カウンタ521に入力する初期値を更新すると判定すると、所定の最終値までカウント値が更新されたとき（カウンタ521から通知信号を入力したとき）に初期値を更新する旨を示す初期値更新フラグをセットする。この実施の形態では、ステップS157において、所定の設定値に従って初期値更新フラグをセットする場合を説明する。そして、CPU 56は、後述する乱数回路初期値更新処理において、初期値更新フラグがセットされていることにもとづいて、カウンタ521が出力するカウント値の初期値を更新する。

【0298】

なお、CPU 56によってカウント値の初期値を変更するのでなく、最終値までカウント値を更新したことにもとづいて、乱数回路503側でカウント値の初期値を所定値に変更するようにしてもよい。例えば、乱数回路503は、初期値を更新する旨を示す初期値更新データを格納する初期値更新データレジスタ、及び初期値の変更を行う初期値変更回路を備え、CPU 56は、ステップS157において、初期値更新データを初期値更新データレジスタに設定する。この場合、カウンタ521は、最終値までカウント値を更新すると、通知信号を初期値変更回路に出力する。すると、初期値変更回路は、初期値更新データレジスタに初期値更新データが設定されているか否かを確認する。そして、初期値変更回路は、初期値更新データが設定されていることを確認すると、カウント値の初期値を所定値に変更する。なお、初期値変更回路は、後述するカウント値順列変更処理において、順列を変更したカウント値の初期値を変更してもよい。

【0299】

また、CPU 56は、乱数回路503のカウンタ521によって所定の最終値までカウント値が更新されたときに、カウンタ521が更新するカウント値の順列を変更するか否かを設定する（ステップS158）。例えば、遊技制御用マイクロコンピュータ560は、カウンタ521によって所定の最終値までカウント値が更新されたときに、カウンタ521が出力するカウント値の順列を変更するか否かを示す設定値を、予めユーザによって設定されROM54の所定領域に記憶している。そして、CPU 56は、ROM54の所定の記憶領域に記憶された所定の設定値に従って、カウンタ521によって所定の最終値までカウント値が更新されたときに、カウンタ521が出力するカウント値の順列を変更するか否かを設定する。この実施の形態では、CPU 56は、ステップS158において、カウンタ521が出力するカウント値の順列を変更すると判定すると、所定の最終値までカウント値が更新されたときにカウント値の順列を変更する旨を示すカウント値順列変更フラグをセットする。この実施の形態では、ステップS158において、所定の設定値に従ってカウント値順列変更フラグをセットする場合を説明する。そして、CPU 56は

、後述するカウント値順列変更処理において、カウント値順列変更フラグがセットされていることにもとづいて、カウンタ521が出力するカウント値の順列を変更する。

【0300】

なお、CPU56の制御によってカウント値の順列を変更するのでなく、最終値までカウント値を更新したことにもとづいて、乱数回路503側でカウント値の順列変更するようにしてもよい。例えば、乱数回路503は、カウント値の順列を変更する旨を示す順列変更データを格納する順列変更データレジスタを備え、CPU56は、ステップS158において、順列変更データを順列変更データレジスタに設定する。この場合、カウンタ521が最終値までカウント値を更新すると、通知信号をカウント値順列変更回路523に出力し、通知信号を入力したカウント値順列変更回路523は、順列変更データレジスタに順列変更データが設定されているか否かを確認する。そして、カウント値順列変更回路523は、順列変更データが設定されていることを確認すると、カウント値の順列を変更する。

10

【0301】

そして、CPU56は、乱数回路設定プログラム551に含まれる乱数回路起動モジュール551dに従って処理を実行し、乱数回路起動データ「80h」を乱数回路起動レジスタ541に書き込む（ステップS159）。そのようにすることによって、CPU56は、乱数回路503を起動させる。

【0302】

次に、乱数回路設定処理における乱数最大値再設定処理（ステップS153）を説明する。図48は、乱数最大値再設定処理を示すフローチャートである。乱数最大値再設定処理において、CPU56は、乱数最大値設定レジスタ535に設定されている乱数最大値を読み込む（ステップS153a）。なお、タイマ割込処理の実行時に用いる乱数回路として12ビット乱数回路503aを設定した場合、CPU56は、12ビット乱数回路503aの乱数最大値設定レジスタ535に設定されている乱数最大値を読み込む。また、タイマ割込処理の実行時に用いる乱数回路として16ビット乱数回路503bを設定した場合、CPU56は、16ビット乱数回路503bの乱数最大値設定レジスタ535に設定されている乱数最大値を読み込む。

20

【0303】

CPU56は、読み込んだ乱数最大値が所定の下限值以下であるか否かを判定する（ステップS153b）。12ビット乱数回路503aを設定した場合、12ビット乱数回路503aにおいて設定可能な乱数最大値が「256」から「4095」までであるので、CPU56は、12ビット乱数回路503aの乱数最大値設定レジスタ535から読み込んだ乱数最大値が下限値「256」以下であるか否かを判定する。また、16ビット乱数回路503bを設定した場合、16ビット乱数回路503bにおいて設定可能な乱数最大値が「512」から「65535」までであるので、CPU56は、16ビット乱数回路503bの乱数最大値設定レジスタ535から読み込んだ乱数最大値が下限値「512」以下であるか否かを判定する。

30

【0304】

読み込んだ乱数最大値が下限値以下である場合、CPU56は、乱数最大値設定レジスタ535に設定される乱数最大値を所定値に設定しなおす（ステップS153c）。12ビット乱数回路503aを設定した場合、12ビット乱数回路503aの乱数最大値設定レジスタ535から読み込んだ乱数最大値が下限値「256」以下であると判定すると、CPU56は、乱数最大値設定レジスタ535に設定される乱数最大値を所定値「4095」に設定しなおす。また、16ビット乱数回路503bを設定した場合、16ビット乱数回路503bの乱数最大値設定レジスタ535から読み込んだ乱数最大値が下限値「512」以下であると判定すると、CPU56は、乱数最大値設定レジスタ535に設定される乱数最大値を所定値「65535」に設定しなおす。

40

【0305】

以上のように、乱数最大値設定レジスタ535に設定した乱数最大値が所定の下限值以

50

下となっている場合には、乱数最大値を所定値に設定しなおす。そのため、遊技制御用マイクロコンピュータ560の誤動作や、無線信号を用いた取り込み信号を遊技機に対して発生させるなどの行為によって、過度に小さい値が乱数の最大値として設定されてしまうことを防止することができる。従って、最小値から最大値までの値の範囲が過度に小さい乱数を生成する事態が発生することを防止することができる。

【0306】

次に、乱数回路設定処理における初期値変更処理（ステップS154）を説明する。図49は、初期値変更処理を示すフローチャートである。初期値変更処理において、CPU56は、まず、ユーザプログラム実行データエリアの1F97h番地の領域に記憶されている初期値変更方式設定データを読み出し、ユーザによって選択された初期値変更方式を
10 特定する。この場合、CPU56は、読み出した初期値変更方式設定データの値が「01h」であるか否かを判定することによって（ステップS154a）、ユーザによって選択された初期値変更方式を特定する。

【0307】

初期値変更方式設定データの値が「01h」である場合、CPU56は、乱数回路503のカウンタ521に入力する初期値を、遊技制御用マイクロコンピュータ560固有のIDナンバにもとづいて設定された値に変更する（ステップS154b）。例えば、遊技制御用マイクロコンピュータ560は、ROM54の所定の記憶領域に、遊技制御用マイクロコンピュータ560のIDナンバと、IDナンバにもとづいて所定の演算を行って求めた演算値とを予め対応付けて記憶している。そして、ステップS154bにおいて、CPU56は、予め記憶するIDナンバにもとづく演算値にカウント値の初期値を変更させる。
20 また、例えば、ステップS154bにおいて、CPU56は、遊技制御用マイクロコンピュータ560のIDナンバと所定値とを演算して（例えば、IDナンバ（例えば、「100」）に所定値（例えば、「100」）を加算して）求めた演算値（例えば、「200」）にカウント値の初期値を設定する。また、カウンタ521に入力する初期値を変更すると、CPU56は、カウント値の初期値を変更した旨を示す初期値変更フラグをセットする（ステップS154c）。

【0308】

なお、CPU56は、ステップS154bにおいてカウンタ521に入力する初期値を変更する際、乱数回路503の比較器522の乱数最大値設定レジスタ535の値を確認し、IDナンバにもとづいて設定された値が乱数最大値以上であるか否かを判断する。そして、IDナンバにもとづいて設定された値が乱数最大値以上であると判断すると、CPU56は、カウンタ521に入力する初期値を変更しない（例えば、初期値を「0」に設定しなおす）。そのようにすることによって、カウント値の初期値が乱数最大値以上の値に設定されてしまう事態を防止することができる。
30

【0309】

ステップS154aにおいて、初期値変更方式設定データの値が「01h」でない場合（すなわち、ユーザプログラム実行データエリアの1F97h番地の領域に記憶されている初期値変更方式設定データの値が「00h」である場合）、CPU56は、カウント値の初期値の変更を行わず、そのまま初期値変更処理を終了し、ステップS155に移行する。
40

【0310】

乱数回路設定処理が実行されることによって、タイマ割込処理の実行時に乱数回路503に各種信号が入力され、乱数回路503内で各種信号が生成される。図50は、乱数回路503に各信号が入力されるタイミング、および乱数回路503内で各信号が生成されるタイミングを示すタイミングチャートである。

【0311】

図50に示すように、クロック回路501は、所定周期ごと（図50に示すタイミングT11, T21, ...）に、出力端子の信号レベルをローレベルからハイレベルに立ち上げることによって、乱数回路503に基準クロック信号CLK（図50（A）参照）を
50

入力する。

【0312】

クロック信号出力回路524は、クロック回路501から供給された基準クロック信号CLKを分周し、乱数発生用クロック信号SI1（図50（B）参照）を生成する。例えば、クロック信号出力回路524は、タイミングT11, T12, ...で出力端子の信号レベルをローレベルからハイレベルに立ち上げ、タイミングT21, T22, ...で信号レベルをハイレベルからローレベルに立ち下げることによって、乱数発生用クロック信号SI1を出力する。

【0313】

なお、図50に示す例では、説明を分かりやすくするために、クロック信号出力回路524が基準クロック信号CLKを2分周して乱数発生用クロック信号SI1を生成する場合を示している。しかし、実際の乱数回路では、周期設定レジスタ537に設定可能な周期は「システムクロック信号の周期×128×7」から「システムクロック信号の周期×128×256」までである。従って、実際の乱数回路では、クロック信号出力回路524は、「システムクロック信号の周期×128×7」から「システムクロック信号の周期×128×256」までの範囲で周期設定レジスタ537に設定される周期設定データ「07h」～「FFh」に対応した分周比で、基準クロック信号CLKを分周し乱数発生用クロック信号SI1を生成する。クロック信号出力回路524によって生成された乱数発生用クロック信号SI1は、セクタ528と反転回路532とに出力される。

【0314】

この実施の形態では、乱数回路設定処理において、第2の乱数更新方式が設定されるので、乱数更新方式選択信号出力回路527から第2の乱数更新方式選択信号がセクタ528に入力される。セクタ528は、乱数更新方式選択信号出力回路527から第2の乱数更新方式選択信号が入力されると、クロック信号出力回路524から入力した乱数発生用クロック信号SI1を選択してカウンタ521に出力する。カウンタ521は、セクタ528から供給される乱数発生用クロック信号SI1の立ち上がりエッジが入力されるごとに、カウント値Cを更新してカウント値順列変更回路523に出力する。

【0315】

反転回路532は、クロック信号出力回路524から入力した乱数発生用クロック信号SI1の信号レベルを反転させることによって、反転クロック信号SI2（図50（C）参照）を生成する。例えば、反転回路532は、タイミングT11, T12, ...で出力端子の信号レベルをハイレベルからローレベルに立ち下げ、タイミングT21, T22, ...で信号レベルをローレベルからハイレベルに立ち上げることによって、反転クロック信号SI2を出力する。また、反転回路532によって生成された反転クロック信号SI2は、ラッチ信号生成回路533に出力される。

【0316】

ラッチ信号生成回路533には、入賞検出信号SS（図50（D）参照）がタイマ回路534に入力されてから所定時間（例えば3ミリ秒）が経過すると、乱数値読取信号出力回路526から乱数値読取信号が入力される。例えば、乱数値読取信号出力回路526の出力端子の信号レベルがローレベルからハイレベルに立ち上がることによって、ラッチ信号生成回路533に乱数値読取信号が入力される。ラッチ信号生成回路533は、乱数更新方式選択信号出力回路527から第2の乱数更新方式選択信号が入力されたことに応じて、乱数値読取信号出力回路526から入力する乱数値読取信号を反転回路532から供給される反転クロック信号SI2の立ち上がりエッジに同期させて、ラッチ信号SL（図50（E）参照）を出力する。

【0317】

以上のように、乱数回路503は、タイミングT11, T12, T13...においてカウント値Cを更新し、タイミングT11, T12, T13とは異なるタイミングT22においてラッチ信号SLを出力させ、乱数値記憶回路531に乱数値を記憶する。

【0318】

次に、メイン処理におけるシリアル通信回路設定処理（ステップS15a）を説明する。図51は、シリアル通信回路設定処理を示すフローチャートである。シリアル通信回路設定処理において、CPU56は、まず、シリアル通信回路設定プログラム556に従って処理を実行し、シリアル通信回路505のボーレートを設定する（ステップS1511）。この場合、CPU56は、シリアル通信回路505のボーレートレジスタ702に、設定するボーレートに対応する設定値を書き込む。例えば、遊技制御用マイクロコンピュータ560は、ユーザ（例えば、遊技機の製作者）によって設定された設定値を指定する指定情報を、あらかじめROM54の所定の記憶領域に記憶している。そして、CPU56は、ROM54の所定の記憶領域に記憶された指定情報に従って、設定値をボーレートレジスタ702に書き込む。例えば、CPU56によってボーレート設定値「156」が設定された場合、ボーレート生成回路703によって、式（1）およびクロック周波数「3MHz」を用いてボーレート「1201.92bps」が生成される。

10

【0319】

また、CPU56は、シリアル通信回路505が送受信するデータのデータフォーマットを設定する（ステップS1512）。この場合、CPU56は、制御レジスタA707の各ビットの値を設定することによって、送受信データのデータ長（8ビットまたは9ビット）、パリティ機能の使用の有無を設定する。例えば、遊技制御用マイクロコンピュータ560は、ユーザ（例えば、遊技機の製作者）によって設定された制御レジスタA707の各ビットの値を指定する指定情報を、あらかじめROM54の所定の記憶領域に記憶している。そして、CPU56は、ROM54の所定の記憶領域に記憶された指定情報に従って、制御レジスタA707の各ビットの値を設定する。

20

【0320】

また、CPU56は、シリアル通信回路505が発生する各割込要求を許可するか否かを設定する（ステップS1513）。この場合、CPU56は、制御レジスタB708のビット5、6、7の値を設定することによって、送信時割り込み要求（データの送信時に行う割り込み要求である送信割り込み要求や、送信完了時に行う送信完了割り込み要求）および受信時割り込み要求を許可するか否かを設定する。なお、CPU56は、送信時割り込み要求と受信時割り込み要求との両方を許可するように設定することも可能であり、送信時割り込み要求と受信時割り込み要求とのいずれか一方のみを許可するように設定することも可能である。また、CPU56は、制御レジスタC709のビット0～3の値を設定することによって、各通信エラー時割り込み要求を許可するか否かを設定する。例えば、遊技制御用マイクロコンピュータ560は、ユーザ（例えば、遊技機の製作者）によって設定された制御レジスタB708および制御レジスタC709の各ビットの値を指定する指定情報を、あらかじめROM54の所定の記憶領域に記憶している。そして、CPU56は、ROM54の所定の記憶領域に記憶された指定情報に従って、制御レジスタB708および制御レジスタC709の各ビットの値を設定する。

30

【0321】

次に、メイン処理における賞球処理（ステップS19c）を説明する。まず、主基板31と払出制御基板37との間で送受信される払出制御信号および払出制御コマンドについて説明する。図52は、遊技制御手段から払出制御手段に対して出力される制御信号の内容の一例を示す説明図である。この実施の形態では、払出制御等に関する各種の制御を行うために、主基板31と払出制御基板37との間で制御信号として接続確認信号が送受信される。図52に示すように、接続確認信号は、主基板31の立ち上がり時（遊技制御手段が遊技制御処理を開始したとき）に出力され、払出制御基板37に対して主基板31が立ち上がったことを通知するための信号（主基板31の接続確認信号）である。また、接続確認信号は、賞球払出が可能な状態であることを示す。

40

【0322】

払出制御用マイクロコンピュータ370は、遊技制御用マイクロコンピュータ560と同様に、シリアル通信回路380を内蔵する。また、遊技制御用マイクロコンピュータ560が内蔵するシリアル通信回路505と、払出制御用マイクロコンピュータ370が内

50

蔵するシリアル通信回路 380 との間で、各種払出制御コマンドが送受信される。なお、払出制御用マイクロコンピュータ 370 が内蔵するシリアル通信回路 380 の構成及び機能は、遊技制御用マイクロコンピュータ 560 が内蔵するシリアル通信回路 505 の構成及び機能と同様である。

【0323】

図 5 3 は、遊技制御手段と払出制御手段との間で送受信される制御コマンドの内容の一例を示す説明図である。この実施の形態では、払出制御等に関する各種の制御を行うために、主基板 31 と払出制御基板 37 とのマイクロコンピュータの間で各種制御コマンドが送受信される。

【0324】

賞球個数コマンドは、払出要求を行う遊技球の個数（0～15 個）を指定するために出力されるコマンドである。この実施の形態では、始動口スイッチ 14a で遊技球が検出されると 3 個の賞球払出を行い、入賞口スイッチ 33a, 39a, 29a, 30a のいずれかで遊技球が検出されると 10 個の賞球払出を行い、カウントスイッチ 23 で遊技球が検出されると 15 個の賞球払出を行う。よって、始動口スイッチ 14a で遊技球が検出された場合、賞球数 3 個を通知するための賞球個数コマンド「03」が送信され、入賞口スイッチ 33a, 39a, 29a, 30a のいずれかで遊技球が検出された場合、賞球数 10 個を通知するための賞球個数コマンド「0A」が送信され、カウントスイッチ 23 で遊技球が検出された場合、賞球数 15 個を通知するための賞球個数コマンド「0F」が送信される。なお、賞球個数コマンドを 2 バイトで構成してもよい。この場合、例えば、CPU 56 は、まず賞球個数コマンドの下位 1 バイトのデータを送信データレジスタ 710 に書き込む。そして、送信用シフトレジスタ 712 から賞球個数コマンドの下位 1 バイトのデータの送信が完了すると、シリアル通信回路 505 からの送信時割り込み要求に応じて、CPU 56 は、賞球個数コマンドの上位 1 バイトのデータを送信データレジスタ 710 に書き込み、送信用シフトレジスタ 712 から賞球個数コマンドの上位 1 バイトのデータが送信される。

【0325】

賞球 ACK コマンド「D2」は、払出制御手段が賞球個数コマンドを受信したことを遊技制御手段に通知するためのコマンドである。賞球 ACK コマンドは、賞球個数コマンドを受信したことを示す受信確認信号に相当する。

【0326】

賞球過多異常コマンド「E1」は、賞球過多異常が発生したことを遊技制御手段から払出制御手段に通知するためのコマンドである。この実施の形態では、遊技制御手段は、払い出すべき賞球数よりも多くの遊技球が払い出される賞球過多異常の発生を検出すると、払出制御手段に賞球過多異常コマンド「E1」を送信する。賞球過少異常コマンド「E2」は、賞球過少異常が発生したことを遊技制御手段から払出制御手段に通知するためのコマンドである。この実施の形態では、遊技制御手段は、総賞球数が所定の払出過少判定値を超えた状態である（払い出すべき賞球数よりも少ない遊技球しか払い出されていない）賞球過少異常の発生を検出すると、払出制御手段に賞球過少異常コマンド「E2」を送信する。

【0327】

図 5 4 は、図 5 2 に示す制御信号および図 5 3 に示す制御コマンドの送受信に用いられる信号線等を示すブロック図である。なお、図 5 4 には、電源断信号も示されている。図 5 4 に示すように、接続確認信号は、遊技制御用マイクロコンピュータ 560 によって出力回路 67 を介して出力され、入力回路 373A を介して払出制御用マイクロコンピュータ 370 に入力される。また、電源断信号は、出力回路 373B を介して出力され、入力回路 68 を介して遊技制御用マイクロコンピュータ 560 に入力される。また、賞球個数コマンドは、遊技制御用マイクロコンピュータ 560 が内蔵するシリアル回路 505 から出力され、払出制御用マイクロコンピュータ 370 が内蔵するシリアル回路 380 に入力される。また、賞球 ACK コマンドは、払出制御用マイクロコンピュータ 370 が内蔵す

10

20

30

40

50

るシリアル回路380から出力され、遊技制御用マイクロコンピュータ560が内蔵するシリアル回路505に入力される。

【0328】

接続確認信号および電源断信号は、それぞれ1ビットのデータであり、1本の信号線によって送信される。また、主基板31と払出制御基板37との間で、遊技制御用マイクロコンピュータ560への電源断信号の信号線と、払出制御に関わる制御信号（接続確認信号）の信号線とをまとめて配線することができる。よって、遊技機において、遊技制御用マイクロコンピュータ560への電源断信号に関する配線スペースを節減することができる。

【0329】

なお、この実施の形態では、遊技制御用マイクロコンピュータ560が賞球個数コマンドを払出制御用マイクロコンピュータ370にシリアル送信し、払出制御用マイクロコンピュータ370が賞球ACKコマンドを遊技制御用マイクロコンピュータ560にシリアル送信する双方向通信を行う場合を説明するが、遊技制御用マイクロコンピュータ560と払出制御用マイクロコンピュータ370とは一方向のシリアル通信を行ってもよい。例えば、遊技制御用マイクロコンピュータ560が賞球個数コマンドを払出制御用マイクロコンピュータ370に送信する一方向のシリアル通信を行い、払出制御用マイクロコンピュータ370は賞球ACKコマンドを送信しないようにしてもよい。

【0330】

図55は、払出制御信号および払出制御コマンドの出力の仕方の一例を示すタイミング図である。図55に示すように、入賞検出スイッチが遊技球の入賞を検出すると、遊技制御手段（遊技制御用マイクロコンピュータ560）は、入賞に応じて払い出される賞球数に応じた賞球個数コマンドを払出制御手段（払出制御用マイクロコンピュータ370）に送信する。なお、具体的には、遊技制御用マイクロコンピュータ560は、遊技球が遊技機に設けられている入賞領域に入賞したことを入賞検出スイッチの検出信号によって検知すると、賞球数に対応する賞球コマンド出力カウンタをカウントアップする。そして、賞球コマンド出力カウンタのカウント値が0でない値になったら、賞球コマンド出力カウンタに対応する賞球数に応じた賞球個数コマンドを払出制御用マイクロコンピュータ370に送信する。

【0331】

また、この実施の形態では、始動口スイッチ14aで遊技球が検出されると3個の賞球払出を行い、入賞口スイッチ33a、39a、29a、30aのいずれかで遊技球が検出されると10個の賞球払出を行い、カウンタスイッチ23で遊技球が検出されると15個の賞球払出を行う。具体的には、遊技制御用マイクロコンピュータ560は、払い出される賞球数に応じて、賞球数が3個の場合には賞球数が3個であることを示す賞球個数コマンド「03」を送信し、賞球数が10個の場合には賞球数が10であることを示す賞球個数コマンド「0A」を送信し、賞球数が15個の場合には賞球数が15であることを示す賞球個数コマンド「0F」を送信する。

【0332】

賞球個数コマンドの送信を完了すると、遊技制御用マイクロコンピュータ560のシリアル通信回路505は、図55に示すように、遊技制御用マイクロコンピュータ560のCPU56に対して送信時割り込み要求を行う。送信時割込要求によって、CPU56は、賞球個数コマンドの送信を完了した状態となったことを認識し、払出制御用マイクロコンピュータからの受信確認信号の待ち状態となる。

【0333】

払出制御用マイクロコンピュータ370は、賞球個数コマンドの受信を確認すると、受信した賞球個数コマンドに示される賞球数を、払出制御用マイクロコンピュータ370の受信バッファに格納する。また、払出制御用マイクロコンピュータ370は、RAMの所定領域に設けられた賞球未払出個数カウンタに賞球数を加算する。そして、払出制御用マイクロコンピュータ370は、賞球ACKコマンド「D2」を、遊技制御用マイクロコン

10

20

30

40

50

ピュータ560に送信する。なお、払出制御用マイクロコンピュータ370は、払出制御用マイクロコンピュータ370が内蔵するシリアル通信回路380からの受信時割り込み要求にもとづく割込処理において賞球数を受信カウンタに格納するようにしてもよい。この場合、払出制御用マイクロコンピュータ370が内蔵するシリアル通信回路380は、賞球個数コマンドを受信すると、払出制御用マイクロコンピュータ370のCPUに受信時割り込み要求を行う。そして、払出制御用マイクロコンピュータ370のCPUは、シリアル通信回路380からの割り込み要求に応じて割込処理を実行することによって、賞球数を受信バッファに格納する。

【0334】

賞球ACKコマンドを受信し、受信データレジスタ711に賞球ACKコマンドが格納された状態となると、遊技制御用マイクロコンピュータ560のシリアル通信回路505は、図55に示すように、遊技制御用マイクロコンピュータ560のCPU56に対して受信時割り込み要求を行う。受信時割込要求による割込処理を実行することによって、CPU56は、シリアル通信回路505がデータを受信したことを認識し、後述する賞球ACK待ち処理において受信データレジスタ711から賞球ACKコマンドを読み込む。

10

【0335】

遊技制御用マイクロコンピュータ560のCPU56は、メイン処理におけるステップS17からステップS19までのループ処理において、割り込み許可状態である間にシリアル通信回路505からの割り込み要求があると、シリアル通信回路505が割り込み要求を行った割り込み原因に応じた割り込み処理を実行する。図56は、シリアル通信回路505が割り込み要求に対して行う割り込み処理の一例を示す流れ図である。図56(a)は、シリアル通信回路505が通信エラーを割り込み原因として割り込み要求を行った場合に、CPU56が実行する通信エラー割込処理である。図56(b)は、シリアル通信回路505が受信データを受信したことを割り込み原因として割り込み要求を行った場合に、CPU56が実行する受信時割込処理である。図56(c)は、シリアル通信回路505が送信データの送信を完了したことを割り込み原因として割り込み要求を行った場合に、CPU56が実行する送信完了割込処理である。

20

【0336】

CPU56は、いずれの割込処理を優先して実行する旨が初期設定されているか否かを判断する。例えば、CPU56は、いずれの割込処理を優先して実行する旨のフラグがセットされているか否かを判断する。この実施の形態では、CPU56は、通信エラー時割込優先実行フラグがセットされていることにもとづいて、シリアル通信回路505で通信エラーが発生したことを割込原因とする割込処理を優先して実行する。

30

【0337】

シリアル通信回路505から割り込み要求があると、CPU56は、シリアル通信回路505のステータスレジスタA705の各ビットを確認し、割り込み原因を特定する。この場合、CPU56は、いずれの割込処理を優先して実行する旨が初期設定されているか否かを判断する。例えば、CPU56は、いずれの割込処理を優先して実行する旨のフラグがセットされているか否かを判断する。この実施の形態では、CPU56は、通信エラー時割込優先実行フラグがセットされていることにもとづいて、シリアル通信回路505で通信エラーが発生したことを割込原因とする割込処理を優先して実行する。

40

【0338】

CPU56は、通信エラー時割込優先実行フラグがセットされていることにもとづいて、ステータスレジスタA705のビット0～ビット3を優先的に確認し、割り込み原因を特定する。すなわち、CPU56は、シリアル通信回路505で通信エラー（オーバーラン、ノイズエラー、フレーミングエラーまたはパリティエラー）が発生したことを割り込み原因として割り込み要求したか否かを、他の割り込み原因（受信データの受信または送信データの送信完了）に優先して判断する。ステータスレジスタA705のビット0～ビット3のうちいずれか1つまたは複数のビットが「1」とであると判断すると、CPU56は、割り込み原因がシリアル通信回路505で通信エラーが発生したことであると特定す

50

る。

【0339】

割り込み原因がシリアル通信回路505で通信エラーが発生したことでありと特定すると、CPU56は、図56(a)に示す通信エラー割込処理を他の割込処理(図56(b)および図56(c)に示す割込処理)に優先して実行する。この場合、CPU56は、シリアル通信回路505で通信エラーが発生していることを示す通信エラーフラグをセットする(ステップS41)。

【0340】

なお、通信エラーを検出すると、CPU56は、演出制御手段に、シリアル通信回路505で通信エラーが発生したことを通知するために、通信エラー発生表示指定の演出制御コマンド(通信エラー表示コマンド)を送信する処理を行う。音/ランプ制御用CPU100bは、通信エラー表示コマンドを受信すると、音、発光体などを用いた演出を行い、通信エラーが発生している旨の報知を行う。また、図柄制御用CPU100aは、音/ランプ制御基板80bを経由して受信した通信エラー表示コマンドにもとづいて、可変表示装置9を用いて、通信エラーが発生している旨を報知してもよい。

10

【0341】

割り込み原因がシリアル通信回路505で通信エラーが発生したことでなかった場合、CPU56は、ステータスレジスタAのビット5を確認する。すなわち、CPU56は、シリアル通信回路505が受信データを受信したことが割込原因であるか否かを判断する。ステータスレジスタAのビット5が「1」であると判断すると、CPU56は、割り込み原因がシリアル通信回路505が受信データを受信したことでありと特定する。

20

【0342】

割り込み原因がシリアル通信回路505が受信データを受信したことでありと特定すると、CPU56は、図56(b)に示す受信時割込処理を実行する。この場合、CPU56は、シリアル通信回路505が受信データを受信していることを示す受信時割込フラグをセットする(ステップS42)。

【0343】

なお、ステップS42において、CPU56は、受信時割込フラグをセットするとともに、シリアル通信回路505の受信データレジスタ711からデータを読み込んでもよい。この場合、例えば、CPU56は、読み込んだ受信データが賞球ACKコマンドであるか否かを判断する。また、賞球ACKコマンドであると判断すると、CPU56は、賞球ACKコマンドを受信したことを示す賞球ACK受信フラグをセットする。

30

【0344】

また、割り込み原因がシリアル通信回路505で通信エラーが発生したことでなかった場合、CPU56は、ステータスレジスタAのビット6を確認する。すなわち、CPU56は、シリアル通信回路505が送信データの送信を完了したことが割込原因であるか否かを判断する。ステータスレジスタAのビット6が「1」であると判断すると、CPU56は、割り込み原因がシリアル通信回路505が送信データの送信を完了したことでありと特定する。

【0345】

割り込み原因がシリアル通信回路505が送信データの送信を完了したことでありと特定すると、CPU56は、図56(c)に示す送信完了割込処理を実行する。この場合、CPU56は、シリアル通信回路505が送信データの送信を完了していることを示す送信時割込フラグをセットする(ステップS43)。

40

【0346】

上記に示す処理を実行することによって、遊技制御用マイクロコンピュータ560のCPU56は、シリアル通信回路505からの割り込み要求があった場合に、割込原因を特定し、特定した割込原因に応じたフラグ(通信エラーフラグ、受信時割込フラグ又は送信時割込フラグ)をセットする。特定した割込原因に応じてフラグがセットされることによって、CPU56によって、シリアル通信回路505で通信エラーが発生した旨や、デー

50

タを受信した旨、又はデータ送信を完了した旨が認識される。

【0347】

なお、払出制御用マイクロコンピュータ370が搭載するCPUも、シリアル通信回路380からの割り込み要求があった場合に、図56に示す処理と同様の処理に従って、割り込み原因を特定し、特定した割込原因に応じたフラグをセットする。

【0348】

例えば、遊技制御用マイクロコンピュータ560から払出制御用マイクロコンピュータ370に、一方向通信で賞球個数コマンドを送信する場合を考える。この場合、遊技制御用マイクロコンピュータ560が払出制御用マイクロコンピュータ370に、例えば2ms毎にタイマ割込が発生する構成となっていて、賞球個数コマンドを送信した後、次の割込処理を行って2ms後に再び賞球個数コマンドを送信したとする。また、払出制御用マイクロコンピュータ370は、例えば4ms毎にタイマ割込が発生する構成となっていて、4ms毎に賞球個数コマンドを受信できるものであるとする。すると、遊技制御用マイクロコンピュータ560が最初に送信した賞球個数コマンドを読み込んでいないのに、払出制御用マイクロコンピュータ370が次の賞球個数コマンドを受信してしまう事態が発生してしまうが、払出制御用マイクロコンピュータ370のCPUがシリアル通信回路380からの受信時割り込み要求に応じて賞球個数コマンドを受信するように設定すれば、遊技制御用マイクロコンピュータ560からの賞球個数コマンドを確実に受信することができる。

10

【0349】

賞球処理では、図57に示す賞球個数テーブルが使用される。賞球個数テーブルは、ROM54に設定されている。賞球個数テーブルの先頭アドレスには処理数（この例では「3」）が設定され、その後、賞球コマンド出力カウンタと、賞球数を指定する賞球指定データとが、順次設定されている。賞球コマンド出力カウンタとは、入賞口への入賞数をカウントするカウンタであり、例えば、ROM54に設定される。また、遊技制御用マイクロコンピュータ560は、賞球数（0～15個）毎に、対応する賞球コマンド出力カウンタを備える。この実施の形態では、遊技制御用マイクロコンピュータ560は、賞球数「3」に対応する賞球コマンド出力カウンタ1と、賞球数「10」に対応する賞球コマンド出力カウンタ2と、賞球数「15」に対応する賞球コマンド出力カウンタ3とを備える。なお、各賞球コマンド出力カウンタは、後述するように、タイマ割込処理の入力判定処理でカウントアップされる。

20

30

【0350】

図58は、賞球処理を示すフローチャートである。賞球処理では、CPU56は、賞球プロセスコードの値に応じて、ステップS1231～S1235のいずれかの処理を実行する。

【0351】

図59は、賞球プロセスコードの値が0の場合に実行される賞球個数コマンド送信処理（ステップS1231）を示すフローチャートである。CPU56は、賞球個数コマンド送信処理において、エラーフラグがセットされているか否かを確認する（ステップS1241）。この場合、CPU56は、通信エラーフラグがセットされているか否かを確認する。すなわち、CPU56は、まず、シリアル通信回路505で通信エラーが発生しているか否かを確認する。通信エラーフラグがセットされている場合、CPU56は、そのまま処理を終了する。すなわち、シリアル通信回路505で通信エラーが発生している状態であるので、CPU56は、払出制御基板37が搭載する払出制御用マイクロコンピュータ370との通信を禁止するように制御する。

40

【0352】

また、ステップS1241において、CPU56は、賞球異常が発生していることを示す賞球過多異常エラーフラグや賞球過少異常エラーフラグがセットされているか否かを確認する。この実施の形態では、後述するように、賞球異常検出処理において、賞球過多の発生が検出されると、賞球過多異常エラーフラグがセットされる。賞球過多異常エラーフ

50

ラグがセットされている場合、CPU 56は、そのまま処理を終了する。すなわち、賞球過多の異常が発生している状態であるので、CPU 56は、払出制御用マイクロコンピュータ370への賞球個数コマンドの送信を禁止するように制御する。また、賞球異常検出処理において、賞球過少の発生が検出されると、賞球過少異常エラーフラグがセットされる。賞球過少異常エラーフラグがセットされている場合、CPU 56は、そのまま処理を終了する。すなわち、賞球過少の異常が発生している状態であるので、CPU 56は、払出制御用マイクロコンピュータ370への賞球個数コマンドの送信を禁止するように制御する。

【0353】

エラーフラグがセットされていなければ、CPU 56は、賞球個数テーブルの先頭アドレスをポインタにセットする（ステップS1242）。そして、ポインタが指すアドレスのデータ（この場合には処理数）をロードする（ステップS1243）。次に、CPU 56は、払出制御用マイクロコンピュータ370に送信すべき賞球個数コマンドを設定するための賞球個数コマンドバッファの内容をロードする（ステップS1244）。そして、ロードした内容にもとづいて、払出制御用マイクロコンピュータ370に送信すべき賞球個数コマンドが賞球個数コマンドバッファに既に設定された状態であるか否かを確認する（ステップS1245）。

【0354】

賞球個数コマンドが賞球個数コマンドバッファに設定されていなければ（例えば、ロードした値が0であれば）、CPU 56は、ポインタの値を1増やし（ステップS1246）、ポインタが指す賞球コマンド出力カウンタ（賞球個数テーブルにデータとして示される賞球コマンド出力カウンタ）のカウント値をロードする（ステップS1247）。なお、既に賞球個数コマンドが賞球個数コマンドバッファに設定されていれば、そのままステップS1254に移行する。

【0355】

次いで、CPU 56は、ロードしたカウント値が0であるか否かを確認する（ステップS1248）。カウント値が0であれば、そのままステップS1252に移行する。カウント値が0でなければ、CPU 56は、ポインタの値を1増やし（ステップS1249）、ポインタが指す賞球個数テーブルのデータ（この場合には賞球指定データに示される賞球個数）をロードする（ステップS1250）。また、CPU 56は、ロードした賞球個数を賞球個数コマンドとして賞球個数コマンドバッファにストアする（ステップS1251）。ステップS1252では処理数を1減らし、処理数が0でなければステップS1246に戻る（ステップS1253）。

【0356】

ステップS1245で賞球個数コマンドが既に設定済みであった場合、またはステップS1253で処理数が0であった場合には、CPU 56は、賞球個数コマンドバッファから賞球個数を読み込み、賞球個数コマンドとしてシリアル通信回路505の送信データレジスタ710に書き込む（ステップS1254）。そして、CPU 56は、賞球プロセスコードの値を1にした後（ステップS1255）、処理を終了する。

【0357】

図60は、賞球プロセスコードの値が1の場合に実行される賞球送信完了待ち処理（ステップS1232）を示すフローチャートである。CPU 56は、賞球送信完了待ち処理において、エラーフラグがセットされているか否かを確認する（ステップS1261）。この場合、CPU 56は、通信エラーフラグがセットされているか否かを確認する。すなわち、CPU 56は、まず、シリアル通信回路505で通信エラーが発生しているか否かを確認する。通信エラーフラグがセットされている場合、CPU 56は、そのまま処理を終了する。すなわち、シリアル通信回路505で通信エラーが発生している状態であるので、CPU 56は、払出制御基板37が搭載する払出制御用マイクロコンピュータ370との通信を禁止するように制御する。

【0358】

また、ステップS1261において、CPU56は、賞球異常が発生していることを示す賞球過多異常エラーフラグまたは賞球過少異常エラーフラグがセットされているか否かを確認する。賞球過多異常エラーフラグまたは賞球過少異常エラーフラグがセットされている場合、CPU56は、そのまま処理を終了する。すなわち、賞球過多または賞球過少の異常が発生している状態であるので、CPU56は、払出制御用マイクロコンピュータ370への賞球個数コマンドの送信を禁止するように制御する。

【0359】

エラーフラグがセットされていなければ、CPU56は、送信時割込フラグがセットされているか否かを確認する（ステップS1262）。送信時割込フラグがセットされていれば、CPU56は、ステップS1263の処理に移行する。また、送信時割込フラグがセットされていなければ、CPU56は、そのまま処理を終了する。すなわち、CPU56は、賞球個数コマンド送信処理において送信データレジスタ710に書き込んだ賞球個数コマンドの送信をシリアル通信回路505が既に完了したか否かを判断し、賞球個数コマンドの送信を完了したことを確認すると、ステップS1263以降の処理を実行する。

【0360】

送信時割込フラグがセットされていければ、CPU56は、送信時割込フラグをリセットする（ステップS1263）。また、CPU56は、賞球タイマにACK受信完了判定時間値をセットする（ステップS1264）。そして、賞球プロセスコードの値を2にして（ステップS1265）、処理を終了する。なお、ACK受信完了判定時間値は、払出制御手段から賞球ACKコマンドを受信したか否かを監視するための時間値である。

【0361】

図61は、賞球プロセスコードの値が2の場合に実行される賞球ACK待ち処理（ステップS1233）を示すフローチャートである。CPU56は、賞球ACK待ち処理において、エラーフラグがセットされているか否かを確認する（ステップS1271）。この場合、CPU56は、通信エラーフラグがセットされているか否かを確認する。すなわち、CPU56は、まず、シリアル通信回路505で通信エラーが発生しているか否かを確認する。通信エラーフラグがセットされている場合、CPU56は、そのまま処理を終了する。すなわち、シリアル通信回路505で通信エラーが発生している状態であるので、CPU56は、払出制御基板37が搭載する払出制御用マイクロコンピュータ370との通信を禁止するように制御する。

【0362】

また、ステップS1271において、CPU56は、賞球異常が発生していることを示す賞球過多異常エラーフラグまたは賞球過少エラーフラグがセットされているか否かを確認する。賞球過多異常エラーフラグまたは賞球過少エラーフラグがセットされている場合、CPU56は、そのまま処理を終了する。すなわち、賞球過多または賞球過少の異常が発生している状態であるので、CPU56は、払出制御用マイクロコンピュータ370への賞球個数コマンドの送信を禁止するように制御する。

【0363】

エラーフラグがセットされていなければ、CPU56は、受信時割込フラグがセットされているか否かを確認する（ステップS1272）。すなわち、CPU56は、シリアル通信回路505が受信データを受信し、受信データレジスタ711にデータが格納されている状態になっているか否かを確認する。受信時割込フラグがセットされていなければ、CPU56は、ステップS1273の処理に移行する。また、受信時割込フラグがセットされていなければ、CPU56は、ステップS1275の処理に移行する。

【0364】

受信時割込フラグがセットされていければ、CPU56は、シリアル通信回路505の受信データレジスタ711からデータを読み込む（ステップS1273）。また、CPU56は、読み込んだデータが賞球ACKコマンドであるか否か（コマンド「D2」であるか否か）を判断する（ステップS1274）。

【0365】

なお、図56(b)に示す受信時割込処理において、受信時割込フラグをセットするとともに既に受信データを受信データレジスタ711から読み込んでいる場合、ステップS1273、S1274において、CPU56は、賞球ACK受信フラグがセットされているか否かを判断してもよい。そして、賞球ACK受信フラグがセットされている場合、CPU56は、賞球ACKコマンドを受信したと判断するようにしてもよい。

【0366】

ステップS1272で受信時割込フラグがセットされていなかった場合、またはステップS1274で読み込んだデータが賞球ACKコマンドでなかった場合、CPU56は、まだ払出制御用マイクロコンピュータ370から賞球ACKコマンドを受信していない状態であると判断する。この場合、CPU56は、賞球タイマの値を1減らし（ステップS1275）、その値が0でなければ処理を終了する（ステップS1276）。賞球タイマの値が0になったら、払出制御用マイクロコンピュータ370が賞球ACKコマンドを送信しなかったと判断して、再送信フラグをセットし（ステップS1277）、賞球プロセスコードの値を3にして（ステップS1278）、処理を終了する。なお、賞球プロセスコードの値が3になると、賞球再送信処理（ステップS1234）が実行される状態になる。また、再送信フラグがセットされると、賞球異常検出処理（ステップS1235）において、払出異常報知開始コマンドが音／ランプ制御基板80bに対して送信される。

【0367】

ステップS1274において、受信データレジスタ711から読み込んだデータが賞球ACKコマンドであることを確認すると、CPU56は、受信時割込フラグをリセットして（ステップS1279）、賞球プロセスコードの値を4にする（ステップS1280）。

【0368】

次いで、CPU56は、割込禁止状態に設定し（ステップS1281）、総賞球数格納バッファの内容をロードする（ステップS1282）。なお、総賞球数格納バッファは、払い出すべき賞球数であって払い出しが完了していない賞球数の総数（総賞球数）を格納するバッファである。総賞球数格納バッファの内容をロードすると、CPU56は、賞球個数コマンド送信処理で送信した賞球個数コマンドに対応する賞球数を、ロードした総賞球数格納バッファの内容（総賞球数）に加算する（ステップS1283）。この実施の形態では、CPU56は、賞球個数コマンドに応じて、3、10または15のいずれかの賞球数を、ロードした総賞球数格納バッファの内容に加算する。

【0369】

次いで、CPU56は、総賞球数の加算結果を、総賞球数格納バッファにストアし（ステップS1284）、再び割込許可状態に設定する（ステップS1285）。また、通信が正常に完了したので、再送信フラグがセットされている場合には、再送信フラグをリセットする（ステップS1286、S1287）。

【0370】

以上の処理によって、遊技制御手段は、払出条件の成立にもとづいて払い出される賞球としての遊技球の総数を特定可能に総賞球数格納バッファに記憶する。また、遊技制御手段は、賞球コマンド出力カウンタに対応する賞球数にもとづいて払出制御手段に対して所定数の賞球の払出数を指定する払出指令コマンド（賞球個数コマンド）を送信する。そして、賞球払出を指定する賞球個数コマンドを送信すると、総賞球数格納バッファに記憶されている賞球数に賞球個数コマンドで指定した払出数を加算する加算処理を行う。なお、払出制御用マイクロコンピュータ370は、賞球個数コマンドを受信すると直ちに賞球ACKコマンドを送信するので、球払出装置97からの賞球払出に関わりなく賞球個数コマンドに関する通信を完了でき、遊技制御用マイクロコンピュータ560は、賞球個数コマンドで指定した払出数の賞球払出が完了する前に、連続的に次の賞球個数コマンドを送信することができる。

【0371】

また、ステップS1281～S1285の処理において、賞球個数コマンドに示される

賞球数を総賞球数に加算する際に、総賞球数格納バッファから総賞球数を読み出すと、加算後の総賞球数を総賞球数格納バッファに書き込むまでタイマ割込処理の実行を禁止する。そのため、総賞球数格納バッファから総賞球数を読み出してから再び書き込むまでの間に、払い出された賞球数を総賞球数から減算する処理を実行しないようにすることができ、払い出された賞球数を遊技制御手段が把握できなくなる事態を防止できる。

【0372】

例えば、遊技制御手段は、後述するように、払い出しが行われると、タイマ割込処理の入力判定処理において、総賞球数格納バッファが記憶する総賞球数から、払出カウントスイッチによって検出された払出数を減算する。この場合、賞球処理において総賞球数格納バッファから総賞球数を読み出してから再び書き込むまでの間に払い出しが行われると、遊技制御手段は、加算後の総賞球数が総賞球数格納バッファにストアされる前に、タイマ割込により減算処理を実行してしまう虞がある。そのため、加算後の総賞球数（減算分が反映されていない総賞球数）を総賞球数格納バッファに上書きしてしまい、払い出しによる減算分を総賞球数に正しく反映できなくなる虞がある。この実施の形態では、加算後の総賞球数を総賞球数格納バッファに書き込むまでタイマ割込処理の実行を禁止するので、払い出しによる減算分を総賞球数に正しく反映できなくなる事態を防止でき、払い出された賞球数を遊技制御手段が把握できなくなる事態を防止できる。

10

【0373】

図62は、賞球プロセスコードの値が3の場合に実行される賞球再送信処理（ステップS1234）を示すフローチャートである。CPU56は、賞球再送信処理において、エラーフラグがセットされているか否かを確認する（ステップS1291）。この場合、CPU56は、通信エラーフラグがセットされているか否かを確認する。すなわち、CPU56は、まず、シリアル通信回路505で通信エラーが発生しているか否かを確認する。通信エラーフラグがセットされている場合、CPU56は、そのまま処理を終了する。すなわち、シリアル通信回路505で通信エラーが発生している状態であるので、CPU56は、払出制御基板37が搭載する払出制御用マイクロコンピュータ370との通信を禁止するように制御する。

20

【0374】

また、ステップS1291において、CPU56は、賞球異常が発生していることを示す賞球過多異常エラーフラグまたは賞球過少異常エラーフラグがセットされているか否かを確認する。賞球過多異常エラーフラグまたは賞球過少異常エラーフラグがセットされている場合、CPU56は、そのまま処理を終了する。すなわち、賞球過多または賞球過少の異常が発生している状態であるので、CPU56は、払出制御用マイクロコンピュータ370への賞球個数コマンドの送信を禁止するように制御する。

30

【0375】

エラーフラグがセットされていなければ、CPU56は、賞球個数コマンド送信処理で送信した賞球個数コマンドに対応する賞球数を、賞球個数コマンドとしてシリアル通信回路505の送信データレジスタ710に再度書き込む（ステップS1292）。また、CPU56は、賞球タイマにACK受信完了判定時間値を再びセットする（ステップS1293）。そして、賞球プロセスコードの値を2にして（ステップS1294）、処理を終了する。

40

【0376】

賞球プロセスコードの値が2に設定されることから、再度、賞球ACK待ち処理が実行される。再度実行される賞球ACK待ち処理において、再び賞球ACKコマンドを受信したことを検出できなかった場合には、具体的には、ステップS1276において賞球タイマがタイムアウトした場合には、再び賞球再送処理が実行されることになる。このように、遊技制御用マイクロコンピュータ560は、払出数データを受信したことを示す受信確認信号としての賞球ACKコマンドが受信できない場合には、賞球ACKコマンドが受信できるまで、賞球個数コマンドの再送を繰り返す。

【0377】

50

図63は、ステップS1235の賞球異常検出処理を示すフローチャートである。賞球異常検出処理において、CPU56は、再送信フラグがリセット状態からセット状態になったことを検出すると、払出異常報知開始コマンドを演出制御コマンドとして音／ランプ制御基板80bに対して（具体的には音／ランプ制御用マイクロコンピュータ100bに対して）送信する制御を行う（ステップS1301，S1302）。なお、CPU56は、賞球再送信処理を実行してから払出異常報知開始コマンドを送信するのではなく、払出異常報知開始コマンドを音／ランプ制御基板80bに送信してから賞球再送信処理を実行するようにしてもよい。

【0378】

なお、音／ランプ制御用マイクロコンピュータ100bに演出制御コマンドを送信する際に、CPU56は、演出制御コマンドの種類に応じたコマンド送信テーブル（あらかじめROM54にコマンド毎に設定されている）のアドレスをポインタにセットする。そして、演出制御コマンドに応じたコマンド送信テーブルのアドレスをポインタにセットして、コマンド制御処理（ステップS19b）において演出制御コマンドを送信する。

【0379】

また、CPU56は、再送信フラグがセット状態からリセット状態になったことを検出する（従って、セット状態が継続している場合には最初にリセット状態になったときにのみ検出される。）と、払出異常報知終了コマンドを音／ランプ制御基板80bに対して（具体的には音／ランプ制御用マイクロコンピュータ100bに対して）送信する制御を行う（ステップS1303，S1304）。

【0380】

なお、この実施の形態では、CPU56は、再送信フラグがリセットされると、ステップS1304で払出異常報知終了コマンドを送信するが、送信しないように構成してもよい。その場合には、遊技制御用マイクロコンピュータ560の負担が軽減される。また、その場合には、音／ランプ制御用マイクロコンピュータ100bが、例えば所定時間後に、独自に払出異常報知を終了するように構成される。

【0381】

また、CPU56は、総賞球数格納バッファが格納する総賞球数が所定の払出過多判定値よりも小さいか否かを確認する（ステップS1305）。また、総賞球数が所定の払出過多判定値よりも小さい場合、CPU56は、賞球過多異常が発生していると判断し、賞球過多異常が発生している旨を示す賞球過多異常コマンドを、音／ランプ制御基板80bおよび払出制御基板37に送信する（ステップS1306）。この実施の形態では、CPU56は、総賞球数格納バッファが格納する総賞球数が「-499」より小さい（すなわち、500以下である）と判断すると、払い出すべき賞球数より多くの遊技球が払い出された賞球過多異常が発生したと判断する。

【0382】

なお、ステップS1306において、音／ランプ制御用マイクロコンピュータ100bに演出制御コマンド（賞球過多異常コマンド）を送信する際に、CPU56は、演出制御コマンドの種類に応じたコマンド送信テーブル（あらかじめROM54にコマンド毎に設定されている）のアドレスをポインタにセットする。そして、演出制御コマンドに応じたコマンド送信テーブルのアドレスをポインタにセットして、コマンド制御処理（ステップS19b）において演出制御コマンドを送信する。

【0383】

また、ステップS1306において、払出制御用マイクロコンピュータ370に賞球過多異常コマンドを送信する際に、CPU56は、賞球過多異常が発生した旨を示す賞球過多異常コマンド（具体的には「E1」）を、シリアル通信回路505の送信データレジスタ710に書き込む。そして、シリアル通信回路505によって、賞球過多異常コマンド「E1」が払出制御用マイクロコンピュータ370に送信される。

【0384】

賞球過多異常コマンドを送信すると、CPU56は、賞球過多異常が発生した旨を示す

10

20

30

40

50

賞球過多異常エラーフラグをセットし（ステップS1307）、賞球プロセスコードの値を0にした後（ステップS1308）、処理を終了する。

【0385】

また、ステップS1305で総賞球数が所定の払出過多判定値よりも小さくない場合、CPU56は、総賞球数格納バッファが格納する総賞球数が所定の払出過少判定値よりも大きいかなんかを確認する（ステップS1305a）。また、総賞球数が所定の払出過少判定値よりも大きい場合、CPU56は、賞球過少異常が発生していると判断し、賞球過少異常が発生している旨を示す賞球過少異常コマンドを、音／ランプ制御基板80bおよび払出制御基板37に送信する（ステップS1305b）。この実施の形態では、CPU56は、総賞球数格納バッファが格納する総賞球数が「2000」（大当たり1回あたりに払い出される賞球数に相当する）より大きいと判断すると、払い出すべき賞球数よりも少ない遊技球しか払い出されていない賞球過少異常が発生したと判断する。

10

【0386】

なお、ステップS1305bにおいて、音／ランプ制御用マイクロコンピュータ100bに演出制御コマンド（賞球過少異常コマンド）を送信する際に、CPU56は、演出制御コマンドの種類に応じたコマンド送信テーブル（あらかじめROM54にコマンド毎に設定されている）のアドレスをポインタにセットする。そして、演出制御コマンドに応じたコマンド送信テーブルのアドレスをポインタにセットして、コマンド制御処理（ステップS19b）において演出制御コマンドを送信する。

20

【0387】

また、ステップS1305bにおいて、払出制御用マイクロコンピュータ370に賞球過少異常コマンドを送信する際に、CPU56は、賞球過少異常が発生した旨を示す賞球過少異常コマンド（具体的には「E2」）を、シリアル通信回路505の送信データレジスタ710に書き込む。そして、シリアル通信回路505によって、賞球過少異常コマンド「E2」が払出制御用マイクロコンピュータ370に送信される。

【0388】

賞球過少異常コマンドを送信すると、CPU56は、賞球過少異常が発生した旨を示す賞球過少異常エラーフラグをセットし（ステップS1305c）、賞球プロセスコードの値を0にした後（ステップS1308）、処理を終了する。

【0389】

30

次に、メイン処理における特別図柄プロセス処理（ステップS19d）を説明する。図64は、遊技制御用マイクロコンピュータ560のCPU56が実行する特別図柄プロセス処理のプログラムの一例を示すフローチャートである。遊技制御用マイクロコンピュータ560のCPU56は、特別図柄プロセス処理を行う際に、変動短縮タイマ減算処理（ステップS310）を行い、遊技盤6に設けられている始動入賞口14に遊技球が入賞したことを検出するための始動口スイッチ14aがオンしていたら、すなわち遊技球が始動入賞口14に入賞し、入賞検出信号SSが始動口スイッチ14aから入力されていたら（ステップS311）、始動口スイッチ通過処理（ステップS312）を行った後に、内部状態に応じて、ステップS300～S308のうちのいずれかの処理を行う。変動短縮タイマは、特別図柄の変動時間が短縮される場合に、変動時間を設定するためのタイマである。

40

【0390】

なお、ステップS311において始動口スイッチ14aがオンしていなかった場合には、CPU56は、後述する割込回数カウンタをクリアした後に、内部状態に応じて、ステップS300～S308のうちのいずれかの処理を行う。

【0391】

特別図柄通常処理（ステップS300）：特別図柄の可変表示を開始できる状態（例えば、特別図柄表示器8において図柄の変動がなされておらず、特別図柄表示器8における前回の図柄変動が終了してから所定期間が経過しており、かつ、大当たり遊技中でもない状態）になるのを待つ。特別図柄の可変表示が開始できる状態になると、特別図柄について

50

の始動入賞記憶数を確認する。始動入賞記憶数が0でなければ、特図保留メモリ570に記憶されている乱数回路503が発生したランダムRにもとづいて、特別図柄の可変表示の結果を大当たりとするか否か決定する。そして、内部状態（特別図柄プロセスフラグ）をステップS301に移行するように更新する。

【0392】

特別図柄停止図柄設定処理（ステップS301）：特別図柄の可変表示後の停止図柄を決定する。そして、内部状態（特別図柄プロセスフラグ）をステップS302に移行するように更新する。

【0393】

変動時間設定処理（ステップS302）：変動パターンを決定し、その変動パターンにおける変動時間（可変表示時間：可変表示を開始してから表示結果が導出表示（停止表示）するまでの時間）を特別図柄の可変表示の変動時間とすることに決定する。また、決定した特別図柄の変動時間を計測する変動時間タイマをスタートさせる。そして、内部状態（特別図柄プロセスフラグ）をステップS303に移行するように更新する。

【0394】

特別図柄変動処理（ステップS303）：所定時間（ステップS302の変動時間タイマで示された時間）が経過すると、内部状態（特別図柄プロセスフラグ）をステップS304に移行するように更新する。

【0395】

特別図柄停止処理（ステップS304）：音／ランプ制御基板80bに対して、飾り図柄の停止を指示するための飾り図柄停止コマンドを送信する。また、特別図柄表示器8における特別図柄を停止させる。そして、特別図柄の停止図柄が大当たり図柄である場合には、内部状態（特別図柄プロセスフラグ）をステップS305に移行するように更新する。そうでない場合には、内部状態をステップS300に移行するように更新する。なお、飾り図柄停止コマンドを送信しない構成としてもよい。この場合、図柄制御基板80aは、音／ランプ制御基板80bを経由して主基板31から受信した変動パターンコマンドにもとづいて変動時間タイマに変動時間を設定するとともに、その変動時間タイマを更新していくことで飾り図柄の変動時間を独自に監視し、その変動時間が経過したと判定したときに飾り図柄を停止する処理を行うようにすればよい。

【0396】

大入賞口開放前処理（ステップS305）：大入賞口を開放する制御を開始する。具体的には、カウンタ（例えば大入賞口に入った遊技球数をカウントするカウンタ）やフラグ（入賞口への入賞を検出する際に用いられるフラグ）を初期化するとともに、ソレノイド21を駆動して大入賞口を開放する。また、プロセスタイマによって大入賞口開放中処理の実行時間を設定し、大当たり中フラグをセットする。そして、内部状態（特別図柄プロセスフラグ）をステップS306に移行するように更新する。

【0397】

大入賞口開放中処理（ステップS306）：大入賞口ラウンド表示の演出制御コマンドを音／ランプ制御基板80bに送出する制御や大入賞口の閉成条件（例えば、大入賞口に所定個数（例えば10個）の遊技球が入賞したこと）の成立を確認する処理等を行う。大入賞口の閉成条件が成立したら、内部状態をステップS307に移行するように更新する。

【0398】

特定領域有効時間処理（ステップS307）：大当たり遊技状態継続条件の成立を確認する処理を行う。大当たり遊技状態継続の条件が成立し、かつ、まだ残りラウンドがある場合には、内部状態をステップS305に移行するように更新する。また、全てのラウンドを終えた場合には、内部状態をステップS308に移行するように更新する。なお、V入賞領域を設けた場合、V入賞スイッチの有無を監視して、大当たり遊技状態継続条件の成立を確認する処理を行う。

【0399】

大当たり終了処理（ステップS308）：大当たり遊技状態が終了したことを遊技者に報知する表示制御を演出制御手段に行わせるための制御を行う。そして、内部状態をステップS300に移行するように更新する。

【0400】

図65は、始動口スイッチ通過処理（ステップS312）を示すフローチャートである。始動口スイッチ通過処理において、遊技制御用マイクロコンピュータ560のCPU56は、始動入賞カウンタが示す始動入賞記憶数（または特図保留メモリ570が記憶している始動入賞記憶数）が最大値である4に達しているかどうか確認する（ステップS321）。始動入賞記憶数が4に達していなければ、CPU56は、割込実行回数カウンタに示されるタイマ割込処理の実行回数が所定回数（例えば、3回）に達しているか否かを確認する（ステップS322）。すなわち、CPU56は、遊技球が始動入賞口14に入賞したあと、割込実行回数カウンタが所定回数に達しているか否かを確認する。なお、遊技球が始動入賞口14に入賞したことを検出すると（すなわち、ステップS322でYESと判定すると）、CPU56は、割込実行回数カウンタをリセットする。

10

【0401】

割込実行回数カウンタは、タイマ割込処理を実行した回数をカウントするためのカウンタである。この実施の形態では、CPU56は、後述するタイマ割込処理を実行する際に、タイマ割込処理を実行した回数を示す割込回数カウンタをカウントアップする。

【0402】

ステップS322において所定回数としてあらかじめ設定される値は、以下のように定められる。前述のように、乱数回路503のタイマ回路534は、始動口スイッチ14aから入賞検出信号SSが継続して入力されている時間を計測し、計測時間が所定期間になったことを検出すると、乱数値取り込みデータ「01h」を書き込む。この実施の形態では、タイマ回路534が計測する所定期間（例えば、3ms）が、所定回数のタイマ割込処理が実行される期間（例えば、2msごとのタイマ割込処理を3回実行する場合は6ms）よりも短くなるように、ステップS322において用いる所定回数（例えば、3回）が設定される。そのように設定することによって、乱数を読み出してから、乱数値記憶回路531に記憶される乱数の値が更新される前に再び乱数を読み出してしまふことを防止することができ、前回乱数値記憶回路531から読み出した乱数と同じ値の乱数を再び読み出してしまふことを防止することができる。なお、タイマ回路534が入賞検出信号SSの入力時間を計測するのではなく、CPU56が入賞検出信号SSの入力時間を計測し、乱数値取り込みデータ「01h」を乱数値取込レジスタ539に書き込むようにしてもよい。

20

30

【0403】

タイマ割込処理の実行回数が所定回数に達している場合、CPU56は、特定した乱数回路503の乱数値記憶回路531に出力制御信号SCを出力し、乱数値記憶回路531を読出可能（イネイブル）状態に制御する（ステップS323）。

【0404】

CPU56は、乱数回路503の乱数値記憶回路531から、乱数値として記憶されているランダムRの値を読み出す（ステップS324）。また、CPU56は、読み出したランダムRの値を、始動入賞記憶数の値に対応した保存領域（特別図柄判定用バッファ（特図保留メモリ570））に格納する（ステップS325）。また、CPU56は、ランダムRの値をバッファ領域に格納すると、乱数値記憶回路531への出力制御信号SCの出力を停止し、乱数値記憶回路531を読出不能（ディセイブル）状態に制御する（ステップS326）。また、CPU56は、割込実行回数カウンタをリセットする（ステップS327）。そして、CPU56は、所定のバッファ領域に格納したランダムRの値を特図保留メモリ570の空エントリの先頭にセットし（ステップS328）、始動入賞カウンタのカウント数を1加算することで始動入賞記憶数を1増やす（ステップS329）。

40

【0405】

ステップS321において始動入賞記憶するが最大値である4に達している場合、およ

50

びステップS 3 2 2においてタイマ割込処理の実行回数が所定回数に達してない場合、そのまま始動口スイッチ通過処理を終了する。

【0406】

以上のように、始動口スイッチ通過処理において、乱数値記憶回路531からランダムRを読み出すにあたって、タイマ割込処理が所定回数実行されたこと（すなわち、タイマ割込処理が所定回数実行される間継続して入賞検出信号SSが入力されたこと）を条件に、乱数値記憶回路531から乱数を読み出す。そのため、乱数を読み出してから、乱数値記憶回路531に記憶される乱数の値が更新される前に再び乱数を読み出してしまうことを防止することができる。また、前回乱数値記憶回路531から読み出した乱数と同じ値の乱数を再び読み出してしまうことを防止することができる。

10

【0407】

次に、特別図柄プロセス処理における特別図柄通常処理（ステップS 3 0 0）について説明する。図66は、特別図柄通常処理を示すフローチャートである。特別図柄通常処理において、遊技制御用マイクロコンピュータ560のCPU56は、特別図柄の変動を開始することができる状態のとき（例えば特別図柄プロセスフラグの値がステップS 3 0 0を示す値となっている場合）には（ステップS 3 8 0）、特図保留メモリ570から保留番号「1」に対応して格納されているランダムRの値を読み出す（ステップS 3 8 1）。この場合、CPU56は、始動入賞カウンタのカウント数を1減算することで保留記憶数を1減らし、且つ、特図保留メモリ570の第2～第4エントリ（保留番号「2」～「4」）に格納されたランダムRの値を1エントリずつ上位にシフトする（ステップS 3 8 2）。

20

【0408】

また、CPU56は、確変フラグがセットされているか否かを確認する（ステップS 3 8 3）。すなわち、CPU56は、遊技状態が確変状態に制御されているか否かを確認する。確変フラグがセットされていない場合、CPU56は、遊技状態が確変状態以外の通常状態であると判断し、特別図柄表示装置8の表示結果を大当り図柄とするか否かを判定するために用いるテーブルとして、通常時大当り判定テーブル571a（図39（A）参照）を設定する（ステップS 3 8 4）。また、確変フラグがセットされている場合、CPU56は、遊技状態が確変状態であると判断し、特別図柄表示装置8の表示結果を大当り図柄とするか否かを判定するために用いるテーブルとして、確変時大当り判定テーブル571b（図39（B）参照）を設定する（ステップS 3 8 5）。

30

【0409】

CPU56は、始動口スイッチ通過処理において所定のバッファ領域に格納したランダムRの値にもとづいて、特別図柄表示装置8の表示結果を大当り図柄とするか否かを判定する（ステップS 3 8 6）。この場合、CPU56は、ステップS 3 8 4で設定した通常時大当り判定テーブル571aまたはステップS 3 8 5で設定した確変時大当り判定テーブル571bを用いて、大当りとするか否かを判定する。

【0410】

特別図柄表示装置8の表示結果を大当り図柄とすると決定すると、CPU56は、大当り状態であることを示す大当りフラグをオン状態にする（ステップS 3 8 7）。また、特別図柄表示装置8の表示結果を大当り図柄としないと決定すると、CPU56は、大当りフラグをオフ状態にする（ステップS 3 8 8）。そして、CPU56は、特別図柄プロセスフラグの値を特別図柄停止図柄設定処理に対応した値に更新する（ステップS 3 8 9）。

40

【0411】

次に、タイマ割込処理について説明する。図67は、タイマ割込処理を示すフローチャートである。メイン処理の実行中に、具体的には、ステップS 1 7～S 1 9のループ処理の実行中における割込許可になっている期間において、タイマ割込が発生すると、遊技制御用マイクロコンピュータ560のCPU56は、タイマ割込の発生に応じて起動されるタイマ割込処理を実行する。また、CPU56は、割込回数カウンタのカウント値を1加

50

算する。タイマ割込処理において、CPU 56は、まず、スイッチ回路58を介して、ゲートスイッチ32a、始動口スイッチ14a、カウントスイッチ23および入賞口スイッチ29a、30a、33a、39a等のスイッチの検出信号を入力し、各スイッチの入力を検出する（スイッチ処理：ステップS20）。具体的には、各スイッチの検出信号を入力する入力ポートの状態がオン状態であれば、各スイッチに対応して設けられているスイッチタイマの値を+1する。また、CPU 56は、ステップS20の検出結果にもとづいて、各スイッチの入力状態を判定する入力判定処理を実行する（ステップS21）。

【0412】

次に、CPU 56は、乱数回路設定処理において所定の最終値までカウント値が更新されたときに初期値を更新する旨の設定がされてるか（ステップS157参照）を確認し、乱数回路503のカウンタ521に初期値を更新する処理を行う（乱数回路初期値更新処理：ステップS22）。

10

【0413】

次に、遊技制御に用いられる各判定用乱数を生成するための各カウンタのカウント値を更新する処理を行う（ステップS23）。また、CPU 56は、初期値用乱数を生成するためのカウンタのカウント値を更新する処理を行う（初期値用乱数更新処理：ステップS24）。さらに、CPU 56は、表示用乱数を生成するためのカウンタのカウント値を更新する処理を行う（表示用乱数更新処理：ステップS25）。

【0414】

ステップS23では、CPU 56は、例えば、大当たり図柄決定用乱数や、普通図柄当り判定用乱数、確変決定用乱数、確変終了決定用乱数等の乱数を生成するためのカウンタのカウントアップ（1加算）を行う。すなわち、それらが判定用乱数であり、それら以外の乱数が表示用乱数または初期値用乱数である。また、遊技効果を高めるために、上記に示す乱数以外の普通図柄に関する乱数等も用いられていてもよい。

20

【0415】

判定用乱数更新処理、初期値更新処理および表示用乱数更新処理を行うと、CPU 56は、乱数回路503のカウンタ521が出力するカウント値の順列をカウント値順列変更回路523に変更させるカウント値順列変更処理を行う（ステップS26）。この実施の形態では、乱数回路設定処理のステップS158でカウント値順列変更フラグがセットされているか否かによって、カウント値順列変更処理を実行するか否かが決定されている。そして、CPU 56は、カウント値順列変更フラグがセットされていることにもとづいて、カウント値順列変更処理を実行する。その後、CPU 56は、割込許可状態に設定し（ステップS27）、処理を終了する。

30

【0416】

次に、タイマ割込処理におけるスイッチ処理（ステップS20）を説明する。この実施の形態では、入賞検出またはゲート通過に関わる各スイッチの検出信号のオン状態が所定時間継続すると、確かにスイッチがオンしたと判定されスイッチオンに対応した処理が開始される。図68は、スイッチ処理で使用されるRAM 55に形成される各2バイトのバッファを示す説明図である。前回ポートバッファは、前回（例えば2ms前）のスイッチオン／オフの判定結果が格納されるバッファである。ポートバッファは、今回入力したポート0の内容が格納されるバッファである。スイッチオンバッファは、スイッチのオンが検出された場合に対応ビットが1に設定され、スイッチのオフが検出された場合に対応ビットが0に設定されるバッファである。

40

【0417】

図69は、遊技制御処理におけるステップS20のスイッチ処理の処理例を示すフローチャートである。スイッチ処理において、遊技制御用マイクロコンピュータ560は、まず、入力ポート0、1（図42参照）に入力されているデータを入力し（ステップS101）、入力したデータをポートバッファにセットする（ステップS102）。

【0418】

次いで、RAM 55に形成されるウェイトカウンタの初期値をセットし（ステップS1

50

03)、ウェイトカウンタの値が0になるまで、ウェイトカウンタの値を1ずつ減算する(ステップS104, S105)。

【0419】

ウェイトカウンタの値が0になると、再度、入力ポート0, 1のデータを入力し(ステップS106)、入力したデータとポートバッファにセットされているデータとの間で、ビット毎に論理積をとる(ステップS107)。そして、論理積の演算結果を、ポートバッファにセットする(ステップS108)。ステップS103~S108の処理によって、ほぼ「ウェイトカウンタの初期値×(ステップS104, S105の処理時間)」の時間間隔を置いて入力ポート0, 1から入力した2回の入力データのうち、2回とも「1」になっているビットのみが、ポートバッファにおいて「1」になる。つまり、所定期間としての「ウェイトカウンタの初期値×(ステップS104, S105の処理時間)」だけスイッチの検出信号のオン状態が継続すると、ポートバッファにおける対応するビットが「1」になる。

10

【0420】

さらに、遊技制御用マイクロコンピュータ560は、前回ポートバッファにセットされているデータとポートバッファにセットされているデータとの間で、ビット毎に排他的論理和をとる(ステップS109)。排他的論理和の演算結果において、前回(例えば2ms前)のスイッチオン/オフの判定結果と、今回オンと判定されたスイッチオン/オフの判定結果とが異なっているスイッチに対応したビットが「1」になる。遊技制御用マイクロコンピュータ560は、さらに、排他的論理和の演算結果と、ポートバッファにセットされているデータとの間で、ビット毎に論理積をとる(ステップS110)。この結果、前回のスイッチオン/オフの判定結果と今回オンと判定されたスイッチオン/オフの判定結果とが異なっているスイッチに対応したビット(排他的論理和演算結果による)のうち、今回オンと判定されたスイッチに対応したビット(論理積演算による)のみが「1」として残る。

20

【0421】

そして、遊技制御用マイクロコンピュータ560は、ステップS110における論理積の演算結果をスイッチオンバッファにセットし(ステップS111)、ステップS108における演算結果がセットされているポートバッファの内容を前回ポートバッファにセットする(ステップS112)。

30

【0422】

以上の処理によって、所定期間継続してオン状態であったスイッチのうち、前回(例えば2ms前)のスイッチオン/オフの判定結果がオフであったスイッチ、すなわち、オフ状態からオン状態に変化したスイッチに対応したビットが、スイッチオンバッファにおいて「1」になっている。

【0423】

次に、タイマ割込処理における入力判定処理(ステップS21)を説明する。入力判定処理では、図70に示す賞球コマンド出力カウンタ処理テーブルが使用される。賞球コマンド出力カウンタ処理テーブルは、ROM54に設定されている。賞球コマンド出力カウンタ処理テーブルの先頭アドレスには処理数(この例では「6」)が設定され、その後、スイッチオンバッファ(2バイトのスイッチオンバッファのうちの入力ポート0に対応する方)の下位アドレス、入賞により賞球を払い出すことになる入賞口の各スイッチについてのスイッチ入力ビット判定値、賞球コマンド出力カウンタが、入賞口の各スイッチのそれぞれに対応して順次設定されている。なお、スイッチ入力ビット判定値は、入力ポート0における各スイッチの検出信号が入力されるビットに対応した値である。また、スイッチオンバッファの上位アドレスは固定的な値(例えば7F(H))である。また、賞球コマンド出力カウンタ処理テーブルにおいて、6つのスイッチオンバッファの下位アドレスのそれぞれには、同じデータが設定されている。なお、この実施の形態では、ROM54およびRAM55のアドレスは16ビットで指定される。

40

【0424】

50

図71および図72は、入力判定処理を示すフローチャートである。入力判定処理において、CPU56は、賞球コマンド出力カウンタ処理テーブルの先頭アドレスをポインタにセットする（ステップS2111）。そして、ポインタが指すアドレスのデータ（この場合には処理数）をロードする（ステップS2112）。次に、スイッチオンバッファの上位アドレス（8ビット）を2バイトのチェックポインタの上位1バイトにセットする（ステップS2113）。

【0425】

そして、ポインタの値を1増やし（ステップS2114）、ポインタが指す賞球コマンド出力カウンタ処理テーブルのデータ（この場合にはスイッチオンバッファの下位アドレス）をチェックポインタの下位1バイトにセットした後（ステップS2115）、ポインタの値を1増やす（ステップS2116）。次いで、チェックポインタが指すアドレスのデータ、すなわちスイッチオンバッファの内容をレジスタにロードし（ステップS2117）、ロードした内容と、ポインタが指す賞球コマンド出力カウンタ処理テーブルのデータ（この場合にはスイッチ入力ビット判定値）との論理積をとる（ステップS2118）。この結果、スイッチオンバッファの内容がロードされたレジスタには、検査対象として

10

いるスイッチの検出信号に対応したビット以外の7ビットが0になる。そして、ポインタの値を1増やす（ステップS2119）。

ステップS2118における演算結果が0でなければ、すなわち、検査対象のスイッチの検出信号がオン状態であれば（ステップS2120）、ポインタが指す賞球コマンド出力カウンタ（賞球コマンド出力カウンタ処理テーブルのデータ）のカウンタ値をロードする（ステップS2121）。また、CPU56は、ロードしたカウンタ値に1を加算する（ステップS2122）。

20

【0427】

次いで、CPU56は、加算結果が256であるか否かを確認する（ステップS2123）。加算結果が256でなければ（すなわち、255以下であれば）、CPU56は、ポインタが指す賞球コマンド出力カウンタに加算結果をストアする（ステップS2124）。加算結果が256であれば、CPU56は、ポインタが指す賞球コマンド出力カウンタに加算結果をストアすることなく、ステップS2125に移行する。

【0428】

この実施の形態では、各賞球コマンド出力カウンタのカウンタ値の最大値が255に設定されている。そのため、ステップS2123、S2124の処理では、カウンタ値が255に達するまでは、入賞口への遊技球の入賞を検出する毎に、賞球コマンド出力カウンタのカウンタ値が1ずつ加算される。そして、カウンタ値が255に達すると、入賞口への遊技球の入賞を検出しても、賞球コマンド出力カウンタのカウンタ値は更新されない。

30

【0429】

また、この実施の形態では、CPU56は、賞球コマンド出力カウンタのカウンタ値をカウンタアップすることによって、払い出すべき賞球数を特定可能なデータを記憶手段に記憶させる。なお、CPU56は、例えば、払い出すべき賞球数を所定のバッファに直接記憶させるようにしてもよい。また、CPU56は、賞球数そのものを記憶させるのではなく、例えば、払い出すべき賞球数を示すデータを所定のバッファに記憶させるようにしてもよい。この場合、CPU56は、例えば、賞球数3に対してデータ「01」を記憶させ、賞球数10に対してデータ「02」を記憶させる等の制御を行ってもよい。

40

【0430】

ステップS2125では処理数を1減らし、処理数が0でなければステップS2114に戻る（ステップS2126）。処理数が0であれば、CPU56は、総賞球数格納バッファの内容をロードし（ステップS2127）、スイッチオンバッファの内容をレジスタにロードする（ステップS2128）。また、CPU56は、ロードしたスイッチオンバッファの内容と、払出個数カウンタスイッチのスイッチ入力ビット判定値との論理積をとる（ステップS2129）。この結果、スイッチオンバッファの内容がロードされたレジ

50

スタには、検査対象としている払出個数カウントスイッチの検出信号に対応したビット以外の7ビットが0になる。

【0431】

ステップS2129における演算結果が0でなければ、すなわち、検査対象の払出個数カウントスイッチの検出信号がオン状態であれば（ステップS2130）、CPU56は、ロードした総賞球数格納バッファの内容から1を減算する（ステップS2131）。そして、CPU56は、総賞球数格納バッファに減算結果をストアし（ステップS2132）、処理を終了する。

【0432】

図73は、総賞球数格納バッファに格納される総賞球数の加算処理および減算処理が行われるタイミングの一例を示すタイミング図である。図73に示すように、入賞検出スイッチが遊技球の入賞を検出したあとに、遊技制御用マイクロコンピュータ560のCPU56によってタイマ割込処理が実行されると、入力判定処理のステップS2111～S2126の処理が実行されることによって、各賞球コマンド出力カウンタのカウント値がカウントアップされる。次いで、タイマ割込処理を終了してメイン処理に戻ると、賞球個数コマンド送信処理が実行されることによって、カウントアップ後のカウント値にもとづいて賞球個数コマンドが払出制御基板37に送信される。そして、賞球ACK待ち処理が実行されることによって、送信された賞球個数コマンドに対応する賞球個数が総賞球数格納バッファに加算される。

【0433】

また、図73に示すように、払出個数カウントスイッチが賞球の払い出しを検出したあとに、CPU56によってタイマ割込処理が実行されると、入力判定処理のステップS2127～S2132の処理が実行されることによって、総賞球数格納バッファが格納する総賞球数から1減算される。この場合、賞球ACK待ち処理の賞球加算処理（ステップS1281～S1285の処理）が実行されている間は割込禁止状態に設定されているので、タイマ割込処理は実行されないことになる。そのため、賞球加算処理の実行中に払出個数カウントスイッチが賞球の払い出しを検出したとしても、総賞球数格納バッファが格納する総賞球数の減算処理は実行されない。賞球加算処理を終了し再び割込許可状態に設定されると、タイマ割込処理が実行され、払出個数カウントスイッチの検出信号にもとづいて、総賞球数格納バッファが格納する総賞球数から1減算される。

【0434】

次に、タイマ割込処理における乱数回路初期値更新処理（ステップS22）について説明する。図74は、乱数回路初期値更新処理を示すフローチャートである。乱数回路初期値更新処理において、CPU56は、乱数回路503のカウンタ521が出力するカウント値Cを最終値まで更新した旨を示す通知信号の状態を確認する（ステップS220）。通知信号がオン状態になっていることを検出した場合には、CPU56は、初期値更新フラグがセットされているか否かを確認する（ステップS221）。すなわち、CPU56は、乱数回路設定処理において、所定の最終値までカウント値が更新されたときに初期値を更新する旨の設定がなされたか否か（ステップS157参照）を確認する。

【0435】

初期値更新フラグがセットされている場合、CPU56は、乱数回路503のカウンタ521が所定の最終値までカウント値を更新したときに、カウンタ521に入力する初期値を更新すると判断する。また、初期値更新フラグがセットされている場合、CPU56は、初期値変更フラグがセットされているか否かを確認する（ステップS222）。すなわち、CPU56は、カウント値の初期値が現在変更されているか否か（すなわち、遊技制御用マイクロコンピュータ560のIDナンバにもとづく値に変更されているか否か）を判断する。

【0436】

初期値変更フラグがセットされている（すなわち、遊技制御用マイクロコンピュータ560のIDナンバにもとづく値に初期値が現在変更されている）場合、CPU56は、カ

10

20

30

40

50

カウンタ521に入力する初期値を、遊技制御用マイクロコンピュータ560のIDナンバにもとづく値から元の値（例えば、「1」）にもどす（ステップS223）。そして、CPU56は、初期値変更フラグをリセットし（ステップS224）、初期値更新処理を終了する。

【0437】

初期値変更フラグがセットされていない（すなわち、初期値が現在変更されていない）場合、CPU56は、カウンタ521に入力する初期値を、遊技制御用マイクロコンピュータ560のIDナンバにもとづく値に変更する（ステップS225）。この場合、例えば、遊技制御用マイクロコンピュータ560のIDナンバが「100」とすると、カウンタ521に入力する初期値を、IDナンバ「100」に所定値「100」を加算して求めた演算値「200」に変更する。また、例えば、カウンタ521に入力する初期値を、IDナンバ「100」に所定値「50」を減算して求めた演算値「50」に変更する。そして、CPU56は、初期値変更フラグをセットし（ステップS226）、初期値更新処理を終了する。

10

【0438】

なお、12ビット乱数回路503aおよび16ビット乱数回路503bの両方を設定した場合、ステップS225において、CPU56は、一方の乱数回路（例えば、12ビット乱数回路503a）から読み込んだ乱数を所定値としてIDナンバに加算して、カウンタ521に入力する初期値を求めてもよい。そして、CPU56は、他の一方（例えば、16ビット乱数回路503b）から読み込んだ乱数を、大当り判定用の乱数として用いてもよい。

20

【0439】

なお、CPU56は、ステップS225においてカウンタ521に入力する初期値を更新する際、乱数回路503の比較器522の乱数最大値設定レジスタ535の値を確認し、IDナンバにもとづいて設定された値が乱数最大値以上であるか否かを判断する。そして、IDナンバにもとづいて設定された値が乱数最大値以上であると判断すると、CPU56は、カウンタ521に入力する初期値を所定値のまま更新しない（例えば、所定値「0」のまま更新しない）。そのようにすることによって、カウント値の初期値が乱数最大値以上の値に設定されてしまう事態を防止することができる。

【0440】

30

なお、ステップS220において通知信号がオフ状態であると判断した場合、およびステップS221において初期値更新フラグがセットされていないと判断した場合、CPU56は、カウンタ521に入力する初期値を更新することなく、そのまま乱数回路初期値更新処理を終了し、ステップS23に移行する。

【0441】

次に、タイマ割込処理におけるカウント値順列変更処理（ステップS26）について説明する。図75は、カウント値順列変更処理を示すフローチャートである。CPU56は、カウント値順列変更プログラム554に従って処理を実行することによって、カウント値順列変更処理を行う。カウント値順列変更処理において、CPU56は、乱数回路503のカウンタ521が出力するカウント値Cを最終値まで更新した旨を示す通知信号の状態を確認する（ステップS241）。通知信号がオン状態になっていることを検出した場合には、CPU56は、カウント値順列変更フラグがセットされているか否かを確認する（ステップS242）。すなわち、CPU56は、乱数回路設定処理において、所定の最終値までカウント値が更新されたときにカウンタ521が更新するカウント値の順列を変更する旨の設定がなされたか否か（ステップS158参照）を確認する。

40

【0442】

カウント値順列変更フラグがセットされている場合、CPU56は、乱数回路503のカウンタ521が所定の最終値までカウント値を更新したときに、カウンタ521が更新するカウント値の順列を変更すると判断する。そして、CPU56は、カウント値順列変更レジスタ536にカウント値順列変更データ「01h」を書き込む（ステップS243

50

）。すなわち、CPU 56は、カウント値順列変更データ「01h」を書き込むことによって、乱数値記憶回路531に入力されるカウント値Cの順列をカウント値順列変更回路523に変更させる。

【0443】

以上のように、カウント値順列変更処理において、乱数を所定の最終値まで更新したときに、カウンタ521が更新するカウント値の順列を変更するので、乱数回路503が生成する乱数のランダム性をより向上させることができる。

【0444】

次に、払出制御手段（払出制御用マイクロコンピュータ370）の動作を説明する。図76は、払出制御手段における出力ポートの割り当ての例を示す説明図である。図76に示すように、出力ポート0は、ステッピングモータによる払出モータ289に供給される各相の信号と、払出個数カウントスイッチ301の検出信号とを出力するための出力ポートである。すなわち、払出個数カウントスイッチ301の検出信号は、払出制御用マイクロコンピュータ370を経由して出力ポート0から主基板31に出力される。また、出力ポート1は、球切れLED52、および賞球LED51と、遊技機外部に出力される賞球中信号、賞球情報、球貸し情報および遊技機エラー状態信号を出力するための出力ポートである。出力ポート2は、7セグメントLEDによるエラー表示LED374の各セグメント出力の出力ポートである。

10

【0445】

なお、払出制御基板37には、図76には示されていないが、カードユニット50へのEXS信号およびPRDY信号を出力するための出力ポート3も設けられている。

20

【0446】

図77は、払出制御手段における入力ポートのビット割り当ての例を示す説明図である。図77に示すように、ビット4には、主基板31からの接続確認信号が入力される。また、ビット6、7には、それぞれ、球切れスイッチ187の検出信号、および払出モータ位置センサ295の検出信号が入力される。また、入力ポート1のビット1～3には、それぞれ、払出個数カウントスイッチ301の検出信号、エラー解除スイッチ375からの操作信号、満タンスイッチ48の検出信号が入力される。入力ポート1のビット4～6には、それぞれ、カードユニット50からのVL信号、BRDY信号、BRQ信号が入力される。入力ポート2には、電源基板910からのクリアスイッチ921の出力信号、および電源断信号が入力される。

30

【0447】

次に、払出制御手段の動作について説明する。図78は、払出制御手段が実行するメイン処理を示すフローチャートである。メイン処理では、払出制御用マイクロコンピュータ370の払出制御CPU371は、まず、必要な初期設定を行う。すなわち、払出制御用CPU371は、まず、割込禁止に設定する（ステップS701）。次に、割込モードを割込モード2に設定し（ステップS702）、スタックポインタにスタックポインタ指定アドレスを設定する（ステップS703）。また、払出制御用CPU371は、内蔵デバイスレジスタの設定を行い（ステップS704）、CTCおよびPIOの設定を行う（ステップS705）を行った後に、RAMをアクセス可能状態に設定する（ステップS706）。また、賞球未払出個数カウンタ初期値として0000（H）をセットする（ステップS707）。

40

【0448】

この実施の形態では、内蔵CTCのうちの一つのチャンネルがタイマモードで使用される。従って、ステップS704の内蔵デバイスレジスタの設定処理およびステップS705の処理において、使用するチャンネルをタイマモードに設定するためのレジスタ設定、割込発生を許可するためのレジスタ設定および割込ベクタを設定するためのレジスタ設定が行われる。そして、そのチャンネルによる割込がタイマ割込として用いられる。タイマ割込を例えば2ms毎に発生させたい場合は、初期値として2msに相当する値が所定のレジスタ（時間定数レジスタ）に設定される。

50

【0449】

なお、タイマモードに設定されたチャンネル（この実施の形態ではチャンネル3）に設定される割込ベクタは、タイマ割込処理の先頭アドレスに相当するものである。具体的は、レジスタに設定された値と割込ベクタとでタイマ割込処理の先頭アドレスが特定される。タイマ割込処理では、払出手段を制御する払出制御処理（少なくとも主基板からの賞球払出に関する指令信号に応じて球払出装装置97を駆動する処理を含み、球貸し要求に応じて球払出装装置97を駆動する処理が含まれていてもよい。）が実行される。

【0450】

この実施の形態では、払出制御用マイクロコンピュータ370でも割込モード2が設定される。従って、内蔵CTCのカウントアップにもとづく割込処理を使用することができる。また、CTCが送出した割込ベクタに応じた割込処理開始アドレスを設定することができる。CTCのチャンネル3（CH3）のカウントアップにもとづく割込は、CPUの内部クロック（システムクロック）をカウントダウンしてレジスタ値が「0」になったら発生する割込であり、タイマ割込として用いられる。

【0451】

次いで、入力ポート2を介して入力されるクリアスイッチ921の出力信号の状態を1回だけ確認する（ステップS708）。その確認においてオンを検出した場合には、払出制御用CPU371は、初期化処理を実行する（ステップS712～ステップS715）。クリアスイッチ921がオンの状態でない場合には、遊技機への電力供給が停止したときにバックアップRAM領域のデータ保護処理（例えばパリティデータの付加等の電力供給停止時処理）が行われたか否か確認する（ステップS709）。保護処理が行われているか否かは、後述する電力供給停止時処理においてバックアップRAM領域に保存されるバックアップ監視タイマの値が、バックアップRAM領域のデータ保護処理を実行したことに応じた値（例えば2）になっているか否かによって確認される。なお、そのような確認の仕方は一例であって、例えば、電力供給停止時処理においてバックアップフラグ領域にデータ保護処理を実行したことを示すフラグをセットし、ステップS709において、そのフラグがセットされていることを確認したらバックアップありと判定してもよい。

【0452】

バックアップありと判定したら、払出制御用CPU371は、バックアップRAM領域のデータチェック（この例ではパリティチェック）を行う（ステップS710）。この実施の形態では、クリアデータ（00）をチェックサムデータエリアにセットし、チェックサム算出開始アドレスをポインタにセットする。また、チェックサムの対象となるデータ数に対応するチェックサム算出回数をセットする。そして、チェックサムデータエリアの内容とポインタが指すRAM領域の内容との排他的論理和を演算する。演算結果をチェックサムデータエリアにストアするとともに、ポインタの値を1増やし、チェックサム算出回数の値を1減算する。以上の処理が、チェックサム算出回数の値が0になるまで繰り返される。チェックサム算出回数の値が0になったら、遊技制御用マイクロコンピュータ560は、チェックサムデータエリアの内容の各ビットの値を反転し、反転後のデータをチェックサムとする。

【0453】

なお、この実施の形態では、電力供給停止時処理において、上記の処理と同様の処理によってチェックサムが算出され、チェックサムはバックアップRAM領域に保存されている。ステップS710では、算出したチェックサムと保存されているチェックサムとを比較する。不測の停電等の電力供給停止が生じた後に復旧した場合には、バックアップRAM領域のデータは保存されているはずであるから、チェック結果（比較結果）は正常（一致）になる。チェック結果が正常でないということは、バックアップRAM領域のデータが、電力供給停止時のデータとは異なっていることを意味する。そのような場合には、内部状態を電力供給停止時の状態に戻すことができないので、払出制御状態復旧処理を実行せず、初期化処理（ステップS712～S715の処理）を実行する。

【0454】

チェック結果が正常であれば、払出制御用CPU371は、払出制御状態復旧処理を行う。具体的には、賞球未払出個数カウンタ初期値として、バックアップRAMに形成されている賞球未払出個数カウンタの値をセットする（ステップS711）。そして、ステップS712以降の処理を実行する。

【0455】

初期化処理では、払出制御用CPU371は、まず、RAMクリア処理を行う（ステップS712）。また、RAM領域のフラグやカウンタなどに初期値を設定する（ステップS713）。ステップS713の処理には、賞球未払出個数カウンタ初期値を賞球未払出個数カウンタにセットする処理が含まれる。従って、払出制御状態復旧処理（ステップS711）が実行された場合には、バックアップRAMに保存されていた賞球未払出個数カウンタの値が、あらためて賞球未払出個数カウンタにセットされる。換言すれば、バックアップRAMに保存されていた賞球未払出個数カウンタの値がそのまま使用される。

10

【0456】

また、払出制御用CPU371は、シリアル通信回路380を初期設定するシリアル通信回路設定処理を実行する（ステップS713a）。この場合、払出制御用CPU371は、遊技制御用マイクロコンピュータ560のCPU56が行うシリアル通信回路設定処理（ステップS15a参照）と同様の処理に従って、シリアル通信回路380に遊技制御用マイクロコンピュータ560とシリアル通信させるための設定を行う。

【0457】

シリアル通信回路380を初期設定すると、払出制御用CPU371は、シリアル通信回路380の割り込み要求に応じて実行する割込処理の優先順位を初期設定する（ステップS713b）。この場合、この場合、払出制御用CPU371は、遊技制御用マイクロコンピュータ560のCPU56が行う優先順位の初期設定処理（ステップS15b参照）と同様の処理に従って、割込処理の優先順位を初期設定する。

20

【0458】

そして、定期的にタイマ割込がかかるように払出制御用マイクロコンピュータ370に設けられているCTCのレジスタの設定を行う（ステップS714）。すなわち、初期値としてタイマ割込発生間隔に相当する値が所定のレジスタ（時間定数レジスタ）に設定される。そして、初期設定処理のステップS701において割込禁止とされているので、初期化処理を終える前に割込が許可される（ステップS715）。その後、タイマ割込の発生を監視するループ処理に入る。

30

【0459】

上記のように、この実施の形態では、払出制御用マイクロコンピュータ370の内蔵CTCが繰り返しタイマ割込を発生するように設定される。そして、タイマ割込が発生すると、払出制御用マイクロコンピュータ370の払出制御用CPU371は、タイマ割込処理を実行する。

【0460】

図79は、払出制御手段が実行するタイマ割込処理の例を示すフローチャートである。タイマ割込処理にて、払出制御用マイクロコンピュータ370の払出制御用CPU371は、電源断信号が出力された否かを監視する電源断処理を実行する（ステップS749）。その後、ステップS751以降の払出制御処理を実行する。払出制御処理では、払出制御用CPU371は、まず、入力判定処理を行う（ステップS751）。入力判定処理は、入力ポート0のビット4～6および入力ポート1のビット3～6（図77参照）の状態を検出して検出結果をRAMの所定の1バイト（入力状態フラグと呼ぶ。）に反映する処理である。なお、払出制御処理において、入力ポート0のビット4～6および入力ポート1のビット3～6の状態にもとづいて制御を行う場合には、直接入力ポートの状態をチェックするのではなく、入力状態フラグの状態をチェックする。

40

【0461】

次に、払出制御用CPU371は、払出モータ制御処理を実行する（ステップS753）。払出モータ制御処理では、払出モータ289を駆動すべきときには、払出モータφ1

50

～φ 4 のパターンを出力ポート 0 に出力するための処理を行う。

【0462】

また、払出制御用 CPU 371 は、カードユニット 50 と通信を行うプリペイドカードユニット制御処理を実行する（ステップ S 754）。次いで、払出制御用 CPU 371 は、主基板 31 の遊技制御手段と通信を行う主制御通信処理を実行する（ステップ S 755）。さらに、カードユニット 50 からの球貸し要求に応じて貸し球を払い出す制御を行い、また、主基板からの賞球個数コマンドが示す個数の賞球を払い出す制御を行う賞球球貸し制御処理を実行する（ステップ S 756）。

【0463】

そして、払出制御用 CPU 371 は、各種のエラーを検出するエラー処理を実行する（ステップ S 757）。また、遊技機外部に出力される賞球情報や球貸し情報を出力するための情報出力処理を実行する（ステップ S 758）。また、エラー処理の結果に応じてエラー表示 LED 374 に所定の表示を行うとともに、賞球 LED 51 および球切れ LED 52 を点灯するための表示制御処理を実行する（ステップ S 759）。

【0464】

本実施の形態では、後述するエラー処理において各種エラー（例えば、満タンエラーや球切れエラー、プリペイドカードユニット未接続エラー）が検出されると、検出されたエラーに対応するエラービットがセットされる。そして、ステップ S 759 の表示制御処理において、エラービットがセットされていることについて、払出制御用 CPU 371 は、エラー表示 LED 374 に所定の表示を行う。また、払出制御用 CPU 371 は、表示制御処理において、賞球払出を行っている状態であるときに、賞球 LED 51 を点灯するための制御を行う。また、賞球払出を終了したら、賞球 LED 51 を消灯するための制御を行う。

【0465】

また、この実施の形態では、出力ポートの出力状態に対応した RAM 領域（出力ポート 0 バッファ、出力ポート 1 バッファ、出力ポート 2 バッファ）が設けられているのであるが、払出制御用 CPU 371 は、出力ポート 0 バッファ、出力ポート 1 バッファおよび出力ポート 2 バッファの内容を出力ポートに出力する（ステップ S 760：出力処理）。出力ポート 0 バッファ、出力ポート 1 バッファおよび出力ポート 2 バッファは、払出モータ制御処理（ステップ S 753）、プリペイドカード制御処理（ステップ S 754）、主制御通信処理（ステップ S 755）、情報出力処理（ステップ S 758）および表示制御処理（ステップ S 759）で更新される。

【0466】

次に、ステップ S 755 の主制御通信処理において、払出制御用マイクロコンピュータ 370 の払出制御用 CPU 371 が各種コマンドを送受信する動作を説明する。図 54 に示すように、払出制御用マイクロコンピュータ 370 は、遊技制御用マイクロコンピュータ 560 と各種コマンドをシリアル通信するシリアル通信回路 380 を内蔵している。払出制御用マイクロコンピュータ 370 は、シリアル通信回路 380 を用いて、遊技制御用マイクロコンピュータ 560 から図 53 に示す賞球個数コマンドを受信する。また、賞球個数コマンドを受信すると、払出制御用マイクロコンピュータ 370 は、シリアル通信回路 380 を用いて、図 53 に示す賞球 ACK コマンド「D2」を受信確認信号として送信する。

【0467】

また、払出制御用 CPU 371 は、遊技制御用マイクロコンピュータ 560 の CPU 56 と同様に、割り込み許可状態である間にシリアル通信回路 380 からの割り込み要求があると、シリアル通信回路 380 が割り込み要求を行った割り込み原因に応じた割り込み処理を実行する。この実施の形態では、払出制御用 CPU 371 は、割り込み原因がシリアル通信回路 380 が受信データを受信したことであると特定すると、図 56（b）と同様の処理に従って受信時割込処理を実行する。この場合、払出制御用 CPU 371 は、シリアル通信回路 380 が受信データを受信していることを示す受信時割込フラグをセット

する。なお、払出制御用CPU371は、受信時割込処理において、受信時割込フラグをセットするのでなく、シリアル通信回路380の受信データレジスタからデータを読み込んでもよい。この場合、例えば、払出制御用CPU371は、受信時割込処理において、読み込んだ受信データが賞球個数コマンドであるか否かを判断する。また、受信データが賞球個数コマンドである場合、払出制御用CPU371は、賞球個数コマンドが示す賞球数を賞球未払出個数カウンタに加算してもよい。そのようにすれば、後述する主制御通信処理において、受信時割込フラグがセットされていることにもとづいて受信データが賞球個数コマンドであるか否かを判定し（後述するステップS542～S545参照）、賞球数を賞球未払出個数カウンタに加算する処理（後述するステップS546参照）を実行する必要がなくなる。

10

【0468】

図80は、払出制御用マイクロコンピュータ370の払出制御用CPU371が、基板31の遊技制御手段（遊技制御用マイクロコンピュータ560）と通信を行う主制御通信処理を示すフローチャートである。主制御通信処理において、払出制御用CPU371は、接続確認信号がオン状態であるか否かを確認する（ステップS541）。なお、接続確認信号がオン状態であるということは、電力供給がなされ遊技制御手段において遊技の進行を制御可能な状態であることを意味し、接続確認信号がオフ状態であるということは、電力供給停止時処理が開始され遊技制御手段において遊技の進行が不能な状態であることを意味する（接続確認信号は、電力供給停止時処理における出力ポートクリア処理でオフ状態にされる。）。

20

【0469】

払出制御用CPU371は、受信時割込フラグがセットされているか否かを確認する（ステップS542）。すなわち、払出制御用CPU371は、シリアル通信回路380が受信データを受信し、シリアル通信回路380の受信データレジスタにデータが格納されている状態になっているか否かを確認する。

【0470】

受信時割込フラグがセットされていれば、払出制御用CPU371は、シリアル通信回路380の受信データレジスタからデータを読み込む（ステップS543）。また、払出制御用CPU371は、読み込んだデータが賞球個数コマンドであるか否か（コマンド「03」、「0A」または「0F」のいずれかであるか否か）を判断する（ステップS544）。

30

【0471】

シリアル通信回路380の受信データレジスタから読み込んだデータが賞球個数コマンドであることを確認すると、払出制御用CPU371は、受信時割込フラグをリセットして（ステップS545）、賞球個数コマンドが示す賞球数を賞球未払出個数カウンタに加算する（ステップS546）。そして、払出制御用CPU371は、賞球ACKコマンドをシリアル通信回路505の送信データレジスタ710に書き込み（ステップS547）、処理を終了する。その後、送信データレジスタに書き込まれた賞球ACKコマンドは、シリアル通信回路380の送信用シフトレジスタに転送され、シリアル通信回路380の送信用シフトレジスタから遊技制御用マイクロコンピュータ560に送信される。

40

【0472】

ステップS544で受信データレジスタから読み込んだデータが賞球個数コマンドでなかった場合には、払出制御用CPU371は、読み込んだデータが賞球過多異常コマンドであるか否かを確認する（ステップS548a）。賞球過多異常コマンドであることを確認すると、払出制御用CPU371は、受信時割込フラグをリセットして（ステップS549a）、賞球過多異常コマンドを受信した旨を示す賞球過多異常コマンド受信フラグをセットする（ステップS550a）。

【0473】

ステップS548aで受信データレジスタから読み込んだデータが賞球過多異常コマンドでなかった場合には、払出制御用CPU371は、読み込んだデータが賞球過少異常コ

50

マンドであるか否かを確認する（ステップS548b）。賞球過少異常コマンドであることを確認すると、払出制御用CPU371は、受信時割込フラグをリセットして（ステップS549b）、賞球過少異常コマンドを受信した旨を示す賞球過少異常コマンド受信フラグをセットする（ステップS550b）。

【0474】

図81は、ステップS756の賞球球貸し制御処理を示すフローチャートである。賞球球貸し制御処理において、払出制御用CPU371は、払出個数カウントスイッチ301の検出信号がオン状態になったことを確認したら（ステップS601）、球貸し中であれば球貸し未払出個数カウンタの値を1減らし（ステップS602、S604）、球貸し中でなければ賞球未払出個数カウンタの値を1減らす（ステップS602、S603）。また、賞球未払出個数カウンタの値を1減算すると、払出個数カウントスイッチ301の検出信号を主基板31に転送（出力）する（ステップS603a）。

10

【0475】

次に、RAMに形成されている払出制御状態フラグの払出球検知ビットをセットする（ステップS605）。払出球検知ビットは、払出通過待ち処理において、1回の賞球払出処理（最大15個）または1回の球貸し処理において（25個の払出）、払出モータ289を駆動したにもかかわらず遊技球が1個も払出個数カウントスイッチ301を通過しなかったことを検知するために用いられる。その後、払出制御コードの値に応じてステップS610～S612のいずれかの処理を実行する。

【0476】

20

賞球球貸し制御処理において、払出個数カウントスイッチ301の検出信号の確認や未払出個数カウンタの減算処理を行うときには、エラービットのチェックは実行されない。従って、遊技球の払い出しに関わるエラー状態であっても、払出個数カウントスイッチ301によって遊技球の払い出しが検出される毎に、払い出された遊技球が貸し球であれば球貸し未払出個数カウンタの値を1減算し、賞球であれば賞球未払出個数カウンタの値を1減算する処理を実行する。よって、払い出しに関わるエラーが発生しても、未払出の遊技球数を正確に管理することができる。すなわち、払出制御用マイクロコンピュータ370の払出制御用CPU371がエラーの発生を検出する前に球払出装置97から払い出された遊技球は、払い出された時点からやや遅れて払出個数カウントスイッチ301によって検出されるのであるが、払出制御用CPU371は、球払出装置97から遊技球が払い出された後、その遊技球が払出個数カウントスイッチ301によって検出される前にエラーの発生を検出したような場合に、エラーの発生を検出する前に球払出装置97から払い出された遊技球を、賞球未払出個数カウンタまたは球貸し未払出個数カウンタに反映できる。

30

【0477】

図82は、払出制御コードが0の場合に実行される払出開始待ち処理（ステップS610）を示すフローチャートである。払出開始待ち処理において、払出制御用CPU371は、BRDY信号がオン状態でなければ（ステップS621）、ステップS631以降の賞球払出のための処理を実行する。ただし、エラービットがセットされていたら、ステップS631以降の処理を実行しない（ステップS622）。エラーフラグにおけるエラービットには、主基板未接続エラーのビットが含まれている。また、主基板未接続エラーは主基板31からの接続確認信号がオフ状態であるときにセットされる。従って、払出制御用CPU371は、遊技機に対して電力供給が開始された後、接続確認信号がオン状態になったことを条件に、実質的な制御を開始する。接続確認信号がオン状態であるということは、電力供給がなされ遊技制御手段において遊技の進行を制御可能な状態であるので、遊技の進行に応じた賞球の払出制御が実行可能であることを意味する。一方、接続確認信号がオフ状態であるということは、電力供給が停止され遊技制御手段において遊技の進行が不能な状態であるので、遊技の進行に応じた賞球の払出制御が実行不可能であることを意味する。よって、払出制御用CPU371は、主基板未接続エラーのビットがセットされているときには、賞球の払出制御を停止する。一方、この例では、エラービットの確認

40

50

を行うことなく貸し球の払出制御を実行する構成とされており、主基板未接続エラーのビットがセットされていても、球貸し制御は継続して行う。

【0478】

B R D Y 信号がオン状態であって、さらに、球貸し要求信号である B R Q 信号がオン状態になっていたら（ステップ S 6 2 3）、払出制御用 C P U 3 7 1 は、V L 信号がオン状態であるか否かを確認する（ステップ S 6 2 3 a）。V L 信号がオン状態であれば、払出制御用 C P U 3 7 1 は、球貸し動作中フラグをセットする（ステップ S 6 2 4）。そして、球貸し未払出個数カウンタに「25」をセットし（ステップ S 6 2 5）、払出モータ回転回数バッファに「25」をセットする（ステップ S 6 2 6）。なお、ステップ S 6 2 3 a で V L 信号がオン状態でなければ、払出制御用 C P U 3 7 1 は、ステップ S 6 2 4 以降の処理を行わず、ステップ S 6 2 2 に進む。

10

【0479】

払出モータ回転回数バッファは、払出モータ制御処理（ステップ S 7 5 3）において参照される。すなわち、払出モータ制御処理では、払出モータ回転回数バッファにセットされた値に対応した回転数分だけ払出モータ 2 8 9 を回転させる制御が実行される。

【0480】

その後、払出制御用マイクロコンピュータ 3 7 0 は、払出モータ制御処理で実行される処理を選択するための払出モータ制御コードに、払出モータ起動準備処理（ステップ S 5 2 2）に応じた値（具体的は「1」）をセットし（ステップ S 6 2 7）、払出制御コードの値を 1 にして（ステップ S 6 2 8）、処理を終了する。

20

【0481】

ステップ S 6 3 1 では、払出制御用 C P U 3 7 1 は、賞球未払出個数カウンタの値が 0 であるか否かを確認する（ステップ S 6 3 1）。0 であれば処理を終了する。賞球未払出個数カウンタの値が 0 でない場合には、15 以上であるか否か確認する（ステップ S 6 3 2）。15 未満であれば、払出モータ回転回数バッファに賞球未払出個数カウンタの値をセットし（ステップ S 6 3 3）、15 以上であれば、払出モータ回転回数バッファに「15」をセットする。そして、賞球動作中フラグをセットし（ステップ S 6 3 5）、ステップ S 6 2 7 に移行する。

【0482】

図 8 3 は、払出制御コードが 1 の場合に実行される払出モータ停止待ち処理（ステップ S 6 1 1）を示すフローチャートである。払出モータ停止待ち処理において、払出制御用 C P U 3 7 1 は、払出動作が終了したか否か確認する（ステップ S 6 4 1）。払出制御用 C P U 3 7 1 は、例えば、払出モータ制御処理における払出モータブレーキ処理（ステップ S 5 2 5）が終了するときその旨のフラグをセットし、ステップ S 6 4 1 においてそのフラグを確認することによって払出動作が終了したか否かを確認することができる。

30

【0483】

払出動作が終了した場合には、払出制御用 C P U 3 7 1 は、払出制御監視タイマに払出通過監視時間をセットする（ステップ S 6 4 2）。払出通過監視時間は、最後の払出球が払出モータ 2 8 9 によって払い出されてから払出個数カウントスイッチ 3 0 1 を通過するまでの時間に、余裕を持たせた時間である。そして、払出制御コードの値を 2 にして（ステップ S 6 4 3）、処理を終了する。

40

【0484】

図 8 4～図 8 6 は、払出制御コードの値が 2 の場合に実行される払出通過待ち処理（ステップ S 6 1 2）を示すフローチャートである。払出通過待ち処理では、賞球払出が行われているときには、賞球未払出個数カウンタの値が 0 になっていれば正常に払出が完了したと判定される。賞球未払出個数カウンタの値が 0 になっていない場合には、エラー状態でなければ、1 個の遊技球の再払出動作を、2 回を上限として試みる。再払出動作において払出個数カウントスイッチ 3 0 1 によって遊技球が実際に払い出されたことが検出されたら正常に払出が完了したと判定される。なお、この実施の形態では、1 回の賞球払出動作で払い出される遊技球数は最大 15 個であり、また、賞球払出中に賞球個数コマンドを

50

受信したら賞球未払出個数カウンタの値が増加するので、正常に払出が完了した場合でも、賞球未払出個数カウンタの値が0になっていないことがある。

【0485】

また、球貸し払出が行われているときには、球貸し未払出個数カウンタの値が0になっていれば正常に払出が完了したと判定される。球貸し未払出個数カウンタの値が0になっていない場合には、エラー状態でなければ、1個の遊技球または球貸し残数（球貸し未払出個数カウンタの値に相当）の再払出動作を試みる。なお、この実施の形態では、1回の球貸し払出動作で払い出される遊技球数は25個（固定値）であり、25個の遊技球が払い出されるように払出モータ289を回転させたのであるから、球貸し未払出個数カウンタの値が0になっていない場合には、正常に払出が完了していないことになる。

10

【0486】

払出通過待ち処理において、払出制御用CPU371は、まず、払出制御タイマの値を確認し、その値が0になっていればステップS653に移行する（ステップS650）。払出制御タイマの値が0でなければ、払出制御タイマの値を-1する（ステップS651）。そして、払出制御タイマの値が0になっていなければ（ステップS652）、すなわち払出制御タイマがタイムアウトしていなければ処理を終了する。なお、ステップS650の処理は、後述する遊技球払出のリトライ動作が開始されたときのことを考慮した処理である。後述するステップS807の処理が実行された場合には、ステップS650からS653に移行するルートを経てリトライ動作が開始される。

【0487】

20

払出制御タイマがタイムアウトしていれば（ステップS652）、球貸し払出処理（球貸し動作）を実行していたか否か確認する（ステップS653）。球貸し動作を実行していたか否かは、RAMに形成されている払出制御状態フラグにおける球貸し動作中ビットがセットされているか否か（ステップS623、S624参照）によって確認される。球貸し動作を実行していない場合、すなわち、賞球払出処理（賞球動作）を実行していた場合には、払出制御用CPU371は、賞球未払出個数カウンタの値を確認する（ステップS654）。賞球未払出個数カウンタの値が0になっている場合には、正常に賞球払出処理が完了したとして、払出制御状態フラグにおける払出球検知ビット、再払出動作中1ビット、再払出動作中2ビット、賞球動作中フラグおよび球貸し動作中ビットをリセットし（ステップS655）、払出制御コードを0にして（ステップS656）、処理を終了する、なお、払出球検知ビットは、払出個数カウントスイッチ301がオンしたときにセットされるビットであり、払出動作中に払出個数カウントスイッチ301が少なくとも1個の遊技球を検出したことを示すビットである。また、再払出動作中1ビットおよび再払出動作中2ビットは、2回の再払出動作からなる再払出処理を実行する際に用いられる制御ビットである。

30

【0488】

払出制御用CPU371は、賞球未払出個数カウンタの値が0になっていない場合には、エラーフラグ（具体的には、払出スイッチ異常エラー1ビット、払出スイッチ異常エラー2ビットおよび払出ケースエラービットのうちのいずれか1ビットまたは複数ビット）がセットされていないことを条件として（ステップS659）、また、払出球検知ビットがセットされていないことを条件として（ステップS661）、再払出動作を実行する。なお、エラーフラグがセットされている場合には、再払出動作を実行しない。

40

【0489】

上述したように、この実施の形態では、正常に払出が完了した場合でも、賞球未払出個数カウンタの値が0になっていないことがある。そこで、払出球検知ビットがセットされていれば、すなわち払出個数カウントスイッチ301が賞球払出処理中に少なくとも1個の遊技球の払出を検出していたら、正常に賞球払出処理が完了したとして、ステップS655に移行する。なお、例えば、1回の賞球払出処理で15個の遊技球を払い出すべきところ、実際には14個の遊技球しか払い出されなかった場合（払出個数カウントスイッチ301が14個の遊技球しか検出しなかった場合）にも、払出球検知ビットがセットされ

50

るので正常に賞球払出処理が完了したとみなされるが、その場合には、賞球未払出個数カウンタの値は14しか減算されていないはずであり、不足分は次の賞球払出処理で払い出されるので、遊技者に不利益を与えることはない。

【0490】

再払出処理を実行するために、払出制御用CPU371は、まず、再払出動作中2ビットがセットされているか否か確認する(ステップS662)。セットされていないならば、再払出動作中1ビットがセットされているか否か確認する(ステップS663)。再払出動作中1ビットもセットされていないならば、初回の再払出動作を実行するために、再払出動作個数として1をセットし(ステップS664)、再払出動作中1ビットをセットし(ステップS665)、払出モータ回転回数バッファに再払出動作個数または球貸し未払出数個数カウンタの値をセットする(ステップS666)。また、払出制御用CPU371は、払出モータ制御処理で実行される処理を選択するための払出モータ制御コードに、払出モータ起動準備処理(ステップS522)に応じた値(具体的は「1」)をセットする。払出モータ回転回数バッファは、払出モータ制御処理(ステップS753)において参照される。すなわち、払出モータ制御処理では、払出モータ回転回数バッファにセットされた値に対応した回転数分だけ払出モータ289を回転させる制御が実行される。なお、ステップS666において、球貸し未払出数個数カウンタの値も取り扱われるのは、球貸し払出処理における再払出処理でもステップS666が用いられるからである。すなわち、払出制御用CPU371は、ステップS666において、賞球払出処理における再払出処理では再払出動作個数をセットし、球貸し払出処理における再払出処理では球貸し未払出数個数カウンタの値をセットする。その後、払出制御コードを1にして(ステップS667)、処理を終了する。

【0491】

ステップS663において、再払出動作中1ビットがセットされていることを確認したら、払出制御用CPU371は、2回目の再払出を実行するために、再払出動作個数として1をセットし(ステップS668)、再払出動作中1ビットをリセットし(ステップS669)、再払出動作中2ビットをセットする(ステップS670)。そして、ステップS666に移行する。

【0492】

ステップS662において、再払出動作中2ビットがセットされていることを確認したら、払出制御用CPU371は、2回の再払出処理を実行しても遊技球が払い出されなかった(払出個数カウントスイッチ301が遊技球を検出しなかった)として、エラーフラグにおける払出ケースエラービットをセットする(ステップS672)。その際に、再払出動作中2ビットをリセットしておく(ステップS671)。そして、処理を終了する。

【0493】

以上のように、再払出処理(補正払出処理)において2回の再払出動作を行っても遊技球が1個も払い出されない場合には、遊技球の払出動作不良として、払出個数カウントスイッチ未通過エラービット(払出ケースエラービット)がセットされる。

【0494】

従って、この実施の形態では、払出制御用マイクロコンピュータ370における景品遊技媒体払出制御手段は、払出検出手段としての払出個数カウントスイッチ301からの検出信号にもとづいて、景品遊技媒体の払い出しが行われなかったことを検出したときに、あらかじめ決められた所定回(この例では2回)を限度として、払出手段に1個の景品遊技媒体の払い出しを行わせるように制御を行う。なお、この実施の形態では、景品遊技媒体を払い出すためのリトライ動作を2回行っても景品遊技媒体の払い出しが行われなかった場合には、払出ケースエラービットをセットしてエラー発生中状態になるが(ステップS672)、景品遊技媒体の払い出しが行われなかったことを初めて検知したときに払出ケースエラービットをセットしてもよい。なお、「リトライ動作(あるいは「リトライ」、「リトライ動作処理」)」とは、所定数の遊技球の払い出しを行うための通常の払出処理を実行したのにもかかわらず、実際の払い出し数が少ない場合に実行させる動作であっ

て、通常の払出処理とは別に、未払出の遊技球を払い出すために払出処理を再度実行させるための動作を意味する。

【0495】

賞球球貸し制御処理において、払出動作（1回の賞球払出または1回の球貸し）を行うか否か判定するためにエラービットがチェックされるのは、図80に示された払出開始待ち処理においてのみである。図81に示された払出モータ停止待ち処理および図82等に示された払出通過待ち処理では、エラービットはチェックされない。なお、払出通過待ち処理におけるステップS659等でもエラービットがチェックされているが、そのチェックは再払出動作を行うか否かを判断するためであって、払出動作（1回の賞球払出または1回の球貸し）を開始するか否か判定するためではない。従って、ステップS626、S633またはステップS634の処理が行われて遊技球の払出処理が開始された後では、エラーが発生しても払出処理は中断されない。すなわち、エラーが発生すると、遊技球の払出処理は、切りのよい時点（1回の賞球払出または1回の球貸しが終了した時点）まで継続される。なお、ステップS621でチェックされるエラーフラグにおけるエラービットの中には、主基板31からの接続確認信号がオフ状態になったことを示すエラービットが含まれている。よって、接続確認信号がオフ状態になったときにも、遊技球の払出処理は、切りのよい時点で停止される。なお、遊技球の払出処理を切りのよい時点まで継続するのでなく、ステップS626、S633またはステップS634の処理が行われて遊技球の払出処理が開始された後であっても、エラーが発生すると直ちに遊技球の払出処理を停止するようにしてもよい。

【0496】

ステップS653で球貸し払出処理（球貸し動作）を実行していたことを確認すると、払出制御用CPU371は、球貸し未払出個数カウンタの値が0になっているか否か確認する（ステップS657）。0になっていれば、正常に球貸し払出処理が完了したとしてステップS655に移行する。

【0497】

ステップS657で、球貸し未払出個数カウンタの値が0になっていなければ、エラーフラグ（具体的には、払出スイッチ異常エラー1ビット、払出スイッチ異常エラー2ビットおよび払出ケースエラービットのうちのいずれか1ビットまたは複数ビット）がセットされていないことを条件として（ステップS675）、再払出処理を実行する。なお、エラーフラグがセットされている場合には、再払出処理を実行しない。

【0498】

再払出処理を実行するために、払出制御用CPU371は、まず、再払出動作中2ビットがセットされているか否か確認する（ステップS676）。セットされていない場合は、再払出動作中1ビットがセットされているか否か確認する（ステップS677）。再払出動作中1ビットもセットされていない場合は、初回の再払出動作を実行するために、再払出動作個数として1をセットし（ステップS678）、再払出動作中1ビットをセットし（ステップS679）、さらに払出球検知ビットをリセットした後（ステップS680）、ステップS666に移行する。

【0499】

ステップS677において、再払出動作中1ビットがセットされていることを確認したら、払出制御用CPU371は、再払出動作を再度実行するための処理を行う。具体的には、再払出動作中1ビットをリセットする（ステップS681）。そして、払出球検知ビットがセットされていたら、すなわち、最初の再払出動作で遊技球が払い出されていたら、ステップS683に移行する。払出球検知ビットがセットされていなかったら、2回目の再払出動作を実行するためにステップS684に移行する。

【0500】

ステップS683では払出球検知ビットをリセットし、その後、ステップS666に移行する。従って、この場合には、再払出動作中1ビットがセットされたままになっているので、再度、初回（最初）の再払出動作が行われる。ステップS684では、再払出動作

個数として1をセットし（ステップS684）、再払出動作中2ビットをセットし（ステップS685）、ステップS666に移行する。

【0501】

ステップS676において、再払出動作中2ビットがセットされていることを確認したら、払出制御用CPU371は、再払出動作中2ビットをリセットし（ステップS686）、払出球検知ビットがセットされていたら、すなわち、再払出動作で遊技球が払い出されていたらステップS683に移行して残りの未払出を分を解消することを試みる。払出球検知ビットがセットされていなかったら、2回の再払出処理を実行しても遊技球が払い出されなかった（払出個数カウントスイッチ301が遊技球を検出しなかった）として、エラーフラグにおける払出ケースエラービットをセットする（ステップS688）。そして、処理を終了する。

10

【0502】

以上のように、球貸し処理に係る再払出処理（補正払出処理）において連続して2回の再払出動作を行っても遊技球が1個も払い出されない場合には、遊技球の払出動作不良として、払出個数カウントスイッチ未通過エラービット（払出ケースエラービット）がセットされる。

【0503】

次に、エラー処理について説明する。図87は、エラーの種類とエラー表示用LED374の表示との関係等を示す説明図である。図87に示すように、主基板31からの接続確認信号がオフ状態になった場合には、払出制御用マイクロコンピュータ370の払出制御用CPU371は、主基板未接続エラーとして、エラー表示用LED374に「1」を表示する制御を行う。従って、接続確認信号の入力状態の確認中に接続確認信号がオフ状態となると、エラー表示用LED374に「1」が表示されることになる。

20

【0504】

払出個数カウントスイッチ301の断線または払出個数カウントスイッチ301の部分において球詰まりが発生した場合には、払出スイッチ異常検知エラー1として、エラー表示用LED374に「2」を表示する制御を行う。なお、払出個数カウントスイッチ301の断線または払出個数カウントスイッチ301の部分において球詰まりが発生したことは、払出個数カウントスイッチ301の検出信号がオフ状態にならなかったことによって判定される。

30

【0505】

遊技球の払出動作中でないにも関わらず払出個数カウントスイッチ301の検出信号がオン状態になった場合には、払出スイッチ異常検知エラー2として、エラー表示用LED374に「3」を表示する制御を行う。払出モータ289の回転異常または遊技球が払い出されたにも関わらず払出個数カウントスイッチ301の検出信号がオン状態にならない場合には、払出ケースエラーとして、エラー表示用LED374に「4」を表示する制御を行う。払出個数カウントスイッチ301の検出信号がオン状態にならないことの具体的な検出方法は既に説明したとおりである。

【0506】

また、下皿満タン状態すなわち満タンスイッチ48がオン状態になった場合には、満タンエラーとして、エラー表示用LED374に「5」を表示する制御を行う。補給球の不足状態すなわち球切れスイッチ187がオン状態になった場合には、球切れエラーとして、エラー表示用LED374に「6」を表示する制御を行う。

40

【0507】

また、カードユニット50からのVL信号がオフ状態になった場合には、プリペイドカードユニット未接続エラーとして、エラー表示用LED374に「7」を表示する制御を行う。不正なタイミングでカードユニット50と通信がなされた場合には、プリペイドカードユニット通信エラーとして、エラー表示用LED374に「8」を表示する制御を行う。なお、プリペイドカードユニット通信エラーは、プリペイドカードユニット制御処理（ステップS754）において検出される。

50

【0508】

さらに、遊技制御手段から賞球過多異常コマンドを受信した場合には、賞球過多異常エラーとして、エラー表示用LED374に「9」を表示する制御を行う。また、遊技制御手段から賞球過少異常コマンドを受信した場合には、賞球過少異常エラーとして、エラー表示用LED374に「A」を表示する制御を行う。

【0509】

以上のエラーのうち、払出スイッチ異常検知エラー2、払出ケースエラー、賞球過多異常エラーまたは賞球過少異常エラーが発生した後、エラー解除スイッチ375が操作されエラー解除スイッチ375から操作信号が出力されたら（オン状態になったら）、払出制御手段は、エラーが発生する前の状態に復帰する。

10

【0510】

なお、払出制御用CPU371は、既に述べたように、具体的には、タイマ割込処理の表示制御処理（ステップS759参照）において、図87に示す関係に従ってエラー表示LED374にエラー表示を行う。例えば、払出制御用CPU371は、後述するエラー処理においてプリペイドカードユニット未接続エラービットをセットしたことにもとづいて（ステップS826参照）、表示制御処理において、プリペイドカードユニット未接続エラーが発生している旨を示すエラー表示「7」をエラー表示用LED374に表示する制御を行う。また、例えば、エラー処理において満タンエラービットをセットしたことにもとづいて（ステップS809参照）、表示制御処理において、満タンエラーが発生している旨を示すエラー表示「5」をエラー表示用LED374に表示する制御を行う。また、例えば、エラー処理において賞球過多異常エラービットをセットしたことにもとづいて（ステップS829参照）、表示制御処理において、賞球過多異常が発生している旨を示すエラー表示「9」をエラー表示用LED374に表示する制御を行う。また、例えば、エラー処理において賞球過少異常エラービットをセットしたことにもとづいて（ステップS832参照）、表示制御処理において、賞球過少異常が発生している旨を示すエラー表示「A」をエラー表示用LED374に表示する制御を行う。

20

【0511】

図88、図89および図90は、ステップS757のエラー処理を示すフローチャートである。エラー処理において、払出制御用CPU371は、エラーフラグをチェックし、そのうちのセットされているビットが、払出スイッチ異常検知エラー2および払出ケースエラーのみ（2つのうちのいずれかのビットのみ、またはそれら2ビットのみ）であるか否か確認する（ステップS801）。セットされているビットがそれらのみである場合には、エラー解除スイッチ375から操作信号がオン状態になったか否か確認する（ステップS802）。操作信号がオン状態になったら、エラー復帰時間をエラー復帰前タイマにセットする（ステップS803）。エラー復帰時間は、エラー解除スイッチ375が操作されてから、実際にエラー状態から通常状態に復帰するまでの時間である。

30

【0512】

エラー解除スイッチ375から操作信号がオン状態でない場合には、エラー復帰前タイマの値を確認する（ステップS804）。エラー復帰前タイマの値が0であれば、すなわち、エラー復帰前タイマがセットされていなければ、ステップS808に移行する。エラー復帰前タイマがセットされていれば、エラー復帰前タイマの値を-1し（ステップS805）、エラー復帰前タイマの値が0になったら（ステップS806）、エラーフラグのうちの、払出スイッチ異常検知エラー2および払出ケースエラーのビットをリセットし（ステップS807）、ステップS808に移行する。

40

【0513】

なお、ステップS807の処理が実行されるときに、払出スイッチ異常検知エラー2および払出ケースエラーのビットのうちには、セット状態ではないエラービットがある場合もあるが、セット状態にないエラービットをリセットしても何ら問題はない。以上のように、この実施の形態では、払出スイッチ異常検知エラー2または払出ケースエラーのビットをセットする原因になったエラー（図87参照）が発生した場合には、エラー解除ス

50

ッチ 375 が押下されることによってエラー解除される。

【0514】

ステップ S807 の処理が実行されて払出ケースエラービットがリセットされた場合には、払出制御コードが「2」（図 84～図 86 に示す払出通過待ち処理の実行に対応）であって、賞球未払出個数カウンタの値または球貸し未払出個数カウンタの値が 0 でないときには、遊技球払出のリトライ動作が開始される。つまり、次にステップ S756 の賞球球貸し制御処理が実行されるときにステップ S612 の払出通過待ち処理が実行されると、再び、再払出処理が行われる。例えば、賞球払出処理が行われていた場合には、賞球未払出個数カウンタの値が 0 でないときには、ステップ S654 からステップ S659 に移行し、ステップ S659 においてエラービットがリセット状態であることが確認されるので、ステップ S662 以降の再払出処理を開始するための処理が再度実行され、再払出処理が実行される。なお、エラー解除スイッチ 375 が押下されることによってリセットされた払出ケースエラービットに関して、そのビットがセットされたときには（ステップ S672 が実行されたとき）、払出制御タイマは既にタイムアップしている。従って、ステップ S807 の処理が実行されて払出ケースエラービットがリセットされた場合には、次に払出通過待ち処理が実行されるときには、ステップ S650 の判断において払出制御タイマ＝0 と判定される。また、払出ケースエラービットがセットされたときには払出球検知ビットは 0 である（ステップ S661 の判断で払出球検知ビットは 0 でないとステップ S672 が実行されない）。従って、ステップ S659 においてエラービットがリセット状態であることが確認されると、必ずステップ S662 が実行される。つまり、必ず、再払出処理が実行される。

【0515】

以上のように、払出制御手段は、球払出装置 97 が遊技球の払い出しを行ったにもかかわらず払出個数カウントスイッチ 301 が 1 個も遊技球を検出しなかったときには遊技球を払い出すためのリトライ動作をあらかじめ決められた所定回（例えば 2 回）を限度として球払出装置 97 に実行させる補正払出制御を行った後、払出個数カウントスイッチ 301 が 1 個も遊技球を検出しなかったことが検出されたときには（図 85 のステップ S661 以降を参照）、払い出しに関わる制御状態をエラー状態に移行させ、エラー状態においてエラー解除スイッチ 375 からエラー解除信号が出力されたことを条件に再度補正払出制御を行わせる補正払出制御再起動処理を実行する。

【0516】

さらに、エラー状態における再払出処理の実行中（具体的には払出ケースエラーをセットする前の再払出処理中およびエラー解除スイッチ 375 押下後の再払出処理中）でも、図 81 に示すステップ S601～S604 の処理は実行されている。すなわち、払い出しに関わるエラーが生じているときでも、遊技球が払出個数カウントスイッチ 301 を通過すれば、賞球未払出個数カウンタや球貸し未払出個数カウンタの値が減算される。従って、エラー状態から復帰したときの賞球未払出個数カウンタや球貸し未払出個数カウンタの値は、実際に払い出された遊技球数を反映した値になっている。すなわち、払い出しに関わるエラーが発生しても、実際に払い出した遊技球数を正確に管理することができる。

【0517】

また、図 84～図 86 に示された払出通過待ち処理において、再払出処理が実行された結果、遊技球が払い出されたことが確認されたときでも、払出ケースエラーのビットはリセットされない。払出ケースエラーのビットがリセットされるのは、あくまでも、エラー解除スイッチ 375 が操作されたとき（具体的は、操作後エラー復帰時間が経過したとき）である（ステップ S802, S807）。すなわち、遊技球が払出個数カウントスイッチ 301 を通過したこと等にもとづいて自動的に払出ケースエラー（払出不足エラー）の状態が解除されるということではなく、人為的な操作を経ないと払出ケースエラーは解除されない。従って、遊技店員等は、確実に払出不足が発生したことを認識することができる。

【0518】

エラー解除スイッチ 375 が操作されたことによってハードウェア的にリセット（払出制御用 CPU 371 に対するリセット）がかかるように構成されている場合には、エラー解除スイッチ 375 が操作されたことによって例えば賞球未払出個数カウンタの値もクリアされてしまう。しかし、この実施の形態では、払出制御手段が、エラー解除スイッチ 375 が操作されたことによって再払出動作を再び行うように構成されているので、確実に払出処理が実行され、遊技者に不利益を与えないようにすることができる。

【0519】

ステップ S808 では、払出制御用 CPU 371 は、満タンスイッチ 48 の検出信号を確認する。満タンスイッチ 48 の検出信号が出力されていれば（オン状態であれば）、エラーフラグのうちの満タンエラービットをセットする（ステップ S809）。満タンスイッチ 48 の検出信号がオフ状態であれば、満タンエラービットをリセットする（ステップ S810）。

10

【0520】

また、払出制御用 CPU 371 は、球切れスイッチ 187 の検出信号を確認する（ステップ S811）。球切れスイッチ 187 の検出信号が出力されていれば（オン状態であれば）、エラーフラグのうちの球切れエラービットをセットする（ステップ S812）。球切れスイッチ 187 の検出信号がオフ状態であれば、球切れエラービットをリセットする（ステップ S813）。なお、球切れエラービットをセットされているときには、ステップ S759 の表示制御処理において、出力ポート 1 バッファにおける球切れ LED 52 に対応したビットを点灯状態に対応した値にする。

20

【0521】

さらに、払出制御用 CPU 371 は、主基板 31 からの接続確認信号の状態を確認し（ステップ S815）、接続確認信号が出力されていなければ（オフ状態であれば）、主基板未接続エラービットをセットする（ステップ S816）。また、接続確認信号が出力されていれば（オン状態であれば）、主基板未接続エラービットをリセットする（ステップ S817）。

【0522】

また、払出制御用 CPU 371 は、各スイッチの検出信号の状態が設定される各スイッチタイマのうち払出個数カウントスイッチ 301 に対応したスイッチタイマの値を確認し、その値がスイッチオン最大時間（例えば「240」）を越えていたら（ステップ S818）、エラーフラグのうちの払出スイッチ異常検知エラー 1 のビットをセットする（ステップ S819）。また、払出個数カウントスイッチ 301 に対応したスイッチタイマの値がスイッチオン最大時間以下であれば、払出スイッチ異常検知エラー 1 のビットをリセットする（ステップ S820）。なお、各スイッチタイマの値は、ステップ S751 の入力判定処理において、各スイッチの検出信号を入力する入力ポートの状態がスイッチオン状態であれば +1 され、オフ状態であれば 0 クリアされる。従って、払出個数カウントスイッチ 301 に対応したスイッチタイマの値がスイッチオン最大時間を越えていたということは、スイッチオン最大時間を越えて払出個数カウントスイッチ 301 がオン状態になっていることを意味し、払出個数カウントスイッチ 301 の断線または払出個数カウントスイッチ 301 の部分で遊技球が詰まっていると判断される。

30

40

【0523】

また、払出制御用 CPU 371 は、払出個数カウントスイッチ 301 に対応したスイッチタイマの値がスイッチオン判定値（例えば「2」）になった場合に（ステップ S821）、球貸し動作中フラグおよび賞球動作中フラグがともにリセット状態であれば、払出動作中でないのに払出個数カウントスイッチ 301 を遊技球が通過したとして、エラーフラグのうちの払出スイッチ異常検知エラー 2 のビットをセットする（ステップ S822、S823）。また、球貸し動作中フラグまたは賞球動作中フラグがセットされていれば、払出スイッチ異常検知エラー 2 のビットをリセットする（ステップ S824）。

【0524】

また、払出制御用 CPU 371 は、カードユニット 50 からの VL 信号の入力状態を確認

50

認し（ステップS 8 2 5）、V L信号が入力されていなければ（オフ状態であれば）、エラーフラグのうちプリペイドカードユニット未接続エラービットをセットする（ステップS 8 2 6）。また、V L信号が入力されていれば（オン状態であれば）、プリペイドカードユニット未接続エラービットをリセットする（ステップS 8 2 7）。

【0 5 2 5】

また、払出制御用C P U 3 7 1は、賞球過多異常コマンド受信フラグがセットされているか否かを確認し（ステップS 8 2 8）、賞球過多異常コマンド受信フラグがセットされていれば、エラーフラグのうち賞球過多異常エラービットをセットする（ステップS 8 2 9）。すなわち、遊技制御手段で賞球過多異常が検出された場合であるので、払出制御用C P U 3 7 1は、賞球過多異常エラービットをセットする。また、賞球過多異常コマンド受信フラグがセットされていなければ、払出制御用C P U 3 7 1は、賞球過多異常エラービットをリセットする（ステップS 8 3 0）。

10

【0 5 2 6】

さらに、払出制御用C P U 3 7 1は、賞球過少異常コマンド受信フラグがセットされているか否かを確認し（ステップS 8 3 1）、賞球過少異常コマンド受信フラグがセットされていれば、エラーフラグのうち賞球過少異常エラービットをセットする（ステップS 8 3 2）。すなわち、遊技制御手段で賞球過少異常が検出された場合であるので、払出制御用C P U 3 7 1は、賞球過少異常エラービットをセットする。また、賞球過少異常コマンド受信フラグがセットされていなければ、払出制御用C P U 3 7 1は、賞球過少異常エラービットをリセットする（ステップS 8 3 3）。

20

【0 5 2 7】

なお、ステップS 7 5 9の表示制御処理では、エラーフラグ中のエラービットに応じた表示（数値表示）による報知をエラー表示用L E D 3 7 4によって行う。従って、通信エラーをエラー表示用L E D 3 7 4によって報知することができる。また、通信エラーは、払出制御手段の側で検出されるので、遊技制御手段の負担を増すことなく通信エラーを検出できる。

【0 5 2 8】

また、この実施の形態では、主基板未接続エラーは接続確認信号がオン状態になると自動的に解消されるが（ステップS 8 1 5、S 8 1 7参照）、さらにエラー解除スイッチ3 7 5が操作されたという条件を加えて、エラー状態が解消されるようにしてもよい。

30

【0 5 2 9】

また、この実施の形態では、通信エラーが、カードユニット5 0との間の通信エラー（プリペイドカードユニット未接続エラーおよびプリペイドカードユニット通信エラー）やその他のエラーと区別可能に報知される（図8 7参照）。従って、遊技制御用マイクロコンピュータ5 6 0と払出制御用マイクロコンピュータ3 7 0との間の通信エラーが容易に特定される。

【0 5 3 0】

次に、演出制御手段（音／ランプ制御用マイクロコンピュータ1 0 0 bおよび図柄制御用マイクロコンピュータ1 0 0 a）の動作を説明する。まず、遊技制御手段から音／ランプ制御手段に対する制御コマンドの送出方式について説明する。図9 1は、主基板3 1から音／ランプ制御基板8 0 bに送信される演出制御コマンドの信号線を示す説明図である。図9 1に示すように、この実施の形態では、演出制御コマンドは、演出制御信号C D 0～C D 7の8本の信号線で主基板3 1から音／ランプ制御基板8 0 bに送信される。また、主基板3 1と音／ランプ制御基板8 0 bとの間には、取込信号（演出制御I N T信号）を送信するための演出制御I N T信号の信号線も配線されている。

40

【0 5 3 1】

この実施の形態では、演出制御コマンドは2バイト構成であり、1バイト目はM O D E（コマンドの分類）を表し、2バイト目はE X T（コマンドの種類）を表す。M O D Eデータの先頭ビット（ビット7）は必ず「1」に設定され、E X Tデータの先頭ビット（ビット7）は必ず「0」に設定される。なお、そのようなコマンド形態は一例であって他の

50

コマンド形態を用いてもよい。例えば、1 バイトや3 バイト以上で構成される制御コマンドを用いてもよい

【0532】

図92に示すように、演出制御コマンドの8ビットの演出制御コマンドデータは、演出制御INT信号に同期して出力される。音／ランプ制御基板80bに搭載されている音／ランプ制御用マイクロコンピュータ100bは、演出制御INT信号が立ち上がったことを検知して、割込処理によって1バイトのデータの取り込み処理を開始する。従って、音／ランプ制御用マイクロコンピュータ100bから見ると、演出制御INT信号は、演出制御コマンドデータの取り込みの契機となる信号に相当する。

【0533】

演出制御コマンドは、音／ランプ制御用マイクロコンピュータ100bが認識可能に1回だけ送出される。認識可能とは、この例では、演出制御INT信号のレベルが変化することであり、認識可能に1回だけ送出されるとは、例えば演出制御コマンドデータの1バイト目および2バイト目のそれぞれに応じて演出制御INT信号が1回だけパルス状（矩形波状）に出力されることである。なお、演出制御INT信号は図92に示された極性と逆極性であってもよい。

【0534】

次に、音／ランプ制御手段（音／ランプ制御用マイクロコンピュータ100b）の動作を説明する。図93は、音／ランプ制御基板80bに搭載されている音／ランプ制御用マイクロコンピュータ100b（具体的には、音／ランプ制御用CPU101b）が実行するメイン処理を示すフローチャートである。遊技機に対する電力供給が開始され、リセット信号がハイレベルになると、音／ランプ制御用マイクロコンピュータ100bは、メイン処理を開始する。メイン処理では、音／ランプ制御用マイクロコンピュータ100bは、まず、RAM領域のクリアや各種初期値の設定、また演出制御の起動間隔を決めるためのタイマの初期設定等を行うための初期化処理を行う（ステップS781）。その後、音／ランプ制御用マイクロコンピュータ100bは、タイマ割込フラグの監視（ステップS782）の確認を行うループ処理に移行する。タイマ割込が発生すると、音／ランプ制御用マイクロコンピュータ100bは、タイマ割込処理においてタイマ割込フラグをセットする。メイン処理において、タイマ割込フラグがセットされていたら、音／ランプ制御用マイクロコンピュータ100bは、そのフラグをクリアし（ステップS783）、以下の音／ランプ制御処理を実行する。

【0535】

タイマ割込は例えば2ms毎にかかる。すなわち、音／ランプ制御処理は、例えば2ms毎に起動される。また、この実施の形態では、タイマ割込処理ではフラグセットのみがなされ、具体的な音／ランプ制御処理はメイン処理において実行されるが、タイマ割込処理で音／ランプ制御処理を実行してもよい。

【0536】

音／ランプ制御処理において、音／ランプ制御用マイクロコンピュータ100bは、まず、受信した演出制御コマンドを解析する（コマンド解析処理：ステップS784）。

【0537】

次いで、音／ランプ制御用マイクロコンピュータ100bは、演出内容決定処理を行う（ステップS785）。演出内容決定処理では、音／ランプ制御用マイクロコンピュータ100bは、演出制御コマンド（変動パターンコマンドや表示結果指定コマンド）にもとづいて、可変表示装置9を用いて行う演出内容（予告演出を行うか否かや、予告演出の種類）を決定する。また、音／ランプ制御用マイクロコンピュータ100bは、決定した演出内容を示す演出内容指定コマンドを生成する。

【0538】

次いで、音／ランプ制御用マイクロコンピュータ100bは、音出力処理を行う（ステップS786）。この場合、音／ランプ制御用マイクロコンピュータ100bは、音声合成用IC173に対して音番号データ（例えば、変動パターンコマンドに示される変動パ

10

20

30

40

50

ターンに対応する音番号データ)を出力する。そして、音声合成用IC173は、音番号データに応じた音声や効果音を発生し増幅回路175に出力する。

【0539】

次いで、音／ランプ制御用マイクロコンピュータ100bは、ランプ表示処理を行う(ステップS787)。この場合、音／ランプ制御用マイクロコンピュータ100bは、プロセスデータ中に設定されているランプ制御実行データにもとづいてランプ制御を行う。

【0540】

また、音／ランプ制御用マイクロコンピュータ100bは、乱数カウンタを更新する処理を実行する(ステップS788)。また、音／ランプ制御用マイクロコンピュータ100bは、主基板31から受信した演出制御コマンドや、ステップS785の演出内容決定処理で生成した演出内容指定コマンドを、図柄制御基板80aに送出する処理を行う(コマンド制御処理:ステップS789)。また、音／ランプ制御用マイクロコンピュータ100bは、賞球異常が発生している旨を報知する報知処理を実行する(ステップS790)。その後、ステップS782のタイマ割込フラグの確認を行う処理に戻る。

【0541】

主基板31からの演出制御用のINT信号は音／ランプ制御用マイクロコンピュータ100bの割込端子に入力されている。例えば、主基板31からのINT信号がオン状態になると、音／ランプ制御用マイクロコンピュータ100bにおいて割込がかかる。そして、音／ランプ制御用マイクロコンピュータ100bは、割込処理において演出制御コマンドの受信処理を実行する。演出制御コマンドの受信処理において、音／ランプ制御用マイクロコンピュータ100bは、受信した演出制御コマンドデータをコマンド受信バッファに格納する。

【0542】

図94は、音／ランプ制御処理で用いる各乱数を示す説明図である。各乱数は、以下のように使用される。

(1) ランダム1: 予告演出を実行するか否かを決定する(予告演出実行決定用)。この実施の形態では、可変表示装置9においてリーチ態様の飾り図柄の可変表示を行う際に、音／ランプ制御用マイクロコンピュータ100bは、例えば、ランダム1があらかじめ決められている1つの値と一致した場合には、予告演出を行うと決定する。なお、音／ランプ制御用マイクロコンピュータ100bは、リーチ態様の可変表示を行うか否かに関わらず、ランダム1を用いて予告演出を行うか否かを決定してもよい。

(2) ランダム2: 予告演出を行う場合に、可変表示装置9を用いて行う予告演出の種類を決定する(予告演出種類決定用)

【0543】

図95は、図93に示された演出内容決定処理(ステップS785)を示すフローチャートである。演出内容決定処理において、音／ランプ制御用マイクロコンピュータ100bは、変動パターンコマンド受信フラグがセットされているか否か確認する(ステップS1851)。なお、変動パターンコマンド受信フラグは、コマンド制御処理(ステップS789参照)において、遊技制御用マイクロコンピュータ560から変動パターンコマンドを受信したことが確認されたことにもとづいて設定されるフラグである。

【0544】

変動パターンコマンド受信フラグがセットされていれば、音／ランプ制御用マイクロコンピュータ100bは、変動パターンコマンド受信フラグをリセットし、受信した変動パターンコマンドにもとづいて飾り図柄の変動パターンを特定する。また、音／ランプ制御用マイクロコンピュータ100bは、特定した変動パターンにもとづいて、可変表示装置9を用いて実行すべき可変表示がリーチを伴う変動であるか否かを判定する(ステップS1852)。例えば、音／ランプ制御用マイクロコンピュータ100bは、受信した変動パターンコマンドに示される変動パターンがリーチを伴うパターンである場合、音／ランプ制御用マイクロコンピュータ100bは、リーチを伴う変動であると判定する。なお、ステップS1851で変動パターンコマンド受信フラグがセットされていなかった場合に

は、音／ランプ制御用マイクロコンピュータ100bは、そのまま処理を終了する。

【0545】

リーチを伴う変動であると判定した場合、音／ランプ制御用マイクロコンピュータ100bは、予告演出実行決定用乱数（ランダム1）にもとづいて、予告演出を行うか否かを決定する（ステップS1853）。例えば、音／ランプ制御用マイクロコンピュータ100bは、ランダム1が所定値と一致すると、可変表示装置9を用いた予告演出を行うと決定する。なお、ステップS1852でリーチを伴う変動でなかった場合には、音／ランプ制御用マイクロコンピュータ100bは、ステップS1857に移行する。

【0546】

ステップS1854で予告演出を行わないと決定した場合、音／ランプ制御用マイクロコンピュータ100bは、変動パターンコマンドを受信しているとともに表示結果指定コマンドを受信している場合には、変動パターンコマンドおよび表示結果指定コマンドを図柄制御用マイクロコンピュータ100aに送信または転送し、図柄制御用マイクロコンピュータ100aは、可変表示装置9を用いた飾り図柄の可変表示および遊技演出を実行することになる。この場合、音／ランプ制御用マイクロコンピュータ100bは、ステップS1854で予告演出を行わないと決定すると、予告演出を行わない旨を指定する通知コマンドを生成し、図柄制御用マイクロコンピュータ100aに送信する（ステップS1857）。

【0547】

予告演出を行うと決定すると（ステップS1854）、音／ランプ制御用マイクロコンピュータ100bは、予告演出種類決定用乱数（ランダム2）にもとづいて、可変表示装置9を用いて行わせる予告演出の種類を決定する（ステップS1855）。例えば、音／ランプ制御用マイクロコンピュータ100bは、ランダム2にもとづいて、予告演出において、飾り図柄をどの程度の速度で変動させるかや、飾り図柄をいずれの回転方向に変動させるか、可変表示装置9にいずれのキャラクタを登場させるかを決定する。

【0548】

なお、この実施の形態では、変動パターンコマンドにもとづいて演出内容を決定する場合を説明するが、音／ランプ制御用マイクロコンピュータ100bは、遊技制御用マイクロコンピュータ560から受信した表示結果指定コマンドにもとづいて、非確変大当たりまたは確変大当たりであることを特定して、演出内容を決定してもよい。また、音／ランプ制御用マイクロコンピュータ100bは、図柄ずれ数指定コマンドを遊技制御用マイクロコンピュータ560から受信し、受信した図柄ずれ数指定コマンドにもとづいて、停止図柄がリーチを伴うはずれ図柄であるか否かを特定して、演出内容を決定してもよい。この場合、例えば、遊技制御用マイクロコンピュータ560は、特別図柄停止図柄設定処理（ステップS301参照）で飾り図柄の停止図柄を決定する際に、停止図柄をリーチ／はずれ図柄に決定した場合には、飾り図柄の停止図柄のずれ数を求める。また、遊技制御用マイクロコンピュータ560は、求めたずれ数を特定可能な値を含む図柄ずれ数指定コマンドを生成し、音／ランプ制御用マイクロコンピュータ100bに送信する。そして、音／ランプ制御用マイクロコンピュータ100bは、図柄ずれ数コマンドを受信したことにもとづいて停止図柄がリーチ／はずれ図柄であると特定し、演出内容を決定する。

【0549】

さらに、音／ランプ制御用マイクロコンピュータ100bは、上記に示した全てのコマンド（変動パターンコマンド、表示結果指定コマンド、および図柄ずれ数指定コマンド）にもとづいて、演出内容を決定してもよい。また、音／ランプ制御用マイクロコンピュータ100bは、上記に示した各コマンド（変動パターンコマンド、表示結果指定コマンド、および図柄ずれ数指定コマンド）のうちのいずれか2つにもとづいて、演出内容を決定してもよい。

【0550】

また、音／ランプ制御用マイクロコンピュータ100bは、決定した演出内容（予告演出を行うか否かや、予告演出の種類）を示す演出内容指定コマンドを生成する。そして、

10

20

30

40

50

音／ランプ制御用マイクロコンピュータ100bは、生成した演出内容指定コマンドを、図柄制御基板80aに対して送信する処理を行う（ステップS1856）。なお、音／ランプ制御用マイクロコンピュータ100bは、演出内容指定コマンドとともに、表示結果指定コマンドおよび変動パターンコマンドを図柄制御基板80aに転送または送信する。そして、図柄制御基板80aの図柄制御用マイクロコンピュータ100aは、音／ランプ制御用マイクロコンピュータ100bから受信した演出内容指定コマンド、表示結果指定コマンドおよび変動パターンコマンドにもとづいて、後述する図柄制御プロセス処理（ステップS1705参照）において、飾り図柄の可変変動および遊技演出を行う。この場合、図柄制御用マイクロコンピュータ100aは、受信した演出内容指定コマンドにもとづいて、VDP109に、可変表示装置9を用いた予告演出を行わせる。

10

【0551】

なお、ステップS1856において、音／ランプ制御用マイクロコンピュータ100bは、演出内容指定コマンドを生成するのでなく、決定した演出内容を、変動パターンコマンドや表示結果指定コマンドに付加してもよい。例えば、音／ランプ制御用マイクロコンピュータ100bは、コマンドのヘッダ部分に演出内容を示す値を付加することによって、演出内容を変動パターンコマンドや表示結果指定コマンドに付加する。この場合、音／ランプ制御用マイクロコンピュータ100bは、変動パターンコマンドのみのヘッダ部分に演出内容を示す値を付加してもよく、表示結果指定コマンドのみのヘッダ部分に演出内容を示す値を付加してもよい。さらに、音／ランプ制御用マイクロコンピュータ100bは、変動パターンコマンドおよび表示結果指定コマンドの両方のヘッダ部分に演出内容を示す値を付加してもよい。そして、音／ランプ制御用マイクロコンピュータ100bは、演出内容を付加した変動パターンコマンドや表示結果指定コマンドを、図柄制御基板80aに対して送信する処理を行ってもよい。なお、予告演出を行わない場合には、音／ランプ制御用マイクロコンピュータ100bは、遊技制御用マイクロコンピュータ560から受信した表示結果指定コマンドを、そのまま図柄制御用マイクロコンピュータ100aに転送することになる。

20

【0552】

また、この実施の形態では、ステップS1856で送信テーブルのアドレスがセットされたことにもとづいて、音／ランプ制御メイン処理におけるコマンド制御処理（ステップS789参照）が実行されることによって、演出内容指定コマンドが図柄制御基板80aに送信される。

30

【0553】

また、この実施の形態では、ランプ制御実行データを含む音／ランプ制御側プロセスデータが、音／ランプ制御基板80bにおけるROMに格納されている。また、表示制御実行データを含む図柄制御側プロセスデータが、図柄制御基板80aにおけるROMに格納されている。この実施の形態では、ステップS1856において、音／ランプ制御用マイクロコンピュータ100bは、決定した演出内容に応じて生成した演出内容指定コマンドを図柄制御用マイクロコンピュータ100aに送信する。そして、図柄制御用マイクロコンピュータ100aは、受信した演出内容指定コマンドにもとづいてROMから表示制御実行データを読み出し、読み出した表示制御実行データにもとづいて可変表示装置9を用いて演出を行う。

40

【0554】

また、ステップS1856で決定した演出内容を変動パターンコマンドや表示結果指定コマンドに付加する場合、音／ランプ制御用マイクロコンピュータ100bは、決定した演出内容（例えば、背景色や登場するキャラクタ）を付加した変動パターンコマンドや表示結果指定コマンドを、図柄制御用マイクロコンピュータ100aに送信してもよい。そして、図柄制御用マイクロコンピュータ100aは、受信した変動パターンコマンドや表示結果指定コマンドにもとづいてROMから表示制御実行データを読み出し、読み出した表示制御実行データにもとづいて可変表示装置9を用いて演出を行ってもよい。

【0555】

50

また、表示制御実行データおよびランプ制御実行データの両方を含むプロセスデータが、音／ランプ制御基板 80b における ROM に格納されていてもよい。この場合、音／ランプ制御用マイクロコンピュータ 100b は、決定した演出内容に応じた表示制御実行データを ROM から抽出し、生成した演出内容指定コマンドとともに、図柄制御用マイクロコンピュータ 100a に送信してもよい。そして、図柄制御用マイクロコンピュータ 100a は、受信した表示制御実行データにもとづいて、可変表示装置 9 を用いて演出を行ってもよい。

【0556】

また、表示制御実行データおよびランプ制御実行データの両方を含むプロセスデータが、音／ランプ制御基板 80b における ROM に格納する場合に、音／ランプ制御用マイクロコンピュータ 100b は、決定した演出内容に応じた表示制御実行データを ROM から抽出し、決定した演出内容を付加した変動パターンコマンドや表示結果指定コマンドとともに、図柄制御用マイクロコンピュータ 100a に送信してもよい。そして、図柄制御用マイクロコンピュータ 100a は、受信した表示制御実行データにもとづいて、可変表示装置 9 を用いて演出を行ってもよい。

10

【0557】

図 96 は、図 93 に示された報知処理（ステップ S790）を示すフローチャートである。報知処理において、音／ランプ制御用マイクロコンピュータ 100b は、賞球異常（賞球過多異常または賞球過少異常）の報知を行っているか否か確認する（ステップ S881）。そのような報知を行っていない場合には、賞球過多異常コマンドを受信したか否か確認する（ステップ S882a）。賞球過多異常コマンドを受信していた場合には、スピーカ 27 やランプ 25, 28a, 28b, 28c を用いて賞球過多異常を報知する制御を行う（ステップ S883a）。また、報知時間を決定するために報知タイマに報知時間に応じた値を設定する（ステップ S884a）。その後、ステップ S891 に移行する。

20

【0558】

また、賞球過多異常コマンドを受信していない場合には、賞球過少異常コマンドを受信したか否か確認する（ステップ S882b）。賞球過少異常コマンドを受信していた場合には、スピーカ 27 やランプ 25, 28a, 28b, 28c を用いて賞球過少異常を報知する制御を行う（ステップ S883b）。また、報知時間を決定するために報知タイマに報知時間に応じた値を設定する（ステップ S884b）。その後、ステップ S891 に移行する。

30

【0559】

賞球異常の報知を行っている場合には、報知タイマの値を 1 減算する（ステップ S888）。報知タイマの値が 0 になっていなければ、すなわちタイムアウトしていなければステップ S891 に移行するが、タイムアウトしている場合には、報知を終了する。

【0560】

なお、この実施の形態では、エラー報知処理は 2ms 毎に起動されるので、報知タイマに設定される報知時間に応じた値は、（報知時間 [ms] / 2）である。また、この実施の形態では、報知タイマによって報知時間に応じた値のカウント（減算方向のカウント）を行うと、音／ランプ制御用マイクロコンピュータ 100b は、独自に報知を終了するが、報知タイマの初期値を 0 にして、加算方向のカウントを行い、報知タイマの値が報知時間に応じた値になると報知を終了するようにしてもよい。

40

【0561】

ステップ S891 では、音／ランプ制御用マイクロコンピュータ 100b は、払出異常報知開始コマンドを受信したか否か確認する。払出異常報知開始コマンドを受信していた場合には、スピーカ 27 やランプ 25, 28a, 28b, 28c を用いて払出異常を報知する制御を行う（ステップ S892）。また、音／ランプ制御用マイクロコンピュータ 100b は、払出異常報知終了コマンドを受信したか否か確認する（ステップ S893）。払出異常報知終了コマンドを受信していた場合には、報知を終了する。

【0562】

50

次に、図柄制御手段（図柄制御用マイクロコンピュータ100a）の動作を説明する。図97は、図柄制御基板80aに搭載されている図柄制御用マイクロコンピュータ100a（具体的には、図柄制御用CPU101a）が実行するメイン処理を示すフローチャートである。図柄制御用マイクロコンピュータ100aは、電源が投入されると、メイン処理の実行を開始する。メイン処理では、まず、RAM領域のクリアや各種初期値の設定、また図柄制御の起動間隔を決めるためのタイマの初期設定等を行うための初期化処理を行う（ステップS1701）。その後、図柄制御用マイクロコンピュータ100aは、タイマ割込フラグの監視（ステップS1702）を行うループ処理に移行する。タイマ割込が発生すると、図柄制御用マイクロコンピュータ100aは、タイマ割込処理においてタイマ割込フラグをセットする。メイン処理において、タイマ割込フラグがセットされていたら、図柄制御用マイクロコンピュータ100aは、そのフラグをクリアし（ステップS1703）、以下の図柄制御処理を実行する。

10

【0563】

図柄制御処理において、図柄制御用マイクロコンピュータ100aは、まず、音／ランプ制御基板80bから受信した演出制御コマンドを解析する（コマンド解析処理：ステップS1704）。次いで、図柄制御用マイクロコンピュータ100aは、図柄制御プロセス処理を行う（ステップS1705）。図柄制御プロセス処理では、制御状態に応じた各プロセスのうち、現在の制御状態（図柄制御プロセスフラグ）に対応した処理を選択して可変表示装置9の表示制御を実行する。さらに、各種乱数を生成するためのカウンタのカウンタ値を更新する乱数更新処理を実行する（ステップS1706）。

20

【0564】

また、図柄制御用マイクロコンピュータ100aは、賞球異常が発生している旨を報知する報知処理を実行する（ステップS1707）。この場合、図柄制御用マイクロコンピュータ100aは、図95に示す音／ランプ制御用マイクロコンピュータ100bが実行する報知処理と同様の処理の従って、賞球異常（賞球過多異常、賞球過少異常）や払出異常が発生している旨を報知する。ただし、図柄制御用マイクロコンピュータ100aは、可変表示装置9を用いて、賞球異常や払出異常が発生している旨を報知する。例えば、図柄制御用マイクロコンピュータ100aは、賞球異常や払出異常が発生している旨を可変表示装置9に表示させる。その後、ステップS1702に移行する。

30

【0565】

図98は、図97に示されたメイン処理における図柄制御プロセス処理（ステップS1705）を示すフローチャートである。図柄制御プロセス処理では、図柄制御用CPU101aは、図柄制御プロセスフラグの値に応じてステップS1800～S1807のうちのいずれかの処理を行う。各処理において、以下のような処理を実行する。

【0566】

変動パターンコマンド受信待ち処理（ステップS1800）：コマンド受信割込処理によって、音／ランプ制御基板80bから変動パターン指定の演出制御コマンド（変動パターンコマンド）を受信したか否か確認する。具体的には、変動パターンコマンドが受信されたことを示すフラグ（変動パターン受信フラグ）がセットされたか否か確認する。変動パターン受信フラグは、図柄制御用CPU101aが実行するコマンド解析処理で、変動パターンコマンドが受信されたことが確認された場合にセットされる。変動パターンコマンドを受信した場合には、飾り図柄の変動態様（変動期間中の飾り図柄の変動速度や、背景、キャラクタの種類、キャラクタの表示開始時期など）を、それぞれの変動パターンに応じてあらかじめ決められている複数種類のうちから選択する。なお、それぞれの変動パターンについて、あらかじめ1種類の変動態様が決められている場合には、受信した変動パターンに応じた変動態様を使用することに決定する。そして、図柄制御プロセスフラグの値を予告選択処理（ステップS1801）に対応した値に更新する。

40

【0567】

予告選択処理（ステップS1801）：例えばキャラクタ画像を用いた予告演出（特別図柄の停止図柄が大当たり図柄となること、またはリーチが発生することを事前に報知する

50

ための演出)を行うか否かと、行う場合の予告演出の種類を特定する。この実施の形態では、音／ランプ制御基板80bから受信した演出内容指定コマンドにもとづいて、可変表示装置9を用いて行う予告演出が特定される。そして、図柄制御プロセスフラグの値を全図柄変動開始処理(ステップS1802)に対応した値に更新する。

【0568】

全図柄変動開始処理(ステップS1802):左中右の飾り図柄の変動が開始されるように制御する。そして、図柄制御プロセスフラグの値を図柄変動中処理(ステップS1803)に対応した値に更新する。

【0569】

図柄変動中処理(ステップS1803):変動パターンに応じて決められている変動時間の終了を監視する。また、左右図柄の停止制御を行う。変動時間が終了したら、大当たりとすることに決定されている場合には、図柄制御プロセスフラグの値を大当たり図柄停止処理(ステップS1804)に対応した値に更新する。大当たりとしないことに決定されている場合には、図柄制御プロセスフラグの値をはずれ図柄停止処理(ステップS1805)に対応した値に更新する。なお、図柄変動中処理では、変動パターンを構成する各変動状態(変動速度)の切替タイミングの制御も行う。

10

【0570】

大当たり図柄停止処理(ステップS1804):飾り図柄の変動を最終停止し停止図柄(確定図柄)を表示する制御を行う。そして、図柄制御プロセスフラグの値を大当たり表示処理(ステップS1806)に対応した値に更新する。なお、この処理において、図柄制御用CPU101aは、可変表示装置9に飾り図柄の大当たり図柄を停止表示させるが、遊技制御用マイクロコンピュータ560の制御と同様に、図柄制御プロセスフラグの値が大当たり図柄停止処理である時間を所定時間継続させることが好ましい。

20

【0571】

はずれ図柄停止処理(ステップS1805):飾り図柄の変動を最終停止し停止図柄(確定図柄)を表示する制御を行う。そして、図柄制御プロセスフラグの値を変動パターンコマンド受信待ち処理(ステップS1800)に対応した値に更新する。なお、この処理において、図柄制御用CPU101aは、可変表示装置9に飾り図柄のはずれ図柄を停止表示させる。

【0572】

大当たり表示処理(ステップS1806):大当たり表示の制御を行う。そして、図柄制御プロセスフラグの値を大当たり遊技中処理(ステップS1807)に対応した値に更新する。

30

【0573】

大当たり遊技中処理(ステップS1807):大当たり遊技中の制御を行う。例えば、大入賞口開放前表示や大入賞口開放時表示の演出制御コマンドを受信したら、ラウンド数の表示制御等を行う。大当たり遊技が終了したら、図柄制御プロセスフラグの値を変動パターンコマンド受信待ち処理(ステップS1800)に対応した値に更新する。

【0574】

また、図柄制御用マイクロコンピュータ100aは、ステップS1707の報知処理において、賞球過多異常コマンドを受信したことにもとづいて、可変表示装置9を用いて賞球過多異常を報知する制御を行う。この場合、図柄制御用マイクロコンピュータ100aは、例えば、図99(A)に示すように、賞球払い出しに異常が生じている旨を報知する画面を可変表示装置9に表示させる。また、図柄制御用マイクロコンピュータ100aは、ステップS1707の報知処理において、賞球過少異常コマンドを受信したことにもとづいて、可変表示装置9を用いて賞球過少異常を報知する制御を行う。この場合、図柄制御用マイクロコンピュータ100aは、例えば、図99(B)に示すように、賞球払い出しに不足が生じている旨を報知する画面を可変表示装置9に表示させる。

40

【0575】

以上のように、この実施の形態では、球払出装置97によって遊技球の払い出しが行わ

50

れると、タイマ割込処理において、払い出された遊技球の数を、総賞球数格納バッファが格納する総賞球数から減算する。また、メイン処理において、賞球個数コマンドに示される賞球数を総賞球数に加算する際に、総賞球数格納バッファから総賞球数を読み出すと、再び加算後の総賞球数を総賞球数格納バッファに書き込むまでタイマ割込処理の実行を禁止する。そのため、総賞球数格納バッファから総賞球数を読み出してから再び書き込むまでの間に、払い出された遊技球の数を総賞球数から減算する処理を実行しないようにすることができ、払い出された遊技球の数を遊技制御用マイクロコンピュータ560が把握できなくなる事態を防止できる。従って、遊技制御用マイクロコンピュータ560が管理する賞球数と払出制御用マイクロコンピュータ370が管理する賞球数との間のズレの発生を防止することができる。

10

【0576】

また、この実施の形態では、音／ランプ制御用マイクロコンピュータ100bが、変動パターンコマンドにもとづいて、演出内容（予告演出を行うか否かや、予告演出の種類）を独自に決定する。また、音／ランプ制御用マイクロコンピュータ100bによって決定された演出内容に従って、図柄制御用マイクロコンピュータ100aが可変表示装置9を用いて遊技演出を実行する。そのため、遊技制御用マイクロコンピュータ560が演出内容を決定しなくて済む。従って、遊技制御用マイクロコンピュータ560の処理負担を軽減することができる。

【0577】

また、この実施の形態では、遊技機への電源投入が開始されてからタイマ割込設定を行うまでに乱数回路503の初期設定（乱数回路設定処理）を行うとともに、乱数回路設定処理において、遊技制御用マイクロコンピュータ560固有のIDナンバにもとづく値を乱数の初期値として設定する。そのため、乱数回路503が生成する乱数のランダム性を向上させることができる。また、乱数のランダム性を向上させることができるので、乱数生成のタイミングを遊技者や遊技店に認識されにくくすることができ、無線信号を用いた取り込み信号を遊技機に対して発生させることによって、大当たり状態などの特定遊技状態への移行条件を不正に成立させられてしまうことを防止することができる。

20

【0578】

また、この実施の形態では、シリアル通信回路505が割り込み要求を行った場合に、通信エラーを割込原因とする場合の割込処理を優先的に実行し、通信を禁止状態に制御する。そのため、通信エラーが発生した状態で遊技機に搭載されている払出制御基板37の払出制御用マイクロコンピュータ370と通信を行うことを防止できる。よって、通信エラーによる誤動作を防止することができる。

30

【0579】

例えば、シリアル通信回路505においてオーバーランが発生すると、受信データレジスタ711内の受信データが読み込まれる前に受信用シフトレジスタ713に次の受信データが格納されてしまうので、受信データレジスタ711の内容が上書きされてしまいCPU56が受信データを正しく読み込めなくなってしまう。そのため、各制御基板が搭載するマイクロコンピュータと正しく通信を行えなくなり、遊技制御用マイクロコンピュータ560が誤動作をする原因となる。この実施の形態では、オーバーランが発生すると、シリアル通信回路505が通信エラー時割込要求を行い、CPU56が通信を禁止状態に制御する。そのため、オーバーランの発生によって遊技制御用マイクロコンピュータ560が誤動作することを防止することができる。

40

【0580】

また、例えば、シリアル通信回路505においてノイズエラーが発生すると、ノイズによって正しい受信データを受信できない可能性が高く、CPU56が誤動作をする原因となる。この実施の形態では、ノイズエラーが発生すると、シリアル通信回路505が通信エラー時割込要求を行い、CPU56が通信を禁止状態に制御する。そのため、ノイズエラーの発生によってCPU56が誤動作することを防止することができる。

【0581】

50

また、例えば、シリアル通信回路505においてフレーミングエラーが発生すると、受信データのストップビットを正しく受信できなかった状態であるので、正しい受信データを受信できない可能性が高く、CPU56が誤動作をする原因となる。この実施の形態では、フレーミングエラーが発生すると、シリアル通信回路505が通信エラー時割込要求を行い、CPU56が通信を禁止状態に制御する。そのため、フレーミングエラーの発生によってCPU56が誤動作することを防止することができる。

【0582】

また、例えば、シリアル通信回路505においてパリティエラーが発生すると、受信データの各データビットまたはパリティビットを正しく受信できなかった状態であるので、正しい受信データを受信できない可能性が高く、CPU56が誤動作をする原因となる。この実施の形態では、パリティエラーが発生すると、シリアル通信回路505が通信エラー時割込要求を行い、CPU56が通信を禁止状態に制御する。そのため、パリティエラーの発生によってCPU56が誤動作することを防止することができる。

【0583】

また、この実施の形態では、シリアル通信回路505において通信エラーが発生すると、払出制御基板37が搭載する払出制御用マイクロコンピュータ370への賞球個数コマンドの送信と、払出制御用マイクロコンピュータ370からの賞球ACKコマンドの受信とを禁止するように制御する。例えば、通信エラーの発生時に賞球個数コマンドを払出制御基板37が搭載する払出制御用マイクロコンピュータ370に送信してしまうと、誤った賞球個数コマンドが送信されてしまう可能性がある。そのため、誤った賞球個数コマンドに示される賞球数にもとづいて誤った数の遊技球が払い出されてしまう可能性があり、遊技結果に影響を及ぼす虞がある。この実施の形態では、通信エラーが発生すると、払出制御基板37が搭載する払出制御用マイクロコンピュータ370への賞球個数コマンドの送信を禁止するように制御するので、誤った賞球コマンドにもとづいて誤った数の遊技球の払出が行われ、遊技結果に影響を及ぼしてしまうことを防止することができる。

【0584】

なお、シリアル通信回路505において通信エラーが発生すると、各制御基板が搭載するマイクロコンピュータからのデータの受信のみを防止するようにしてもよい。例えば、遊技制御手段と演出制御手段との間でシリアル通信を行う場合を考える。この場合、遊技制御用マイクロコンピュータ560と音／ランプ制御用マイクロコンピュータ100bとの間で行われる通信は、遊技制御用マイクロコンピュータ560から音／ランプ制御用マイクロコンピュータ100bへの演出制御コマンドの送信だけであり、音／ランプ制御用マイクロコンピュータ100bから遊技制御用マイクロコンピュータ560へのコマンドの送信はない。すなわち、遊技制御用マイクロコンピュータ560と音／ランプ制御用マイクロコンピュータ100bとの間では、一方向だけの通信が行われる。また、遊技制御用マイクロコンピュータ560から音／ランプ制御基板80bに誤った演出制御コマンドが送信されたとしても、可変表示装置9に誤った演出用の表示が行われるだけであり、誤った払出処理を実行してしまう場合と比較して、遊技結果に与える影響が小さい。そのため、遊技制御手段と演出制御手段との間でシリアル通信を行う場合、シリアル通信回路505において通信エラーが発生すると、遊技制御用マイクロコンピュータ560は、データの受信のみを禁止するように制御してもよい。

【0585】

なお、この実施の形態では、「シリアル通信回路505がCPU56に割り込み要求を行う」という表現を用いたが、具体的には、データの送受信や通信エラーの発生などの割込要因が発生したときに、シリアル通信回路505の割り込み制御回路714がステータスレジスタA705の対応するビット（割込要因に対応するビット）に設定値をセットするとともに、CPU56に割り込み信号（内部IRQ）を出力することによって、シリアル通信回路505による割り込み要求が行われる。例えば、通信エラーが発生したときに、シリアル通信回路505の割り込み制御回路714がステータスレジスタA705の対応するビット（通信エラーに対応するビット0～3）に設定値をセットするとともに、C

P U 5 6 に割り込み信号を出力することによって、シリアル通信回路 5 0 5 による通信エラー時の割り込み要求が行われる。

【0 5 8 6】

また、この実施の形態では、払出個数カウントスイッチ 3 0 1 からの払出検出信号を、払出制御基板 3 7 を経由して主基板 3 1 に入力するように構成されているので、払出検出信号を出力するための配線を、払出個数カウントスイッチ 3 0 1 から主基板 3 1 および払出制御基板 3 7 の両方に設ける必要がなくなる。そのため、払出個数カウントスイッチ 3 0 1 から払出検出信号を出力するための配線を削減することができる。

【0 5 8 7】

なお、払出個数カウントスイッチ 3 0 1 からの払出検出信号を主基板 3 1 に直接入力するようにしてもよい。この場合、払出個数カウントスイッチ 3 0 1 から払出検出信号を出力するための配線を、主基板 3 1 および払出制御基板 3 7 の両方に設けることになる。そして、遊技制御用マイクロコンピュータ 5 6 0 は、払出個数カウントスイッチ 3 0 1 から直接入力した払出検出信号にもとづいて、入力判定処理において、総賞球数格納バッファが格納する総賞球数の減算処理を行う。

【0 5 8 8】

また、この実施の形態では、遊技制御用マイクロコンピュータ 5 6 0 によって賞球の払い出しに異常が発生したことを示す賞球過多異常コマンドや賞球過少異常コマンドが払出制御用マイクロコンピュータ 3 7 0 に送信され、払出制御用マイクロコンピュータ 3 7 0 が、受信した賞球過多異常コマンドや賞球過少異常コマンドにもとづいて報知する。そのため、賞球の払い出しのエラー状態を報知することができる。

【0 5 8 9】

また、この実施の形態では、遊技制御用マイクロコンピュータ 5 6 0 によって賞球の払い出しに異常が発生したことを示す賞球過多異常コマンドや賞球過少異常コマンドが音／ランプ制御用マイクロコンピュータ 1 0 0 b に送信され、音／ランプ制御用マイクロコンピュータ 1 0 0 b が、受信した賞球過多異常コマンドや賞球過少異常コマンドにもとづいて、音やランプを用いて報知する。また、図柄制御用マイクロコンピュータ 1 0 0 a が、転送された賞球過多異常コマンドや賞球過少異常コマンドにもとづいて、可変表示装置 9 用いて報知する。そのため、賞球の払い出しのエラー状態を報知することができる。

【0 5 9 0】

また、この実施の形態では、主基板 3 1 からの演出制御コマンドを、まず音／ランプ制御基板 8 0 b で受信し、さらに音／ランプ制御基板 8 0 b から図柄制御基板 8 0 a に変動パターンコマンドや演出内容指定コマンドが送出される場合を説明したが、主基板 3 1 からの演出制御コマンドを、まず図柄制御基板 8 0 a で受信するようにしてもよい。

【0 5 9 1】

図 1 0 0 は、中継基板 7 7、音／ランプ制御基板 8 0 b および図柄制御基板 8 0 a の他の回路構成例を示すブロック図である。図 1 0 0 に示す回路構成を用いる場合、例えば、図柄制御用マイクロコンピュータ 1 0 0 a は、ステップ S 1 8 5 1 ～ S 1 8 5 6 と同様の処理に従って、変動パターンコマンドにもとづいて、演出内容（予告演出を行うか否かや、予告演出の種類）を決定する。そして、図柄制御用マイクロコンピュータ 1 0 0 a は、決定した演出内容に従って、V D P 1 0 9 に、可変表示装置 9 を用いた予告演出を行わせる。また、図柄制御用マイクロコンピュータ 1 0 0 a は、決定した演出内容を示す演出内容指定コマンドを生成して、音／ランプ制御基板 8 0 b に送信するようにしてもよい。そして、音／ランプ制御基板 8 0 b が搭載する音／ランプ制御用マイクロコンピュータ 1 0 0 b は、受信した演出内容指定コマンドに示される演出内容に従って、各ランプ 2 5、2 8 a、2 8 b、2 8 c の表示制御を行ったり、音出力装置 2 7 の音出力制御を行ってもよい。

【0 5 9 2】

また、この実施の形態では、各演出手段を別々の制御基板を用いて制御する場合として、音／ランプ制御基板 8 0 b と図柄制御基板 8 0 a とを用いる場合を説明したが、他の制

10

20

30

40

50

御基板の組合せを用いて各演出手段を制御してもよい。例えば、音出力装置 27 を制御する音制御基板と、各ランプを制御するランプ制御基板と、可変表示装置 9 を制御する図柄制御基板とを用いて、各演出手段を制御してもよい。この場合、例えば、主基板 31 からの演出制御コマンドを、まず音制御基板で受信し、音制御基板が搭載する音制御用マイクロコンピュータが、受信した変動パターンコマンドにもとづいて演出内容（予告演出を行うか否かや、予告演出の種類）を決定してもよい。なお、主基板 31 からの演出制御コマンドを、まずランプ制御基板や図柄制御基板で受信し、ランプ制御基板や図柄制御基板が搭載するマイクロコンピュータが、演出内容を決定したり変動時間を特定してもよい。さらに、例えば、音出力装置 27 および可変表示装置 9 を制御する音／図柄制御基板と、各ランプを制御するランプ制御基板とを用いて、各演出手段を制御してもよい。また、例えば、各ランプおよび可変表示装置 9 を制御するランプ／図柄制御基板と、音出力装置 27 を制御する音制御基板とを用いて、各演出手段を制御してもよい。

10

【0593】

実施の形態 2.

上記に示した各実施の形態では、CPU 56 が、シリアル通信回路 505 からの割り込み要求に対応する割込処理のうちいずれの割込処理に優先して実行するかを設定または変更する場合を説明したが、さらにタイマ割込とシリアル通信回路 505 からの割り込み要求とが同時に発生した場合に、いずれの割込処理を優先して実行するかを設定または変更できるようにしてもよい。以下、タイマ割込とシリアル通信回路 505 からの割り込み要求とのいずれを優先して割込処理を実行するかを設定または変更する第 2 の実施の形態を説明する。

20

【0594】

なお、本実施の形態において、第 1 の実施の形態と同様の構成および処理をなす部分についてはその詳細な説明を省略し、主として第 1 の実施の形態と異なる部分について説明する。

【0595】

まず、第 2 の実施の形態におけるメイン処理について説明する。図 101 は、第 2 の実施の形態におけるメイン処理を示すフローチャートである。なお、メイン処理のうち、ステップ S1 からステップ S6 まで（ステップ S80 を含む）の処理は、第 1 の実施の形態で示した処理と同様である（図 43 参照）。また、図 101 に示すメイン処理において、ステップ S7 からステップ S15a までの処理（ステップ S91 からステップ S93 までの処理を含む）は、第 1 の実施の形態で示したそれらの処理と同様である。

30

【0596】

ステップ S15a のシリアル通信回路設定処理を実行し、シリアル通信回路 505 を初期設定すると、CPU 56 は、タイマ割込の発生時に実行するタイマ割込処理、およびシリアル通信回路 505 の割り込み要求に応じて実行する割込処理の優先順位を初期設定する（ステップ S15c）。

【0597】

例えば、CPU 56 は、各割込処理のデフォルトの優先順位を含む所定の割込処理優先順位テーブルに従って、各割込処理の優先順位を初期設定する。図 102 は、第 2 の実施の形態における割込処理優先順位テーブルの例を示す説明図である。この実施の形態では、CPU 56 は、図 102 に示す割込処理優先順位テーブルに従って、シリアル通信回路 505 において通信エラーが発生したことを割込原因とする割込処理を優先して実行するように初期設定する。すなわち、CPU 56 は、シリアル通信回路 505 からの割り込み要求による割込処理（本例では、通信エラー割込処理）を、タイマ割込処理に優先して実行するようにデフォルトで設定する。この場合、例えば、CPU 56 は、通信エラーが発生したことを割込原因とする割込処理を優先して実行する旨を示す通信エラー時割込優先実行フラグをセットする。

40

【0598】

また、この実施の形態では、ステップ S15c において、図 102 に示す割込処理優先

50

順位テーブルに従って割込処理の優先順位の初期設定が行われることによって、タイマ割込とシリアル通信回路505からの割り込み要求とが同時に発生した場合、シリアル通信回路505からの割り込み要求に対する割込処理を優先して行うことになる。

【0599】

また、ユーザによって各割込処理のデフォルトの優先順位を変更することもできる。例えば、遊技制御用マイクロコンピュータ560は、ユーザ（例えば、遊技機の製作者）によって設定された割込処理を指定する指定情報を、あらかじめROM54の所定の記憶領域に記憶している。そして、CPU56は、ROM54の所定の記憶領域に記憶された指定情報に従って、割込処理の優先順位を設定する。

【0600】

例えば、あらかじめ記憶された指定情報においてタイマ割込処理が指定されている場合を説明する。この場合、CPU56は、指定情報にもとづいて、タイマ割込処理を、シリアル通信回路505からの割り込み要求に対する各割込処理（通信エラー時割込処理、受信時割込処理および送信完了割込処理）に優先して実行するように初期設定する。すなわち、図102に示す割込処理優先順位テーブルにおいて、シリアル通信回路505において通信エラーが発生したことを割込原因とする割込処理を優先して実行するようにデフォルトで設定されているが、CPU56は、ユーザによって設定された指定情報にもとづいて、タイマ割込処理を優先して実行するように割込処理の優先順位を変更する。この場合、例えば、CPU56は、タイマ割込処理を優先して実行する旨を示すタイマ割込優先実行フラグをセットする。

【0601】

また、ステップS16からステップS19までの処理は、第1の実施の形態で示したそれらの処理と同様である。ステップS19で割込許可状態に設定されると、次にステップS17の処理が実行されて割込禁止状態とされるまで、タイマ割込またはシリアル通信回路505からの割り込み要求を許可する状態となる。そして、割込許可状態に設定されている間に、タイマ割込が発生すると、遊技制御用マイクロコンピュータ560は、後述するタイマ割込処理を実行する。また、割込許可状態に設定されている間に、シリアル通信回路505から割り込み要求が発生すると、遊技制御用マイクロコンピュータ560のCPU56は、後述する各割込処理（通信エラー割込処理や、受信時割込処理、送信完了割込処理）を実行する。また、本実施の形態では、ステップS17からステップS19までのループ処理の前にステップS15cを実行することによって、タイマ割込または割り込み要求を許可する状態に設定される前に、タイマ割込処理およびシリアル通信回路505からの割り込み要求による割込処理の優先順位を設定または変更する処理が行われる。

【0602】

遊技制御用マイクロコンピュータ560のCPU56は、メイン処理におけるステップS17からステップS19までのループ処理において、割り込み許可状態である間にシリアル通信回路505からの割り込み要求があると、図56に示す処理に従って、シリアル通信回路505が割り込み要求を行った割り込み原因に応じた割り込み処理を実行する。また、CPU56は、メイン処理におけるステップS17からステップS19までのループ処理において、タイマ割込が発生すると、図67に示す処理に従ってタイマ割込処理を実行する。

【0603】

この実施の形態では、タイマ割込とシリアル通信回路505からの割り込み要求が同時に発生した場合、CPU56は、いずれの割込処理を優先して実行する旨が初期設定されているか否かを判断する。例えば、CPU56は、いずれの割込処理を優先して実行する旨のフラグがセットされているか否かを判断する。例えば、CPU56は、タイマ割込優先実行フラグがセットされていることにもとづいて、タイマ割込処理を優先して実行する。

【0604】

以上に説明したように、この実施の形態では、CPU56は、メイン処理において、割

10

20

30

40

50

込許可状態に設定する前に、タイマ割込処理、およびシリアル通信回路505からの割り込み要求に対応する各割込処理の優先順位を初期設定する。そのため、タイマ割込処理や複数種類の割込原因に対応する割込処理のうち、優先して実行させるべき割込処理を確実に実行することができる。また、優先して実行させる割込処理を初期設定できるので、遊技制御用マイクロコンピュータ560のCPU56に実行させるプログラムの自由度を向上させることができる。

【0605】

なお、上述した実施の形態では、以下に示すような遊技機の特徴的構成も示されている。

【0606】

払出手段は、払い出すべき景品遊技媒体の数が異なる複数の入賞領域に遊技媒体が入賞したことにもとづいて景品として景品遊技媒体を払い出し、遊技機は、各入賞領域に遊技媒体が入賞したことを検出して入賞検出信号を出力する複数の入賞検出手段（例えば、入賞口スイッチ29a, 30a, 33a, 39a）と、払い出すべき景品遊技媒体の数（例えば、賞球数「3」, 「10」, 「15」）毎に払出数データを記憶する払出数記憶手段（例えば、賞球コマンド出力カウンタ1～3）と、各入賞検出手段からの入力検出信号にもとづいて、いずれの入賞領域に遊技球が入賞したかを特定する入賞領域特定手段（例えば、遊技制御用マイクロコンピュータ560において、ステップS2121でポイントが指す賞球コマンド出力カウンタのカウント値をロードする部分）とを備え、払出数登録手段は、入賞領域特定手段が特定した入賞領域に入賞したことにもとづいて払い出すべき景品遊技媒体の数を示す払出数データを、払出数記憶手段に記憶させる（例えば、遊技制御用マイクロコンピュータ560において、ステップS2124でポイントが指す賞球コマンド出力カウンタに加算結果をストアする）ように構成されていてもよい。そのような構成によれば、払い出すべき景品遊技媒体の数が異なる複数の入賞領域のうちのいずれの入賞領域に遊技球が入賞したかを特定し、特定した入賞領域に対応する景品遊技媒体の数を示す払出数データを記憶するように構成されているので、遊技球が入賞した入賞領域に応じた払出数を示す払出数データを記憶することができる。そのため、遊技球が入賞した入賞領域に応じた払出数にもとづいて、遊技制御手段が賞球数を管理することができる。

【産業上の利用可能性】

【0607】

本発明は、パチンコ遊技機およびスロット機などの遊技機に適用可能であり、特に、総賞球数格納バッファを用いて、払い出すべき賞球数を管理する制御を行う遊技機に好適に適用できる。

【図面の簡単な説明】

【0608】

【図1】パチンコ遊技機を正面からみた正面図である。

【図2】ガラス扉枠を取り外した状態での遊技盤の前面を示す正面図である。

【図3】遊技機を裏面から見た背面図である。

【図4】遊技制御基板（主基板）の構成例を示すブロック図である。

【図5】払出制御基板の回路構成例を示すブロック図である。

【図6】中継基板、音／ランプ制御基板および図柄制御基板の回路構成例を示すブロック図である。

【図7】主基板における回路構成および主基板から音／ランプ制御基板に送信される演出制御コマンドの信号線を示すブロック図である。

【図8】乱数回路の構成例を示すブロック図である。

【図9】更新規則選択レジスタの例を示す説明図である。

【図10】更新規則メモリの例を示す説明図である。

【図11】カウント値順列変更回路が、カウンタが出力するカウント値の順列を変更する場合の例を示す説明図である。

【図12】カウント値順列変更レジスタの例を示す説明図である。

- 【図 1 3】乱数最大値設定レジスタの例を示す説明図である。
- 【図 1 4】周期設定レジスタの例を示す説明図である。
- 【図 1 5】カウント値更新レジスタの例を示す説明図である。
- 【図 1 6】乱数値取込レジスタの例を示す説明図である。
- 【図 1 7】乱数更新方式選択レジスタ、および乱数更新方式選択レジスタに書き込まれる乱数更新方式選択データの一例の説明図である。
- 【図 1 8】乱数回路起動レジスタの例を示す説明図である。
- 【図 1 9】乱数値記憶回路の一構成例を示す回路図である。
- 【図 2 0】乱数値記憶回路に各信号が入力されるタイミング、および乱数値記憶回路が各信号を出力するタイミングを示すタイミングチャートである。 10
- 【図 2 1】シリアル通信回路の送信部の構成例を示すブロック図である。
- 【図 2 2】シリアル通信回路の受信部の構成例を示すブロック図である。
- 【図 2 3】シリアル通信が各制御基板が搭載するマイクロコンピュータと送受信するデータのデータフォーマットの例を示す説明図である。
- 【図 2 4】ボーレートレジスタの例を示す説明図である。
- 【図 2 5】制御レジスタ A および通信フォーマット設定データの例を示す説明図である。
- 【図 2 6】制御レジスタ B および割り込み要求設定データの例を示す説明図である。
- 【図 2 7】ステータスレジスタ A およびステータス確認データの例を示す図である。
- 【図 2 8】ステータスレジスタ B およびステータス確認データの例を示す図である。
- 【図 2 9】制御レジスタ C およびエラー割り込み要求設定データの例を示す説明図である 20
- 。
- 【図 3 0】シリアル通信回路が備えるデータレジスタの例を示す説明図である。
- 【図 3 1】遊技制御用マイクロコンピュータにおける記憶領域のアドレスマップの一例を示す説明図である。
- 【図 3 2】ユーザプログラム管理エリアにおけるアドレスマップの一例を示す説明図である。
- 【図 3 3】初期値変更方式設定データの一例を示す説明図である。
- 【図 3 4】ユーザプログラムの構成例を示す説明図である。
- 【図 3 5】乱数回路設定プログラムの構成例を示す説明図である。
- 【図 3 6】第 1 の乱数更新方式が選択されている場合に、ランダム R の値を更新させたり 30
ランダム R の値を読出したりする動作を示す説明図である。
- 【図 3 7】第 2 の乱数更新方式が選択されている場合に、ランダム R の値の更新させたり
ランダム R の値を読出したりする動作を示す説明図である。
- 【図 3 8】遊技制御用マイクロコンピュータが備える各メモリを示す説明図である。
- 【図 3 9】大当たり判定用テーブルメモリの例を示す説明図である。
- 【図 4 0】遊技制御手段における出力ポートのビット割り当て例を示す説明図である。
- 【図 4 1】遊技制御手段における出力ポートのビット割り当て例を示す説明図である。
- 【図 4 2】遊技制御手段における入力ポートのビット割り当て例を示す説明図である。
- 【図 4 3】遊技制御用マイクロコンピュータが実行するメイン処理を示すフローチャート 40
である。
- 【図 4 4】遊技制御用マイクロコンピュータが実行するメイン処理を示すフローチャート
である。
- 【図 4 5】遊技制御用マイクロコンピュータが実行するメイン処理（メインループ）を示
すフローチャートである。
- 【図 4 6】割込処理優先順位テーブルの例を示す説明図である。
- 【図 4 7】乱数回路設定処理を示すフローチャートである。
- 【図 4 8】乱数最大値再設定処理を示すフローチャートである。
- 【図 4 9】初期値変更処理を示すフローチャートである。
- 【図 5 0】乱数回路に各信号が入力されるタイミング、および乱数回路内で各信号が生成
されるタイミングを示すタイミングチャートである。 50

- 【図 5 1】 シリアル通信回路設定処理を示すフローチャートである。
- 【図 5 2】 遊技制御手段から払出制御手段に対して出力される制御信号の内容の一例を示す説明図である。
- 【図 5 3】 遊技制御手段と払出制御手段との間で送受信される制御コマンドの内容の一例を示す説明図である。
- 【図 5 4】 制御信号および制御コマンドの送受信に用いられる信号線等を示すブロック図である。
- 【図 5 5】 払出制御信号および払出制御コマンドの出力の仕方の一例を示すタイミング図である。
- 【図 5 6】 シリアル通信回路が割り込み要求に対して行う割り込み処理の一例を示す流れ図である。 10
- 【図 5 7】 賞球個数テーブルの例を示す説明図である。
- 【図 5 8】 賞球処理の一例を示すフローチャートである。
- 【図 5 9】 賞球個数コマンド送信処理を示すフローチャートである。
- 【図 6 0】 賞球送信完了待ち処理を示すフローチャートである。
- 【図 6 1】 賞球 A C K 待ち処理を示すフローチャートである。
- 【図 6 2】 賞球再送信処理を示すフローチャートである。
- 【図 6 3】 賞球異常検出処理を示すフローチャートである。
- 【図 6 4】 特別図柄プロセス処理の一例を示すフローチャートである。
- 【図 6 5】 始動口スイッチ通過処理を示すフローチャートである。 20
- 【図 6 6】 特別図柄通常処理の一例を示すフローチャートである。
- 【図 6 7】 タイマ割込処理を示すフローチャートである。
- 【図 6 8】 スイッチ処理で使用される R A M に形成される各 2 バイトのバッファを示す説明図である。
- 【図 6 9】 スイッチ処理の処理例を示すフローチャートである。
- 【図 7 0】 賞球コマンド出力カウンタ処理テーブルの例を示す説明図である。
- 【図 7 1】 入力判定処理を示すフローチャートである。
- 【図 7 2】 入力判定処理を示すフローチャートである。
- 【図 7 3】 総賞球数格納バッファに格納される総賞球数の加算処理および減算処理が行われるタイミングの一例を示すタイミング図である。 30
- 【図 7 4】 乱数回路初期値更新処理を示すフローチャートである。
- 【図 7 5】 カウント値順列変更処理を示すフローチャートである。
- 【図 7 6】 払出制御手段における出力ポートのビット割り当て例を示す説明図である。
- 【図 7 7】 払出制御手段における入力ポートのビット割り当て例を示す説明図である。
- 【図 7 8】 払出制御用 C P U が実行するメイン処理を示すフローチャートである。
- 【図 7 9】 払出制御用 C P U が実行するタイマ割込処理を示すフローチャートである。
- 【図 8 0】 主制御通信処理を示すフローチャートである。
- 【図 8 1】 賞球球貸し制御処理を示すフローチャートである。
- 【図 8 2】 払出開始待ち処理を示すフローチャートである。
- 【図 8 3】 払出モータ停止待ち処理を示すフローチャートである。 40
- 【図 8 4】 払出通過待ち処理を示すフローチャートである。
- 【図 8 5】 払出通過待ち処理を示すフローチャートである。
- 【図 8 6】 払出通過待ち処理を示すフローチャートである。
- 【図 8 7】 エラーの種類とエラー表示用 L E D の表示との関係等の一例を示す説明図である。
- 【図 8 8】 エラー処理を示すフローチャートである。
- 【図 8 9】 エラー処理を示すフローチャートである。
- 【図 9 0】 エラー処理を示すフローチャートである。
- 【図 9 1】 演出制御コマンドの信号線を示す説明図である。
- 【図 9 2】 演出制御コマンドを構成する 8 ビットの制御信号と I N T 信号との関係を示す 50

タイミング図である。

【図 9 3】音／ランプ制御用マイクロコンピュータが実行するメイン処理を示すフローチャートである。

【図 9 4】音／ランプ制御処理で用いる各乱数を示す説明図である。

【図 9 5】演出内容決定処理を示すフローチャートである。

【図 9 6】報知処理を示すフローチャートである。

【図 9 7】図柄制御用マイクロコンピュータが実行するメイン処理を示すフローチャートである。

【図 9 8】図柄制御プロセス処理を示すフローチャートである。

【図 9 9】賞球異常を報知する報知画面の例を示す説明図である。

10

【図 1 0 0】中継基板、音／ランプ制御基板および図柄制御基板の他の回路構成例を示すブロック図である。

【図 1 0 1】第 2 の実施の形態におけるメイン処理を示すフローチャートである。

【図 1 0 2】第 2 の実施の形態における割込処理優先順位テーブルの例を示す説明図である。

【符号の説明】

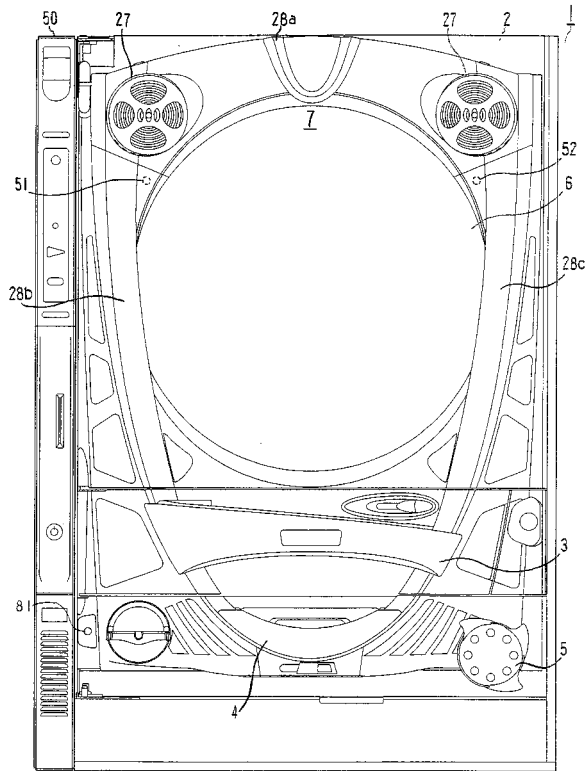
【0 6 0 9】

- 1 パチンコ遊技機
- 9 可変表示装置
- 1 4 始動入賞口
- 1 5 可変入賞球装置
- 3 1 遊技制御基板（主基板）
- 3 7 払出制御基板
- 5 6 C P U
- 8 0 a 図柄制御基板
- 8 0 b 音／ランプ制御基板
- 1 0 0 a 図柄制御用マイクロコンピュータ
- 1 0 0 b 音／ランプ制御用マイクロコンピュータ
- 1 0 1 a 図柄制御用 C P U
- 1 0 1 b 音／ランプ制御用 C P U
- 5 0 3 a 1 2 ビット乱数回路
- 5 0 3 b 1 6 ビット乱数回路
- 5 0 5 シリアル通信回路
- 5 6 0 遊技制御用マイクロコンピュータ

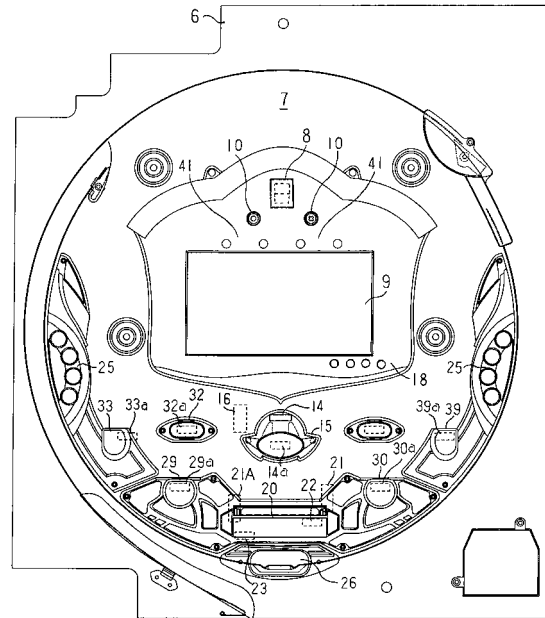
20

30

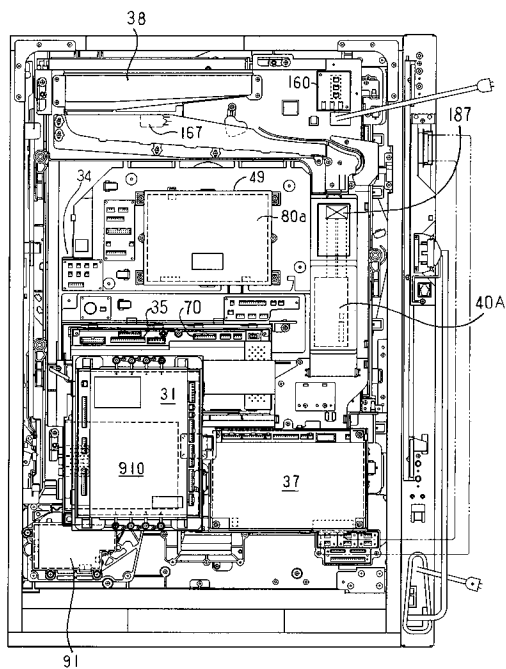
【図 1】



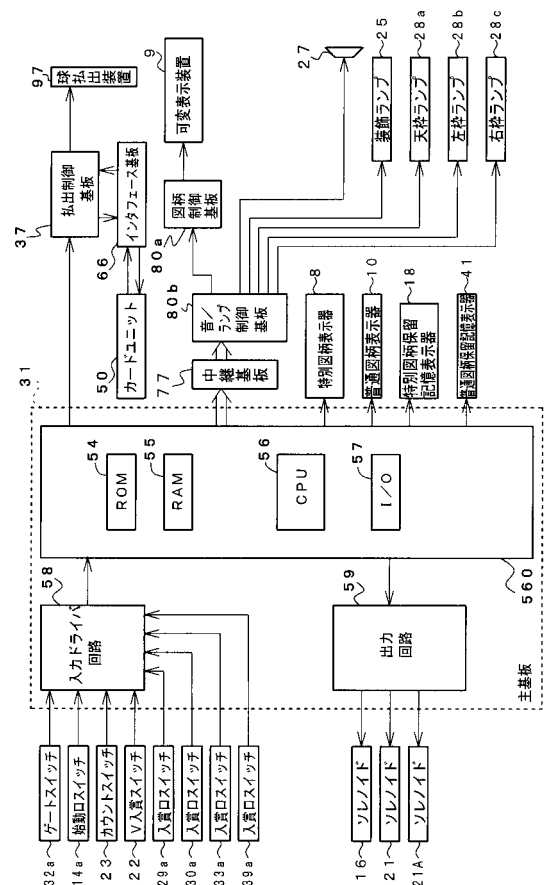
【図 2】



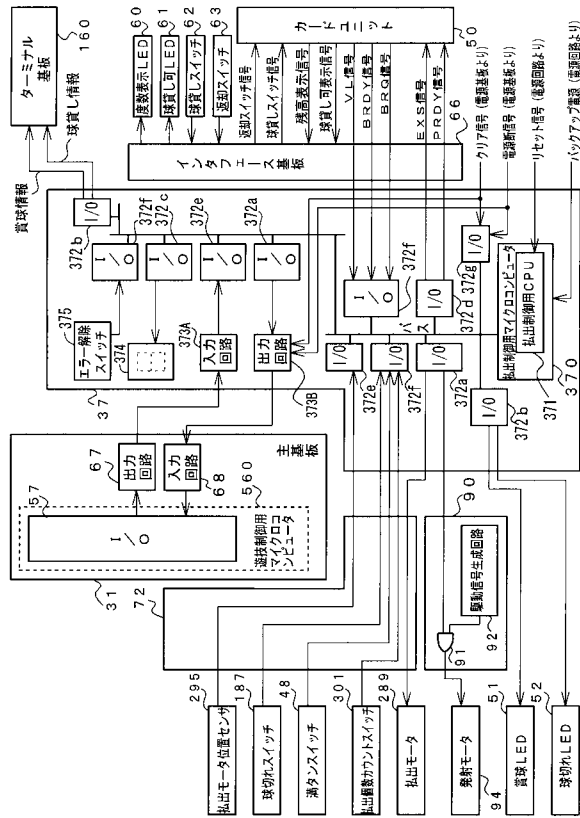
【図 3】



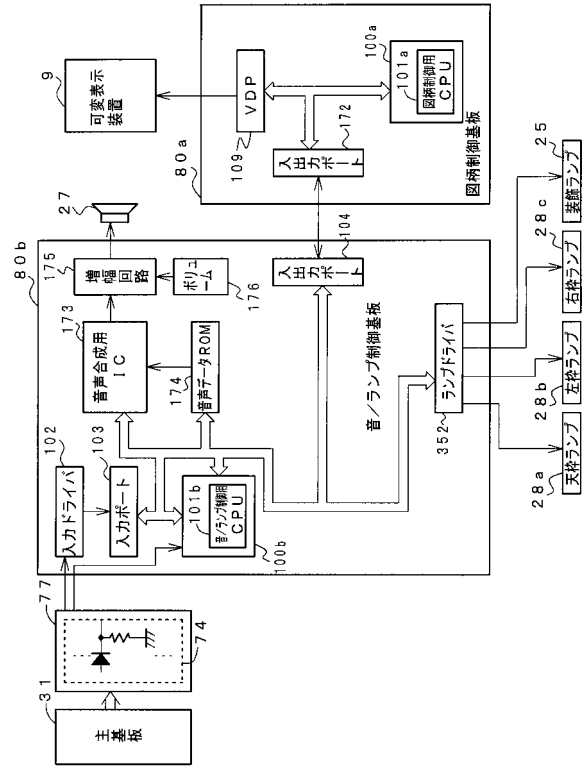
【図 4】



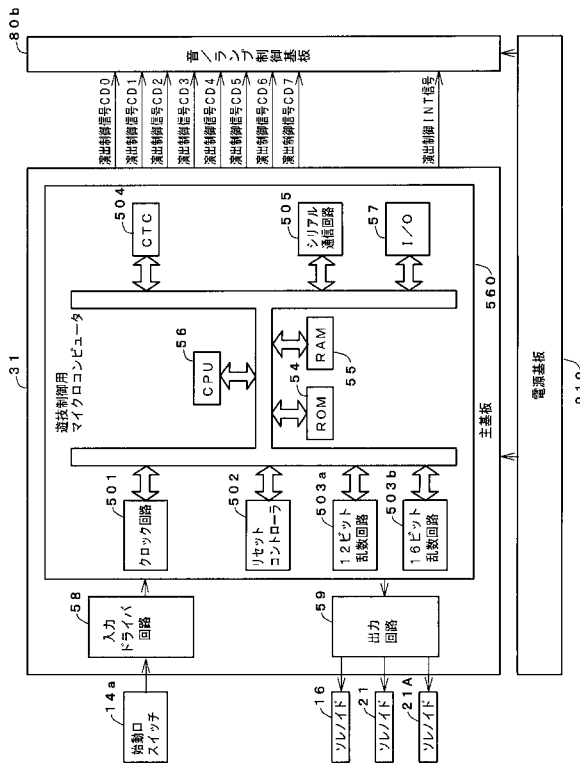
【図 5】



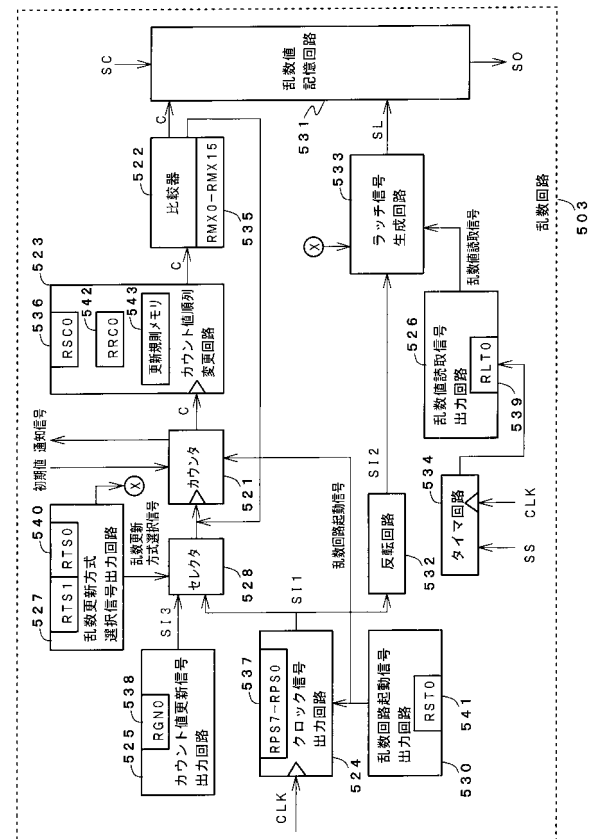
【図 6】



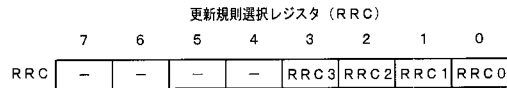
【図 7】



【図 8】



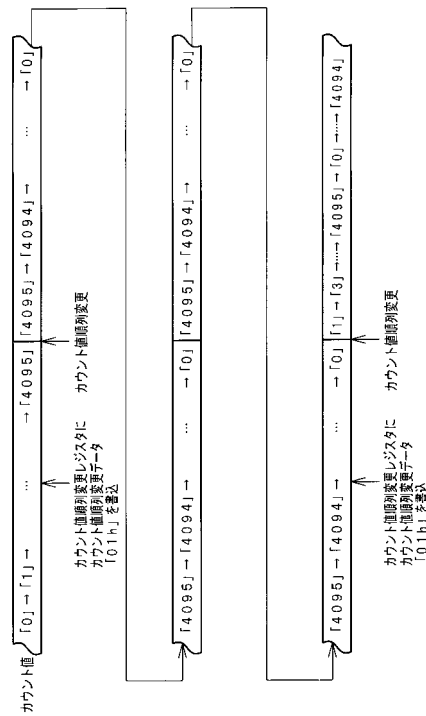
【図 9】



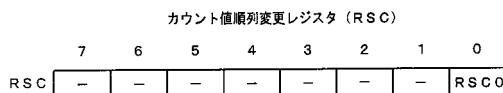
【図 10】

レジスタ値	更新規則
0	更新規則A (「0」→「1」→...→「4095」)
1	更新規則B (「4095」→「4094」→...→「0」)
2	更新規則C (「1」→「3」→...→「4095」→「0」→...→「4094」)
3	更新規則D (「0」→「2」→...→「4094」→「1」→...→「4095」)
4	
5	
6	
7	
8	
9	
10	
11	
12	
13	
14	更新規則O (「1」→「3」→...→「4095」→「4094」→...→「0」)
15	更新規則P (「0」→「2」→...→「4094」→「4095」→...→「1」)

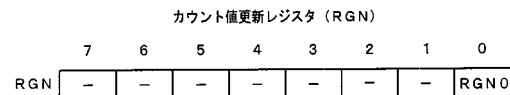
【図 11】



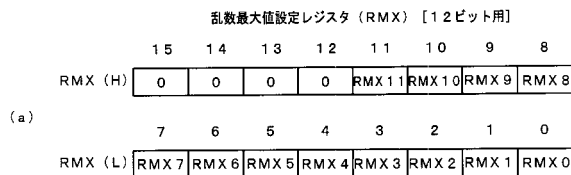
【図 12】



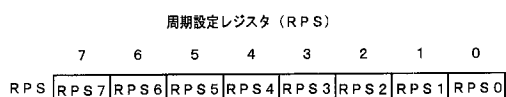
【図 15】



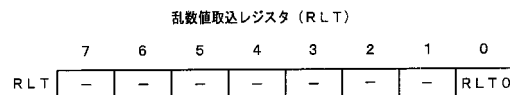
【図 13】



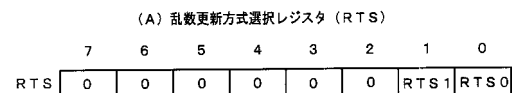
【図 14】



【図 16】



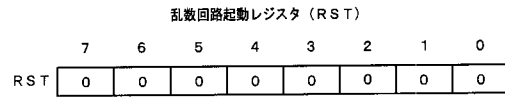
【図 17】



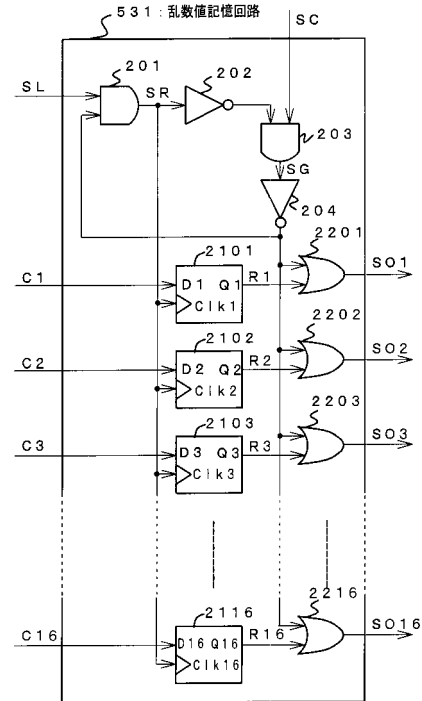
(B) 乱数更新方式選択データ

RTS1	RTS0	設定される乱数更新方式
0	0	設定せず
0	1	第1の乱数更新方式を設定
1	0	第2の乱数更新方式を設定
1	1	設定せず

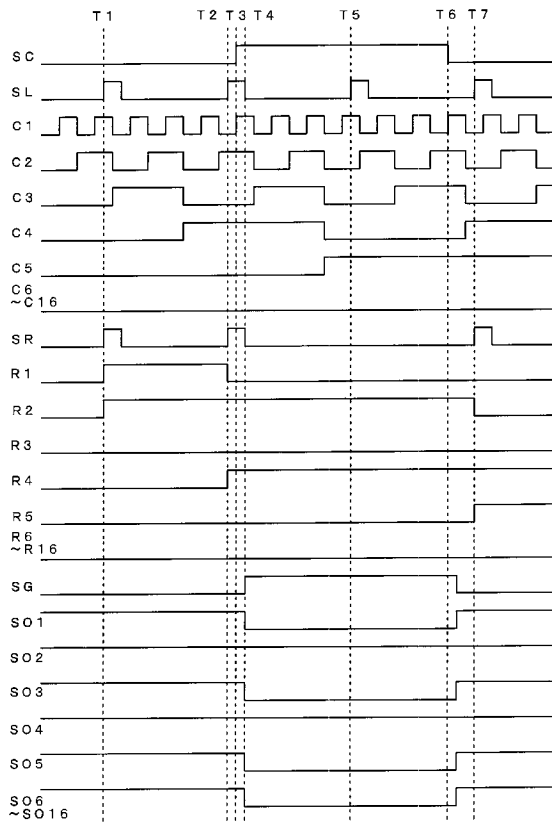
【図 18】



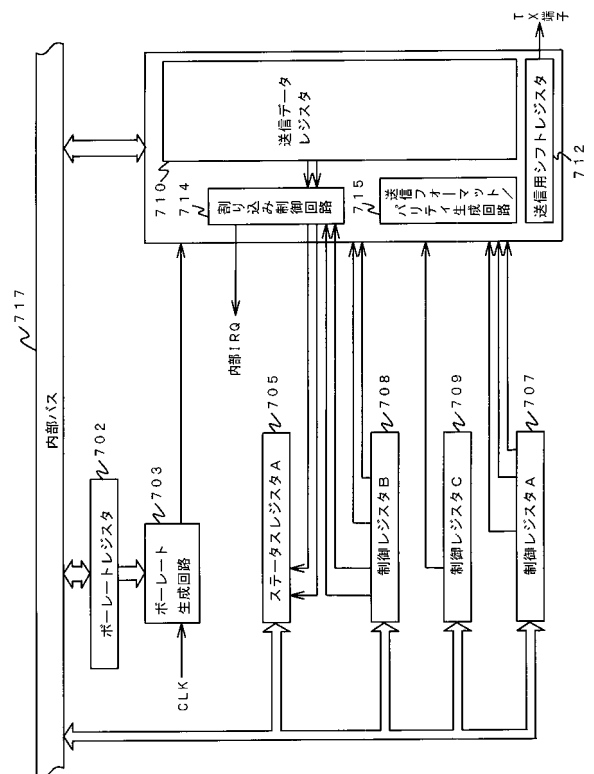
【図 19】



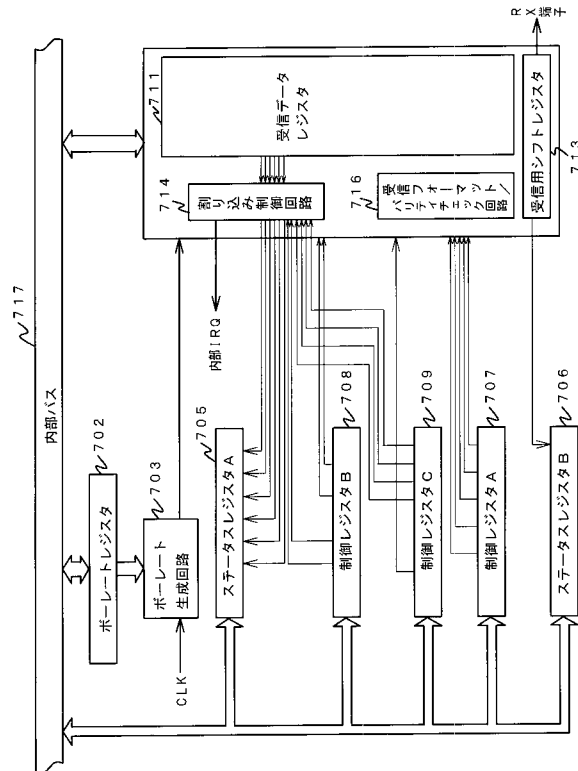
【図 20】



【図 21】

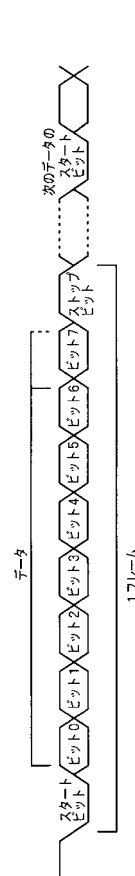


【図 22】

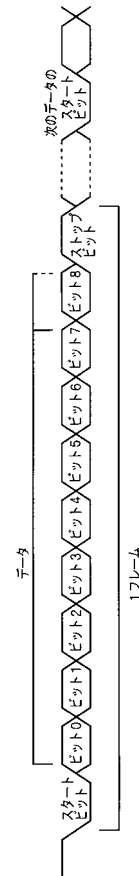


【図 23】

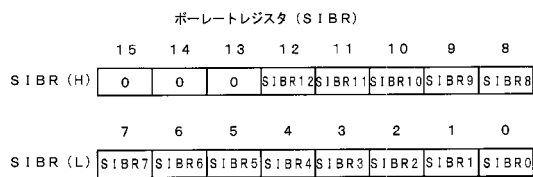
(a) データフォーマット (8 データビットの場合)



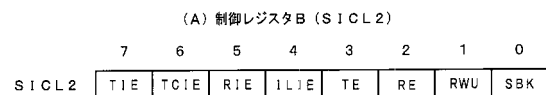
(a) データフォーマット (9 データビットの場合)



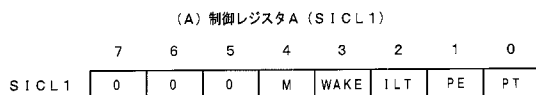
【図 24】



【図 26】



【図 25】



(B) 通信フォーマット設定データ

ビット番号	ビット名	意味
4	M	データ長の選択 0: 1スタートビット, 8データビット, 1ストップビット 1: 1スタートビット, 9データビット, 1ストップビット
3	WAKE	ウェイクアップ方式の選択 0: アイドルラインの認識による 1: アドレスマークの認識による
2	ILT	アイドルライン検出方式の選択 0: スタートビットの後から検出 1: ストップビットの後から検出
1	PE	パリティ機能の使用/未使用の設定 0: パリティ未使用 1: パリティ使用
0	PT	パリティの種類を選択 0: 偶数パリティ 1: 奇数パリティ

(B) 割り込み要求設定データ

ビット番号	ビット名	意味
7	TIE	送信割り込み要求の許可/禁止の設定 0: 割り込み要求禁止 1: 割り込み要求許可
6	TCIE	送信完了割り込み要求の許可/禁止の設定 0: 割り込み要求禁止 1: 割り込み要求許可
5	RIE	受信割り込み要求の許可/禁止の設定 0: 割り込み要求禁止 1: 割り込み要求許可
4	ILIE	アイドルライン割り込み要求の許可/禁止の設定 0: 割り込み要求禁止 1: 割り込み要求許可
3	TE	送信回路の使用/未使用の設定 0: 送信回路の未使用 1: 送信回路の使用
2	RE	受信回路の使用/未使用の設定 0: 受信回路の未使用 1: 受信回路の使用
1	RWU	受信ウェイクアップの使用/未使用の設定 0: 受信ウェイクアップの未使用 1: 受信ウェイクアップの使用
0	SBK	ブ레이크コードの送信の使用/未使用の設定 0: ブ레이크コードの未使用 1: ブ레이크コードの送信

【図 27】

(A) ステータスレジスタ A (SIST1)

	7	6	5	4	3	2	1	0
SIST1	TDRE	TC	RDRF	IDLE	OR	NF	FE	PF

(B) ステータス確認データ

ビット番号	ビット名	意味
7	TDRE	送信データエンプティフラグ 0: 送信データレジスタから送信用シフトレジスタにデータ未転送 1: 送信データレジスタから送信用シフトレジスタにデータ転送済
6	TC	送信完了フラグ 0: 送信シフトレジスタからデータ送信中 1: 送信シフトレジスタからデータ転送完了
5	RDRF	受信データフルフラグ 0: 受信データレジスタにデータ無し 1: 受信データレジスタにデータ有り
4	IDLE	アイドルライン検出フラグ 0: 受信回路がアイドルラインを未検出 1: 受信回路がアイドルラインを検出
3	OR	オーバーランフラグ 0: 受信回路がオーバーランを未検出 1: 受信回路がオーバーランを検出
2	NF	ノイズエラーフラグ 0: 受信回路がノイズを未検出 1: 受信回路がノイズを検出
1	FE	フレーミングエラーフラグ 0: 受信回路がフレーミングエラーを未検出 1: 受信回路がフレーミングエラーを検出
0	PF	パリティエラーフラグ 0: 受信回路がパリティエラーを未検出 1: 受信回路がパリティエラーを検出

【図 28】

(A) ステータスレジスタ B (SIST2)

	7	6	5	4	3	2	1	0
SIST2	0	0	0	0	0	0	0	RAF

(B) ステータス確認データ

ビット番号	ビット名	意味
0	RAF	受信アクティブフラグ 0: 受信回路がデータを受信していない 1: 受信回路がデータを受信中

【図 29】

(A) 制御レジスタ C (SICL3)

	7	6	5	4	3	2	1	0
SICL3	R8	T8	0	0	ORIE	NEIE	FEIE	PEIE

(B) エラー割り込み要求設定データ

ビット番号	ビット名	意味
7	R8	9データビット選択時の9ビット目の受信データビット
6	T8	9データビット選択時の9ビット目の送信データビット
3	ORIE	オーバーランフラグ割り込み要求の許可/禁止の設定 0: オーバーランフラグ割り込み要求禁止 1: オーバーランフラグ割り込み要求許可
2	NEIE	ノイズエラーフラグ割り込み要求の許可/禁止の設定 0: ノイズエラーフラグ割り込み要求禁止 1: ノイズエラーフラグ割り込み要求許可
1	FEIE	フレーミングエラーフラグ割り込み要求の許可/禁止の設定 0: フレーミングエラーフラグ割り込み要求禁止 1: フレーミングエラーフラグ割り込み要求許可
0	PEIE	パリティエラーフラグ割り込み要求の許可/禁止の設定 0: パリティエラーフラグ割り込み要求禁止 1: パリティエラーフラグ割り込み要求許可

【図 31】

番地	種別	内容
0000h	ROM	ユーザプログラムエリア
1F80h		ユーザプログラム管理エリア
2000h	なし	未使用エリア
7E00h	RAM	未使用エリア
7F00h		ワークエリア
8000h	なし	未使用エリア
FD00h	内蔵レジスタ	内蔵レジスタエリア
FE00h		
FFFFh		

【図 30】

データレジスタ (SIDA)

	7	6	5	4	3	2	1	0
SIDA	R7/T7	R6/T6	R5/T5	R4/T4	R3/T3	R2/T2	R1/T1	R0/T0

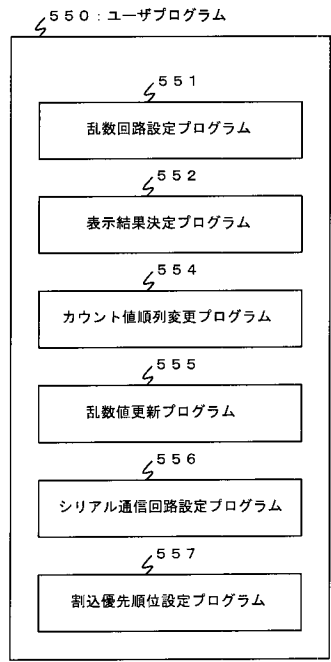
【図 3 2】

番地	設定データ	エリア名称
1 F 8 0 h		
1 F 9 7 h	0 0 h, 0 1 h	初期値変更方式選択 (KRSS)
1 F 9 8 h	KRSAの下位バイト	指定RAM番地 (KRSA)
1 F 9 9 h	KRSAの上位バイト	
1 F F F h		

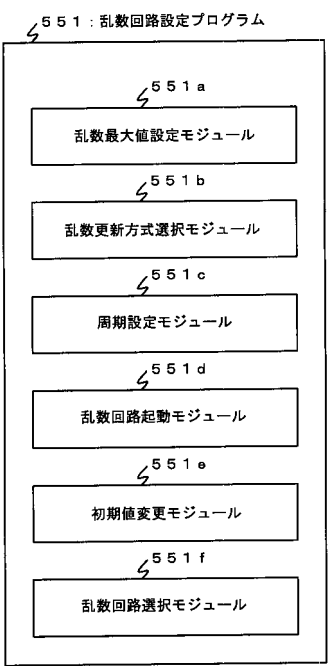
【図 3 3】

初期値変更方式選択データ	
初期値変更方式選択データ	初期値を変更する方式
0 0 h	変更せず
0 1 h	IDにもとづいて変更

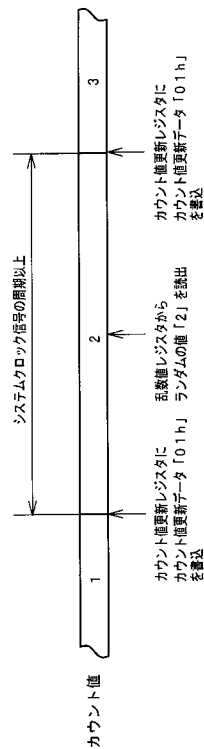
【図 3 4】



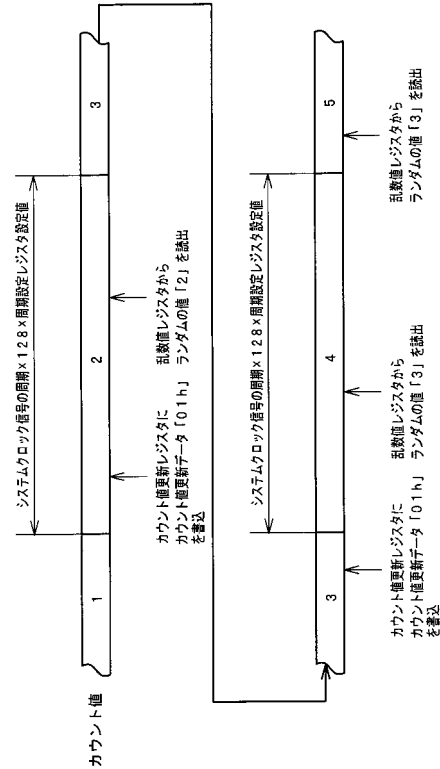
【図 3 5】



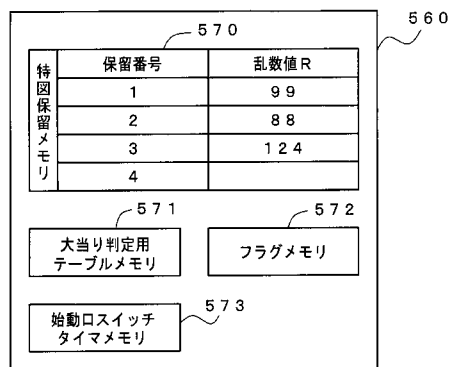
【図 36】



【図 37】



【図 38】



【図 40】

アドレス	ビット	データ内容	論理	状態
出力ポート 0	7	未使用	—	—
	6	未使用	—	—
	5	未使用	1	オン
	4	接続確認信号	1	オン
	3	未使用	1	オン
	2	未使用	1	オン
	1	未使用	1	オン
	0	未使用	1	オン
出力ポート 1	7	演出制御信号 CD 7	1	オン
	6	演出制御信号 CD 6	1	オン
	5	演出制御信号 CD 5	1	オン
	4	演出制御信号 CD 4	1	オン
	3	演出制御信号 CD 3	1	オン
	2	演出制御信号 CD 2	1	オン
	1	演出制御信号 CD 1	1	オン
	0	演出制御信号 CD 0	1	オン
出力ポート 2	7	未使用	1	オン
	6	未使用	1	オン
	5	未使用	1	オン
	4	未使用	1	オン
	3	ソレノイド (普通電動役物)	1	オン
	2	ソレノイド (大入賞口内誘導板)	1	オン
	1	ソレノイド (大入賞口扉)	1	オン
	0	演出制御 INT 信号	1	オン

【図 39】

(A) 通常時大当り判定テーブル

ランダム R	表示結果
1020~1059, 13360~13399	大当り
34400~34439, 57700~57739	
上記以外	はずれ

(B) 確変時大当り判定テーブル

ランダム R	表示結果
1020~1219, 13360~13559	大当り
34400~34599, 57700~57899	
上記以外	はずれ

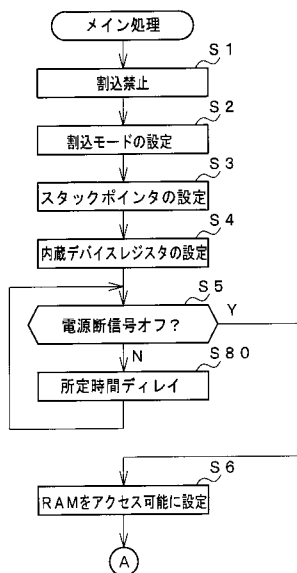
【図 4 1】

アドレス	ビット	データ内容	論理	状態
出力ポート 3	7	未使用	—	—
	6	未使用	—	—
	5	役物回数信号	1	オン
	4	図柄確定回数 2 信号	1	オン
	3	大当り 3 信号	1	オン
	2	大当り 2 信号	1	オン
	1	大当り 1 信号	1	オン
	0	図柄確定回数 1 信号	1	オン
出力ポート 4	7	未使用	—	—
	6	未使用	—	—
	5	未使用	—	—
	4	右落とし入賞口信号	1	オン
	3	左落とし入賞口信号	1	オン
	2	右袖入賞口信号	1	オン
	1	左袖入賞口信号	1	オン
	0	始動口信号	1	オン

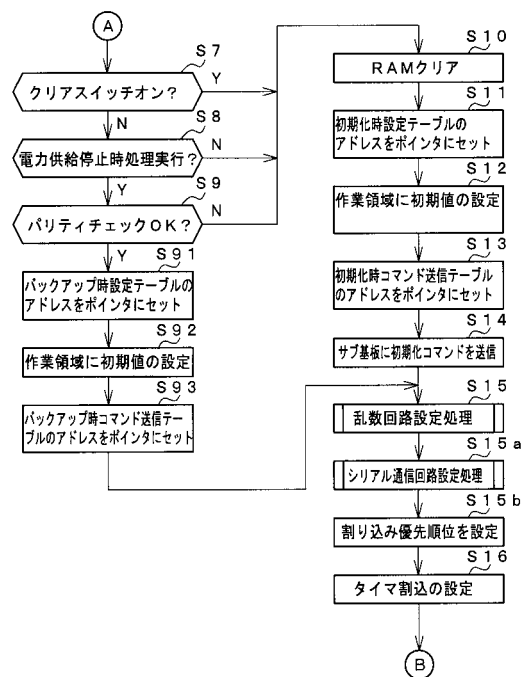
【図 4 2】

アドレス	ビット	データ内容	論理	状態
入力ポート 0	7	始動ロスイッチ	1	オン
	6	右落とし入賞ロスイッチ (30a)	1	オン
	5	左落とし入賞ロスイッチ (29a)	1	オン
	4	右袖入賞ロスイッチ (39a)	1	オン
	3	左袖入賞ロスイッチ (33a)	1	オン
	2	ゲートスイッチ	1	オン
	1	カウントスイッチ	1	オン
	0	未使用	—	—
入力ポート 1	7	未使用	—	—
	6	未使用	—	—
	5	未使用	—	—
	4	未使用	—	—
	3	未使用	—	—
	2	払出回数カウントスイッチ (払出制御基板より)	1	オン
	1	クリアスイッチ (払出制御基板より)	1	オン
	0	電源断信号 (払出制御基板より)	0	オン

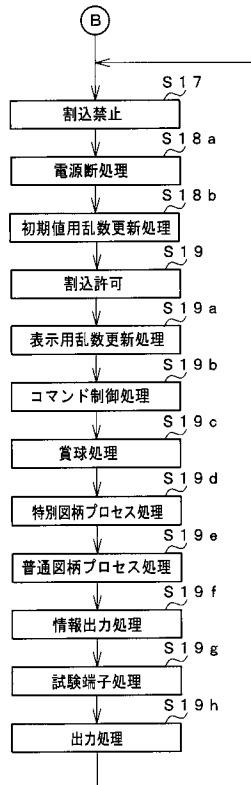
【図 4 3】



【図 4 4】



【図 4 5】

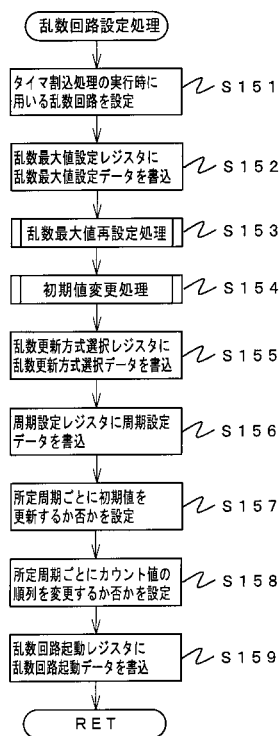


【図 4 6】

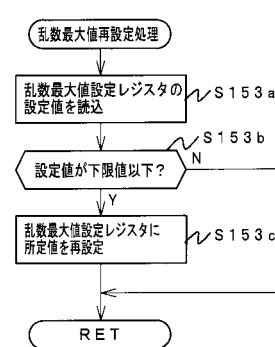
割込処理優先順位テーブル

割込処理	優先順位
通信エラー割込処理	1
受信時割込処理	2
送信完了割込処理	3

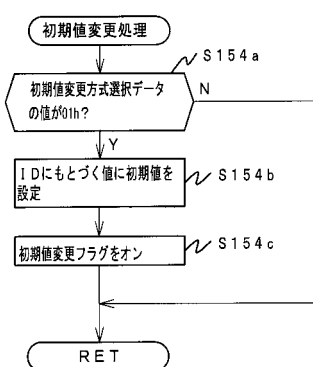
【図 4 7】



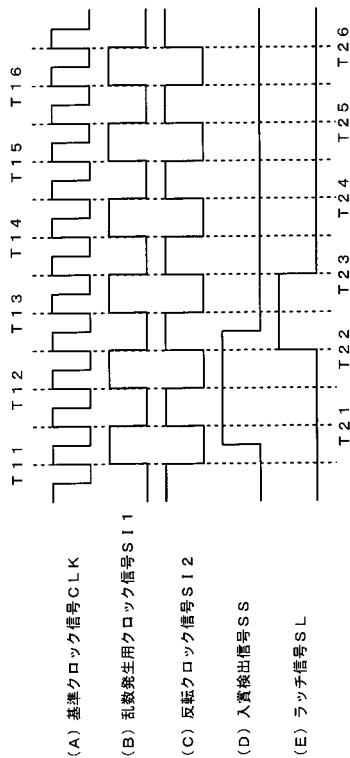
【図 4 8】



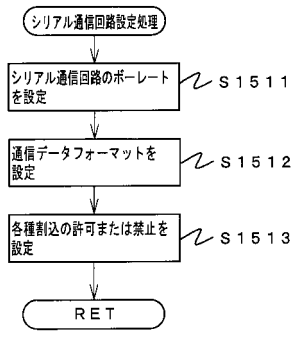
【図 4 9】



【図 5 0】



【図 5 1】



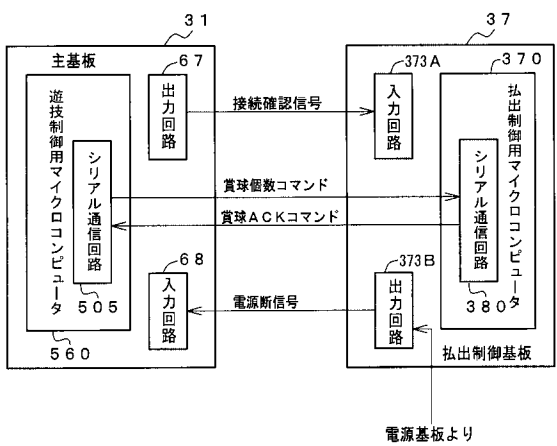
【図 5 2】

名称	内容
接続確認信号	オン 遊技制御用マイクロコンピュータが立上っている（制御可能な）状態 オフ 遊技制御用マイクロコンピュータが制御可能でない状態

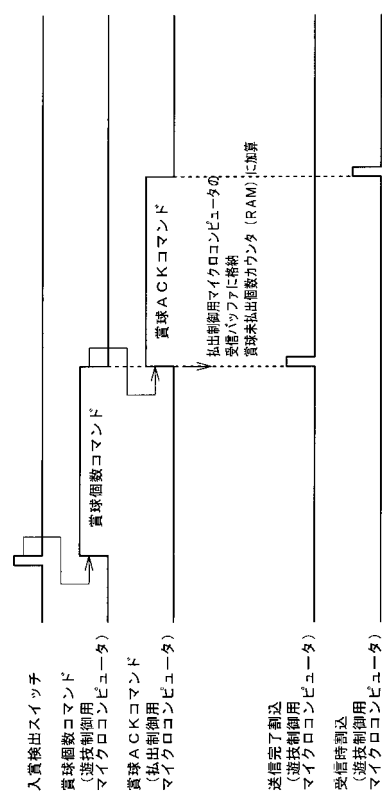
【図 5 3】

コマンド	名称	内容
0 3	賞球回数コマンド	賞球回数を通知（賞球数 3）
0 A	賞球回数コマンド	賞球回数を通知（賞球数 10）
0 F	賞球回数コマンド	賞球回数を通知（賞球数 15）
D 2	賞球 ACK コマンド	賞球回数コマンドを受信したことの通知（受信確認信号）
E 1	賞球過多異常コマンド	賞球過多異常が発生したことの通知
E 2	賞球過少異常コマンド	賞球過少異常が発生したことの通知

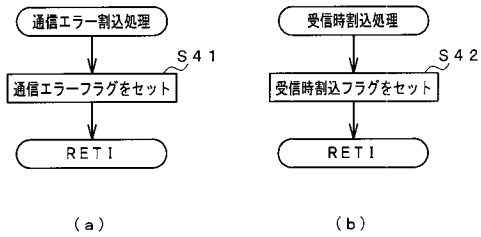
【図 5 4】



【図 5 5】



【図 56】

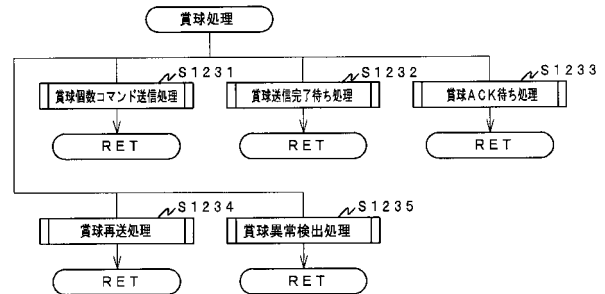


【図 57】

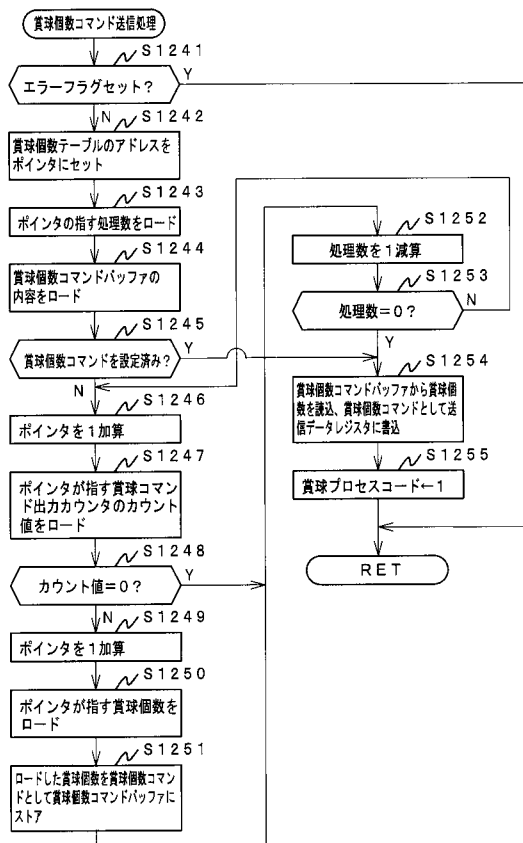
(賞球個数テーブル)

処理数 (3)
賞球コマンド出力カウンタ 3
賞球指定データ (15個)
賞球コマンド出力カウンタ 2
賞球指定データ (10個)
賞球コマンド出力カウンタ 1
賞球指定データ (3個)

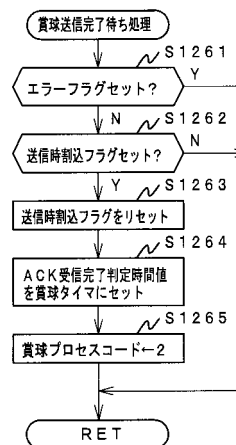
【図 58】



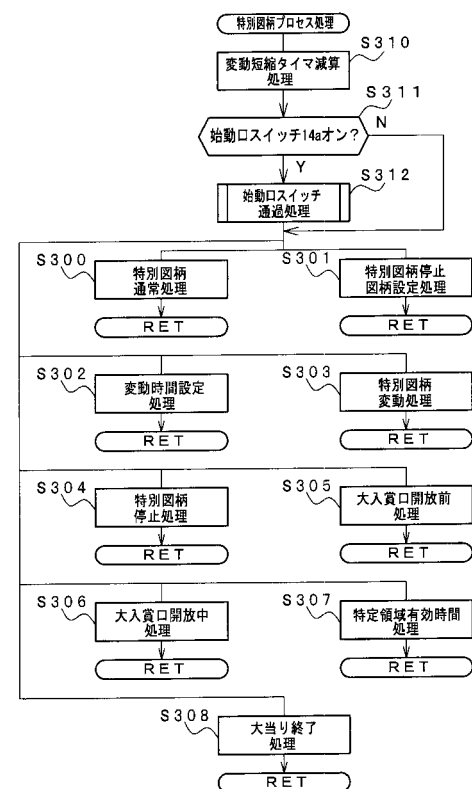
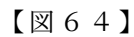
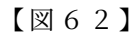
【図 59】



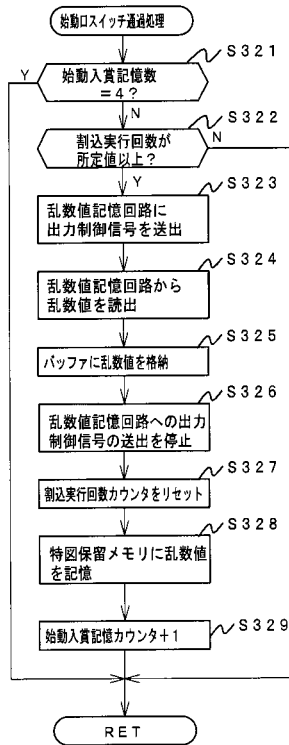
【図 60】



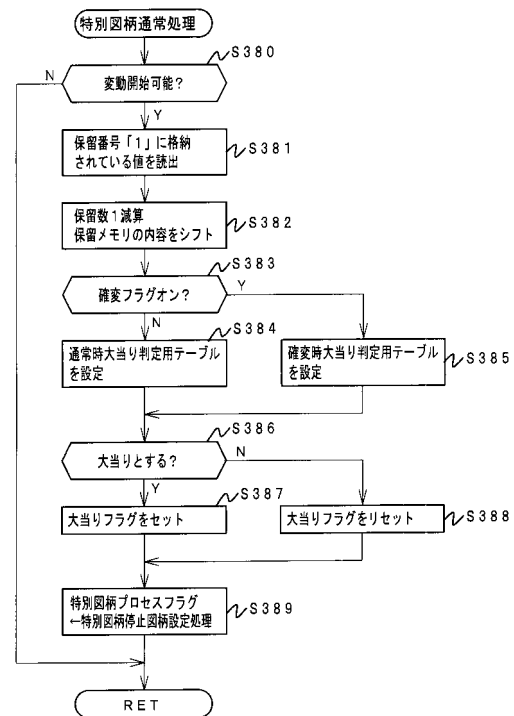
【図 6 1】



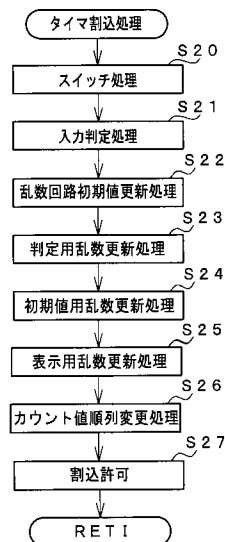
【図 65】



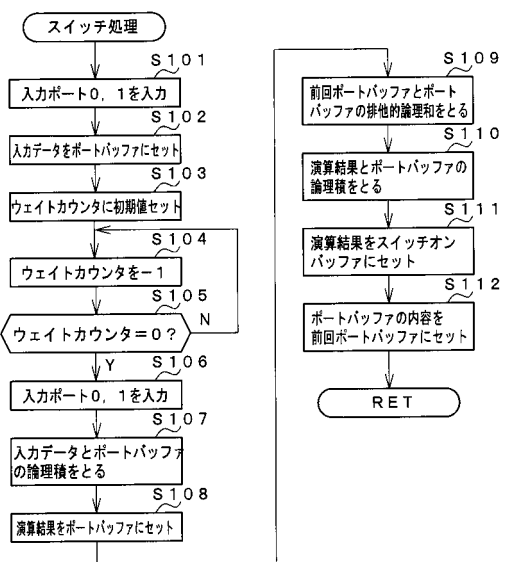
【図 66】



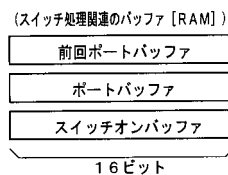
【図 67】



【図 69】



【図 68】

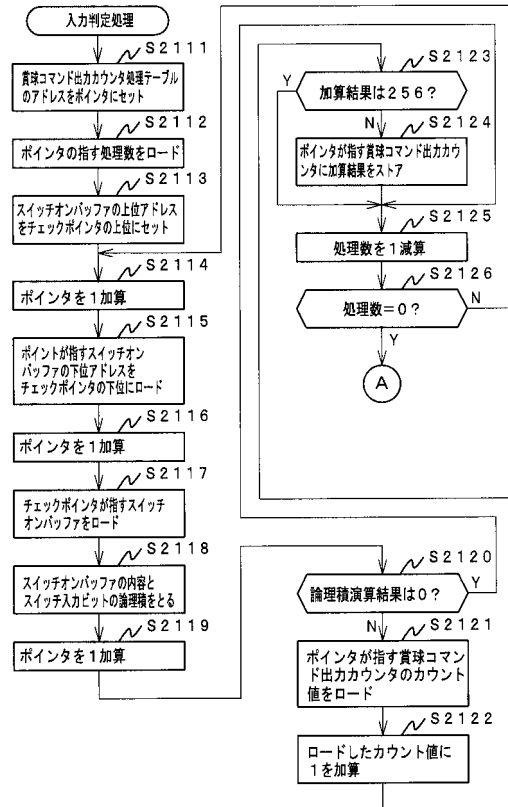


【図 70】

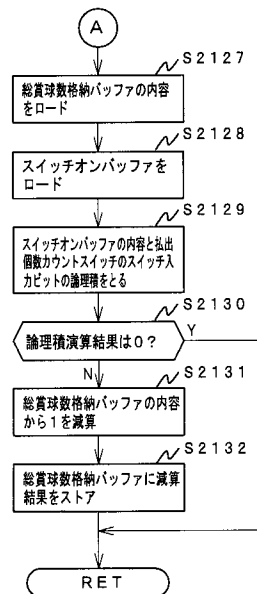
(賞球コマンド出力カウンタ処理テーブル)

処理数 (6)
スイッチオンバッファの下位アドレス
始動ロスイッチ入力ビット (80 (H))
賞球コマンド出力カウンタ 1
スイッチオンバッファの下位アドレス
左袖入賞ロスイッチ入力ビット (08 (H))
賞球コマンド出力カウンタ 2
スイッチオンバッファの下位アドレス
右袖入賞ロスイッチ入力ビット (10 (H))
賞球コマンド出力カウンタ 2
スイッチオンバッファの下位アドレス
左落とし入賞ロスイッチ入力ビット (20 (H))
賞球コマンド出力カウンタ 2
スイッチオンバッファの下位アドレス
右落とし入賞ロスイッチ入力ビット (40 (H))
賞球コマンド出力カウンタ 2
スイッチオンバッファの下位アドレス
カウントスイッチ入力ビット (02 (H))
賞球コマンド出力カウンタ 3

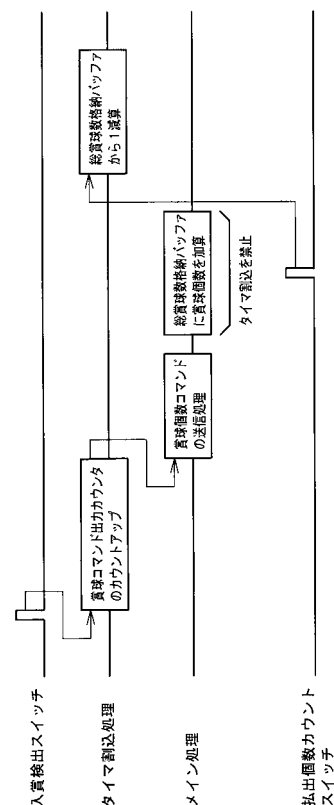
【図 71】



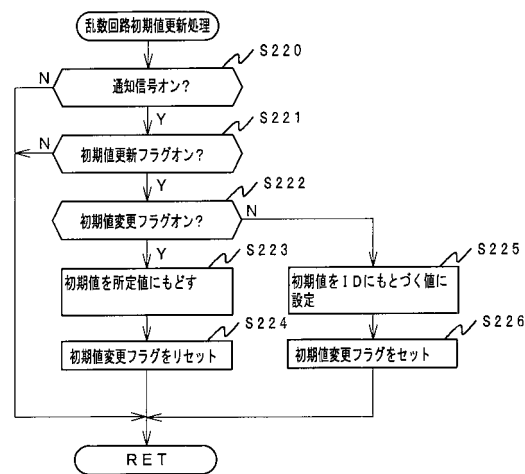
【図 72】



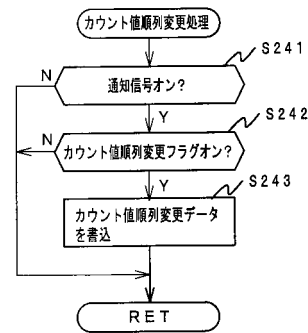
【図 73】



【図 7 4】



【図 7 5】



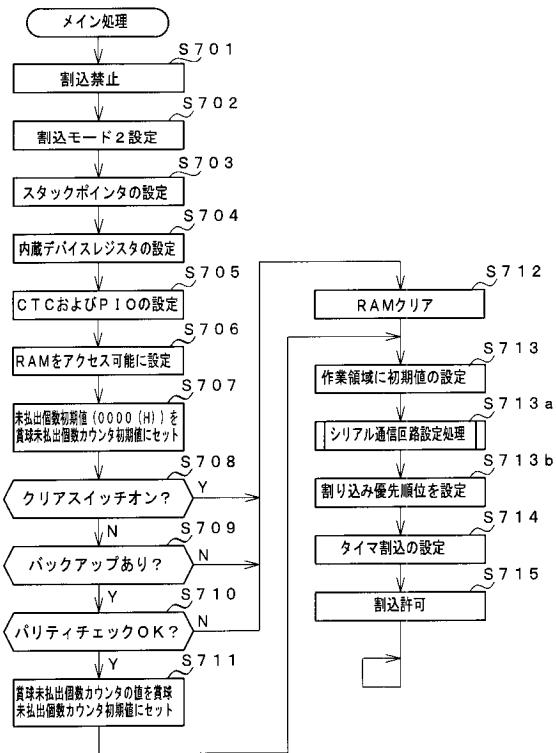
【図 7 6】

アドレス	ビット	データ内容	論理	状態
出力ポート 0	7	払出モータφ 1	1	オン
	6	払出モータφ 2	1	オン
	5	払出モータφ 3	1	オン
	4	払出モータφ 4	1	オン
	3	未使用	—	—
	2	未使用	—	—
	1	未使用	—	—
	0	払出個数カウントスイッチ (主基板へ)	1	オン
出力ポート 1	7	未使用	—	—
	6	未使用	—	—
	5	未使用	—	—
	4	賞球 A C K 信号	1	オン
	3	賞球中信号	1	オン
	2	球貸し情報	1	オン
	1	賞球情報	1	オン
	0	遊技機エラー状態信号	1	オン
出力ポート 2	7	未使用	—	—
	6	7セグメント g	1	オン
	5	7セグメント f	1	オン
	4	7セグメント e	1	オン
	3	7セグメント d	1	オン
	2	7セグメント c	1	オン
	1	7セグメント b	1	オン
	0	7セグメント a	1	オン

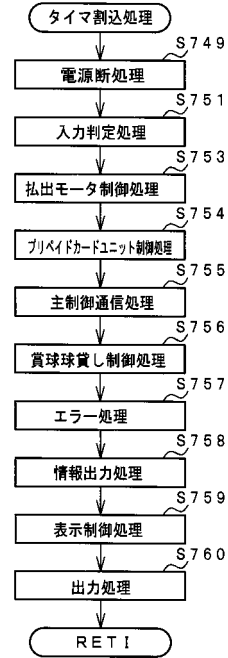
【図 7 7】

アドレス	ビット	データ内容	論理	状態
入力ポート 0	7	払出モータ位置センサ	1	オン
	6	球切れスイッチ	0	オン
	5	未使用	0	オン
	4	接続確認信号	1	オン
	3	未使用	1	オン
	2	未使用	1	オン
	1	未使用	1	オン
	0	未使用	1	オン
入力ポート 1	7	未使用	—	—
	6	BRQ 信号	0	オン
	5	BRDY 信号	0	オン
	4	V L 信号	0	オン
	3	満タンスイッチ	1	オン
	2	エラー解除スイッチ	1	オン
	1	払出個数カウントスイッチ	1	オン
	0	未使用	—	—
入力ポート 2	1	電源断信号	0	オン
	0	クリアスイッチ	1	オン

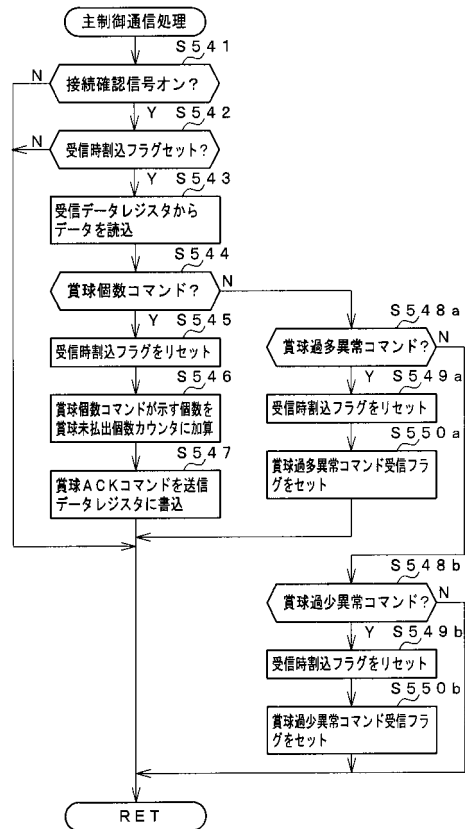
【図 78】



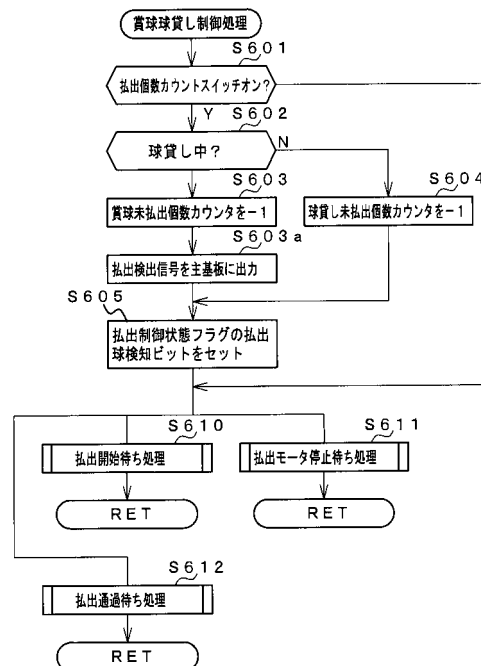
【図 79】



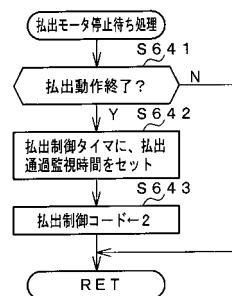
【図 80】



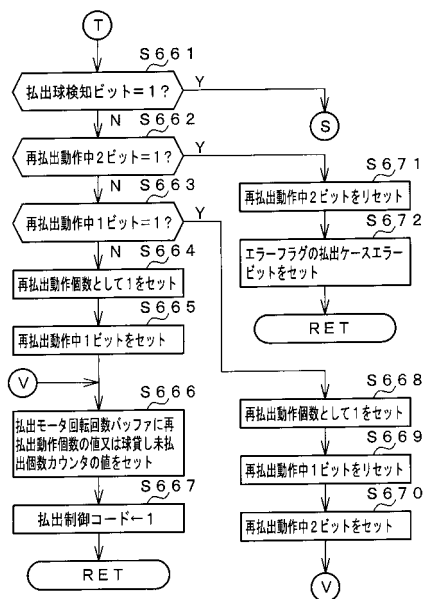
【図 81】



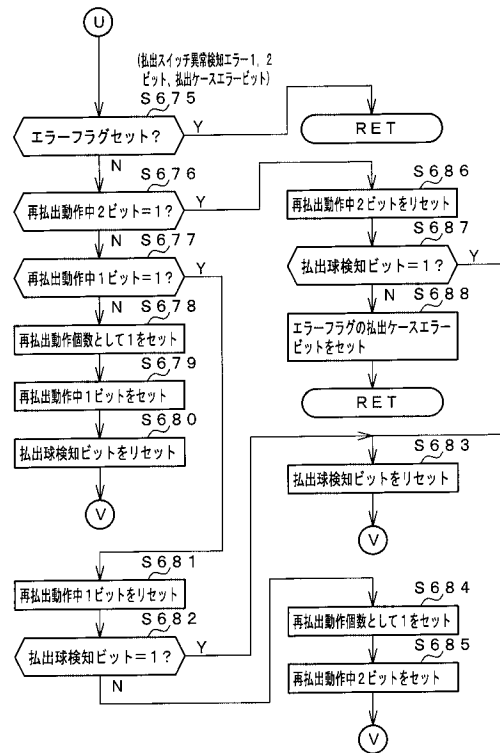
【図 8 3】



【図 8 5】



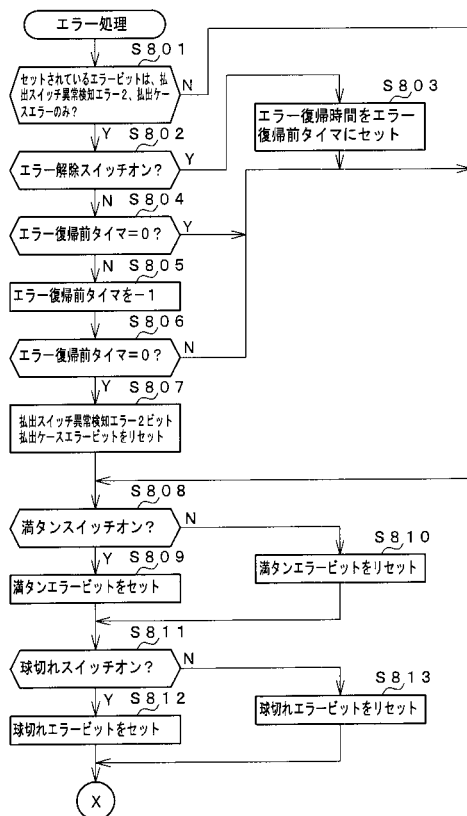
【図 86】



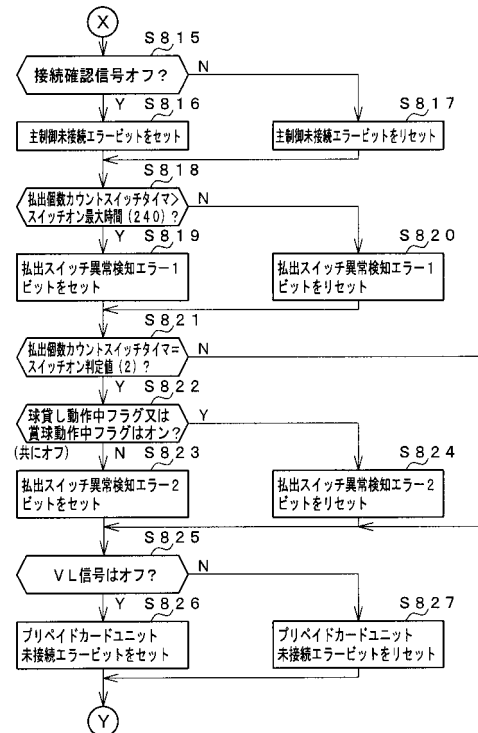
【図 87】

エラーの解除	エラーの原因	エラーの種類	エラー表示用LEDの表示
接続確認信号のオン	基板からの接続確認信号のオフ	主制御未接続エラー	1
払出回数カウンタスイッチのオフ	払出回数カウンタスイッチの断線又は払出回数カウンタスイッチ部での球詰まり	払出スイッチ異常検知エラー1	2
エラー解除スイッチ押下	払出動作中でないのに、払出回数カウンタスイッチが選球路の通過を検出	払出スイッチ異常検知エラー2	3
エラー解除スイッチ押下	払出モータの回転異常又は選球路が払い出されたと同時に払出回数カウンタスイッチが未通過	払出ケースエラー	4
満タンスイッチのオフ	下皿満タン状態	満タンエラー	5
球切れスイッチのオフ	補給球の不足状態	球切れエラー	6
V/L信号のオン	プリペイドカードからのV/L信号がオフ（カードユニットが未接続）	プリペイドカードユニット未接続エラー	7
BRDY信号及びBRQ信号のオン	不正なタイミングでプリペイドカードユニットと通信	プリペイドカードユニット通信エラー	8
エラー解除スイッチ押下	払い出すべき個数より多くの遊技球の払い出しを検出	払出過多異常エラー	9
エラー解除スイッチ押下	払い出すべき個数より少ない遊技球の払い出しを検出	払出過少異常エラー	A

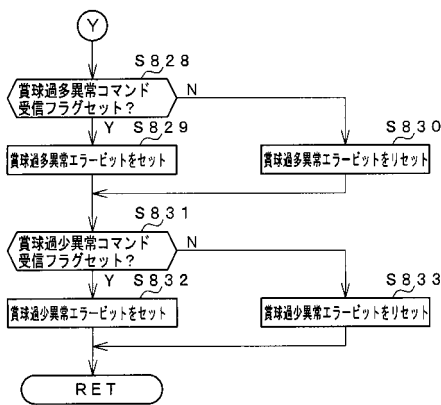
【図 88】



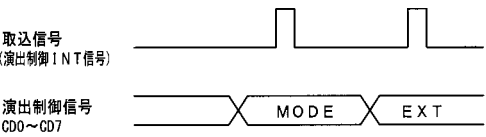
【図 89】



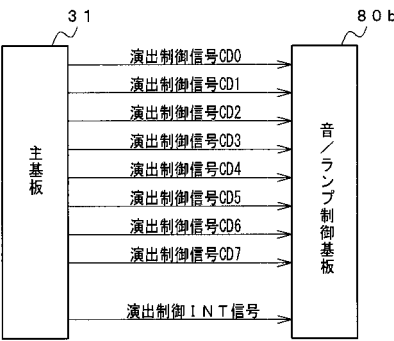
【図 9 0】



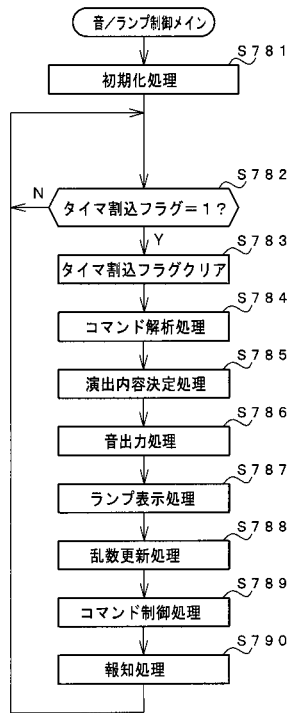
【図 9 2】



【図 9 1】



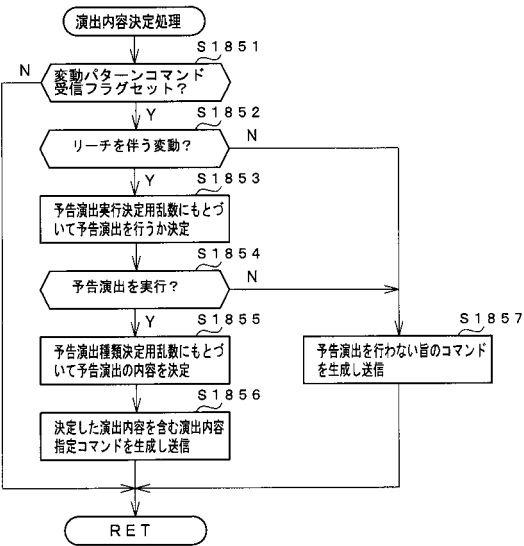
【図 9 3】



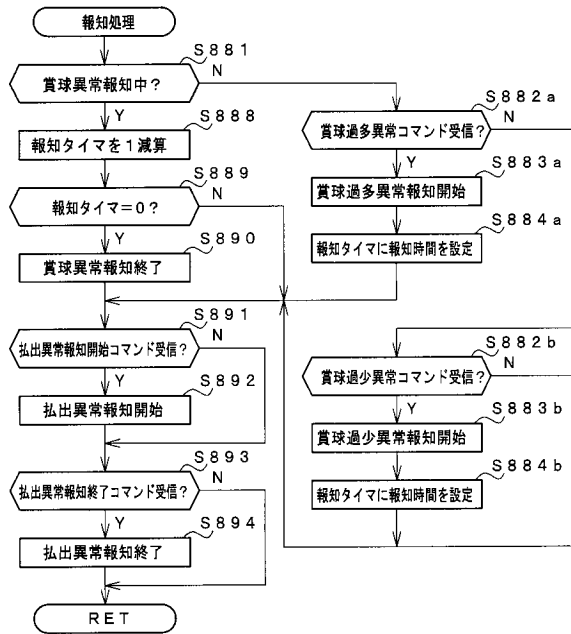
【図 9 4】

ランダム	範囲	用途	加算
1	0 ~ 9	予告演出実行決定用	0.002秒毎に1ずつ加算
2	0 ~ 9	予告演出種類決定用	0.002秒毎に1ずつ加算

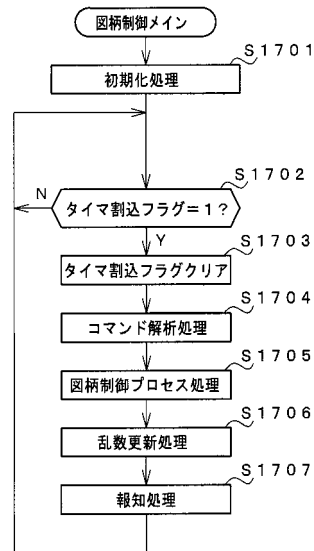
【図 9 5】



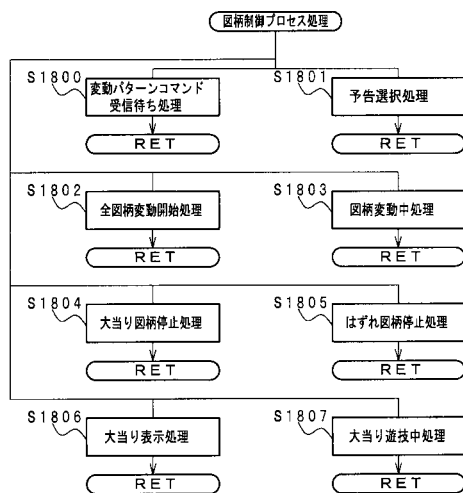
【図 96】



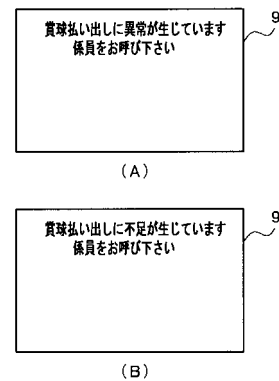
【図 97】



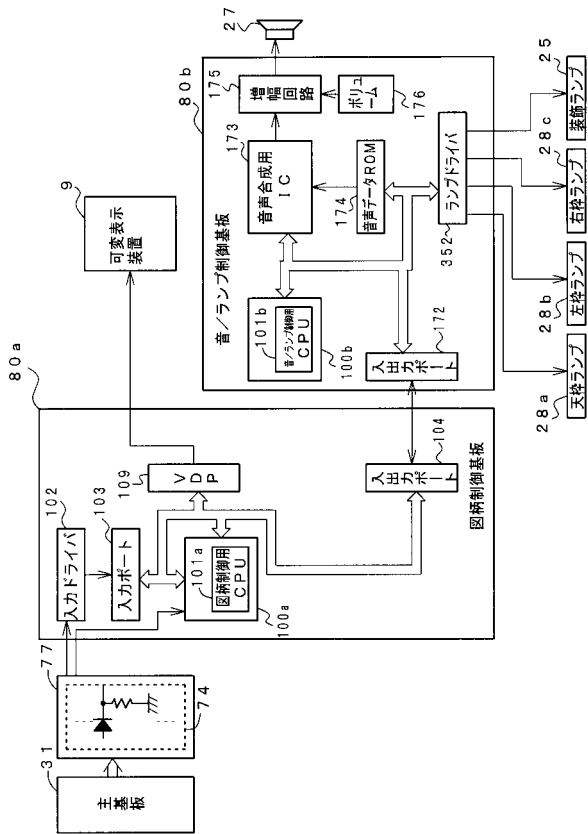
【図 98】



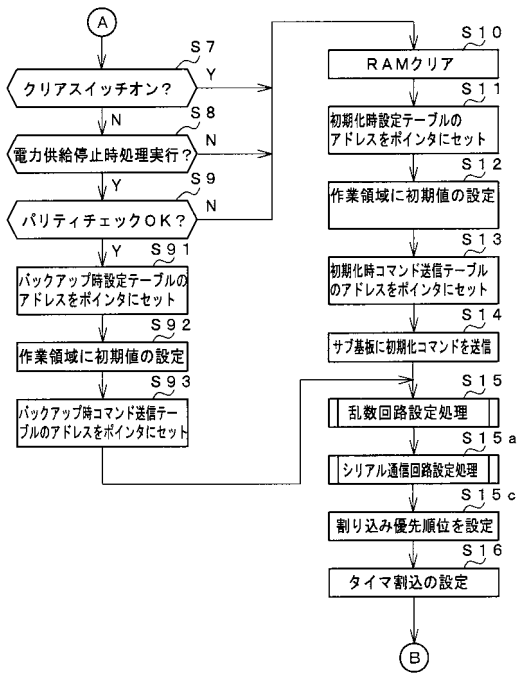
【図 99】



【図100】



【図101】



【図102】

割込処理優先順位テーブル

割込処理	優先順位
通信エラー割込処理	1
受信時割込処理	2
送信完了割込処理	3
タイマ割込による割込処理	4

フロントページの続き

- (72)発明者 渡辺 剛史
群馬県桐生市境野町6丁目460番地 株式会社三共内
- (72)発明者 覚張 哲
群馬県桐生市境野町6丁目460番地 株式会社三共内

審査官 大浜 康夫

- (56)参考文献 特開2005-087231 (JP, A)
特開2001-347028 (JP, A)
特開2002-306690 (JP, A)
特開2001-137497 (JP, A)
特開2003-320130 (JP, A)
特開2003-251046 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
A63F 7/02