



(12) 发明专利

(10) 授权公告号 CN 108376552 B

(45) 授权公告日 2021.08.06

(21) 申请号 201710874031.3

G11C 29/50 (2006.01)

(22) 申请日 2017.09.25

(56) 对比文件

(65) 同一申请的已公布的文献号
申请公布号 CN 108376552 A

CN 102099796 A, 2011.06.15

CN 1942976 A, 2007.04.04

(43) 申请公布日 2018.08.07

CN 102099861 A, 2011.06.15

CN 1756080 A, 2006.04.05

(30) 优先权数据

CN 101409102 A, 2009.04.15

10-2017-0014105 2017.01.31 KR

CN 104851445 A, 2015.08.19

(73) 专利权人 爱思开海力士有限公司
地址 韩国京畿道

CN 101310338 A, 2008.11.19

CN 104810054 A, 2015.07.29

(72) 发明人 金昌铉 具岐峰 宋清基 尹炳国
李约瑟 李宰承

CN 105406842 A, 2016.03.16

US 7206239 B2, 2007.04.17

US 2011204941 A1, 2011.08.25

(74) 专利代理机构 北京弘权知识产权代理有限公司 11363

US 9406360 B2, 2016.08.02

KR 100784905 B1, 2007.12.11

代理人 程强 许伟群

WO 2010078383 A1, 2010.07.08

US 2017004869 A1, 2017.01.05

(51) Int. Cl.

审查员 王曦

G11C 29/02 (2006.01)

G11C 29/14 (2006.01)

G11C 29/18 (2006.01)

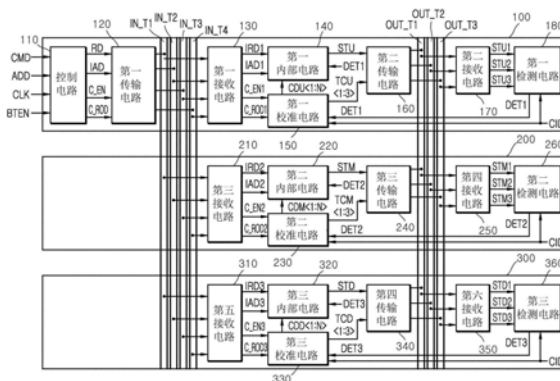
权利要求书6页 说明书14页 附图8页

(54) 发明名称

集成电路

(57) 摘要

可以提供一种包括半导体器件的集成电路。半导体器件可以被配置为比较根据半导体器件的内部延迟时间产生的选通信号的相位,并且被配置为根据选通信号的相位的比较结果来控制内部命令被输入至半导体器件的内部电路的时间点。



1. 一种集成电路,其包括:

第一半导体器件,被配置为将从命令产生的内部命令输出至第一输入穿通电极,被配置为将从内部命令产生的高阶选通信号输出至第一输出穿通电极,以及被配置为检测从第二输出穿通电极接收的低阶选通信号与高阶选通信号之间的相位差,以控制内部命令的输入时间点;以及

第二半导体器件,被配置为从第一输入穿通电极接收内部命令,被配置为从内部命令产生低阶选通信号以将低阶选通信号输出至第二输出穿通电极,以及被配置为检测从第一输出穿通电极接收的高阶选通信号与低阶选通信号之间的相位差,以控制内部命令的输入时间点,

其中,第一半导体器件和第二半导体器件被配置为:如果高阶选通信号和低阶选通信号之间的相位差在预定时间段的范围内,则将内部命令延迟预定延迟时间。

2. 根据权利要求1所述的集成电路,其中,第一半导体器件包括:

控制电路,被配置为产生在启动操作之后被使能的校准使能信号,被配置为产生如果校准使能信号被使能则被使能的内部命令,以及被配置为产生如果校准使能信号被使能则被切换的校准周期信号;

第一传输电路,被配置为将内部命令输出至第一输入穿通电极,被配置为将校准使能信号输出至第二输入穿通电极,以及被配置为将校准周期信号输出至第三输入穿通电极;

第一接收电路,被配置为接收内部命令以产生第一内部读取信号,被配置为接收校准使能信号以产生第一内部使能信号,以及被配置为接收校准周期信号以产生第一内部周期信号;

第一内部电路,被配置为将第一内部读取信号延迟基于高阶编码信号确定的延迟时间,以产生高阶选通信号;

第一校准电路,被配置为基于第一内部使能信号、第一内部周期信号和第一检测信号,来产生高阶传输控制信号和被计数的高阶编码信号;

第二传输电路,被配置为基于高阶传输控制信号来将高阶选通信号输出至第一输出穿通电极;

第二接收电路,被配置为接收高阶选通信号以产生第一高阶传输选通信号,并且被配置为接收低阶选通信号以产生第二高阶传输选通信号;以及

第一检测电路,被配置为将第一高阶传输选通信号的相位与第二高阶传输选通信号的相位进行比较,以产生第一检测信号。

3. 根据权利要求2所述的集成电路,其中,控制电路包括:

命令解码器,被配置为产生基于命令和校准使能信号而被使能的内部命令;以及

校准控制电路,被配置为产生基于启动信号和时钟信号而被使能的校准使能信号,并且被配置为产生基于启动信号和时钟信号而被切换的校准周期信号。

4. 根据权利要求2所述的集成电路,其中,控制电路包括:

地址解码器,被配置为对地址进行解码,以产生包括用于选择第一内部电路中的存储体的位置信息的输入地址。

5. 根据权利要求2所述的集成电路,其中,第一内部电路包括:

第一延迟电路,被配置为将第一内部读取信号延迟根据高阶编码信号的逻辑电平组合

而确定的延迟时间,以产生第一输出使能信号;以及

第一存储电路,被配置为产生基于第一输出使能信号而被使能的高阶选通信号。

6. 根据权利要求5所述的集成电路,

其中,第一延迟电路被配置为基于第一检测信号而从第一内部地址产生第一存储体地址,并且被配置为将第一内部地址延迟根据高阶编码信号的逻辑电平组合而确定的延迟时间,以产生第一存储体地址,以及

其中,第一存储电路被配置为根据第一存储体地址来选择包括在第一存储电路中的存储体。

7. 根据权利要求5所述的集成电路,其中,第一延迟电路包括:

第一内部延迟电路,被配置为将第一内部读取信号延迟根据高阶编码信号确定的延迟时间,以产生第一延迟信号;以及

第一选择/传输电路,被配置为基于第一检测信号来输出第一内部读取信号和第一延迟信号中的任意一个作为第一输出使能信号。

8. 根据权利要求7所述的集成电路,其中,第一延迟电路包括:

输入控制信号发生电路,被配置为产生在第一内部读取信号被输入至输入控制信号发生电路的时间点处被使能的第一输入控制信号;

输出控制信号发生电路,被配置为产生在第一延迟信号被输入至输出控制信号发生电路的时间点处被使能的第一输出控制信号;

锁存电路,被配置为基于第一输出控制信号来锁存第一内部地址以输出锁存的第一内部地址作为第一锁存地址;以及

第二选择/传输电路,被配置为基于第一检测信号来输出第一内部地址和第一锁存地址中的任意一个作为第一存储体地址。

9. 根据权利要求2所述的集成电路,其中,第一校准电路包括:

第一传输控制电路,被配置为基于第一内部使能信号和芯片识别信息来产生高阶传输控制信号;以及

第一编码发生电路,被配置为基于第一内部周期信号和第一检测信号来产生被计数的高阶编码信号。

10. 根据权利要求2所述的集成电路,其中,第一检测电路包括:

第三选择/传输电路,被配置为基于芯片识别信息来输出第一高阶传输选通信号和第二高阶传输选通信号中的任意一个作为第一选择信号;

第一单元延迟电路,被配置为将第一选择信号延迟以产生第一延迟选择信号;

第一逻辑电路,被配置为合成第一高阶传输选通信号和第二高阶传输选通信号以产生第一合成信号;以及

第一检测信号发生电路,被配置为基于第一合成信号来输出第一延迟选择信号作为第一检测信号。

11. 根据权利要求1所述的集成电路,其中,第二半导体器件包括:

第三接收电路,被配置为接收内部命令以产生第二内部读取信号,被配置为接收校准使能信号以产生第二内部使能信号,以及被配置为接收校准周期信号以产生第二内部周期信号;

第二内部电路,被配置为将第二内部读取信号延迟基于低阶编码信号确定的延迟时间,以产生低阶选通信号;

第二校准电路,被配置为基于第二内部使能信号、第二内部周期信号和第二检测信号来产生低阶传输控制信号和被计数的低阶编码信号;

第三传输电路,被配置为基于低阶传输控制信号来将低阶选通信号输出至第二输出穿通电极;

第四接收电路,被配置为接收高阶选通信号以产生第一低阶传输选通信号,并且被配置为接收低阶选通信号以产生第二低阶传输选通信号;以及

第二检测电路,被配置为将第一低阶传输选通信号的相位与第二低阶传输选通信号的相位进行比较,以产生第二检测信号。

12. 根据权利要求11所述的集成电路,其中,第二内部电路包括:

第二延迟电路,被配置为将第二内部读取信号延迟根据低阶编码信号的逻辑电平组合而确定的延迟时间,以产生第二输出使能信号;以及

第二存储电路,被配置为产生基于第二输出使能信号而被使能的低阶选通信号。

13. 根据权利要求12所述的集成电路,其中,第二延迟电路包括:

第二内部延迟电路,被配置为将第二内部读取信号延迟根据低阶编码信号确定的延迟时间,以产生第二延迟信号;以及

第四选择/传输电路,被配置为基于第二检测信号来输出第二内部读取信号和第二延迟信号中的任意一个作为第二输出使能信号。

14. 根据权利要求11所述的集成电路,其中,第二校准电路包括:

第二传输控制电路,被配置为基于第二内部使能信号和芯片识别信息来产生低阶传输控制信号;以及

第二编码发生电路,被配置为基于第二内部周期信号和第二检测信号来产生被计数的低阶编码信号。

15. 根据权利要求11所述的集成电路,其中,第二检测电路包括:

第五选择/传输电路,被配置为基于芯片识别信息来输出第一低阶传输选通信号和第二低阶传输选通信号中的任意一个作为第二选择信号;

第二单元延迟电路,被配置为将第二选择信号延迟以产生第二延迟选择信号;

第二逻辑电路,被配置为合成第一低阶传输选通信号和第二低阶传输选通信号以产生第二合成信号;以及

第二检测信号发生电路,被配置为基于第二合成信号来输出第二延迟选择信号作为第二检测信号。

16. 一种集成电路,包括:

第一半导体器件,被配置为从第一输入穿通电极接收内部命令,被配置为从内部命令产生高阶选通信号以将高阶选通信号输出至第一输出穿通电极,以及被配置为检测从第二输出穿通电极接收的低阶选通信号与高阶选通信号之间的相位差,以控制内部命令的输入时间点;以及

第二半导体器件,被配置为从第一输入穿通电极接收内部命令,被配置为从内部命令产生低阶选通信号以将低阶选通信号输出至第二输出穿通电极,以及被配置为检测从第一

输出穿通电极接收的高阶选通信号与低阶选通信号之间的相位差,以控制内部命令的输入时间点,

其中,第一半导体器件和第二半导体器件被配置为:如果高阶选通信号和低阶选通信号之间的相位差在预定时间段的范围内,则将内部命令延迟预定延迟时间。

17. 根据权利要求16所述的集成电路,其中,第一半导体器件包括:

第一接收电路,被配置为接收内部命令以产生第一内部读取信号,被配置为从第二输入穿通电极接收校准使能信号以产生第一内部使能信号,以及被配置为从第三输入穿通电极接收校准周期信号以产生第一内部周期信号;

第一内部电路,被配置为将第一内部读取信号延迟基于高阶编码信号确定的延迟时间,以产生高阶选通信号;

第一校准电路,被配置为基于第一内部使能信号、第一内部周期信号和第一检测信号,来产生高阶传输控制信号和被计数的高阶编码信号;

第一传输电路,被配置为基于高阶传输控制信号来将高阶选通信号输出至第一输出穿通电极;

第二接收电路,被配置为接收高阶选通信号以产生第一高阶传输选通信号,并且被配置为接收低阶选通信号以产生第二高阶传输选通信号;以及

第一检测电路,被配置为将第一高阶传输选通信号的相位与第二高阶传输选通信号的相位进行比较,以产生第一检测信号。

18. 根据权利要求17所述的集成电路,其中,第一内部电路包括:

第一延迟电路,被配置为将第一内部读取信号延迟根据高阶编码信号的逻辑电平组合而确定的延迟时间,以产生第一输出使能信号;以及

第一存储电路,被配置为产生基于第一输出使能信号而被使能的高阶选通信号。

19. 根据权利要求18所述的集成电路,

其中,第一延迟电路被配置为基于第一检测信号从第一内部地址产生第一存储体地址,并且被配置为将第一内部地址延迟根据高阶编码信号的逻辑电平组合而确定的延迟时间,以产生第一存储体地址,以及

其中,第一存储电路被配置为根据第一存储体地址来选择包括在第一存储电路中的存储体。

20. 根据权利要求18所述的集成电路,其中,第一延迟电路包括:

第一内部延迟电路,被配置为将第一内部读取信号延迟根据高阶编码信号确定的延迟时间,以产生第一延迟信号;以及

第一选择/传输电路,被配置为基于第一检测信号来输出第一内部读取信号和第一延迟信号中的任意一个作为第一输出使能信号。

21. 根据权利要求19所述的集成电路,其中,第一延迟电路包括:

输入控制信号发生电路,被配置为产生在第一内部读取信号被输入至输入控制信号发生电路的时间点处被使能的第一输入控制信号;

输出控制信号发生电路,被配置为产生在第一延迟信号被输入至输出控制信号发生电路的时间点处被使能的第一输出控制信号;

锁存电路,被配置为基于第一输出控制信号来锁存第一内部地址以输出锁存的第一内

部地址作为第一锁存地址;以及

第二选择/传输电路,被配置为基于第一检测信号来输出第一内部地址和第一锁存地址中的任意一个作为第一存储体地址。

22.根据权利要求17所述的集成电路,其中,第一校准电路包括:

第一传输控制电路,被配置为基于第一内部使能信号和芯片识别信息来产生高阶传输控制信号;以及

第一编码发生电路,被配置为基于第一内部周期信号和第一检测信号来产生被计数的高阶编码信号。

23.根据权利要求17所述的集成电路,其中,第一检测电路包括:

第三选择/传输电路,被配置为基于芯片识别信息来输出第一高阶传输选通信号和第二高阶传输选通信号中的任意一个作为第一选择信号;

第一单元延迟电路,被配置为将第一选择信号延迟以产生第一延迟选择信号;

第一逻辑电路,被配置为合成第一高阶传输选通信号和第二高阶传输选通信号以产生第一合成信号;以及

第一检测信号发生电路,被配置为基于第一合成信号来输出第一延迟选择信号作为第一检测信号。

24.根据权利要求16所述的集成电路,其中,第二半导体器件包括:

第三接收电路,被配置为接收内部命令以产生第二内部读取信号,被配置为从第二输入穿通电极接收校准使能信号以产生第二内部使能信号,以及被配置为从第三输入穿通电极接收校准周期信号以产生第二内部周期信号;

第二内部电路,被配置为将第二内部读取信号延迟基于低阶编码信号确定的延迟时间,以产生低阶选通信号;

第二校准电路,被配置为基于第二内部使能信号、第二内部周期信号和第二检测信号来产生低阶传输控制信号和被计数的低阶编码信号;

第二传输电路,被配置为基于低阶传输控制信号来将低阶选通信号输出至第二输出穿通电极;

第四接收电路,被配置为接收高阶选通信号以产生第一低阶传输选通信号,并且被配置为接收低阶选通信号以产生第二低阶传输选通信号;以及

第二检测电路,被配置为将第一低阶传输选通信号的相位与第二低阶传输选通信号的相位进行比较,以产生第二检测信号。

25.根据权利要求24所述的集成电路,其中,第二内部电路包括:

第二延迟电路,被配置为将第二内部读取信号延迟根据低阶编码信号的逻辑电平组合而确定的延迟时间,以产生第二输出使能信号;以及

第二存储电路,被配置为产生基于第二输出使能信号而被使能的低阶选通信号。

26.根据权利要求25所述的集成电路,其中,第二延迟电路包括:

第二内部延迟电路,被配置为将第二内部读取信号延迟根据低阶编码信号确定的延迟时间,以产生第二延迟信号;以及

第四选择/传输电路,被配置为基于第二检测信号来输出第二内部读取信号和第二延迟信号中的任意一个作为第二输出使能信号。

27. 根据权利要求24所述的集成电路,其中,第二校准电路包括:

第二传输控制电路,被配置为基于第二内部使能信号和芯片识别信息来产生低阶传输控制信号;以及

第二编码发生电路,被配置为基于第二内部周期信号和第二检测信号来产生被计数的低阶编码信号。

28. 根据权利要求24所述的集成电路,其中,第二检测电路包括:

第五选择/传输电路,被配置为基于芯片识别信息来输出第一低阶传输选通信号和第二低阶传输选通信号中的任意一个作为第二选择信号;

第二单元延迟电路,被配置为将第二选择信号延迟以产生第二延迟选择信号;

第二逻辑电路,被配置为合成第一低阶传输选通信号和第二低阶传输选通信号以产生第二合成信号;以及

第二检测信号发生电路,被配置为基于第二合成信号来输出第二延迟选择信号作为第二检测信号。

29. 一种集成电路,包括:

半导体器件,层叠在单个封装体中,每个半导体器件包括通过穿通电极彼此耦接的内部电路,并且被配置为补偿被输入至半导体器件的内部电路的信号之间的时间偏差,

其中,半导体器件被配置为比较根据半导体器件的内部延迟时间而产生的选通信号的相位,并且被配置为根据选通信号的相位的比较结果来控制内部命令被输入至半导体器件的内部电路的时间点,

其中,半导体器件被配置为:如果相位比较结果在预定时间段的范围内,则将内部命令延迟预定延迟时间。

30. 根据权利要求29所述的集成电路,其中,半导体器件中的第一半导体器件被配置为将从命令产生的内部命令输出至穿通电极中的第一输入穿通电极,被配置为将从内部命令产生的高阶选通信号输出至穿通电极中的第一输出穿通电极,以及被配置为检测从穿通电极中的第二输出穿通电极接收的低阶选通信号与高阶选通信号之间的相位差,以控制内部命令的输入时间点。

31. 根据权利要求30所述的集成电路,其中,半导体器件的第二半导体器件被配置为从第一输入穿通电极接收内部命令,被配置为从内部命令产生低阶选通信号,以将低阶选通信号输出至第二输出穿通电极,以及被配置为检测从第一输出穿通电极接收的高阶选通信号与低阶选通信号之间的相位差,以控制内部命令的输入时间点。

集成电路

[0001] 相关申请的交叉引用

[0002] 本申请要求2017年1月31日提交的申请号为10-2017-0014105的韩国专利申请的优先权,其全部内容通过引用合并于此。

技术领域

[0003] 本公开的实施例总体而言可以涉及控制内部命令输入至构成每个集成电路的半导体器件的内部电路的时间点的集成电路。

背景技术

[0004] 近来,随着封装技术的发展,已经提出了由层叠在单个封装体中的多个半导体器件组成的集成电路。由多个半导体器件组成的集成电路可以制造成包括电极和穿通硅通孔(TSV)。各种内部信号和电源电压可以经由多个半导体器件的电极和穿通硅通孔(TSV)传输。

[0005] 包括在集成电路中的多个半导体器件可以被设计为具有不同的功能并且可以被封装在单个封装体中。因此,可能需要补偿封装在单个封装体中的半导体器件的信号之间的偏差。

发明内容

[0006] 根据一个实施例,可以提供一种集成电路。该集成电路可以包括第一半导体器件和第二半导体器件。第一半导体器件可以被配置为将从命令产生的内部命令输出至第一输入穿通电极。第一半导体器件可以被配置为将从内部命令产生的高阶选通信号输出至第一输出穿通电极。第一半导体器件可以被配置为检测从第二输出穿通电极接收的低阶选通信号与高阶选通信号之间的相位差,以控制内部命令的输入时间点。第二半导体器件可以被配置为从第一输入穿通电极接收内部命令。第二半导体器件可以被配置为从内部命令产生低阶选通信号以将低阶选通信号输出至第二输出穿通电极。第二半导体器件可以被配置为检测从第一输出穿通电极接收的高阶选通信号与低阶选通信号之间的相位差,以控制内部命令的输入时间点。

[0007] 根据一个实施例,可以提供一种集成电路。该集成电路可以包括第一半导体器件和第二半导体器件。第一半导体器件可以被配置为从第一输入穿通电极接收内部命令。第一半导体器件可以被配置为从内部命令产生高阶选通信号以将高阶选通信号输出至第一输出穿通电极。第一半导体器件可以被配置为检测从第二输出穿通电极接收的低阶选通信号与高阶选通信号之间的相位差,以控制内部命令的输入时间点。第二半导体器件可以被配置为从第一输入穿通电极接收内部命令。第二半导体器件可以被配置为从内部命令产生低阶选通信号以将低阶选通信号输出至第二输出穿通电极。第二半导体器件可以被配置为检测从第一输出穿通电极接收的高阶选通信号与低阶选通信号之间的相位差,以控制内部命令的输入时间点。

[0008] 根据一个实施例,可以提供一种集成电路。该集成电路可以包括层叠在单个封装体中的半导体器件,每个半导体器件包括通过穿通电极彼此耦接的内部电路,且可以被配置为补偿输入至半导体器件的内部电路的信号之间的时间偏斜差。半导体器件可以被配置为比较根据半导体器件的内部延迟时间而产生的选通信号的相位,并且可以被配置为根据选通信号的相位的比较结果来控制内部命令被输入至半导体器件的内部电路的时间点。

附图说明

- [0009] 图1是示出根据本公开的一个实施例的集成电路的配置的框图。
[0010] 图2是示出包括在图1的集成电路中的控制电路的配置的框图。
[0011] 图3是示出包括在图1的集成电路中的第一内部电路的配置的框图。
[0012] 图4是示出包括在图3的第一内部电路中的延迟电路的配置的框图。
[0013] 图5是示出包括在图1的集成电路中的第一校准电路的配置的框图。
[0014] 图6是示出包括在图1的集成电路中的第一检测电路的配置的框图。
[0015] 图7是示出在本公开的实施例中相对于第一检测电路和第二检测电路的操作的校准操作的时序图。
[0016] 图8是示出根据本公开的实施例的集成电路的操作的时序图。
[0017] 图9是示出采用图1至图8所示的集成电路的电子系统的配置的框图。

具体实施方式

[0018] 下面将参照附图来描述本公开的各种实施例。然而,本文中描述的实施例仅用于说明的目的,并非旨在限制本公开的范围。

[0019] 各种实施例可以针对控制内部命令被输入至每个集成电路的内部电路的时间点的集成电路。

[0020] 参见图1,根据一个实施例的集成电路可以包括:第一半导体器件100、第二半导体器件200和第三半导体器件300。第一半导体器件100、第二半导体器件200和第三半导体器件300可以物理地层叠并通过穿通硅通孔(TSV)彼此电连接。

[0021] 第一半导体器件100可以包括:控制电路110、第一传输电路120、第一接收电路130、第一内部电路140、第一校准电路150、第二传输电路160、第二接收电路170和第一检测电路180。

[0022] 控制电路110可以响应于命令CMD、地址ADD、时钟信号CLK和启动信号BTEN,而产生内部命令RD、输入地址IAD、校准使能信号C_EN和校准周期信号C_ROD。控制电路110可以在正常操作期间解码命令CMD以产生内部命令RD。控制电路110可以在正常操作期间解码地址ADD以产生输入地址IAD。控制电路110可以产生在启动操作之后被使能的校准使能信号C_EN。控制电路110可以产生如果校准使能信号C_EN被使能则被使能的内部命令RD。控制电路110可以产生如果校准使能信号C_EN被使能则被周期性地创建的内部命令RD。控制电路110可以产生如果校准使能信号C_EN被使能则被周期性地切换的校准周期信号C_ROD。校准使能信号C_EN可以被设定为被使能以进入用于控制内部命令RD的输入时间点的校准操作的信号。启动操作可以对应于在初始化操作期间从熔丝电路输出用于控制半导体器件的操作的信息的操作。

[0023] 第一传输电路120可以经由第一输入穿通电极IN_T1来输出内部命令RD。第一传输电路120可以经由第二输入穿通电极IN_T2来输出输入地址IAD。第一传输电路120可以经由第三输入穿通电极IN_T3来输出校准使能信号C_EN。第一传输电路120可以经由第四输入穿通电极IN_T4来输出校准周期信号C_ROD。第一传输电路120可以利用通用传输器来实现。第一输入穿通电极至第四输入穿通电极IN_T1、IN_T2、IN_T3和IN_T4可以利用穿通硅通孔(TSV)来实现。

[0024] 第一接收电路130可以从第一输入穿通电极IN_T1接收内部命令RD,以产生第一内部读取信号IRD1。第一接收电路130可以从第二输入穿通电极IN_T2接收输入地址IAD,以产生第一内部地址IAD1。第一接收电路130可以从第三输入穿通电极IN_T3接收校准使能信号C_EN,以产生第一内部使能信号C_EN1。第一接收电路130可以从第四输入穿通电极IN_T4接收校准周期信号C_ROD,以产生第一内部周期信号C_ROD1。第一接收电路130可以利用通用接收器来实现。

[0025] 第一内部电路140可以响应于第一检测信号DET1而从第一内部读取信号IRD1产生高阶(high-order)选通信号STU。第一内部电路140可以在校准操作期间将第一内部读取信号IRD1延迟响应于高阶编码信号CDU<1:N>而确定的延迟时间,以产生高阶选通信号STU。第一内部电路140可以在正常操作期间根据第一内部地址IAD1和被延迟响应于高阶编码信号CDU<1:N>而确定的延迟时间的第一内部读取信号IRD1来接收或输出数据(图3的DQ)。

[0026] 第一校准电路150可以响应于第一内部周期信号C_ROD1和第一检测信号DET1而产生被计数的高阶编码信号CDU<1:N>。第一校准电路150可以响应于第一内部使能信号C_EN1,而根据芯片识别信息CID来产生高阶传输控制信号TCU<1:3>。芯片识别信息CID可以被设定为在校准操作期间具有用于将高阶传输控制信号TCU<1:3>的第一比特位(即,第一高阶传输控制信号)TCU<1>使能的逻辑电平组合。芯片识别信息CID可以被设定为在正常操作期间具有用于将包括在高阶传输控制信号TCU<1:3>中的比特位中的任意一个使能的逻辑电平组合。

[0027] 第二传输电路160可以在校准操作期间,响应于第一高阶传输控制信号TCU<1>而将高阶选通信号STU输出至第一输出穿通电极OUT_T1。第二传输电路160可以被实现为在正常操作期间,响应于高阶传输控制信号TCU<1:3>而将高阶选通信号STU输出至从由第一输出穿通电极OUT_T1、第二输出穿通电极OUT_T2和第三输出穿通电极OUT_T3组成的组中选择的任意一个。第二传输电路160可以利用通用传输器来实现。第一输出穿通电极至第三输出穿通电极OUT_T1、OUT_T2和OUT_T3可以利用TSV来实现。

[0028] 第二接收电路170可以从第一输出穿通电极OUT_T1接收高阶选通信号STU,以产生第一高阶传输选通信号STU1。第二接收电路170可以从第二输出穿通电极OUT_T2接收中阶(mid-order)选通信号STM,以产生第二高阶传输选通信号STU2。第二接收电路170可以从第三输出穿通电极OUT_T3接收低阶(low-order)选通信号STD,以产生第三高阶传输选通信号STU3。第二接收电路170可以利用通用接收器来实现。

[0029] 第一检测电路180可以将第一高阶传输选通信号STU1的相位、第二高阶传输选通信号STU2的相位和第三高阶传输选通信号STU3的相位彼此进行比较,以产生第一检测信号DET1。第一检测电路180可以根据响应于芯片识别信息CID以及第一高阶传输选通信号STU1、第二高阶传输选通信号STU2和第三高阶传输选通信号STU3的相位比较结果而被选择

的第一高阶传输选通信号STU1来产生第一检测信号DET1。

[0030] 第二半导体器件200可以包括：第三接收电路210、第二内部电路220、第二校准电路230、第三传输电路240、第四接收电路250和第二检测电路260。

[0031] 第三接收电路210可以从第一输入穿通电极IN_T1接收内部命令RD，以产生第二内部读取信号IRD2。第三接收电路210可以从第二输入穿通电极IN_T2接收输入地址IAD，以产生第二内部地址IAD2。第三接收电路210可以从第三输入穿通电极IN_T3接收校准使能信号C_EN，以产生第二内部使能信号C_EN2。第三接收电路210可以从第四输入穿通电极IN_T4接收校准周期信号C_ROD，以产生第二内部周期信号C_ROD2。第三接收电路210可以利用通用接收器来实现。

[0032] 第二内部电路220可以响应于第二检测信号DET2，而从第二内部读取信号IRD2产生中阶选通信号STM。第二内部电路220可以在校准操作期间将第二内部读取信号IRD2延迟响应于中阶编码信号CDM<1:N>而确定的延迟时间，以产生中阶选通信号STM。第二内部电路220可以在正常操作期间，根据第二内部地址IAD2和被延迟响应于中阶编码信号CDM<1:N>而确定的延迟时间的第二内部读取信号IRD2来接收或输出数据（图3的DQ）。除了输入信号和输出信号之外，第二内部电路220可以被实现为具有与第一内部电路140相同的配置。因此，第二内部电路220可以执行与第一内部电路140基本上相同的操作。

[0033] 第二校准电路230可以响应于第二内部周期信号C_ROD2和第二检测信号DET2而产生被计数的中间编码信号CDM<1:N>。第二校准电路230可以响应于第二内部使能信号C_EN2，而根据芯片识别信息CID来产生中阶传输控制信号TCM<1:3>。芯片识别信息CID可以被设定为在校准操作期间具有用于将中阶传输控制信号TCM<1:3>的第二比特位（即，第二中阶传输控制信号）TCM<2>使能的逻辑电平组合。芯片识别信息CID可以被设定为在正常操作期间具有用于将包括在中阶传输控制信号TCM<1:3>中的比特位中的任意一个使能的逻辑电平组合。除了输入信号和输出信号之外，第二校准电路230可以被实现为具有与第一校准电路150相同的配置。因此，第二校准电路230可以执行与第一校准电路150基本上相同的操作。

[0034] 第三传输电路240可以在校准操作期间，响应于第二中阶传输控制信号TCM<2>而将中阶选通信号STM输出至第二输出穿通电极OUT_T2。第三传输电路240可以被实现为在正常操作期间，响应于的中阶传输控制信号TCM<1:3>而将中阶选通信号STM输出至从由第一输出穿通电极至第三输出穿通电极OUT_T1、OUT_T2和OUT_T3组成的组中选择的任意一个。第三传输电路240可以利用通用传输器来实现。

[0035] 第四接收电路250可以从第一输出穿通电极OUT_T1接收高阶选通信号STU，以产生第一中阶传输选通信号STM1。第四接收电路250可以从第二输出穿通电极OUT_T2接收中阶选通信号STM，以产生第二中阶传输选通信号STM2。第四接收电路250可以从第三输出穿通电极OUT_T3接收低阶选通信号STD，以产生第三中阶传输选通信号STM3。第四接收电路250可以利用通用接收器来实现。

[0036] 第二检测电路260可以将第一中阶传输选通信号STM1的相位、第二中阶传输选通信号STM2的相位和第三中阶传输选通信号STM3的相位彼此进行比较，以产生第二检测信号DET2。第二检测电路260可以根据响应于芯片识别信息CID以及第一中阶传输选通信号至第三中阶传输选通信号STM1、STM2和STM3的相位比较结果而选择的第二中阶传输选通信号

STM2,来产生第二检测信号DET2。除了输入信号和输出信号之外,第二检测电路260可以被实现为具有与第一检测电路180相同的配置。因此,第二检测电路260可以执行与第一检测电路180基本上相同的操作。

[0037] 第三半导体器件300可以包括:第五接收电路310、第三内部电路320、第三校准电路330、第四传输电路340、第六接收电路350和第三检测电路360。

[0038] 第五接收电路310可以从第一输入穿通电极IN_T1接收内部命令RD,以产生第三内部读取信号IRD3。第五接收电路310可以从第二输入穿通电极IN_T2接收输入地址IAD,以产生第三内部地址IAD3。第五接收电路310可以从第三输入穿通电极IN_T3接收校准使能信号C_EN,以产生第三内部使能信号C_EN3。第五接收电路310可以从第四输入穿通电极IN_T4接收校准周期信号C_ROD,以产生第三内部周期信号C_ROD3。第五接收电路310可以利用通用接收器来实现。

[0039] 第三内部电路320可以响应于第三检测信号DET3而从第三内部读取信号IRD3产生低阶选通信号STD。第三内部电路320可以在校准操作期间,将第三内部读取信号IRD3延迟响应于低阶编码信号CDD<1:N>而确定的延迟时间,以产生低阶选通信号STD。第三内部电路320可以在正常操作期间,根据第三内部地址IAD3和被延迟响应于低阶编码信号CDD<1:N>而确定的延迟时间的第三内部读取信号IRD3来接收或输出数据(图3中的DQ)。除了输入信号和输出信号之外,第三内部电路320可以被实现为具有与第一内部电路140相同的配置。因此,第三内部电路320可以执行与第一内部电路140基本相同的操作。

[0040] 第三校准电路330可以响应于第三内部周期信号C_ROD3和第三检测信号DET3而产生被计数的低阶编码信号CDD<1:N>。第三校准电路330可以响应于第三内部使能信号C_EN3,而根据芯片识别信息CID来产生低阶传输控制信号TCD<1:3>。芯片识别信息CID可以被设定为在校准操作期间具有用于使能低阶传输控制信号TCD<1:3>的第三比特位(即,第三低阶传输控制信号)TCD<3>的逻辑电平组合。芯片识别信息CID可以被设定为在正常操作期间具有用于使能包括在低阶传输控制信号TCD<1:3>中的比特位中的任意一个的逻辑电平组合。除了输入信号和输出信号之外,第三校准电路330可以被实现为具有与第一校准电路150相同的配置。因此,第三校准电路330可以执行与第一校准电路150基本上相同的操作。

[0041] 第四传输电路340可以在校准操作期间,响应于第三低阶传输控制信号TCD<3>而将低阶选通信号STD输出至第三输出穿通电极OUT_T3。第四传输电路340可以被实现为在正常操作期间,响应于低阶传输控制信号TCD<1:3>,而将低阶选通信号STD输出至从由第一输出穿通电极至第三输出穿通电极OUT_T1、OUT_T2和OUT_T3组成的组中选择的任意一个。第四传输电路340可以利用通用传输器来实现。

[0042] 第六接收电路350可以从第一输出穿通电极OUT_T1接收高阶选通信号STU,以产生第一低阶传输选通信号STD1。第六接收电路350可以从第二输出穿通电极OUT_T2接收中阶选通信号STM,以产生第二低阶传输选通信号STD2。第六接收电路350可以从第三输出穿通电极OUT_T3接收低阶选通信号STD,以产生第三低阶传输选通信号STD3。第六接收电路250可以利用通用接收器来实现。

[0043] 第三检测电路360可以将第一低阶传输选通信号STD1的相位、第二低阶传输选通信号STD2的相位和第三低阶传输选通信号STD3的相位彼此进行比较,以产生第三检测信号DET3。第三检测电路360可以根据响应于芯片识别信息CID以及第一低阶传输选通信号至第

三低阶传输选通信号STD1、STD2和STD3的相位比较结果而选择的第三低阶传输选通信号STD3,来产生第三检测信号DET3。除了输入信号和输出信号之外,第三检测电路360可以被实现为具有与第一检测电路180相同的配置。因此,第三检测电路360可以执行与第一检测电路180基本上相同的操作。

[0044] 参见图2,控制电路110可以包括:命令解码器111、地址解码器112和校准控制电路113。

[0045] 命令解码器111可以在正常操作期间解码命令CMD以产生内部命令RD。命令解码器111可以在校准操作期间,产生响应于校准使能信号C_EN而被使能的内部命令RD。命令解码器111可以在校准操作期间,产生响应于校准使能信号C_EN而被周期性地创建的内部命令RD。尽管图2以单个信号示出了命令CMD,但是命令CMD可以包括多个位。内部命令RD可以被设定为用于进入输出数据(图3的DQ)的读取操作的内部命令。内部命令RD可以被设定为用于进入将数据(图3的DQ)储存在根据实施例的集成电路中的写入操作的内部命令。

[0046] 地址解码器112可以解码地址ADD以产生输入地址IAD。尽管地址ADD和输入地址IAD中的每一个由单个信号示出,但是地址ADD和输入地址IAD中的每一个可以被设定为包括多个比特位。地址ADD可以包括用于选择包括在存储电路(图3的142)中的多个存储体中的任意一个存储体的位置信息。地址ADD可以包括用于选择包括在存储电路(图3的142)中的多个存储单元中的至少一个存储单元的位置信息。

[0047] 校准控制电路113可以产生响应于启动信号BTEN和时钟信号CLK而被使能的校准使能信号C_EN。如果在启动操作之后启动信号BTEN被禁止,则校准控制电路113可以产生同步于时钟信号CLK来使能的校准使能信号C_EN。如果校准使能信号C_EN被使能,则校准控制电路113可以产生同步于时钟信号CLK来切换的校准周期信号C_ROD。时钟信号CLK可以被设定为在通常的半导体器件中使用的时钟信号。时钟信号CLK可以被设定为周期性地切换的信号。

[0048] 参见图3,第一内部电路140可以包括延迟电路141和存储电路142。

[0049] 延迟电路141可以响应于第一检测信号DET1,而从第一内部读取信号IRD1产生第一输出使能信号Y11。延迟电路141可以将第一内部读取信号IRD1延迟根据高阶编码信号CDU<1:N>的逻辑电平组合而确定的延迟时间,以产生第一输出使能信号Y11。延迟电路141可以响应于第一检测信号DET1,而从第一内部地址IAD1产生第一存储体地址BG1。延迟电路141可以将第一内部地址IAD1延迟根据高阶编码信号CDU<1:N>的逻辑电平组合而确定的延迟时间,以产生第一存储体地址BG1。尽管第一内部地址IAD1和第一存储体地址BG1中的每一个被示为单个信号,但是第一内部地址IAD1和第一存储体地址BG1中的每一个可以包括多个比特位。

[0050] 存储电路142可以在正常操作或校准操作期间,产生响应于第一输出使能信号Y11而被使能的高阶选通信号STU。存储电路142可以在正常操作期间,根据第一存储体地址BG1来选择存储电路142中的存储体,并且可以响应于第一输出使能信号Y11,而经由选中的存储体来接收或输出数据DQ。

[0051] 参见图4,延迟电路141可以包括:内部延迟电路1411、第一选择和传输(选择/传输)电路1412、输入控制信号发生电路1413、输出控制信号发生电路1414、锁存电路1415和第二选择/传输电路1416。

[0052] 内部延迟电路1411可以将第一内部读取信号IRD1延迟根据高阶编码信号CDU<1:N>而确定的延迟时间,以产生第一延迟信号DS1。根据高阶编码信号CDU<1:N>而确定的延迟时间可以随着高阶编码信号CDU<1:N>被顺序计数而增加。

[0053] 第一选择/传输电路1412可以响应于第一检测信号DET1,而输出第一内部读取信号IRD1和第一延迟信号DS1中的任意一个作为第一输出使能信号Y11。如果第一检测信号DET1被使能为具有逻辑“高”电平,则第一选择/传输电路1412可以输出第一内部读取信号IRD1作为第一输出使能信号Y11。如果第一检测信号DET1被禁止为具有逻辑“低”电平,则第一选择/传输电路1412可以输出第一延迟信号DS1作为第一输出使能信号Y11。此外,信号的逻辑电平可以与所描述的不同或相反。例如,描述为具有逻辑“高”电平的信号可以替代地具有逻辑“低”电平,而描述为具有逻辑“低”电平的信号可以替代地具有逻辑“高”电平。

[0054] 输入控制信号发生电路1413可以产生响应于第一内部读取信号IRD1而被使能的第一输入控制信号PIN1。输入控制信号发生电路1413可以产生在第一内部读取信号IRD1被输入至输入控制信号发生电路1413的时间点被使能的第一输入控制信号PIN1。

[0055] 输出控制信号发生电路1414可以产生响应于第一延迟信号DS1而被使能的第一输出控制信号POUT1。输出控制信号发生电路1414可以产生在第一延迟信号DS1被输入至输出控制信号发生电路1414的时间点被使能的第一输出控制信号POUT1。

[0056] 锁存电路1415可以响应于第一输入控制信号PIN1来锁存第一内部地址IAD1。锁存电路1415可以响应于第一输出控制信号POUT1而锁存第一内部地址IAD1,以输出锁存的第一内部地址IAD1作为第一锁存地址LAD1。尽管图4示出了锁存电路1415仅锁存一个输入信号的示例,但是本公开不限于此。例如,根据实施例,锁存电路1415可以被实现为锁存多个第一内部地址并且输出锁存的第一内部地址作为多个第一锁存地址。

[0057] 第二选择/传输电路1416可以响应于第一检测信号DET1,而输出第一内部地址IAD1和第一锁存地址LAD1中的任意一个作为第一存储体地址BG1。如果第一检测信号DET1被使能为具有逻辑“高”电平,则第二选择/传输电路1416可以输出第一内部地址IAD1作为第一存储体地址BG1。如果第一检测信号DET1被禁止为具有逻辑“低”电平,则第二选择/传输电路1416可以输出第一锁存地址LAD1作为第一存储体地址BG1。此外,信号的逻辑电平可以与所描述的不同或相反。例如,描述为具有逻辑“高”电平的信号可以替代地具有逻辑“低”电平,而描述为具有逻辑“低”电平的信号可以替代地具有逻辑“高”电平。

[0058] 参见图5,第一校准电路150可以包括:传输控制电路151和编码发生电路152。

[0059] 传输控制电路151可以响应于第一内部使能信号C_EN1和芯片识别信息CID,而产生高阶传输控制信号TCU<1:3>。如果第一内部使能信号C_EN1被使能,则传输控制电路151可以响应于芯片识别信息CID而使能包括在高阶传输控制信号TCU<1:3>中的比特位中的任意一个。图5中所示的传输控制电路151可以产生包括在高阶传输控制信号TCU<1:3>中的比特位中的第一比特位(即,第一高阶传输控制信号TCU<1>),该第一比特位在校准操作期间根据芯片识别信息CID而被选择性地使能。

[0060] 编码发生电路152可以产生响应于第一内部周期信号C_ROD1和第一检测信号DET1而被计数的高阶编码信号CDU<1:N>。编码发生电路152可以产生在第一内部周期信号C_ROD1的下降沿处响应于第一检测信号DET1而被计数的高阶编码信号CDU<1:N>。如果第一检测信号DET1在第一内部周期信号C_ROD1的下降沿处具有逻辑“低”电平,则编码发生电路

152可以对高阶编码信号CDU<1:N>进行计数。如果第一检测信号DET1在第一内部周期信号C_ROD1的下降沿处具有逻辑“高”电平,则编码发生电路152可以不对高阶编码信号CDU<1:N>进行计数。此外,信号的逻辑电平可以与所描述的不同或相反。例如,描述为具有逻辑“高”电平的信号可以替代地具有逻辑“低”电平,而描述为具有逻辑“低”电平的信号可以替代地具有逻辑“高”电平。

[0061] 参见图6,第一检测电路180可以包括:第三选择/传输电路181、单元延迟电路182、逻辑电路183和检测信号发生电路184。

[0062] 第三选择/传输电路181可以响应于芯片识别信息CID,而输出第一高阶传输选通信号至第三高阶传输选通信号STU1、STU2和STU3中的任意一个作为第一选择信号SEL1。图6中所示的第三选择/传输电路181可以在校准操作期间,根据芯片识别信息CID来输出第一高阶传输选通信号STU1作为第一选择信号SEL1。

[0063] 单元延迟电路182可以延迟第一选择信号SEL1以产生第一延迟选择信号DSEL1。当高阶编码信号CDU<1:N>被计数一次时,单元延迟电路182的延迟时间可以被设定为等于延迟电路141的延迟时间的增量。

[0064] 逻辑电路183可以执行或非(NOR)操作,并且可以利用例如但不限于或非门NOR10来实现。逻辑电路183可以合成第一高阶传输选通信号至第三高阶传输选通信号STU1、STU2和STU3,以产生第一合成信号SUM1。如果第一高阶传输选通信号至第三高阶传输选通信号STU1、STU2和STU3中的至少一个具有逻辑“高”电平,则逻辑电路183可以产生具有逻辑“低”电平的第一合成信号SUM1。此外,信号的逻辑电平可以与所描述的不同或相反。例如,描述为具有逻辑“高”电平的信号可以替代地具有逻辑“低”电平,而描述为具有逻辑“低”电平的信号可以替代地具有逻辑“高”电平。

[0065] 检测信号发生电路184可以响应于第一合成信号SUM1,而输出第一延迟选择信号DSEL1作为第一检测信号DET1。检测信号发生电路184可以在第一合成信号SUM1的逻辑电平从逻辑“低”电平变为逻辑“高”电平的时间点处输出第一延迟选择信号DSEL1作为第一检测信号DET1。此外,信号的逻辑电平可以与所描述的不同或相反。例如,描述为具有逻辑“高”电平的信号可以替代地具有逻辑“低”电平,而描述为具有逻辑“低”电平的信号可以替代地具有逻辑“高”电平。

[0066] 在下文中,将结合第一半导体器件100和第二半导体器件200控制内部命令RD的输入时间点的校准操作,参照图7来描述第一检测电路180和第二检测电路260的操作。

[0067] 首先,在下文中将描述从第一半导体器件100、第二半导体器件200和第三半导体器件300中的内部命令RD产生高阶选通信号STU、中阶选通信号STM和低阶选通信号STD的操作。

[0068] 在时间点“T1”处,第一半导体器件100的控制电路110可以产生在启动操作之后被使能的校准使能信号C_EN。控制电路110可以产生响应于校准使能信号C_EN而被使能的内部命令RD。控制电路110可以产生响应于校准使能信号C_EN而被切换的校准周期信号C_ROD。

[0069] 第一半导体器件100的第一传输电路120可以将内部命令RD输出至第一输入穿通电极IN_T1。第一传输电路120可以将校准使能信号C_EN输出至第三输入穿通电极IN_T3。第一传输电路120可以将校准周期信号C_ROD输出至第四输入穿通电极IN_T4。

[0070] 第一半导体器件100的第一接收电路130可以从第一输入穿通电极IN_T1接收内部命令RD,以产生第一内部读取信号IRD1。第一接收电路130可以从第三输入穿通电极IN_T3接收校准使能信号C_EN,以产生第一内部使能信号C_EN1。第一接收电路130可以从第四输入穿通电极IN_T4接收校准周期信号C_ROD,以产生第一内部周期信号C_ROD1。

[0071] 第一半导体器件100的第一内部电路140可以将第一内部读取信号IRD1延迟响应于高阶编码信号CDU<1:N>而确定的内部延迟时间D1,以产生高阶选通信号STU。可以在从时间点“T1”起经过内部延迟时间D1的时间点“T3”处产生高阶选通信号STU。

[0072] 第一半导体器件100的第二传输电路160可以响应于高阶传输控制信号TCU<1:3>,而将高阶选通信号STU输出至第一输出穿通电极OUT_T1。

[0073] 第二半导体器件200的第三传输电路210可以从第一输入穿通电极IN_T1接收内部命令RD,以产生第二内部读取信号IRD2。第三接收电路210可以从第三输入穿通电极IN_T3接收校准使能信号C_EN,以产生第二内部使能信号C_EN2。第三接收电路210可以从第四输入穿通电极IN_T4接收校准周期信号C_ROD,以产生第二内部周期信号C_ROD2。

[0074] 第二半导体器件200的第二内部电路220可以将第二内部读取信号IRD2延迟响应于中阶编码信号CDM<1:N>而确定的内部延迟时间D2,以产生中阶选通信号STM。可以在从时间点“T1”起经过内部延迟时间D2的时间点“T5”处产生中阶选通信号STM。

[0075] 第二半导体器件200的第三传输电路240可以响应于中阶传输控制信号TCM<1:3>,而输出中阶选通信号STM至第二输出穿通电极OUT_T2。

[0076] 第三半导体器件300的第五传输电路310可以从第一输入穿通电极IN_T1接收内部命令RD,以产生第三内部读取信号IRD3。第五接收电路310可以从第三输入穿通电极IN_T3接收校准使能信号C_EN,以产生第三内部使能信号C_EN3。第五接收电路310可以从第四输入穿通电极IN_T4接收校准周期信号C_ROD,以产生第三内部周期信号C_ROD3。

[0077] 第三半导体器件300的第三内部电路320可以将第三内部读取信号IRD3延迟响应于低阶编码信号CDD<1:N>而确定的内部延迟时间D3,以产生低阶选通信号STD。可以在从时间点“T1”起经过内部延迟时间D3的时间点“T2”处产生低阶选通信号STD。

[0078] 第三半导体器件300的第四传输电路340可以响应于低阶传输控制信号TCD<1:3>,而将低阶选通信号STD输出至第三输出穿通电极OUT_T3。

[0079] 接下来,在下文中将描述通过比较高阶选通信号STU的相位、中阶选通信号STM的相位和低阶选通信号STD的相位来控制内部命令RD的输入时间点的操作。

[0080] 在时间点“T2”处,第一半导体器件100的第二接收电路170可以从第三输出穿通电极OUT_T3接收低阶选通信号STD,以产生具有逻辑“高”电平的第三高阶传输选通信号STU3。第一检测电路180的逻辑电路183可以响应于具有逻辑“高”电平的第三高阶传输选通信号STU3,而产生具有逻辑“低”电平的第三合成信号SUM1。

[0081] 在时间点“T3”处,第一半导体器件100的第二接收电路170可以从第一输出穿通电极OUT_T1接收高阶选通信号STU,以产生具有逻辑“高”电平的第三高阶传输选通信号STU1。第一检测电路180的第三选择/传输电路181可以根据芯片识别信息CID来输出第三高阶传输选通信号STU1作为第一选择信号SEL1。

[0082] 在时间点“T4”处,第一检测电路180的单元延迟电路182可以延迟在时间点“T3”处创建的第一选择信号SEL1,以产生具有逻辑“高”电平的第三延迟选择信号DSEL1。

[0083] 在时间点“T5”处,第一半导体器件100的第二接收电路170可以从第二输出穿通电极OUT_T2接收中阶选通信号STM,以产生具有逻辑“高”电平的第二高阶传输选通信号STU2。

[0084] 在时间点“T7”处,第一检测电路180的检测信号发生电路184可以响应于其逻辑电平从逻辑“低”电平改变为逻辑“高”电平的第一合成信号SUM1,而输出具有逻辑“低”电平的第一延迟选择信号DSEL1作为第一检测信号DET1。

[0085] 第一半导体器件100的第一校准电路150可以响应于具有逻辑“低”电平的第一检测信号DET1,而对高阶编码信号CDU<1:N>进行计数。

[0086] 第一半导体器件100的第一内部电路140可以将第一内部读取信号IRD1延迟一延迟时间,以控制内部命令RD被输入至存储电路142的时间点,所述延迟时间根据被计数的高阶编码信号CDU<1:N>而增加。

[0087] 在以上描述中,由于高阶选通信号STU的相位、中阶选通信号STM的相位和低阶选通信号STD的相位的比较结果在预定时间段的范围内,所以第一半导体器件100可以控制内部命令RD的输入时间点。预定时间段可以被设定为第一合成信号SUM1保持逻辑“低”电平的时间段。

[0088] 在时间点“T2”处,第二半导体器件200的第三接收电路210可以从第三输出穿通电极OUT_T3接收低阶选通信号STD,以产生具有逻辑“高”电平的第二中阶传输选通信号STM3。第二检测电路260的逻辑电路(未示出)可以响应于具有逻辑“高”电平的第二中阶传输选通信号STM3,而产生具有逻辑“低”电平的第二合成信号SUM2。

[0089] 在时间点“T3”处,第二半导体器件200的第三接收电路210可以从第一输出穿通电极OUT_T1接收高阶选通信号STU,以产生具有逻辑“高”电平的第一中阶传输选通信号STM1。

[0090] 在时间点“T5”处,第二半导体器件200的第四接收电路250可以从第二输出穿通电极OUT_T2接收中阶选通信号STM,以产生具有逻辑“高”电平的第二中阶传输选通信号STM2。第二检测电路260可以根据芯片识别信息CID来输出第二中阶传输选通信号STM2作为第二选择信号SEL2。

[0091] 在时间点“T6”处,第二检测电路260可以延迟在时间点“T5”处创建的第二选择信号SEL2,以产生具有逻辑“高”电平的第二延迟选择信号DSEL2。

[0092] 在时间点“T7”处,第二检测电路260的检测信号发生电路(未示出)可以响应于其逻辑电平从逻辑“低”电平改变为逻辑“高”电平的第二合成信号SUM2,而输出具有逻辑“高”电平的第二延迟选择信号DSEL2作为第二检测信号DET2。

[0093] 第二半导体器件200的第二校准电路230可以响应于具有逻辑“高”电平的第二检测信号DET2,而不对中阶编码信号CDM<1:N>进行计数。

[0094] 第二半导体器件200的第二内部电路220的延迟时间可以根据未被计数的中阶编码信号CDM<1:N>而不增加。

[0095] 在以上描述中,由于高阶选通信号STU的相位、中阶选通信号STM的相位和低阶选通信号STD的相位的比较结果在预定时间段的范围之外,所以第二半导体器件200不能控制内部命令RD的输入时间点。预定时间段可以被设定为第二合成信号SUM2保持逻辑“低”电平的时间段。

[0096] 下面将结合第二半导体器件200的内部延迟时间正常的情况,参照图8来描述根据实施例的集成电路的校准操作。

[0097] 在时间点“T11”处,第一半导体器件100的控制电路110可以产生响应于在启动操作之后被禁止为具有逻辑“低”电平的启动信号BTEN而被使能的校准使能信号C_EN。控制电路110可以产生响应于校准使能信号C_EN而被使能的内部命令RD。控制电路110可以产生响应于校准使能信号C_EN而被切换的校准周期信号C_ROD。

[0098] 第一半导体器件100的第一内部电路140可以在从时间点“T11”起经过内部延迟时间D1的时间点处产生高阶选通信号STU。

[0099] 第二半导体器件200的第二内部电路220可以在从时间点“T11”起经过内部延迟时间D2的时间点处产生中阶选通信号STM。

[0100] 第三半导体器件300的第三内部电路320可以在从时间点“T11”起经过内部延迟时间D3的时间点处产生低阶选通信号STD。

[0101] 在时间点“T12”处,第一半导体器件100的第一检测电路180可以检测从高阶选通信号STU产生的第一高阶传输选通信号STU1、从中阶选通信号STM产生的第二高阶传输选通信号STU2、以及从低阶选通信号STD产生的第三高阶传输选通信号STU3之间的相位差,以产生具有逻辑“低”电平的第一检测信号DET1。

[0102] 第二半导体器件200的第二检测电路260可以检测从高阶选通信号STU产生的第一中阶传输选通信号STM1、从中阶选通信号STM产生的第二中阶传输选通信号STM2、以及从低阶选通信号STD产生的第三中阶传输选通信号STM3之间的相位差,以产生具有逻辑“高”电平的第二检测信号DET2。

[0103] 第三半导体器件300的第三检测电路360可以检测从高阶选通信号STU产生的第一低阶传输选通信号STD1、从中阶选通信号STM产生的第二低阶传输选通信号STD2、以及从低阶选通信号STD产生的第三低阶传输选通信号STD3之间的相位差,以产生具有逻辑“低”电平的第三检测信号DET3。

[0104] 第一检测信号DET1、第二检测信号DET2和第三检测信号DET3可以使用与参照图7所描述的相同的方式来产生。因此,下面将省略产生第一检测信号DET1、第二检测信号DET2和第三检测信号DET3的操作,以避免重复的说明。

[0105] 在时间点“T13”处,第一半导体器件100的第一校准电路150可以在校准周期信号C_ROD的下降沿处响应于具有逻辑“低”电平的第一检测信号DET1而对高阶编码信号CDU<1:N>进行计数。

[0106] 第一半导体器件100的第一内部电路140的延迟时间可以根据被计数的高阶编码信号CDU<1:N>而被另外地增加延迟时间A1。

[0107] 第二半导体器件200的第二校准电路230可以在校准周期信号C_ROD的下降沿处响应于具有逻辑“高”电平的第二检测信号DET2而不对中阶编码信号CDM<1:N>进行计数。

[0108] 第二半导体器件200的第二内部电路220的延迟时间可以根据未被计数的中阶编码信号CDM<1:N>而不增加。

[0109] 第三半导体器件300的第三校准电路330可以在校准周期信号C_ROD的下降沿处响应于具有逻辑“低”电平的第三检测信号DET3而对低阶编码信号CDD<1:N>进行计数。

[0110] 第三半导体器件300的第三内部电路320的延迟时间可以根据被计数的低阶编码信号CDD<1:N>而被另外地增加延迟时间A1。

[0111] 在时间点“T14”处,第一半导体器件100的控制电路110可以产生响应于校准使能

信号C_EN而被使能的内部命令RD。控制电路110可以产生响应于校准使能信号C_EN而被切换的校准周期信号C_ROD。

[0112] 第一半导体器件100的第一内部电路140可以在从时间点“T14”起经过内部延迟时间D1和延迟时间A1之和的时间点处产生高阶选通信号STU。

[0113] 第二半导体器件200的第二内部电路220可以在从时间点“T14”起经过内部延迟时间D2的时间点处产生中阶选通信号STM。

[0114] 第三半导体器件300的第三内部电路320可以在从时间点“T14”起经过内部延迟时间D3和延迟时间A1之和的时间点处产生低阶选通信号STD。

[0115] 在时间点“T15”处,第一半导体器件100的第一检测电路180可以检测从高阶选通信号STU产生的第一高阶传输选通信号STU1、从中阶选通信号STM产生的第二高阶传输选通信号STU2、以及从低阶选通信号STD产生的第三高阶传输选通信号STU3之间的相位差,以产生具有逻辑“高”电平的第一检测信号DET1。

[0116] 第二半导体器件200的第二检测电路260可以检测从高阶选通信号STU产生的第一中阶传输选通信号STM1、从中阶选通信号STM产生的第二中阶传输选通信号STM2、以及从低阶选通信号STD产生的第三中阶传输选通信号STM3之间的相位差,以产生具有逻辑“高”电平的第二检测信号DET2。

[0117] 第三半导体器件300的第三检测电路360可以检测从高阶选通信号STU产生的第一低阶传输选通信号STD1、从中阶选通信号STM产生的第二低阶传输选通信号STD2、以及从低阶选通信号STD产生的第三低阶传输选通信号STD3之间的相位差,以产生具有逻辑“低”电平的第三检测信号DET3。

[0118] 在时间点“T16”处,第一半导体器件100的第一校准电路150可以在校准周期信号C_ROD的下降沿处响应于具有逻辑“高”电平的第一检测信号DET1而不对高阶编码信号CDU<1:N>进行计数。

[0119] 第一半导体器件100的第一内部电路140的延迟时间可以根据未被计数的高阶编码信号CDU<1:N>而不增加。

[0120] 第二半导体器件200的第二校准电路230可以在校准周期信号C_ROD的下降沿处响应于具有逻辑“高”电平的第二检测信号DET2而不对中阶编码信号CDM<1:N>进行计数。

[0121] 第二半导体器件200的第二内部电路220的延迟时间可以根据未被计数的中阶编码信号CDM<1:N>而不增加。

[0122] 第三半导体器件300的第三校准电路330可以在校准周期信号C_ROD的下降沿处响应于具有逻辑“低”电平的第三检测信号DET3而对低阶编码信号CDD<1:N>进行计数。

[0123] 第三半导体器件300的第三内部电路320的延迟时间可以根据被计数的低阶编码信号CDD<1:N>而被另外地增加延迟时间A2。

[0124] 在时间点“T17”处,第一半导体器件100的控制电路110可以产生响应于校准使能信号C_EN而被使能的内部命令RD。控制电路110可以产生响应于校准使能信号C_EN而被切换的校准周期信号C_ROD。

[0125] 第一半导体器件100的第一内部电路140可以在从时间点“T17”起经过内部延迟时间D1和延迟时间A1之和的时间点处产生高阶选通信号STU。

[0126] 第二半导体器件200的第二内部电路220可以在从时间点“T17”起经过内部延迟时

间D2的时间点处产生中阶选通信号STM。

[0127] 第三半导体器件300的第三内部电路320可以在从时间点“T17”起经过内部延迟时间D3和延迟时间A2之和的时间点处产生低阶选通信号STD。

[0128] 在时间点“T18”处,第一半导体器件100的第一检测电路180可以检测从高阶选通信号STU产生的第一高阶传输选通信号STU1、从中阶选通信号STM产生的第二高阶传输选通信号STU2、以及从低阶选通信号STD产生的第三高阶传输选通信号STU3之间的相位差,以产生具有逻辑“高”电平的第一检测信号DET1。

[0129] 第二半导体器件200的第二检测电路260可以检测从高阶选通信号STU产生的第一中阶传输选通信号STM1、从中阶选通信号STM产生的第二中阶传输选通信号STM2、以及从低阶选通信号STD产生的第三中阶传输选通信号STM3之间的相位差,以产生具有逻辑“高”电平的第二检测信号DET2。

[0130] 第三半导体器件300的第三检测电路360可以检测从高阶选通信号STU产生的第一低阶传输选通信号STD1、从中阶选通信号STM产生的第二低阶传输选通信号STD2、以及从低阶选通信号STD产生的第三低阶传输选通信号STD3之间的相位差,以产生具有逻辑“高”电平的第三检测信号DET3。

[0131] 随后,第一半导体器件100的第一校准电路150可以在校准周期信号C_ROD的下降沿处响应于具有逻辑“高”电平的第一检测信号DET1而不对高阶编码信号CDU<1:N>进行计数。

[0132] 第一半导体器件100的第一内部电路140的延迟时间可以根据未被计数的高阶编码信号CDU<1:N>而不增加。

[0133] 第二半导体器件200的第二校准电路230可以在校准周期信号C_ROD的下降沿处响应于具有逻辑“高”电平的第二检测信号DET2而不对中阶编码信号CDM<1:N>进行计数。

[0134] 第二半导体器件200的第二内部电路220的延迟时间可以根据未被计数的中阶编码信号CDM<1:N>而不增加。

[0135] 第三半导体器件300的第三校准电路330可以在校准周期信号C_ROD的下降沿处响应于具有逻辑“高”电平的第三检测信号DET3而不对低阶编码信号CDD<1:N>进行计数。

[0136] 根据未被计数的低阶编码信号CDD<1:N>,第三半导体器件300的第三内部电路320的延迟时间可以不增加。

[0137] 如上所述,根据一个实施例的集成电路可以比较根据层叠在封装体中的半导体器件的内部延迟时间产生的选通信号的相位,并且可以根据选通信号的相位的比较结果来控制内部命令被输入至半导体器件的内部电路的时间点。因此,可以补偿被输入至封装在单个封装体中的半导体器件的内部电路的信号之间的时间偏斜差。

[0138] 参照图1至图8描述的集成电路可以应用于包括存储系统、图形系统、计算系统、移动系统等电子系统。例如,如图9所示,根据一个实施例的电子系统1000可以包括:数据储存电路1001、存储器控制器1002、缓冲存储器1003以及输入和输出(输入/输出)(I/O)接口1004。

[0139] 数据储存电路1001可以储存从存储器控制器1002输出的数据,或者可以根据由存储器控制器1002产生的控制信号来读取储存的数据并将其输出至存储器控制器1002。数据储存电路1001可以包括图1所示的第一半导体器件100、第二半导体器件200和第三半导体

器件300。数据储存电路1001可以包括即使在其电源中断时也可以保持其储存的数据的非易失性存储器。非易失性存储器可以是快闪存储器(诸如NOR型快闪存储器或NAND型快闪存储器)、相变随机存取存储器(PRAM)、阻变随机存取存储器(RRAM)、自旋转移力矩随机存取存储器(STTRAM)、磁性随机存取存储器(MRAM)等。

[0140] 存储器控制器1002可以经由I/O接口1004接收从外部设备(例如,主机设备)输出的命令,并且可以解码从主机设备输出的命令,以控制将数据输入至数据储存电路1001或缓冲存储器1003的操作或者输出储存在数据储存电路1001或缓冲存储器1003中的数据的操作。尽管图9以单个方块示出了存储器控制器1002,但是存储器控制器1002可以包括用于控制由非易失性存储器组成的数据储存电路1001的一个控制器和用于控制由易失性存储器组成的缓冲存储器1003的另一个控制器。

[0141] 缓冲存储器1003可以暂时地储存由存储器控制器1002处理的数据。也就是说,缓冲存储器1003可以暂时地储存从数据储存电路1001输出或者输入至数据储存电路1001的数据。缓冲存储器1003可以根据控制信号来储存从存储器控制器1002输出的数据。缓冲存储器1003可以读取储存的数据并将其输出至存储器控制器1002。缓冲存储器1003可以包括诸如动态随机存取存储器(DRAM)、移动DRAM或静态随机存取存储器(SRAM)的易失性存储器。

[0142] I/O接口1004可以将存储器控制器1002物理地和电连接至外部设备(即,主机)。因此,存储器控制器1002可以经由I/O接口1004接收从外部设备(即,主机)提供的控制信号和数据,并且可以经由I/O接口1004将由存储器控制器1002产生的数据输出至外部设备(即,主机)。也就是说,电子系统1000可以经由I/O接口1004与主机通信。I/O接口1004可以包括各种接口协议(诸如,通用串行总线(USB)、多媒体卡(MMC)、外围组件互连-快速(PCI-E)、串行附件SCSI(SAS)、串行AT附件(SATA)、并行AT附件(PATA)、小型计算机系统接口(SCSI)、增强型小型设备接口(ESDI)和集成驱动电子设备(IDE))中的任意一种。

[0143] 电子系统1000可以用作外部储存设备或主机的辅助储存设备。电子系统1000可以包括固态硬盘(SSD)、USB存储器、安全数字(SD)卡、迷你安全数字(mSD)卡、微型安全数字(微型SD)卡、安全数字高容量(SDHC)卡、记忆棒卡、智能媒体(SM)卡、多媒体卡(MMC)、嵌入式多媒体卡(eMMC)、紧凑型闪存(CF)卡等。

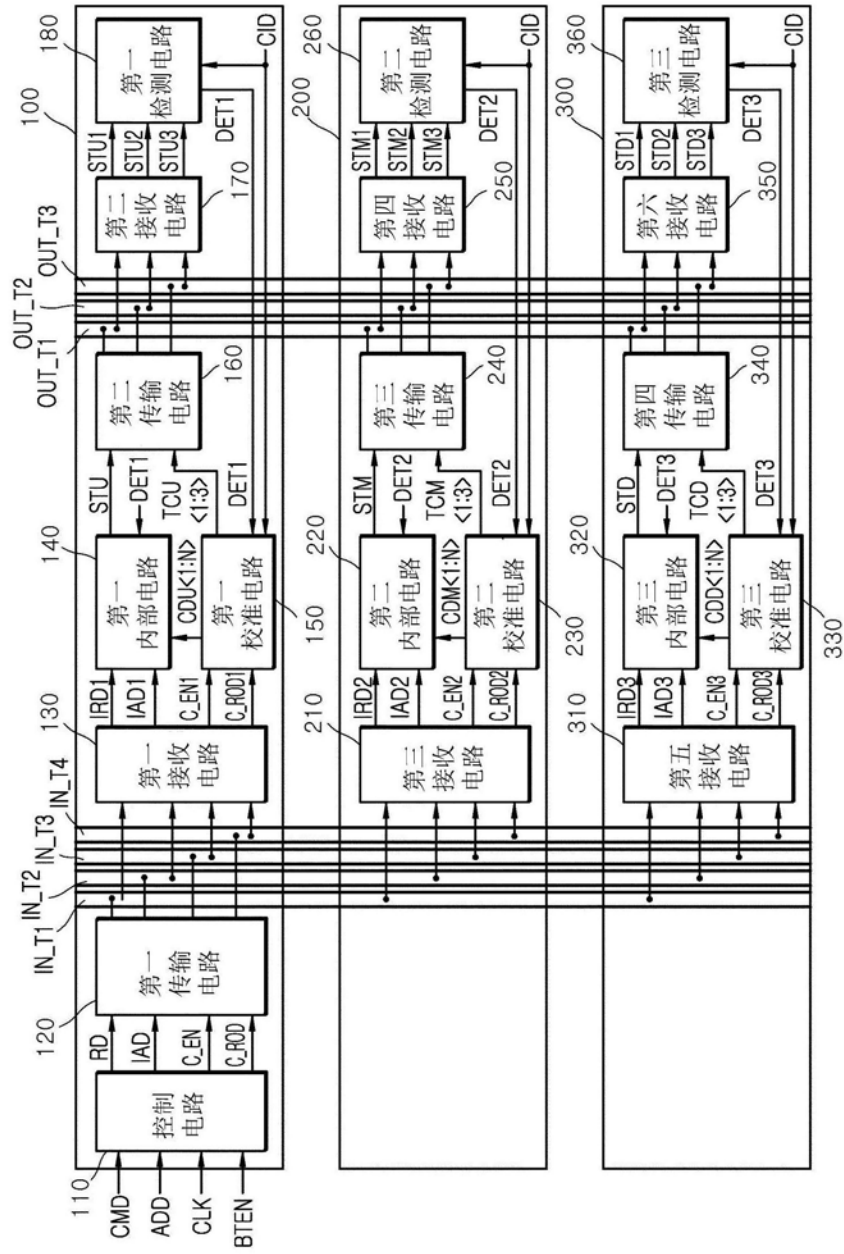


图1

110

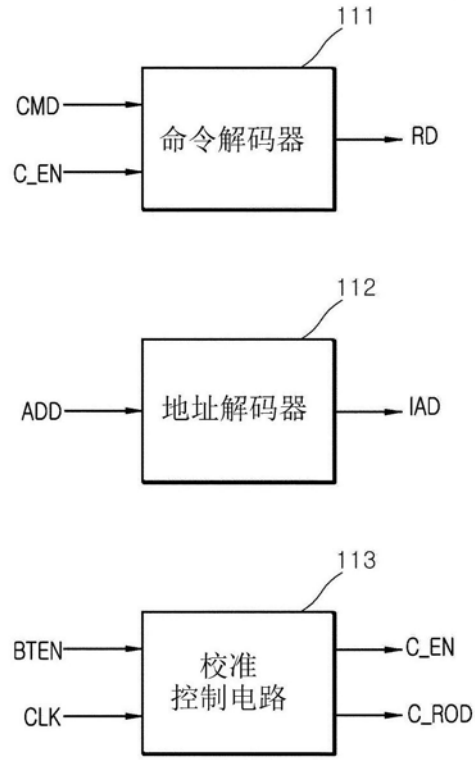


图2

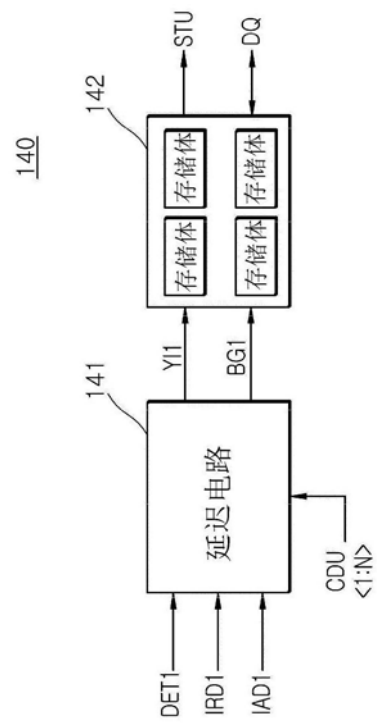


图3

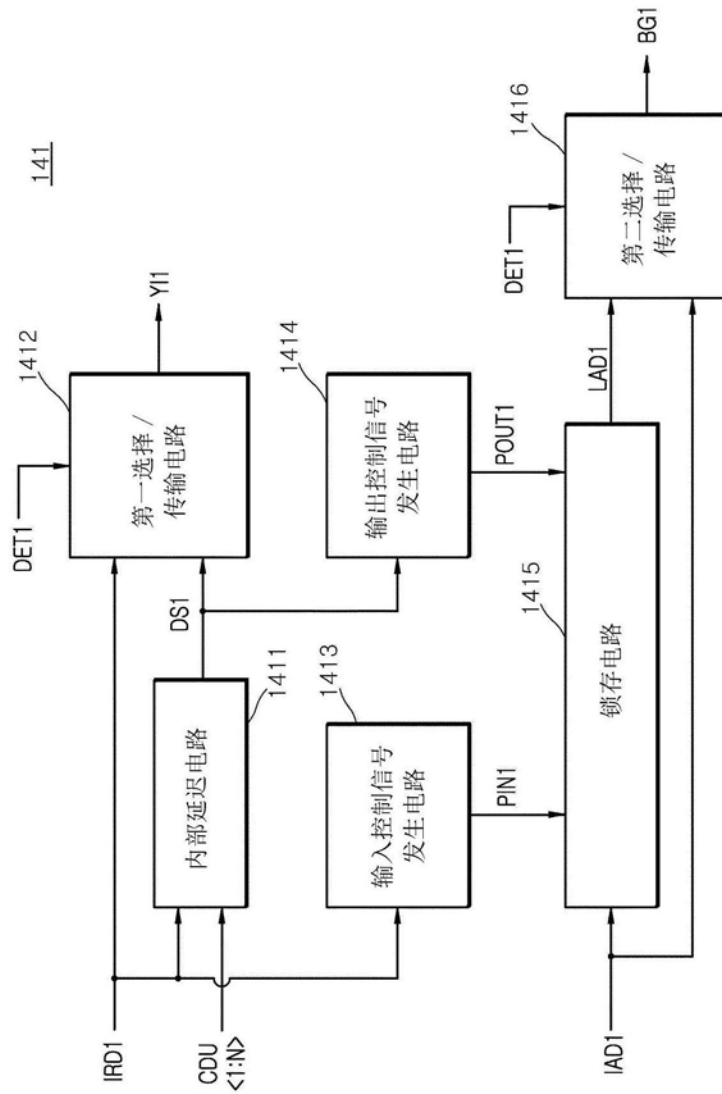


图4

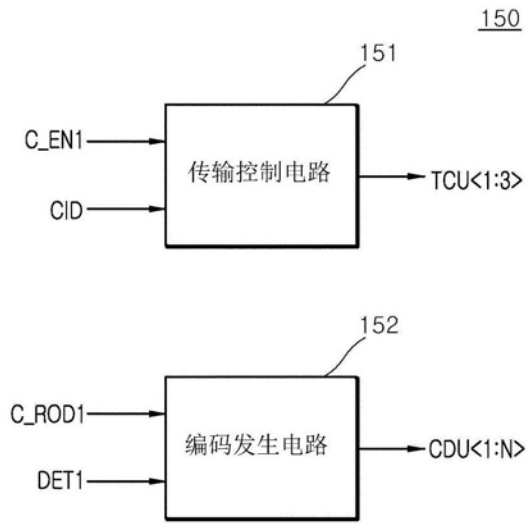


图5

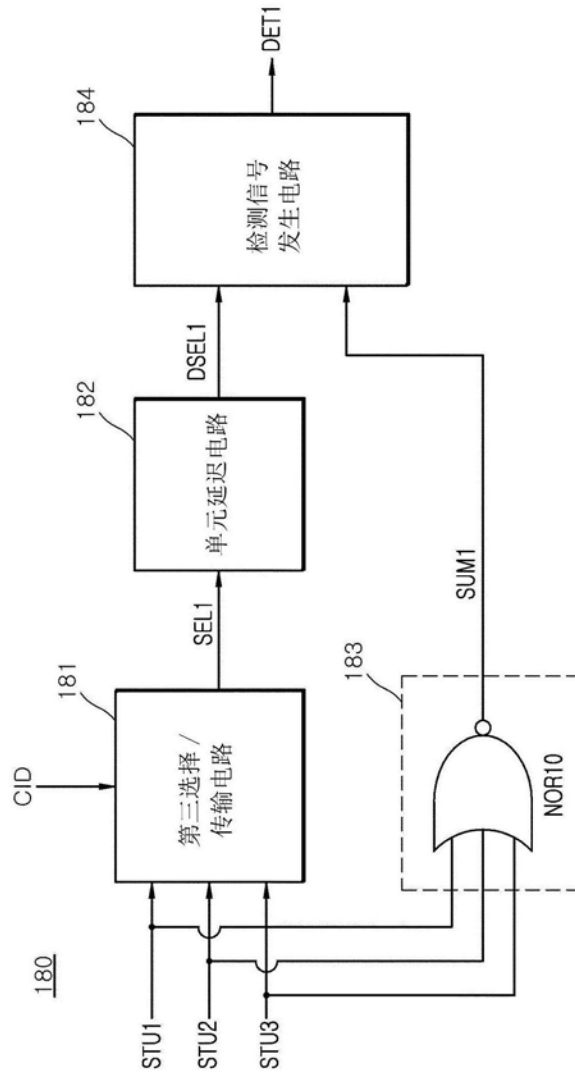


图6

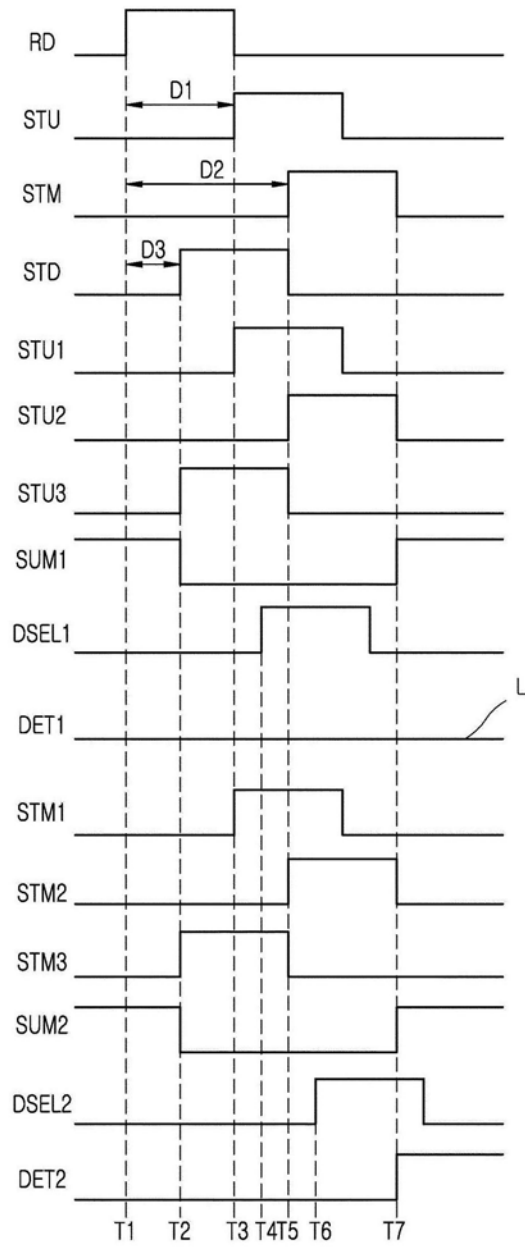


图7

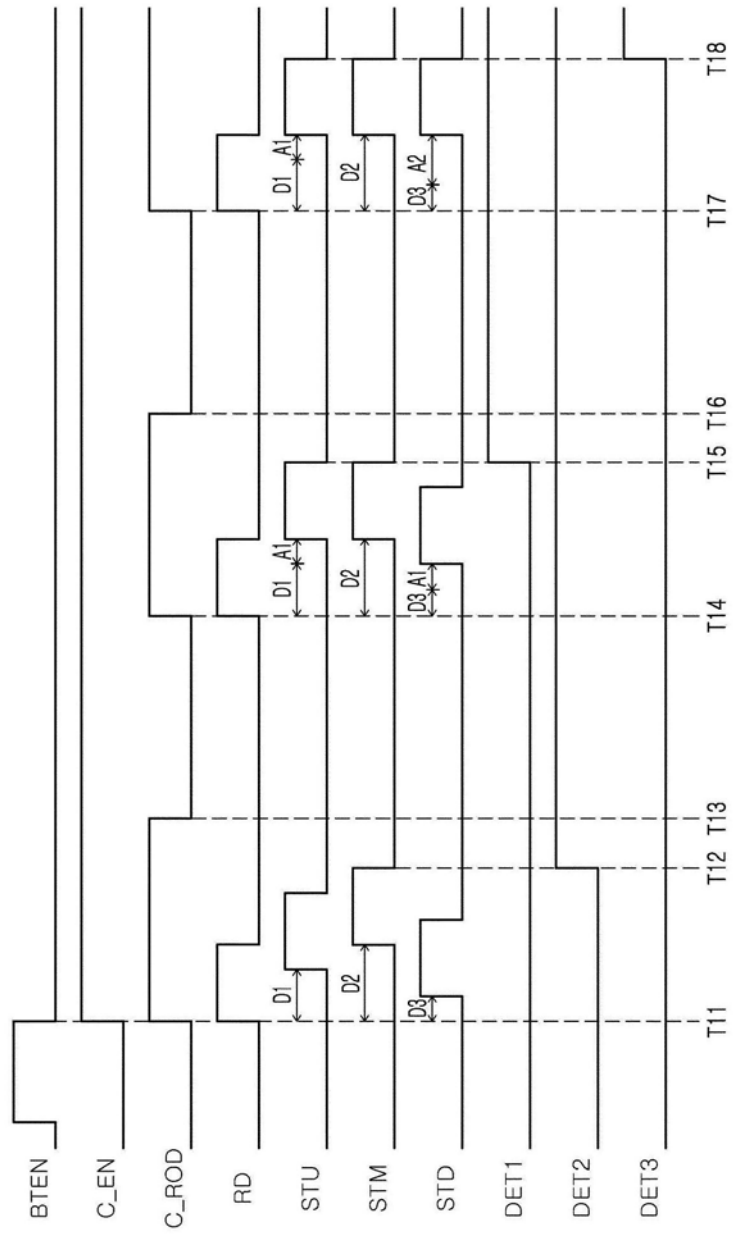


图8

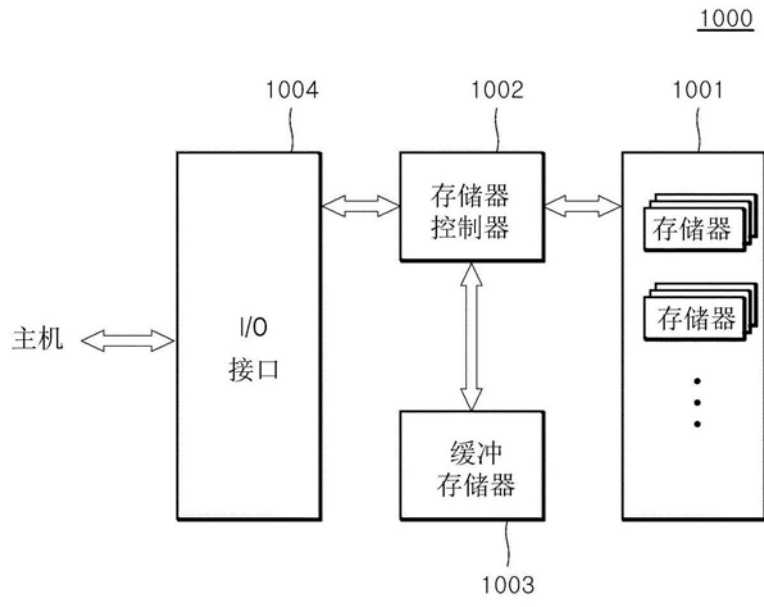


图9