(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G06F 9/00

(45) 공고일자 2003년01월24일
(11) 등록번호 10-0358889
(24) 등록일자 2002년10월16일

(21) 출원번호 10-1995-0035988
(22) 출원일자 1995년10월18일

(65) 공개번호 특1996-0015202
(43) 공개일자 1996년05월22일

(30) 우선권주장 08/325661 1994년10월19일 미국(US)

(73) 특허권자 아드밴스트 마이크로 디이바이시스 인코포레이티드
미합중국 캘리포니아주 94088 서니베일시 원 에이엠디이 플레이스

(72) 발명자 클라크엘.벅스톤
미합중국텍사스오스틴리드빌드라이브3604
도널드지.크레이크래프트
미합중국텍사스오스틴클리프스로드그린4101
키이쓰지.호킨스
미합중국텍사스드립핑스프링스쉐틀랜드1008
게리바움
미합중국텍사스오스틴얼리치로드19

(74) 대리인 박장원

심사관 : 정용주

(54) 휴대용개인정보기기에적합한집적프로세서시스템

요약

집적 프로세서는 단일 모놀리식 회로위에 제조되어 최근의 PIDs의 요구사항인 데이타-집약, 시각-집약 및 음성-집약을 수용하기 위한 회로를 사용한다. 집적 프로세서는 다용도 및 고성능 기능을 성취하기 위하여 CPU 코어, 메모리 컨트롤러 및, 여러 가지 주변기기를 포함한다. 집적 프로세서는 집적 프로세서의 다양한 부시스템을 적절하게 클럭하기 위하여 상이한 주파수로 구성된 클럭신호를 발생하는 다수의 위상동기루프를 포함하는 클러 제어기를 설치하여 더 적은 전력을 소비한다. 클럭 제어기에 의해 여러 부시스템에 제공된 클럭신호는 단일 크리스탈 오실레이터 입력신호로 부터 유도된다. 전력 관리기는 집적 프로세서에 내장되어 여러 부시스템에 대한 특정 클럭신호의 주파수 및/또는 응용을 제어하는 것은 물론, 다른 전력 관리에 관련된 기능을 제어한다. 집적 프로세서의 핀의 수는 집적 프로세서의 소정의 기능에 좌우되어 특정한 외부 핀에 대한 선택적인 다중화를 허용함으로써 결국 최소화된다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명의 일실시예에 따라 단일 모놀리식 칩위에 내장된 CPU 코어, 메모리 컨트롤러, 여러 주변기기, 클럭 제어기 및 관련된 전력 관리기(power management unit ; PMU)를 포함하는 집적 프로세서 시스템의 블록도.

제 2 도는 본 발명의 일실시예에 따른 클럭 제어기 및 이에 따른 입력/출력 신호의 블록도.

제 3 도는 본 발명의 일실시예에 따른 전력 관리기 및 이에 따른 입력/출력 신호의 블록도.

제 4 도는 전력 관리기의 여러 전력 관리상태를 도시한 상태도.

제 5 도는 사용자 정의 핀 선택에 의해, 집적 프로세서의 복수개의 외부 핀의 기능성을 선택적으로 제어하기 위하여 집적 프로세서 시스템내에서 사용되는 멀티플렉싱 회로를 도시한 도면.

** 도면의 주요부분에 대한 부호의 설명 **

10 : 집적 프로세서 12 : CPU 로컬 버스

14 : CPU 코어 16 : 메모리 컨트롤러

18 : 시스템 메모리 20 : 주변 상호접속 버스

22 : DMA 컨트롤러 211 : 전력 관리기

26 : 클럭 제어기 30 : 타이머

34 : 비디오 컨트롤러 40 : 인터럽트 컨트롤러

92, 94, 96, 128 : 위상동기루프(Phase - locked loop : PLL)

98, 114, 116, 118, 120, 122 : 분주기(divider)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 컴퓨터 시스템에 관한 것으로, 특히, 클럭 제어기를 구비한 단일 모놀리식 회로위에 내장된 집적 프로세서 시스템에 관한 것이다. 클럭 제어기는 프로그램가능, 개별 주파수에서 집적 프로세서 시스템의 여러 회로를 적절하게 클럭한다.

단일 모놀리식 반도체 기판 즉 " 칩" 위에 증가한 양의 회로를 배치하는 능력을 제조자는 입증해왔다. 이하, 개인용 정보기기(personal information devices ; " PIDs")라 언급하는 휴대용 데이타 처리시스템의 출현은 단일칩상에 더욱

많은 양의 회로를 배치하도록 압력을 가하게 되었다. 이하 정의된 바와 같이, PIDs는 포켓형 퍼스널 컴퓨터(PCs), 디지탈 보조기(테스트 유니트, 계량기 등등), " 스마트" 폰(smart phone) 및 전자캘린더, 서류 정리철(organizer), 소책자(booklet) 등의 어떠한 휴대용 CPU-기본 시스템을 포함한다.

현재 PIDs 의 기능적인 요구사항은 전형적으로 데이타-집약, 시각-집약 및/또는 음성-집약인 것을 필요로 한다. 예를 들어, 데이타-집약 기능을 필요로 하는 광범위한 데이타 계산을 수행하는데 포켓형 퍼스털 컴퓨터가 필요할 수도 있다. 부가적으로, 포켓형 퍼스널 컴퓨터는 또한, 예컨대, 시각-집중 기능을 필요로 하는 상세한, 목적-방위의 디스플레이를 필요로 할 수도 있다. 반대로, 스마트 폰은 음성-집약 기능을 필요로 하며, 시각 및/또는 데이타-집약 기능을 필요로 하지 않는다. 따라서, 광범위한 PID 응용분야에서 사용하기 위한 집적 프로세서 시스템은 3 가지 형태의 기능 모두를 수용하기 위하여 필요한 부시스템(subsystem)을 포함해야만 한다.

상술한 기술적인 특성이외에, PIDs 를 위한 집적 프로세서는 적은 팩키지 외형내에 저전력으로 또한 동작해야만 하며, 제조단가 낮은 것이 바람직하다. 불행하게도, 제조단가를 감소시키기 위한 노력, 예를 들면, 집적 프로세서의 핀의 수 감소는 집적 프로세서의 어느 소정의 부시스템의 제거를 요구하여, 기능성 및/또는 성능을 제한한다. 이와 유사하게, 전력 소모는 어느 부시스템의 내장에 의해 또는 여러 부시스템을 클럭하는 여러가지 서로 다른 크리스탈 오실레이터 회로의 필요에 의해 불리하게 영향을 미칠 수 있다. 다용도이며, 소형이고, 전력을 적게 소모하고 낮은 단가를 유지하면서, 조건에 알맞는 성능을 성취하는 PIDs 를 위한 집적 프로세서는 대부분 구할 수 없다.

따라서, 고성능의, 다용도 집적 프로세서는 데이타-집약, 시각-집약 및/또는 음성-집약 PID 응용분야에 적합한 것이 요구된다. 위와 같은 집적 프로세서는 부가적으로 소형이고, 전력 소모가 적으며, 제조단가가 낮은 특징이 있다.

상순한 개략적인 문제점은 본 발명에 따른 고집적의, 저전력 집적 프로세서에 의해 대부분 해결된다. 집적 프로세서는 단일 모놀리식 회로에 제조되어 최신 PIDs 에 대하여 데이타-집약, 시각-집약 및 음성-집약 필요성을 수용하기 위한 회로를 사용한다. 무엇보다도, 집적 프로세서는 CPU 코어, 메모리 컨트롤러 및 여러 주변기기를 포함하여 다용도이며 고성능 기능을 성취한다는 것이 중요하다. 집적 프로세서는 서로 다른 주파수의 클럭신호를 발생하기 위하여 다수의 위상동기루프를 포함하는 클럭 제어기의 제공으로 더 낮은 전력을 소모한다. 클럭 제어기는 집적회로의 여러 부시스템을 적절하게 클럭한다. 클럭 제어기에 의해 여러 부시스템에 제공된 클럭신호는 단일 크리스탈 오실레이터 입력신호로 부터 유도된다. 단지 하나의 외부 크리스탈 오실레이터 회로만이 필요하므로, 전력소모는 확실히 감소된다. 전력 관리기는 집적 프로세서내에 또한 내장되어 여러 부시스템에 대한 특정 클럭신호의 주파수 및/또는 응용분야를 제어하는 것은 물론 다른 전력 관리에 관련된 기능을 제어한다. 집적 프로세서의 핀의 수는 집적 프로세서의 소정 기능성에 따라 특정한 외부 핀의 선택적인 다중 송신을 허용함으로써 결국 최소화된다. 사용자-정의 모드에 있어서, 외부 핀은 CGA LCD 컨트를러와 같은 내부 비디오 컨트롤러에 할당된다. 다른 모드에 있어서, 외부 핀은 집적 프로세서의 CPU 로컬 버스의 선택된 라인에 외부 인터페이스를 제공하기 위하여 할당된다. 다른 부가적인 모드에 있어서, 외부핀은 ISA-스타일 버스와 같은, 집적 프로세서의 주변버스의 선택된 라인에 외부 인터페이스를 제공하기 위하여 할당된다. 이로써, 집적 프로세서의 넓은 용도는 집적 프로세서의 전체 핀의 수를 최소화하면서 성취되는 것이 바람직하다.

일실시예에 있어서, 집적 프로세서 시스템은 CPU 코어와 CPU 로컬 버스에 연결된 메모리 컨트롤러를 포함한다. 집적 프로세서는 버스 인터페이스 유니트, 프로그램가능 타이머, 직접 메모리 억세스(dirert memory access , DMA) 컨트롤러, 인터럽트 컨트롤러, 실시간 클럭, 비디오 컨트롤러, 병렬/직렬 포트 및 PCMCIA 컨트롤러를 포함하는 주변 상호접속 버스에 연결된 선택된 세트의 주변 기기를 또한 포함한다. CPU 코어, 버스 인터페이스 유니트, DMA 컨트롤러, 프로그램가능 타이머, 직렬 포트 및 비디오 컨트롤러는 집적 프로세서 내에 내장된 클럭 제어기에 의해 발생된 개별적인 클럭신호에 의해 각각 클럭된다. 클럭 제어기는 앞서 언급한 부시스템을 구동하는 개별적인 주파수의 클럭신호를 발

생한다. 클럭 제어기는 단일 오실레이터 크리스탈 입력으로 부터 동작한다. 클럭 제어기 내에 단일 오실레이터 크리스탈 입력을 수신하기 위하여 연결된 것은 하나 또는 그 이상의 주파수 곱셈기를 포함하는 주파수 합성장치(synthesizer)이다. 바람직한 실시예에 따라서, 각각의 주파수 곱셈기는 위상동기루프 회로를 포함한다. 클럭 제어기는 단일 입력 주파수로 부터 CPU 로컬 버스와 주변 상호접속 버스에 연결된 여러 회로를 동작하는데 필요한 다중의, 개별적인 클럭 주파수를 합성한다.

다수의 위상동기루프 회로는 전력 관리기(PMU)에서 설명한 예정된 전력 관리 알고리즘에 따라 제어된다. 전력 관리기는 시스템 활성을 나타내는 신호를 수신하기 위하여 연결된다. 비활성 주기동안 또는 소프트웨어에 의해 선택한 사용자-정의 시간에서, PMU는 한 전력 관리상태를 다른 상태로 변화한다. 전력 관리상태에서의 변화는 일반적으로 전력 관리기에서 클럭 제어기에 제공된 여러 인에이블 신호의 어써션(assertion)에서의 변화를 가져온다. 인에이블 신호는 클럭 제어기내에 위상동기루프의 가능성(enablement)과 선택된 클럭신호의 게이트를 선택적으로 제어하여 전력을 보존한다.

본 발명의 상기 및 그 밖의 목적 및 장점은 후속하는 설명과 첨부된 도면을 참고로 하여 더욱 명백해질 것이다.

본 발명은 다양한 수정 및 변형을 할 수 있으며, 그 특정실시예는 도면에서 예시를 목적으로 도시한 것이며 이하 상세히 공지하기로 한다. 그러나, 도면 및 상세한 설명은 본 발명을 공지된 특정 형태로 제한하려는 것이 아니라, 오히려, 첨부된 특허청구범위에 의해 한정되는 바와 같이 본 발명의 정신 및 범위내에 모든 수정물, 등가물 및, 변형물을 포함하려는 것이다.

도면을 보면, 제 1 도는 단일 모놀리식 반도체 기판위에 제조된 여러 부시스템을 포함하는 집적 프로세서(10)의 블록도를 도시한 것이다. 예시된 실시예에 있어서, 집적 프로세서(10)는 CPU 로컬 버스(12)를 통해 메모리 컨틀롤러(16)에 연결된 CPU 코어(14)를 포함한다. CPU 코어(14)는 데이타 처리유니트로서, 예정된 명령세트를 실행하고, 이하 정의된 바와 같이, 그중에서도 특히, ALU, 제어/타이밍 유니트 및 많은 레지스터의 기본적인 특징을 가지는 중앙처리장치 코어를 포함한다. 예시적인 CPU 코어는 Advanced Micro Devices, Inc.에서 제조된 Am386SXLV 로 구성된 코어를 포함한다. CPU 코어(14)는 물론 집적회로(10)의 다른 부시스템은 상보형 금속산화막 반도체(complementary metal oxide semiconductor ; CMOS) 기술에 따라 처리되는 것이 바람직하다.

메모리 컨트롤러(16)는 시스템 메모리(18)와 CPU 로컬 버스(12) 사이에서 데이타의 전송을 조직화하고, 상대적인 어드레싱, 인덱스 어드레싱 및/또는 페이지 어드레싱 기술을 사용할 수 있다. 일실시예에 있어서, 메모리 컨트롤러(16)는 랜덤 억세스 메모리(DRAM 또는 SRAM)이나 또는 판독전용 메모리(ROM)를 지원하도록 구성된다. 메모리 컨트롤러(16)는 CPU 코어(14)와 동시에 동작하여 CPU 로컬 버스(12)를 통해 시스템 메모리(18)에서 시스템 메모리까지 최대 전송 대역폭을 보장하는 것이 바람직하며, 페이지 레지스터를 갖춘 EMS-호환 메모리 매핑시스템을 사용할 수도 있다.

집적 프로세서(10)는 CPU 로컬 버스(12)와 주변 상호접속 버스(20) 사이에 연결된 버스 인터페이스 유니트를 또한 포함한다. 버스 인터페이스 유니트(22)는 CPU 로컬 버스(12)와 주변 상호접속 버스(20) 사이에 데이타 및 어드레스 신호의 전송을 제어하는 인터페이스로서 제공된다. 버스 인터페이스 유니트(22)의 많은 적절한 구성은 이미 공지되어 있다.

바람직한 실시예에 있어서, 주변 상호접속 버스(20)는 ISA(Industry Standard Architecture) 형태의 버스로 구성된다. 그러나, 이와는 달리, 주변 상호접속 버스(20)가 예를 들어, EISA(Extended Industry Standard Architecture) 버스구성 또는 PCI(Peripheral Component Interface) 버스구성을 포함하는 많은 다른 버스구성에 따라서 실행될 수 있다는 것을 또한 주목할 필요가 있다.

복수개의 AT-호환성 주변기기가 집적 프로세서(10)내에 부가적으로 내장된다. 특히, DMA 컨트롤러(28), 타이머(30), 병렬/직렬 포트(32), 비디오 컨트롤러(34), 인터럽트 컨트롤러(40), 실시간 클럭(RTC)(41) 및, PCMCIA 컨트롤러(42)가 주변 상호접속 버스(20)에 예시적으로 연결되어있다. 이러한 주변기기 각각은 개별적인 형태로 이미 공지되어 있으며, 따라서, 단순함과 명료함을 위하여, 각 기기에 대하여 이하, 간단하게 논의하기로 한다.

DMA 컨트롤러(28)는 시스템 메모리(18)와 집적 프로세서(10)에 외부에서 연결될 수 있는 여러 I/O 주변기기 예컨대, 대용량 기억장치(즉, 디스크 드라이브, CD-ROM 유니트 등등) 사이에 데이타의 전송을 독립적으로 제어하기 위하여 제공된다. 일실시예에 있어서, DMA 컨트롤러(28)는 Advanced Micro Devices, Inc. 에서 제조된 한쌍의 종속-연결 타입의 Am8237A DMA 컨트롤러가 기능적으로 적합하다.

단사 기능(one-shot) 및 프로그램가능 레이트 기능과 같은 일반적인 목적의 타이밍기능을 제어하기 위하여 타이머(30)가 제공된다. 일실시예에 있어서, 타이머(30)는 Advanced Micro Devices, Inc. 에서 제조된 타입 8253 프로그램가능 간격타이머가 기능적으로 적합하다.

병렬/직렬 포트(32)는 병렬 및 직렬 포트를 모두 포함한다. 일실시예에 있어서, 병렬 포트는 PS/2 병렬 포트가 기능적으로 적합하며, 직렬 포트는 타입 16450 UART 가 기능적으로 적합하다.

액정표시소자(liquid crystal display ; LCD)와 같은 외부 연결 표시소자를 제어하기 위하여 비디오 컨트롤러(34)가 제공된다. 바람직한 실시예에 있어서, 비디오 컨트롤러(34)는 CGA-호환 LCD 컨트롤러와 같이 구성된다.

여러 인터럽트 소오스에 의해 발생된 인터럽트 신호를 중심적으로 분류하고, 우선 순위를 매기며, 제어하기 위하여 인터럽트 컨트롤러(40)가 제공된다. 일실시예에 있어서, 인터럽트 컨트롤러(40)는 Advanced Micro Devices, Inc. 에서 제조된 한쌍의 종속-연결 타입의 82S9 인터럽트 컨트롤러가 기능적으로 적합하다.

시각과 같은 계시(time-keeping) 기능을 유지하기 위하여 실시간 클럭(41)이 제공되며, 이는 타입 146818A 호환성 RTC를 사용하여 실행될 수 있다. 결국, PCMCIA 컨트롤러(42)는 외부 연결 PCMCIA-호환 확장카드를 수용하기 위하여 제공된다.

앞서 공지한 AT-호환성 주변기기이외에, 제 1도는 집적 프로세서(10)내에 전력 관리기(PMU)(24)와 클럭 제어기(26)를 포함한다. 이하 제 2 도에 더욱 상세히 설명되어지는 바와 같이, 클럭 제어기(26)는 집적 프로세서(10)에 연결된 여러 부시스템을 클럭하기 위하여 다수의 개별적인 클럭신호를 발생하도록 구성된다. 특히, 동작하는 동안, 클럭 제어기(26)는 CPU 코어(14)를 클럭하기 위한 CPU 클럭, 버스 인터페이스 유니트(22)를 클럭하기 위한 주변 버스 클럭신호, 병렬/직렬 포트(32)의 직렬 포트를 클럭하기 위한 UART 클럭신호, 비디오 컨트롤러(34)를 클럭하기 위한 CGA 클럭신호, 타이머(30)를 클럭하기 위한 타이머 클럭신호, 외부 연결 키보드(도시하지 않음)를 클럭하기 위한 키보드 클럭신호 및, DMA 컨트롤러(28)를 클럭하기 위한 DMA 클럭신호를 발생한다. 클럭 제어기(26)는 외부 크리스탈 오실레이터 회로(도시하지 않음)로 부터 집적 프로세서(10)에 제공될 수 있는 " CLOCK IN" 으로 표시된 단일 클럭 기준신호에서 이러한 클럭신호를 유도한다. 모든 부시스템에 필요한 클럭신호를 발생하기 위하여 단일 외부 크리스탈 오실레이터 소오스만이 필요로 하기 때문에, 전체적인 전력소모는 사실상 감소될 수 있다(다중 크리스탈 오실레이터 회로가 사용되는 경우와 비교해서)는 것을 주목해야 한다.

대략적으로 말하자면, 전력 관리기(24)는 집적 프로세서(10)를 사용하는 시스템에 의해 소모되는 전체전력을 관리하기 위하여 제공된다. 일실시예에 있어서, 전력 관리기(24)는 여러 시스템 활동성을 모니터하고, 클럭 제어기(26)에 의해 여러 클럭신호의 응용 및 발생을 제어하는 " CYCLE TYPE" 라고 표시된 제어신호와 인에이블 신호의 세트를 대응하여 발생한다. 클럭 제어기(26)와 전력 관리기(24)의 예시적인 실시예에 대해서는 제 2 도 내지 제 4 도를 참고로 하여 더욱 상세히 설명하기로 한다.

제 2 도에는, 클럭 제어기(26)의 블록도가 도시되어있다. 출력 제어기(26)는 주어진 주파수의 클럭 기준신호(즉, CLOCK IN)를 수신해서 이 신호에 응답하여, 집적 프로세서(10)의 다양한 부시스템을 클럭하기 위하여 서로 다른 주파수의 다수의 클럭신호를 발생하도록 구성된 주파수 합성장치를 포함한다. 주파수 합성장치는 하나 또는 그 이상의 주파수 제곱기, 하나 또는 그 이상의 주파수 분주기 또는, 주파수 곱셈기 및 분주기의 조합을 포함한다. 바람직한 실시예에 있어서, 주파수 제곱기 각각은 위상동기루프를 포함한다.

따라서, 제 2 도는 제 1, 제 2 및, 제 3 위상동기루프 회로(92, 94, 96) 각각을 예시하고 있다. 제 1 위상동기루프(92)와 관련된 주파수 곱셈인자는 제 2 위상동기루프(94) 및 제 3 위상동기루프(96)와 관련된 곱셈인자와 다를 수 있다. 예를 들면, 일실시예에 있어서, 제 1 위상동기루프(92)의 곱셈인자는 45 임으로써 대략 32 KHz의 입력 클럭주파수는 예를 들면, 1.474 MHz 의 제 1 위상동기루프(92)에서 출력을 발생하기 위하여 곱해진다. 제 2 위상동기루프(94)는 예를 들면 24 의 곱셈인자로 구성되어 1,474 MHz 입력 주파수를 36.864 MHz 까지 증가시킨다.

제 1 분주기(98)는, 제 2 도에 예시되고 이하 공지된 다른 분주기와 마찬가지로, 하나 또는 그 이상의 계수기를 사용하는 디지탈 회로이다. 주파수 분주기는 예컨대, 직렬연결 플립플롭과 같은 쌍안정 멀티바이브레이터를 사용하여 실행될 수 있다. 일실시예에 있어서, 제 1 분주기(98)는 제수를 14 로 하여 나뉘어지므로, 따라서, 36.864 MHz 의 주파수를 가지는 제 1 분주기(98)로의 입력신호는 그로 부터 발생되어질 대략 2.63 MHz 의 출력신호를 발생한다.

제 1 분주기(98)에서 나온 2.63 MHz 출력신호는 곱셈인자의 프로그램가능 세트에 따라서 제 3 위상동기루프(96)에 의해 주파수 곱셈될 수 있다. 따라서, 프로그램가능 속도클럭(PS CLK)으로 표시된 제 3 위상동기루프(96)의 출력은 여러 프로그램가능 클럭주파수에서 세트될 수 있다. 제 3 위상동기루프(96)의 소프트웨어 프로그램 가능성은 주변 상호접속 버스(20)에 연결된 구성 레지스터(100)로 성취된다. 일실시예에 있어서, 제 3 위상동기루프(96)는 40 MHz, 50 MHz, 66 MHz 또는 80 MHz 로 구성된 주파수에서 프로그램가능 속도클럭(PS CLK)을 발생하기 위하여 프로그램될 수 있다.

제 3 위상동기루프(96)의 출력에 연결된 것은 동적 클럭 스위칭회로(102)이다. 스위칭회로(102)는 제 2 위상동기루프(94)로 부터 출력신호(LS CLK)를 수신하기 위하여 또한 연결된다. 전력 관리기(24)(즉, 제 1 도)에서 수신된 CYCLE TYPE 신호에 좌우되어, 스위칭회로(102)는 PS CLK 신호나 또는 LS CLK 신호를 CPU 클럭스위치(104)와 제 2 분주기(106)에 연결한다. 이하 더욱 상세히 설명되어질 바와 같이, CPU TYPE 신호는 CPU 로컬 버스(12)상에 현재의 버스사이클이 로컬 버스(12)상에 상주하는 기기 또는 주변 상호접속 버스(20)에 상주하는 기기를 향하는지의 여부를 나타낸다.

CPU 클럭스위치(104)는 전력 관리기(24)로 부터 인에이블 신호(CPU CLK ENABLE)에 응답하여 스위칭회로(102)에서 나온 출력신호(PS/LS CLK)를 선택적으로 할 수 있는 전자스위치이다. CPU 클럭스위치(104)가 인에이블될 때, PS/CLK 신호는 CPU 클럭신호(CPU CLK)로서 제공된다. (CPU CLK) ENABLE 신호가 디어써트되면, CPU 클럭신호는 게이트 오프된다. 이하 더욱 상세히 설명되어지는 바와 같이, CPU 클럭신호는 어떤 전력 관리상태동안 게이트 오프되어 전력을 보존한다.

제 2 분주기(106)는 버스 인터페이스 유니트(22)(제 1 도)를 클럭하는 주변 버스 클럭신호(P. BUS CLK)를 발생하기 위하여 제공된다. 주변 버스 클럭신호는 버스 인터페이스 유니트(22)에 의해 주변 상호접속 버스(20)에서 실행된

사이클의 타이밍을 제어한다. 일실시예에 있어서, 제 2 분주기(106)는 2 의 제수와 관련이 있다. 주변 버스 클럭신호에 의해 클럭되고 주변 상호접속 버스(20)를 구동하는 버스 인터페이스 유니트(22)내에 제어회로는 주변 상호접속 버스(20)에 상주하는 슬레이브를 수반하는 사이클동안만 구동한다는 것에 주목할 필요가 있다. 따라서, CPU TYPE 신호에 의해 제어되는 바와 같은 스위칭회로(102)에 따라, 주변 상호접속 버스(20)상에 버스 인터페이스 유니트(22)에 의해 실행되는 마스터 사이클은 LS CLK 신호 주파수의 절반인 신호에 의해 클럭된다. CPU CLK 신호가 전력을 보존하기 위하여 위와 같은 사이클 동안 주파수(즉, LS CLK 신호의 주파수에 대하여)에서 유사하게 계수된다는 것에 또한 주목할 필요가 있다.

제 2 도는 전력 관리기(24)에서 나온 대응하는 인에이블 신호에 응답하여 제 1, 제 2 및, 제 3 위상동기루프(92 - 96)를 선택적으로 인에이블하는 위상동기루프 인에이블 라인세트를 또한 예시한 도면이다. 특히, 라인(140)은 인에이블 신호를 수신하기 위해 제공되어 제 1 위상동기루프(92)와 제 2 위상동기루프(94)를 인에이블하고, 라인(141)은 인에이블 신호를 수신하기 위해 제공되어 제 3 위상동기루프(96)를 인에이블한다. CLOCK IN 신호를 수신하는 라인(143)과 제 2 위상동기루프(94) 사이에 연결된 것은 제 1 위상동기루프(92)가 인에이블된 후 제 2 위상동기루프(94)를 인에이블할 때 지연을 제공하는 제 1 지연회로(108)이다. 위상동기루프(92,94)의 적절한 시간동작을 위하여, 지연(108)은 저속 인에이블 신호(LS PLL ENABLE)에 의해 제 1 위상동기루프(92)와 동시에 활동화된다. 저속 인에이블 신호는 제 2 위상동기루프(94)를 지연-활동하기 위하여 게이트(110)의 한 입력을 또한 향하게 된다. 제 3 위상동기루프(96)의 활동은 제 2 위상동기루프(94)가 인에이블된 다음(즉, 라인(141)에서 대응하는 인에이블 신호가 또한 어써트된다면) 주기동안 제 2 지연회로(112)에 의해 동일한 방식으로 지연된다. 따라서, PMU (24)에서 송신된 2개의 인에이블 신호는 LS PLL 과 HS PLL ENABLE 신호에 따라서 제 1, 제 2 및, 제 3 위상동기루프(92, 94, 96)를 인에이블하는데 사용된다.

위상동기루프(94)가 인에이블되면, 예컨대, 36.864 MHz 의 저속 클럭(LS CLK)은 제 3 분주기(114), 제 4 분주기(116), 제 5 분주기(118), 제 6 분주기(120) 및, 제 7 분주기(122)로 표시된 다수의 병렬-연결 분주기에 제공된다. 분주기 각각은 다른 분주기의 나눗셈인자와는 다른 나눗셈인자를 가짐으로써, 예를 들면, 제 3 분주기(114)는 키보드 클럭신호를 발생하기 위하여 예를 들면, 36.864 MHz 에서 대략 9.2 MHz로 저속 클럭을 감소시키는데 필요한 4 로 나누는 분주기이다. 제 4 분주기(116)는 9.2 MHz DMA 컨트롤러 클럭신호를 발생하기 위하여 4로 나누는 분주기임에 반하여, 제 5 분주기(118)는 1.189 MHz 타이머 클럭신호를 발생하기 위하여 예컨대, 31 로 나누는 분주기이다. 제 6 분주기(120)는 예컨대, 20 으로 나누는 나눗셈인자를 가짐으로써 예컨대 1.84 MHz UART 클럭신호를 발생한다. 제 4 분주기(116)에서 나온 DMA 출력과 제 3 분주기(114)에서 나온 키보드 클럭출력은 각각의 DMA 클럭스위치(124)와 키보드 클럭스위치(126)에 의해 선택적으로 인에이블되거나 디스에이블될 수 있다. 키보드 클럭 인에이블(KEYBD CLK ENABLE) 및 DMA 클럭 인에이블(DMA CLK ENABLE)은 전력 관리기(24)로 부터 또한 제공되어 다양한 전력 관리상태 동안 각각의 클럭을 선택적으로 게이트한다.

라인(141)에서 인에이블 신호를 디어써트함으로써, 제 3 위상동기루프(96)는 턴오프되고, 이로써 CPU 클럭은 물론 주변 버스 클럭을 완전하게 불활성화한다. 제 1 및 제 2 위상동기루프(92, 94)는 라인(140)에서 인에이블 신호의 디어써션에 따라 불활성화되어, CPU 와 주변 버스 클럭의 턴오프는 물론, 클럭 제어기(26)에 의해 발생되는 모든 다른 클럭의 턴오프를 결과로 가져온다. 따라서, 라인(140)에서 인에이블 신호의 디어써션은 일실시예에 따라서, 키보드 클럭(KEYBD CLK), DMA 클럭(DMA CLK), 타이머 클럭(TIMER CLK), UART 클럭(UART CLK) 및, 비디오 클럭(VIDEO CLK)을 턴오프한다.

제 3 인에이블 라인(142)은 AND 게이트(130)에 연결되어있다. 게이트(130)에서 나온 출력은 비디오 인에이블 신호(VID PLL ENABLE)를 통해 제 4 위상동기루프 (128)를 인에이블한다. 제 4 위상동기루프(128)는 비디오 인에이블

신호를 어써션할 때, 제 7 분주기(122)의 출력에서 나온 클럭주파수를 증가한다. 36.864 의 예시적인 저속 클럭주파수를 취하는, 제 7 분주기(122)에서 나온 주파수는 2.048 MHz 이다. 일실시예에 있어서, 제 4 위상동기루프(128)는 예컨대 14의 곱셈인자로 예시적인 2.048 MHz 를 곱하여 28.67 MHz 를 발생한다. 28.67 MHz 의 예시적인 출력주파수는 예컨대, 2 의 나눗셈인자로 나누는 제 8 분주기(132)에 의해 분주되어 14.746 MHz 비디오 클럭신호를 발생한다. 제 4 위상동기루프(128)의 가능성은 제 2 위상동기루프(94)의 가능성과 유사한 방식으로 제 1 회로에 의해 지연된다는 것에 주목할 필요가 있다.

제 3도는 전력 관리기(24)의 일실시예를 더욱 상세하게 예시한 블록도이다. 전력 관리기(24)는 주변 상호접속 버스(20)와 클럭 제어기(26)에 연결되어있다. 상술한 바와 같이, 전력 관리기(24)는 여러 시스템 활동성을 모니터하고 클럭 제어기 (26)에 의해 합성된 여러 클럭신호의 발생 및 응용을 제어하는 인에이블 신호와 CYCLE TYPE 제어 신호를 대응하여 발생한다. 후속하는 설명 및 첨부 도면은 전력 관리기(24)의 한가지 특정구성에 대한 상세한 내용을 포함하였으나, 이와는 달리, 집적 프로세서(10)는 많은 다른 특정 전력 관리 알고리즘에 따라 동작하는 전력 관리기를 사용할 수 있음에 주목해야 한다.

전력 관리기(24)는 다수의 예정된 시스템 사건의 출현 또는 출현하지 않음에 좌우되는 다수의 전력 관리상태 사이에 전이를 위해 구성된 전력 관리 상태기(356)를 포함한다. 제 4 도는 전력 관리 상태기(356)에 관련된 상태를 도시한 상태 전이도이다. 클럭 제어기(26)에 제공된 여러 인에이블 신호의 어써션은 전력 관리기(356)의 특정 상태에 좌우된다. 자세한 내용은 다음과 같다.

전력 관리기(24)는 예정된 시스템 사건을 나타내는 선택된 신호(" SYS, MONITOR SIGS." 로 표시)를 모니터하는 시스템 모니터(374)를 포함한다. 위와 같은 사건의 예는 상태신호에서의 특정 어드레스, DMA 요구사항, 인터럽트 및 변화에 대한 I/O 디코드이다. 제 3 도와 제 4 도는 일실시예에 따라서, 5개의 상태전이 카운터(362-370)와 6개의 전력 관리상태(480-490)를 예시한 것이다. 5개의 카운터는 전속 카운터(362), 저속 카운터(364), 도우즈(douz) 카운터(366), 정지(sleep) 카운터(368) 및, 일시정지(suspened) 카운터(370)등이며, 6 개의 전력 관리상태는 전속(480), 저속(482), 도우즈(484), 정지(486), 일시정지(488) 및, 오프(490) 상태등이다. 이하 더욱 상세히 설명되어지는 바와 같이, 전력 관리상태 각각은 예정된 방식(사용자 또는 시스템 설계자에 의해 프로그램 가능한)으로 클럭 제어기(26)에 제공된 인에이블 신호를 구동한다. 카운터 각각은 대응하는 전력 관리상태에 따른 타임아웃 주기를 제어한다. 주어진 타임아웃 주기의 종료는 전력 관리 상태기가 저전력 관리상태로 전이되도록 한다. 예를 들면, 전체 속도 카운터(362)의 타임아웃 종료는 전체 속도상태(480)에서 저속 상태(482)로 전이되도록 하고, 저속 카운터(364)의 타임아웃 종료는 저속 상태(482)에서 도우즈 상태(484)로 전이되도록 한다. 카운터 각각은 시스템 모니터(374)에 의해 검색되는 바와 같이 어떤 예정된 시스템 사건의 출현시 리세트되고, 그러한 검색은 전력 관리 상태기(356)가 전체 속도 상태(480)로 전이되도록 하는 것임을 주목할 필요가 있다. 전체 속도 카운터(362)와 관련된 타임아웃 주기는 저속 카운터(364)의 타임아웃 주기보다 짧으며, 저속 카운터(364)와 관련된 타임아웃 주기는 도우즈 카운터(366)의 타임아웃 주기보다 짧은 것을 주목할 필요가 있다. 바람직한 실시예에 있어서, 각각의 카운터에 관련된 타임아웃 주기는 디코더(360)를 통해 프로그램될 수 있다. 마스크 레지스터(372)는 선택된 시스템 활동성의 검색을 시스템 모니터(374)에 의해 마스크하기 위하여 또한 세트될 수 있다. 그 밖에, 전력 관리 상태기(356)의 상태는 전력 관리 상태레지스터(358)의 소프트웨어 제어에 의해 직접 가변된다.

따라서, 시스템 비활동성의 주기동안(시스템 모니터(374)에 의해 검색된 시스템 사건의 비출현에 의해 결정되는 바와 같이), 전력 관리 상태기(356)는 더 낮은 전력 관리상태로 순차적으로 전이한다. 모니터된 시스템 사건의 출현시, 상태기(356)는 전체 속도모드(480)로 되돌아가게 된다. 5개 이상 또는 5개 미만의 카운터는 소정의 전력 관리상태의 수에 따라 전력 관리기(24)내에서 사용될 수 있음을 알 수 있다. 제 2 도와 제 3 도는 단지 예시로서, 5 개의 카운터와 6 개의 전력 관리상태를 예시하였다.

시스템 모니터(374)는 현재의 사이클이 주변 상호접속 버스(20)에 상주하는 주변기기에 대한 억세스에 대응하는지의 여부를 결정하기 위하여 버스 " 조사" (snooping) 또는 모니터링 기술을 사용하여 또한 구성된다. 시스템 모니터(374)가 위와 같은 사이클을 검색한다면, CYCLE TYPE 신호가 구동됨으로써 스위칭 회로(102)(제 2 도)는 LS CLK 신호를 선택한다. CPU 로컬 버스(12)로 제한된 사이클 동안, 스위칭 회로(102)는 PS CLK 신호를 선택한다.

전력 관리기(24)의 시스템 모니터는 결국 DMA 컨트롤러(28)(제 1 도)에 관련된 모니터 신호(DMA REQ, AEN)를 모니터하고 DMA REQ(DMA 요구) 신호나 또는 AEN(어드레스 인에이블) 신호가 어써트된다면 DMA 클럭 인에이블 신호(DMA CLK ENABLE)를 선택적으로 어써트하도록 구성된다. 본 기술분야에서 숙련된 자는 이러한 신호가 진행중인 또는 현재 DMA 동작을 나타낸다는 것을 알 수 있을 것이다. 제 1 도 내지 제 3 도에 예시한 바와 같이, DMA CLK ENABLE 신호는 DMA 컨트롤러(28)에 대한 DMA CLK 신호의 응용을 제어함으로써, DMA 동작이 진행중이거나 또는 일어난다면, DMA CLK 신호는 전력 관리 상태기(356)의 현재상태에 관계없이, DMA 컨트롤러(28)로 부터 게이트될 것이다. 따라서, 전력은 보존된다.

다음의 표 I 은 각각의 동작상태 동안 일실시예에 따른 전력 운동 상태기(356)에 의한 다양한 클럭신호의 제어를 표시한다. 표 I 은 상술한 바와 같이, 다양한 클럭신호에 따라, 다양한 전력 관리상태로 제한되는 인에이블 신호의 효과를 예시한다 따라서, 특정 클럭신호의 발생은 다음과 같은 다양한 전력 관리상태 동안 프로그램가능하다는 것임에 주목할 필요가 있다,

표 I

STATE	HS/LS CPU CLK	LS CPU CLK	VIDEO CLK	DMA CLK	KYBD CLK	TIMER/UART CLK
전속	온	온	온	온	온	온
저속	온	온	온	온	온	온
도우즈	오프	오프	온/오프	오프	온/오프	온/오프
정지	오프	오프	온/오프	오프	오프	온/오프
일시정지	오프	오프	온/오프	오프	오프	온/오프
오프	오프	오프	온/오프	오프	오프	온/오프

상술한 표에 나타낸 바와 같이, 제 4 도의 전속 상태동안, 모든 위상동기루프는 인에이블된다. 스위칭 회로(102)에 의해 고속 클럭(PS CLK)으로의 동적 스위칭이 메모리, 로컬 버스 및 CPU 코어 유휴사이클동안 허용된다. 이것은 CPU 코어(14)가 최적의 성능을 위하여 최대주파수로 구동하도록 한다. 모든 다른 버스사이클은 스위칭회로(102)에 의해 저속 클럭으로 스위치된다. 이것은 더 느려진 ISA 사이클(즉, 주변 버스사이클)의 실행과 CPU 클럭의 대응하는 속도의 감소를 도모하여 전력을 감소한다.

저속 상태에 있어서, CPU 클럭, DMA 클럭 및 내부 시스템클럭(주변 버스클럭)은 프로그램가능한, 감소된 비율로 구동한다. CPU 클럭신호, 주변 버스 클럭신호 및 DMA 클럭신호는 주파수에 있어서 스위치(104, 124)와 제 2 분주기(106)내에 선택적으로 제어가능한 분주기 회로에 의해 감소될 수 있음을 주목할 필요가 있다. 저속 상태동안 허용가능한 최고 CPU 클럭속도는 예시적인 9.2 MHz 이다. 고속 클럭(PS CLK)에 대한 동적 스위칭은 허용하지 않는다. 임의

대로, 제 3 위상동기루프 회로(96)는 부가적인 전력의 절감을 위하여, 이 모드에서 작동중지(shut down)를 할 수도 있다.

도우즈 상태동안, CPU 클럭(저속 및 고속)은 DMA 클럭과 주변 버스클럭과 함께, 정지된다. 비디오, 키보드 및 타이머 클럭은 디폴트에 의해 인에이블되지만, 프로그램가능하게 턴오프될 수 있다. 이러한 클럭이 구동하도록 함으로써, 비디오 컨트롤러(34)에 연결된 LCD 표시 소자는 리프레시(refresh)를 계속하도록 허용하고, 타이머와 키보드 인터럽트가 발생되는 것을 가능하게 한다.

정지, 일시정지 및 오프상태는 CPU 클럭, 주변 버스클럭, DMA 클럭 및 키보드 클럭이 각각 오프된다는 점에서 유사하다. 비디오 클럭은 물론 UART 클럭은 프로그램 온 또는 오프될 수 있다.

전력 관리기(24)의 다양한 상태동안, 집적 프로세서(10)의 외부 전력제어 핀은 적절하게 구동됨으로써 집적 프로세서(10)에 연결된 외부 기기에 대한 전력이 제거될 수 있음을 주목할 필요가 있다. 이러한 제어는 또한 프로그램가능하다.

클럭 제어기(216)에 의해 발생된 많은 클럭신호는 여러 가지의 변형된 전력 관리 알고리즘에 따라서 성취될 수 있음을 또한 주목해야 할 필요가 있다. 예를 들면, 집적 프로세서(10)는 1994 년 2 월 2 일 출원되어, 출원 계류중인, 공동으로 양도된 발명의 명칭이 " Power Management System for an Integreated Processor" (O'Brien 등의)인 미합중국 특허출원 제 08/190,292호에 개시된 전력 관리 알고리즘에 따라서 동작하는 전력 관리기를 사용할 수 있다. 이 특허출원은 이하 참고로서 그대로 인용된다.

제 5 도는, 사용자-정의 외부 버스 구성선택(option)을 수용하는 집적 프로세서(10)내에 내부 회로망의 일부를 예시한 도면이다. 특히, 집적 프로세서(10)가 사용되는 특정한 PID 환경에 좌우되어, 사용자는 디디오 컨트롤러 모드(즉, " CGA mode"), 로컬 버스 모드 또는 ISA (주변버스) 버스 모드를 임의대로 선택할 수 있다. 제 5 도의 회로는 3 개의 입력포트와 한 출력포트를 가지는 멀티플렉서(550)를 포함한다. 한 입력포트는 비디오 컨트롤러(34)에서 나온 선택된 세트의 라인(552)이고, 다른 입력포트는 선택된 세트의 주변 상호접속 버스라인(554)에 연결되며, 나머지 한 입력포트는 선택된 세트의 CPU 로컬 버스 출력라인(556)에 연결된다. 멀티플렉서(550)는 라인(552, 554 또는 556)중의 한 세트의 라인을 선택하여, 집적 프로세서(10)의 외부 핀에 연결시킨다. 이로써, 멀티플렉서(550)는 외부 버스 구성선택을 지지함으로써 비디오 컨트롤러(34), 주변 상호접속 버스(20) 또는 로컬 버스(12)와 관련된 선택된 신호는 집적 프로세서(10)의 외부 핀에 연결될 수 있다. 따라서, 외부 로컬 버스 주변기기, 외부 ISA 버스 주변기기, 또는 외부 CGA LCD 디스플레이(비디오 RAM을 갖춘)는 특정한 응용분야의 요구에 따라 임의대로 지원될 수 있다.

멀티플렉서(550)는 래치(566)에서 제공된 라인(560)에 있는 제어신호에 의해 제어된다. 래치(566)는 시스템 리세트 신호가 상승에지일 때 라인(562, 564) 세트에서 논리레벨을 래치한다. 입력라인(562, 564)의 논리레벨은 각각의 전력 및 그라운드 전위에 연결된 외부 수동 풀업 또는 풀다운 레지스터에 의해 결정된다. 도시한 일실시예에 있어서, 풀업 레지스터(568)와 풀다운 레지스터(570)는 입력라인(562, 564)에 연결된다. 이로써, 풀업 레지스터(568)는 라인(562)을 수동적으로 끌어올릴 때 사용되는 반면, 풀다운 레지스터는 라인(564)을 수동적으로 끌어 내릴 때 사용된다. 풀업 레지스터(568)를 입력라인(562)에 연결하는 대신에, 사용자는 상이한 외부 핀 모드를 선택하여, 입력라인(562)에서 풀다운 레지스터(점선으로 도시)를 연결하고 및/또는 입력라인(564)에서 풀업 레지스터(점선으로 도시)를 연결할 수 있다. 입력라인 각각에서 풀업 또는 풀다운 레지스터를 선택적으로 연결함으로써, 시스템 설계자는 멀티플렉서(550)에 의해 선택된 라인(552, 554 또는 556)의 특정 세트를 임의대로 제어할 수 있어, 집적 프로세서(10)의 대응하는 외부 핀의 기능성을 제어한다. 시스템 리세트에 후속하여, 래치(566)의 라인(562, 564)에 연결한 핀은 직렬포트 신호(RTS 와 DTR)과 같은 다른 신호를 수용하는데 사용될 수 있다. 이러한 상황에 있어서, 라인(562, 564)은 비디오 컨트롤러(34)의 RTS 와 DTR 입력에 병렬로 연결된다. 집적 프로세서(10)의 외부 핀에 대한 이러한 이중목적 사용은 제조비와 크기면에서 지대한 절감효과를 가져온다.

다음의 표는 멀티플렉서(550)를 통해 집적 프로세서(10)의 외부 핀에 선택적으로 제공될 수 있는 신호의 예시적인 세트를 나타낸다.

표 II

비디오 컨트롤러 선택 (CGA 신호)	로컬 버스 선택 (386 로컬 버스 신호)	주변 버스 선택 (ISA 신호)
PIRQ1	PIRQ1	IRQ6
PIRQ0	PIRQ1	IRQ3
DSMD7	ADS#	0WS#
DSMD6	D/C#	DRQ0
DSMD5	M/IO#	DRQ3
DSMD4	W/R#	DRQ7
DSMD3	BHE#	IRQ9
DSMD2	BLE#	IRQ11
DSMD1	LRDY#	DRQ6
DSMD0	LDEV#	RESERVED
DSMA14	A23	LA23
DSMA13	A22	LA22

DSMA12	A21	LA21
DSMA11	A20	LA20
DSMA10	A19	LA19
DSMA9	A18	LA18
DSMA8	A17	LA17
DSMA7	A16	DACK0#
DSMA6	A15	DACK3#
DSMA5	A14	DACK7#
DSMA4	A13	DACK6#
DSMA3	CPUCLK	PULLUP
DSMA2	CPURST	RESERVED
DSMA1	NA#	IRQ7
DSMA0	387RESET	PULLUP
DSWE#	387ERR#	PULLUP
DSOE#	CPURDY#	LMEG#
DSCE#	DACK1#	DACK1#
LCDDO	DRQ1	DRQ1
LCDD1	DACK5#	DACK5#
LCDD2	DRQ5	DRQ5
LCDD3	IOCHCHK#	IOCHCHK#
M	IRQ4	IRQ4
CP1	PREQ	IRQ5
CP2	BUSY#	IRQ10
FRM	IRQ12	IRQ12
LVEE#	IRQ15	IRQ15
LVDD#	RESERVED	BALE

일실시예에 있어서, 내부 ISA 버스(주변 버스(20))의 부가적인 예정된 라인의 그룹은 집적 프로세서(10)의 지정된 외부 핀에 영구히 연결되어 멀티플렉서 (550)를 통해 선택된 특정모드에 관계없이, 16 비트 외부 ISA 전송을 지지함에 주목할 필요가 있다. 위와 같은 실시예에 있어서, ISA 버스의 라인(554) 세트(위의 표에서 정의된 바와 같은)는 멀티플렉서를 통해 외부에 임의대로 연결되어 넓은 범위의 ISA 기능성을 여전히 지지한다.

많은 변형물 및 수정물은 상기 공지내용을 완전하게 이해한 본 기술분야에서 숙련된 자에 의해 더욱 분명해질 것이다. 예를 들면, DMA 컨트롤러(28), 실시간 클럭(41) 및 PCMCIA 컨트롤러(42)가 CPU 로컬 버스(12)에 다르게 연결될 수 있음을 알 수 있다. 후속하는 청구범위는 위와 같은 모든 변형물 및 수정물을 포함하는 것으로 해석되어야 할 것이다.

(57) 청구의 범위

청구항 1.

단일 모놀리식 반도체 기판위에, CPU 코어, 메모리 컨트롤러, DMA 컨트를러, 프로그램가능 타이머, 인터럽트 컨트롤러, 비디오 컨트롤러, 병렬포트 및 직렬포트로 구성되며, 상기한 것은 모두 버스구조를 통해 상호접속되는 것을 특징으로 하는 집적 프로세서.

청구항 2.

제 1항에 있어서, 상기 버스구조는 CPU 로컬 버스, 주변 상호접속 버스 및 상기 CPU 로컬 버스와 상기 주변 상호접속 버스사이에서 연결되는 버스 인터페이스 유니트를 포함하는 것을 특징으로 하는 집적 프로세서.

청구항 3.

제 2 항에 있어서, 상기 집적 프로세서는 단일 클럭주파수를 수용하고 상기 CPU 코어, 상기 버스 인터페이스 유니트, 상기 DMA 컨트롤러, 상기 프로그램가능 타이머, 상기 직렬포트 및 상기 비디오 컨트롤러를 서로 다른 주파수에서 클럭할 수 있도록 구성된 클럭 제어기를 포함하는 것을 특징으로 하는 집적 프로세서.

청구항 4.

제 3 항에 있어서, 상기 집적 프로세서는 상기 집적 프로세서와 관련된 활동성 및 비활동성을 검색하고 상기 클럭 제어기에 의해 선택된 클럭신호의 발생을 제어하는 인에이블 신호를 전달할 수 있도록 구성된 전력 관리기를 포함하는 것을 특징으로 하는 집적 프로세서.

청구항 5.

제 4항에 있어서, 상기 전력 관리기는 상기 주변버스에 전송을 나타내는 신호를 모니터하고 상기 클럭 제어기에 대한 사이클 형태의 신호의 전송에 응답하여 전달할 수 있도록 또한 구성되며, 상기 사이클 형태의 신호는 고속 클럭이나 또는 저속 출력을 상기 CPU 코어에 연결하는 동적 클럭 스위칭회로에 연결되는 것을 특징으로 하는 집적 프로세서.

청구항 6.

제 4항에 있어서, 상기 전력 관리기는

상기 클럭제어기에 연결된 전력 관리 상태기와,

상기 전력 관리 상태기에 연결되어 예정된 시간주기의 경과에 응답하여 전력 감소상태로 전이되도록 하는 적어도 하나의 카운터로 구성되며,

상기 전력 관리 상태기는 상기 클럭 제어기가 각각의 클럭신호를 상기 CPU 코어, 상기 버스 인터페이스 유니트, 상기 DMA 컨트롤러, 상기 프로그램가능 타이머, 상기 직렬포트 및 상기 비디오 컨트롤러에 제공하는 동안 완전한 동작상태를 포함하는 것을 특징으로 하는 집적 프로세서.

청구항 7.

제 6항에 있어서, 상기 집적 프로세서는 상기 CPU 로컬 버스와 상기 ISA 버스에서 활동성을 검색하는 상기 전력 관리 상태기에 연결된 시스템 모니터를 포함하며, 상기 전력 관리 상태기는 상기 전력 감소상태에서 상기 활동성의 검색에 응답하여 상기 완전하게 동작하는 상태로 스위치하는 것을 특징으로 하는 집적 프로세서.

청구항 8.

제 3항에 있어서, 상기 직렬포트는 UART 를 포함하는 것을 특징으로 하는 집적 프로세서.

청구항 9.

제 3항에 있어서, 상기 비디오 컨트롤러는 LCD 컨트롤러를 포함하는 것을 특징으로 하는 집적 프로세서.

청구항 10.

제 2 항에 있어서, 상기 집적 프로세서는 상기 주변 버스에 연결된 PCMCIA 컨트롤러와 실시간 클럭을 포함하는 것을 특징으로 하는 집적 프로세서.

청구항 11.

단일 모놀리식 반도체 기판위에 집적된 CPU 코어, 전력 관리기 및 적어도 2 개의 위상동기루프 회로로 구성되며, 상기 위상동기루프 회로는 사용하는 동안, 예정된 전력 관리 알고리즘에 따라서, 다수의 클럭신호를 제공하기 위하여 상기 전력 관리기에 의해 제어되는 것을 특징으로 하는 컴퓨터 시스템.

청구항 12.

제 11 항에 있어서, 상기 컴퓨터 시스템은 상기 다수의 클럭신호 중 한 신호를 수신하기 위하여 상기 단일 모놀리식 반도체 기판위에 집적된 비디오 컨트롤러를 포함하는 것을 특징으로 하는 컴퓨터 시스템.

청구항 13.

제 12항에 있어서, 상기 비디오 컨트롤러는 CGA 컨트롤러를 포함하는 것을 특징으로 하는 컴퓨터 시스템.

청구항 14.

제 11 항에 있어서, 상기 컴퓨터 시스템은 상기 다수의 클럭신호 중 한 신호를 수신하기 위하여 상기 단일 모놀리식 반도체 기판위에 집적된 프로그램가능 타이머를 포함하는 것을 특징으로 하는 컴퓨터 시스템.

청구항 15.

제 11 항에 있어서, 상기 컴퓨터 시스템은 상기 다수의 클럭신호 중 한 신호를 수신하기 위하여 상기 단일 모놀리식 반도체 기판위에 집적된 키보드 컨트롤러를 포함하는 것을 특징으로 하는 컴퓨터 시스템.

청구항 16.

제 11 항에 있어서, 상기 컴퓨터 시스템은 상기 다수의 클럭신호 중 한 신호를 수신하기 위하여 상기 단일 모놀리식 반도체 기판위에 집적된 범용 비동기 수신/송신기를 포함하는 것을 특징으로 하는 컴퓨터 시스템.

청구항 17.

제 11 항에 있어서, 상기 컴퓨터 시스템은 상기 상기 단일 모놀리식 반도체 기판위에 주변 상호접속 버스에 상호접속된 DMA 컨트롤러, 인터럽트 컨트롤러, PCMCIA 인터페이스, 병렬포트, 직렬포트 및 버스 컨트롤러를 포함하는 것을 특징으로 하는 컴퓨터 시스템.

청구항 18.

단일 모놀리식 반도체 기판위에, CPU 로컬 버스, 버스 인터페이스 유니트를 통해 상기 CPU 로컬 버스에 연결된 주변 버스, 상기 CPU 로컬 버스에 연결된 메모리 컨트롤러와 CPU 코어, 상기 주변버스에 연결된 DMA 컨트롤러 및, 진행중이거나 현재의 DMA 동작을 나타내는 신호에 따라 상기 DMA 컨트롤러에 클럭신호를 선택적으로 제공할 수 있는 클럭 제어기로 구성되는 것을 특징으로 하는 집적 프로세서.

청구항 19.

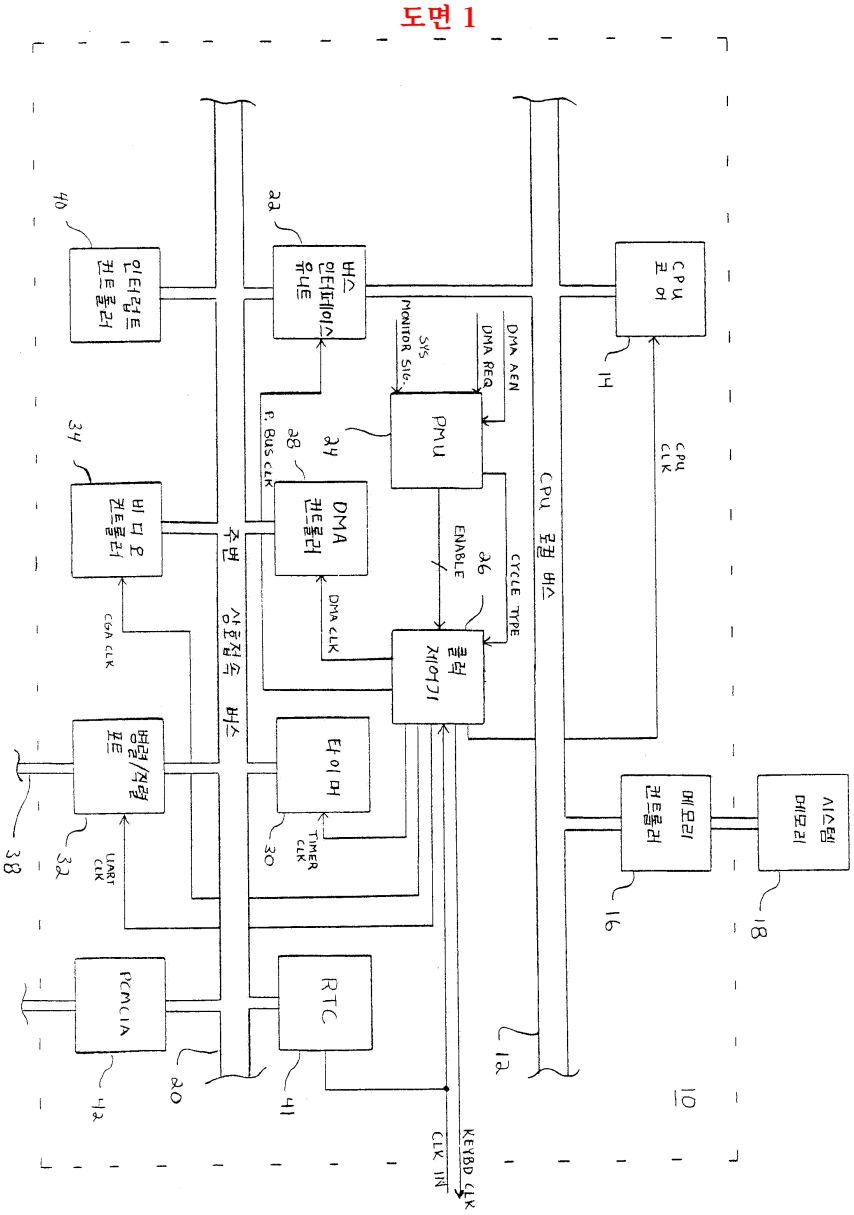
제 18 항에 있어서, 상기 클럭신호는 DMA 요구신호의 어써션에 응답하여 상기 DMA 컨트롤러에 제공되는 것을 특징으로 하는 집적 프로세서.

청구항 20.

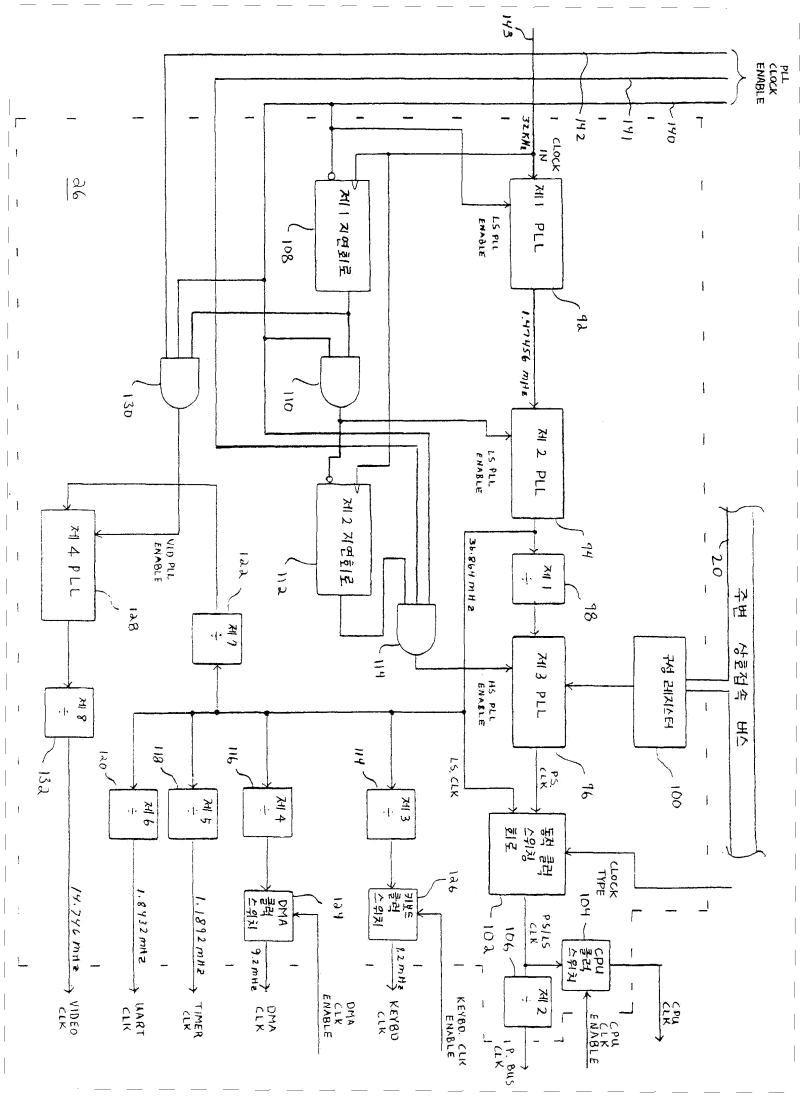
제 19 항에 있어서, 상기 클럭신호는 DMA 어드레스 인에이블신호의 어써션에 응답하여 상기 DMA 컨트롤러에 제공되는 것을 특징으로 하는 집적 프로세서.

도면

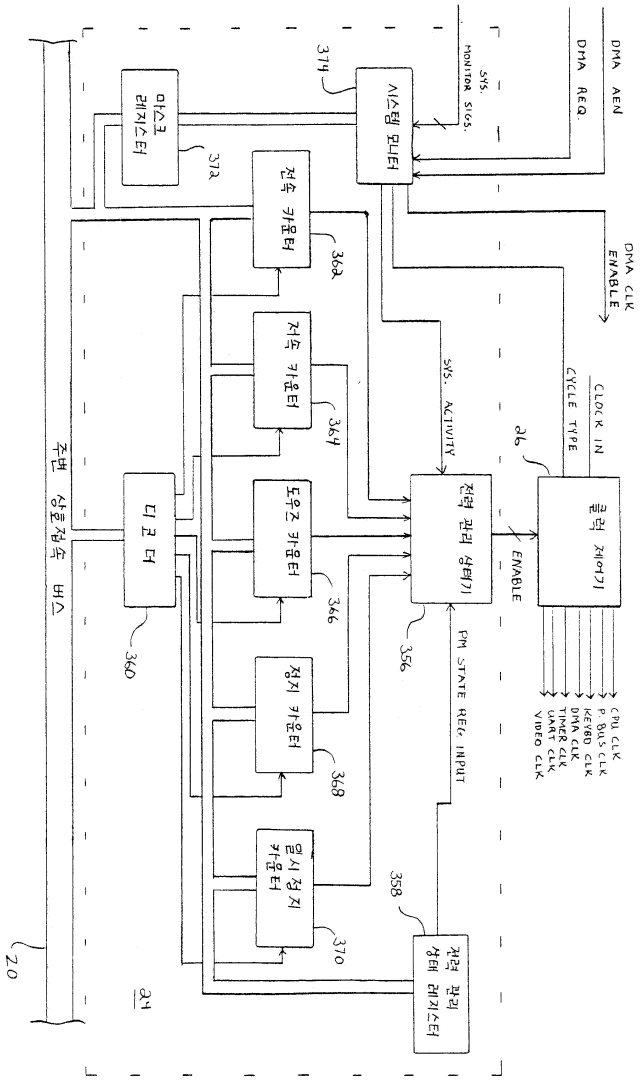
도면 1


CPU 코어
14
CPU CLK
CPU 로컬 버스
DMA AEN
DMA REQ
SYS MONITOR SIG.
PMU
24
ENABLE
26
CYCLE TYPE
클럭 제어기
DMA 컨트롤러
28
P. BUS CLK
DMA CLK
버스 인터페이스 유닛
22
인터럽트 컨트롤러
40
비디오 컨트롤러
34
CGA CLK
주변 장치 버스
병렬/직렬 포트
32
UART CLK
38
타이머
30
TIMER CLK
PCMCIA
42
RTC
41
20
메모리 컨트롤러
16
시스템 메모리
18
12
10
KEYBD CLK
CLK IN

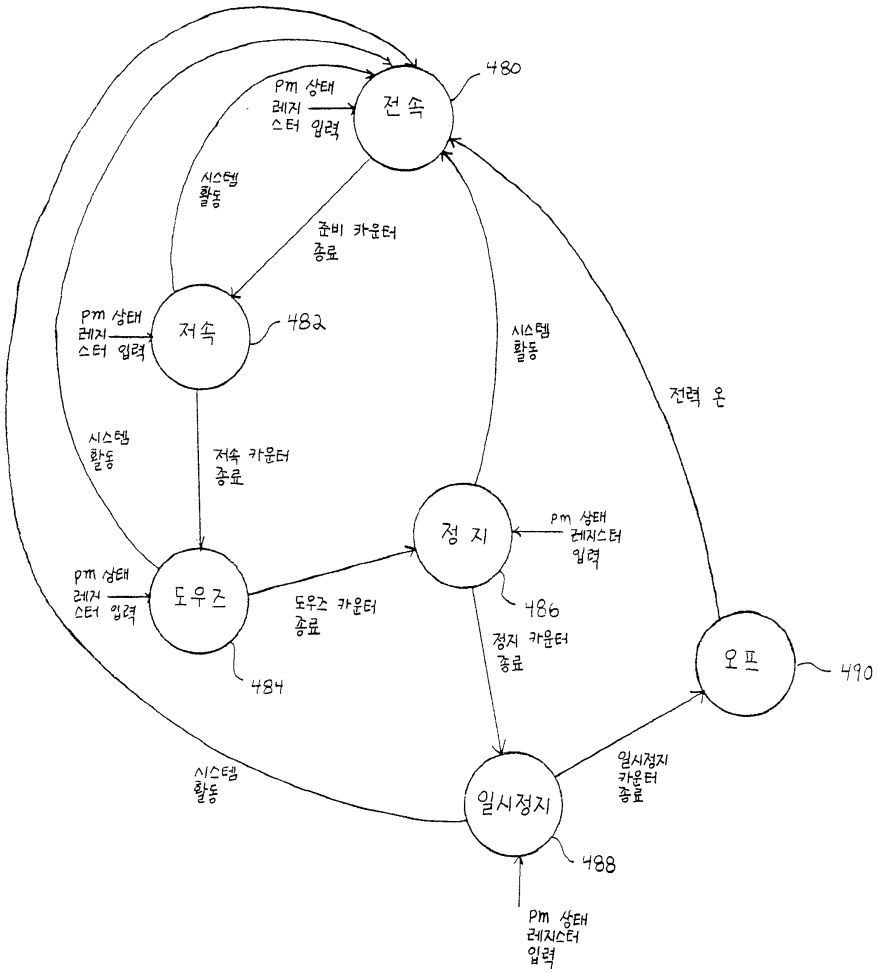
도면 2


제 1 PLL
제 2 PLL
제 3 PLL
제 4 PLL
제 1 지연회로
제 2 지연회로
제 1 ÷
제 2 ÷
제 3 ÷
제 4 ÷
제 5 ÷
제 6 ÷
제 7 ÷
제 8 ÷
CPU 클럭 스위치
DMA 클럭 스위치
KEYBD 클럭 스위치
동적 클럭 스위칭 회로
구성 레지스터
주변 상호접속 버스
PLL CLOCK ENABLE
CLOCK IN
LS PLL ENABLE
HS PLL ENABLE
VID PLL ENABLE
LS CLK
PS CLK
CLOCK TYPE
CPU CLK
CPU CLK ENABLE
I.P. BUS CLK
KEYBD CLK
KEYBD CLK ENABLE
DMA CLK
DMA CLK ENABLE
TIMER CLK
UART CLK
VIDEO CLK

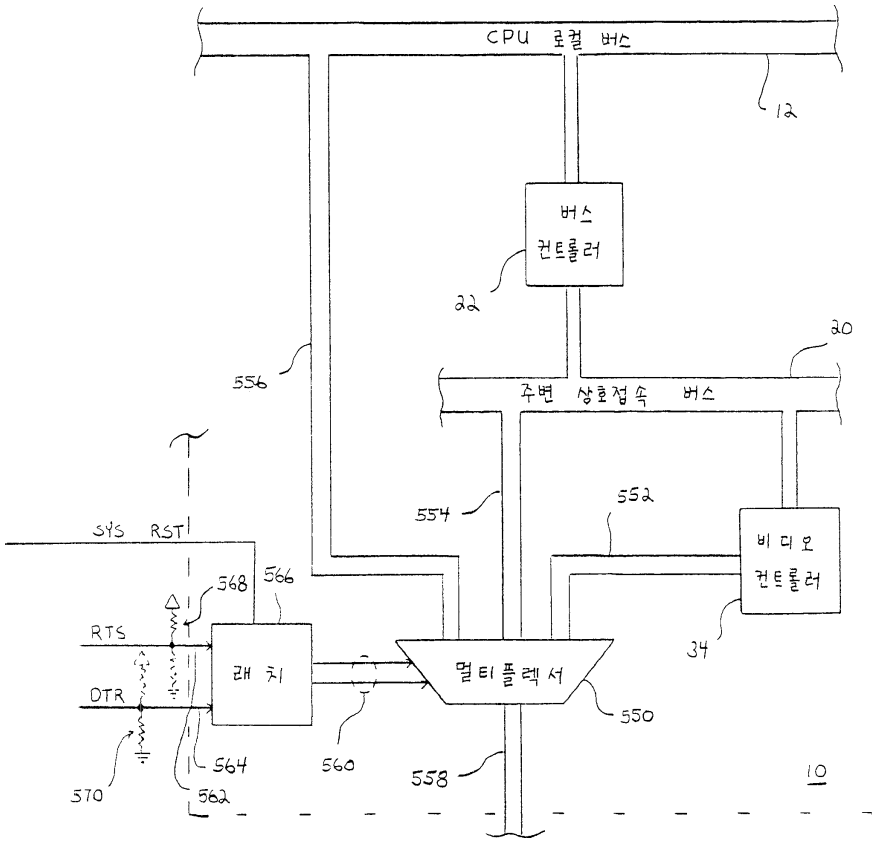
도면 3


DMA AEN
DMA REQ.
SYS. MONITOR SIGS.
374
시스템 모니터
DMA CLK ENABLE
CLOCK IN
CYCLE TYPE
26
클럭 제어기
SYS. ACTIVITY
전력 관리 상태기
ENABLE
356
FM STATE REG. INPUT
CPU CLK
P. BUS CLK
KEYBD CLK
DMA CLK
UART CLK
VIDEO CLK
358
전력 관리 상태 레지스터
372
마스크 레지스터
전속 카운터
362
저속 카운터
364
도우즈 카운터
366
정지 카운터
368
일시 정지 카운터
370
디 코 더
360
주변 상호접속 버스
20
24

도면 4


480
전 속
pm 상태 레지스터 입력
시스템 활동
준비 카운터 종료
pm 상태 레지스터 입력
저속
482
시스템 활동
전력 온
시스템 활동
저속 카운터 종료
정 지
pm 상태 레지스터 입력
pm 상태 레지스터 입력
도우즈
도우즈 카운터 종료
486
정지 카운터 종료
오프
490
484
시스템 활동
일시정지
일시정지 카운터 종료
488
pm 상태 레지스터 입력

도면 5


CPU 로컬 버스
12
버스
컨트롤러
22
20
556
주변 상호접속 버스
554
552
비디오
컨트롤러
34
SYS RST
568
566
RTS
DTR
래치
멀티플렉서
550
570
564
560
558
562
10