(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2019 年 1 月 24 日 (24.01.2019)

WIPO | PCT

(10) 国际公布号
WO 2019/015077 A1

(51) 国际专利分类号:
G02F 1/1362 (2006.01)

(21) 国际申请号: PCT/CN2017/102538

(22) 国际申请日: 2017 年 9 月 21 日 (21.09.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710595856.1 2017年7月20日 (20.07.2017) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518000 (CN)。

(72) 发明人: 郝 思 坤 (HAO, Sikun); 中 国 广 东 省 深 圳 市 光 明 新 区 塘 明 大 道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所（普通合伙） (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道8号中国地质大学产学研基地中地大楼A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) **Title:** ARRAY SUBSTRATE, MANUFACTURING METHOD THEREFOR AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 发明名称: 一种阵列基板及其制造方法、液晶显示装置

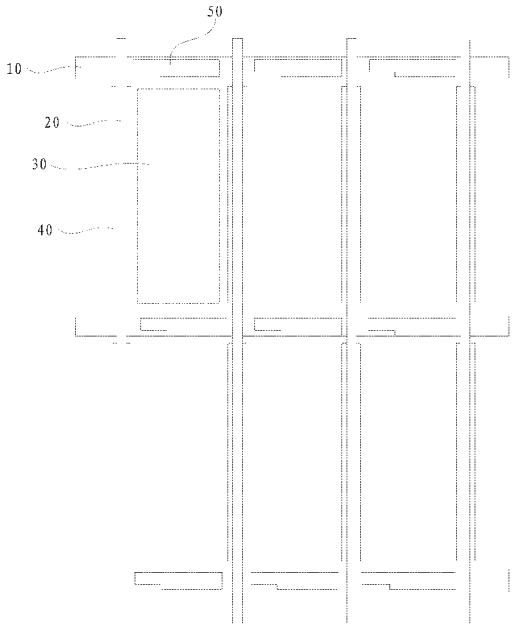

图 1

(57) **Abstract:** An array substrate (901), a manufacturing method therefor and a liquid crystal display device. The array substrate (901) comprises: a plurality of scan lines (10); a plurality of data lines (20) arranged to intersect with the plurality of scan lines (10) so as to define a plurality of pixel regions (30); a plurality of auxiliary line segments (40, 50), each scan line (10) and/or each data line (20) corresponding to at least one of the auxiliary line segments (40, 50), and said scan line (10) and/or data line (20) being capacitively coupled to the corresponding auxiliary line segment(s) (40, 50). The present invention can reduce signal delay time on the scan lines (10) and/or the data lines (20), the charging rate, improving the display effect.

(57) 摘要: 一种阵列基板（901）及其制造方法、液晶显示装置，阵列基板（901）包括多条扫描线（10）；多条数据线（20），与多条扫描线（10）彼此交叉设置，从而定义出多个像素区域（30）；多条辅助线段（40、50），其中，每条扫描线（10）和/或每条数据线（20）分别对应至少一条辅助线段（40、50），扫描线（10）和/或数据线（20）与对应的辅助线段（40、50）电容耦合。能够降低扫描线（10）和/或数据线（20）上的信号延迟时间，提高充电率，改善显示效果。

WO 2019/015077 A1

[见续页]

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种阵列基板及其制造方法、液晶显示装置

[1] 【技术领域】

[2] 本发明涉及液晶显示技术领域，特别涉及一种阵列基板及其制造方法、液晶显示装置。

[3] 【背景技术】

[4] 液晶显示装置因其重量轻、体积小、功能低等优点，已经成为目前使用最广泛的平板显示装置，应用于手机、数字相机、计算机等电子设备中。

[5] 本申请的发明人在长期的研发中发现，随着液晶显示装置解析度的增加，像素充电时间减短，由于像素的负载不变，使得像素的充电率下降；同时，由于液晶显示装置中的扫描线和数据线存在大量交叠区域，在充电时形成寄生电容，与扫描线和数据线本身的电阻同时作用，成为信号延迟的主要因素，也对像素的充电率造成影响，降低液晶显示装置的显示效果。

[6] 【发明内容】

[7] 本发明提供一种阵列基板及其制造方法、液晶显示装置，以解决现有技术中液晶显示装置中的信号延迟、充电率低的技术问题。

[8] 为解决上述技术问题，本发明采用的一个技术方案是提供一种阵列基板，包括：

[9] 多条扫描线；

[10] 多条数据线，与所述多条扫描线彼此交叉设置，从而定义出多个像素区域；

[11] 多条辅助线段，其中，每条所述扫描线和/或每条所述数据线分别对应至少一条辅助线段，所述扫描线和/或所述数据线与所述对应的辅助线段电容耦合以降低所述扫描线和/或所述数据线上的信号延迟时间。

[12] 为解决上述技术问题，本发明采用的另一个技术方案是提供一种阵列基板的制造方法，包括：

[13] 在基板上形成多条扫描线、多条第一辅助线段和多个薄膜晶体管的栅极，其中，每个所述薄膜晶体管的栅极与一条对应的所述扫描线相连；

[14] 形成所述多个薄膜晶体管的半导体层；

[15] 形成多条数据线、多条第二辅助线段和所述多个薄膜晶体管的源极和漏极，其中，每个所述薄膜晶体管的源极与一条对应的所述数据线相连；

[16] 形成多个像素电极，其中，每个所述像素电极与一个对应的所述薄膜晶体管的漏极相连；

[17] 其中，每条所述扫描线和/或每条所述数据线分别对应至少一条辅助线段，所述扫描线和/或所述数据线与所述对应的辅助线段电容耦合以降低所述扫描线和/或所述数据线上的信号延迟时间。

[18] 为解决上述技术问题，本发明采用的又一个技术方案是提供一种液晶显示装置，包括上述的阵列基板。

[19] 本发明通过在阵列基板的每条扫描线和/或每条数据线分别对应设置至少一条辅助线段，以降低扫描线和/或数据线上的信号延迟时间，提高充电率，改善显示效果。

[20] 【附图说明】

[21] 图1是本发明阵列基板实施例的结构示意图；

[22] 图2是本发明阵列基板实施例的像素结构示意图；

[23] 图3是本发明阵列基板实施例的阵列基板等效电路示意图；

[24] 图4是本发明阵列基板实施例的像素充电波形示意图；

[25] 图5是本发明阵列基板的制造方法实施例的流程示意图；

[26] 图6a-6g是本发明阵列基板的制造方法实施例中阵列基板的工艺流程示意图；

[27] 图7是本发明阵列基板的制造方法实施例的VA模式的像素结构示意图；

[28] 图8是本发明阵列基板的制造方法实施例的IPS模式的像素结构示意图；

[29] 图9本发明液晶显示装置实施例的结构示意图。

[30] 【具体实施方式】

[31] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述。

[32] 参见图1和图2，本发明阵列基板实施例包括：

[33] 多条扫描线10；

[34] 多条数据线20，与多条扫描线10彼此交叉设置，从而定义出多个像素区域30；

[35] 多条辅助线段，其中，每条扫描线10和/或每条数据线20分别对应至少一条辅助线段，扫描线10和/或数据线20与对应的辅助线段电容耦合以降低扫描线10和/或数据线20上的信号延迟时间。

[36] 可选的，辅助线段包括第一辅助线段40和第二辅助线段50，其中，第一辅助线段40平行于数据线20，且与扫描线10设置在同一层中，每条数据线20对应一个像素区域内30的部分分别对应一条第一辅助线段40，且第一辅助线段40的长度小于数据线20对应一个像素区域30内的部分以使第一辅助线段40非重叠于扫描线10和数据线20的重叠部分；而第二辅助线段50平行于扫描线10，且与数据线20设置在同一层中，每条扫描线10中对应一个像素区域30内的部分分别对应一条第二辅助线段50，且第二辅助线段50的长度小于扫描线10对应一个像素区域30内的部分以使第二辅助线段50非重叠于扫描线10和数据线20的重叠部分。

[37] 可选的，辅助线段处于浮接状态，以与扫描线10或者数据线20形成电容耦合。

[38] 可选的，每个像素区域30包括薄膜晶体管301和像素电极302，其中，薄膜晶体管301的栅极3011电性连接至一条对应的扫描线10，薄膜晶体管301的源极3012电性连接至一条对应的数据线20，而薄膜晶体管301的漏极3013电性连接至像素电极302。

[39] 其中，薄膜晶体管301的栅极3011与第一辅助线段40设置在同一层中，而薄膜晶体管301的源极3012和漏极3013与第二辅助线段50设置在同一层中。

[40] 参见图1至图4，在其他实施例中，阵列基板可以只设有第一辅助线段40，平行于数据线20，且与扫描线10设置在同一层中。

[41] 其中，每个像素区域30内的数据线20等效为电阻R1，扫描线10与数据线20交叠产生寄生电容C1，每个第一辅助线段40等效为电阻R2，第一辅助线段40处于浮接状态，以与数据线20形成电容C2耦合；数据线20通过液晶电容Clc接地；液晶电容Clc一端的接像素电极，一端接地。图4为液晶电容Clc两端的电压随时间的变化关系图，即像素充电波形图，包括现有技术中液晶电容Clc两端的电压随时间的变化曲线801，和本实施例中液晶电容Clc两端的电压随时间的变化曲线802，本发明实施例中液晶电容Clc两端的电压随时间的增加，上升得更快，像素充

电率明显高于现有技术中的像素充电率。

[42] 可选的，在其他实施例中，阵列基板也可以只设有第二辅助线段50，平行于扫描线10，且与数据线20设置在同一层中。其中，第二辅助线段50处于浮接状态，以与扫描线10形成电容耦合。

[43] 本发明实施例通过在阵列基板的每条扫描线和/或每条数据线分别对应设置至少一条辅助线段，以降低扫描线和/或数据线上的信号延迟时间，提高充电率，改善显示效果。

[44] 参见图5和图6a-图6g，本发明阵列基板的制造方法实施例包括：

[45] S101、在基板100上形成多条扫描线10、多条第一辅助线段40和多个薄膜晶体管301的栅极3011，其中，每个薄膜晶体管301的栅极3011与一条对应的扫描线10相连；

[46] 可选的，在多条扫描线10和多条第一辅助线段40的同一层形成第一公共电极303。

[47] S102、形成多个薄膜晶体管301的半导体层3014；

[48] S103、形成多条数据线20、多条第二辅助线段50和多个薄膜晶体管301的源极3012和漏极3013，其中，每个薄膜晶体管301的源极3012与一条对应的数据线20相连；

[49] 可选的，每条扫描线10对应一个像素区域内的部分分别对应一条第二辅助线段50，且第二辅助线段50的长度小于扫描线10对应一个像素区域内的部分以使第二辅助线段50非重叠于扫描线10和数据线20的重叠部分；

[50] 每条数据线20对应一个像素区域内的部分分别对应一条第一辅助线段40，且第一辅助线段40的长度小于数据线20对应一个像素区域内的部分以使第一辅助线段40非重叠于扫描线10和数据线20的重叠部分。

[51] 其中，每条扫描线10和/或每条数据线20分别对应至少一条辅助线段，扫描线10和/或数据线20与对应的辅助线段电容耦合以降低扫描线10和/或数据线20上的信号延迟时间。

[52] S104、形成彩色滤光层60；

[53] 可选的，彩色滤光层还可以设置在液晶显示装置中与阵列基板对列的彩膜基板

上。

[54] S105、在彩色滤光层60中对应设置多个通孔70，以在形成多个像素电极302时使每个像素电极302与一个对应的薄膜晶体管301的漏极3013相连。

[55] S106、形成多个像素电极302，其中，每个像素电极302与一个对应的薄膜晶体管301的漏极3013相连；

[56] 可选的，在像素电极302的同一层形成第二公共电极304。

[57] 可选的，阵列基板可以是VA（Vertical Alignment，垂直排列）模式，其像素结构参见图7，像素电极3021通过过孔70与薄膜晶体管的漏极3013相连；阵列基板还可以是IPS（In-plane Switching，板内切换）模式，其像素结构参见图8，像素电极3022通过过孔70与薄膜晶体管301的漏极3013相连。

[58] 可选的，阵列基板还可以是TN（Twist Nematic，扭曲向列型）模式、MVA（Multi-domain Vertical Alignment，多域垂直排列）模式或FFS（Fringe Field Switching，广视角）模式等。

[59] 本发明实施例通过在阵列基板的每条扫描线和/或每条数据线分别对应设置至少一条辅助线段，以降低扫描线和/或数据线上的信号延迟时间，提高充电率，改善显示效果。

[60] 参见图9，本发明液晶显示装置实施例包括上述的阵列基板901，对列基板902及设置于阵列基板901与对列基板902间的液晶层。

[61] 具体的，本发明实施例中阵列基板的结构参见上述阵列基板实施例，在此不再赘述。

[62] 本发明实施例通过在阵列基板的每条扫描线和/或每条数据线分别对应设置至少一条辅助线段，以降低扫描线和/或数据线上的信号延迟时间，提高充电率，改善显示效果。

[63] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1] 一种液晶显示装置，其中，包括阵列基板，所述阵列基板包括：

多条扫描线；

多条数据线，与所述多条扫描线彼此交叉设置，从而定义出多个像素区域；

多条辅助线段，其中，每条所述扫描线和/或每条所述数据线分别对应至少一条辅助线段，所述扫描线和/或所述数据线与所述对应的辅助线段电容耦合以降低所述扫描线和/或所述数据线上的信号延迟时间；

其中，所述辅助线段包括第一辅助线段和第二辅助线段，其中，所述第一辅助线段平行于所述数据线，且与所述扫描线设置在同一层中；而所述第二辅助线段平行于所述扫描线，且与所述数据线设置在同一层中；

所述辅助线段处于浮接状态，以与所述扫描线或者所述数据线形成电容耦合。

[权利要求 2] 根据权利要求1所述的液晶显示装置，其中，每条所述扫描线对应一个所述像素区域内的部分分别对应一条所述第二辅助线段，且所述第二辅助线段的长度小于所述扫描线对应一个所述像素区域内的部分以使所述第二辅助线段非重叠于所述扫描线和所述数据线的重叠部分；

每条所述数据线对应一个所述像素区域内的部分分别对应一条所述第一辅助线段，且所述第一辅助线段的长度小于所述数据线对应一个所述像素区域内的部分以使所述第一辅助线段非重叠于所述扫描线和所述数据线的重叠部分。

[权利要求 3] 根据权利要求2所述的液晶显示装置，其中，每个所述像素区域包括薄膜晶体管和像素电极，其中，所述薄膜晶体管的栅极电性连接至一条对应的扫描线，所述薄膜晶体管的源极电性连接至一条对应的数据线，而薄膜晶体管的漏极电性连接至所述像素电极。

[权利要求 4] 根据权利要求3所述的液晶显示装置，其中，所述薄膜晶体管的栅极与所述第一辅助线段设置在同一层中，而所述薄膜晶体管的源极和漏极与所述第二辅助线段设置在同一层中。

[权利要求 5] 根据权利要求1所述的液晶显示装置，其中，所述阵列基板为VA模式、IPS模式、TN模式、MVA模式或FFS模式。

[权利要求 6] 一种阵列基板，其中，包括：

多条扫描线；

多条数据线，与所述多条扫描线彼此交叉设置，从而定义出多个像素区域；

多条辅助线段，其中，每条所述扫描线和/或每条所述数据线分别对应至少一条辅助线段，所述扫描线和/或所述数据线与所述对应的辅助线段电容耦合以降低所述扫描线和/或所述数据线上的信号延迟时间。

[权利要求 7] 根据权利要求6所述的阵列基板，其中，所述辅助线段包括第一辅助线段和第二辅助线段，其中，所述第一辅助线段平行于所述数据线，且与所述扫描线设置在同一层中；而所述第二辅助线段平行于所述扫描线，且与所述数据线设置在同一层中。

[权利要求 8] 根据权利要求7所述的阵列基板，其中，每条所述扫描线对应一个所述像素区域内的部分分别对应一条所述第二辅助线段，且所述第二辅助线段的长度小于所述扫描线对应一个所述像素区域内的部分以使所述第二辅助线段非重叠于所述扫描线和所述数据线的重叠部分；

每条所述数据线对应一个所述像素区域内的部分分别对应一条所述第一辅助线段，且所述第一辅助线段的长度小于所述数据线对应一个所述像素区域内的部分以使所述第一辅助线段非重叠于所述扫描线和所述数据线的重叠部分。

[权利要求 9] 根据权利要求8所述的阵列基板，其中，每个所述像素区域包括薄膜晶体管和像素电极，其中，所述薄膜晶体管的栅极电性连接至

一条对应的扫描线，所述薄膜晶体管的源极电性连接至一条对应的数据线，而薄膜晶体管的漏极电性连接至所述像素电极。

[权利要求 10] 根据权利要求9所述的阵列基板，其中，所述薄膜晶体管的栅极与所述第一辅助线段设置在同一层中，而所述薄膜晶体管的源极和漏极与所述第二辅助线段设置在同一层中。

[权利要求 11] 根据权利要求6所述的阵列基板，其中，所述辅助线段处于浮接状态，以与所述扫描线或者所述数据线形成电容耦合。

[权利要求 12] 一种阵列基板的制造方法，其中，包括：

在基板上形成多条扫描线、多条第一辅助线段和多个薄膜晶体管的栅极，其中，每个所述薄膜晶体管的栅极与一条对应的所述扫描线相连；

形成所述多个薄膜晶体管的半导体层；

形成多条数据线、多条第二辅助线段和所述多个薄膜晶体管的源极和漏极，其中，每个所述薄膜晶体管的源极与一条对应的所述数据线相连；

形成多个像素电极，其中，每个所述像素电极与一个对应的所述薄膜晶体管的漏极相连；

其中，每条所述扫描线和/或每条所述数据线分别对应至少一条辅助线段，所述扫描线和/或所述数据线与所述对应的辅助线段电容耦合以降低所述扫描线和/或所述数据线上的信号延迟时间。

[权利要求 13] 根据权利要求12所述的制造方法，其中，在所述形成多条数据线、多条第二辅助线段和所述多个薄膜晶体管的源极和漏极的步骤之后，进一步包括：

形成彩色滤光层，并在所述彩色滤光层中对应设置多个通孔，以在形成所述多个像素电极时使每个所述像素电极与一个对应的所述薄膜晶体管的漏极相连。

[权利要求 14] 根据权利要求12所述的制造方法，其中，每条所述扫描线对应一个像素区域内的部分分别对应一条所述第二辅助线段，且所述第

二辅助线段的长度小于所述扫描线对应一个所述像素区域内的部分以使所述第二辅助线段非重叠于所述扫描线和所述数据线的重叠部分；

每条所述数据线对应一个像素区域内的部分分别对应一条所述第一辅助线段，且所述第一辅助线段的长度小于所述数据线对应一个所述像素区域内的部分以使所述第一辅助线段非重叠于所述扫描线和所述数据线的重叠部分。

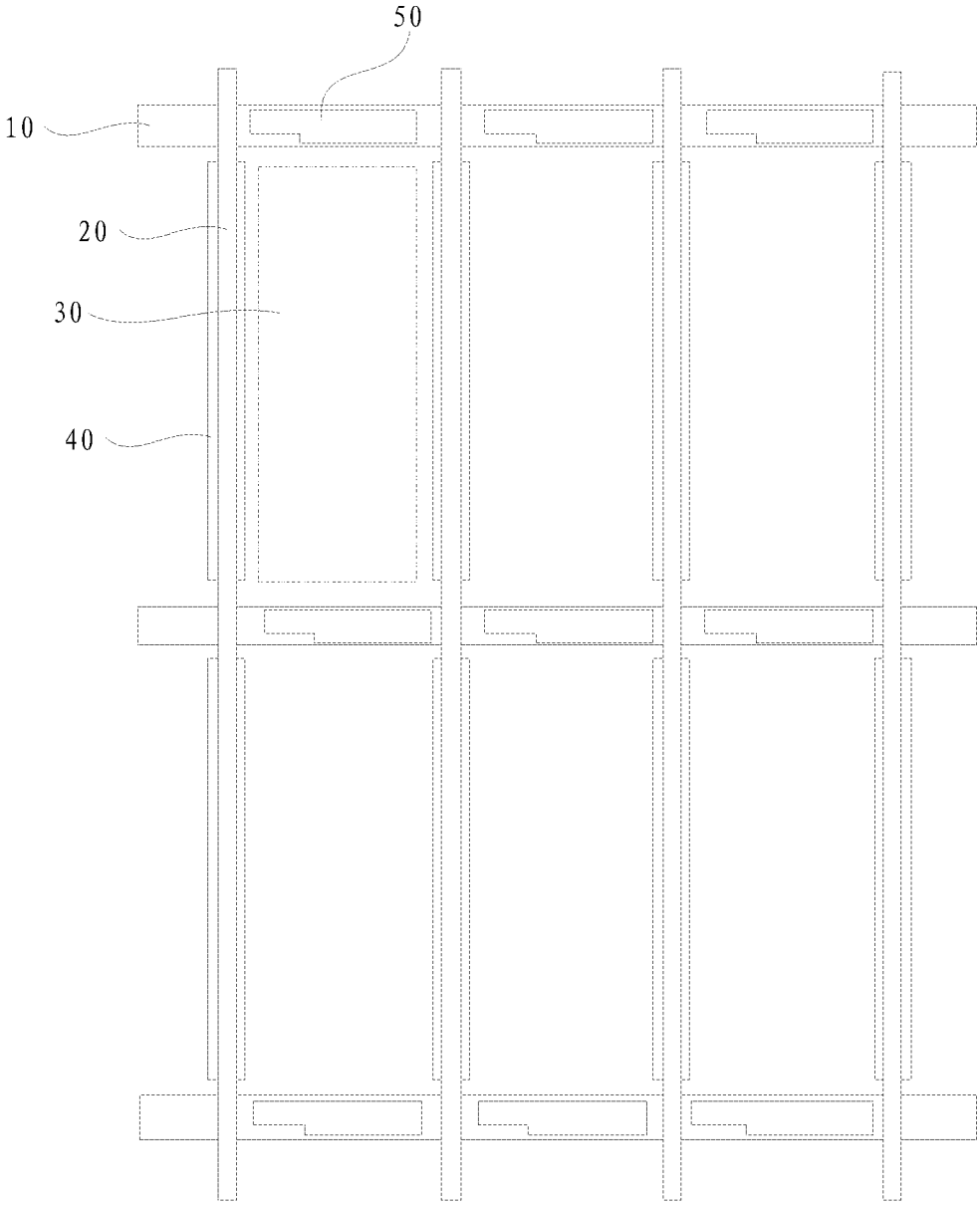

图 1

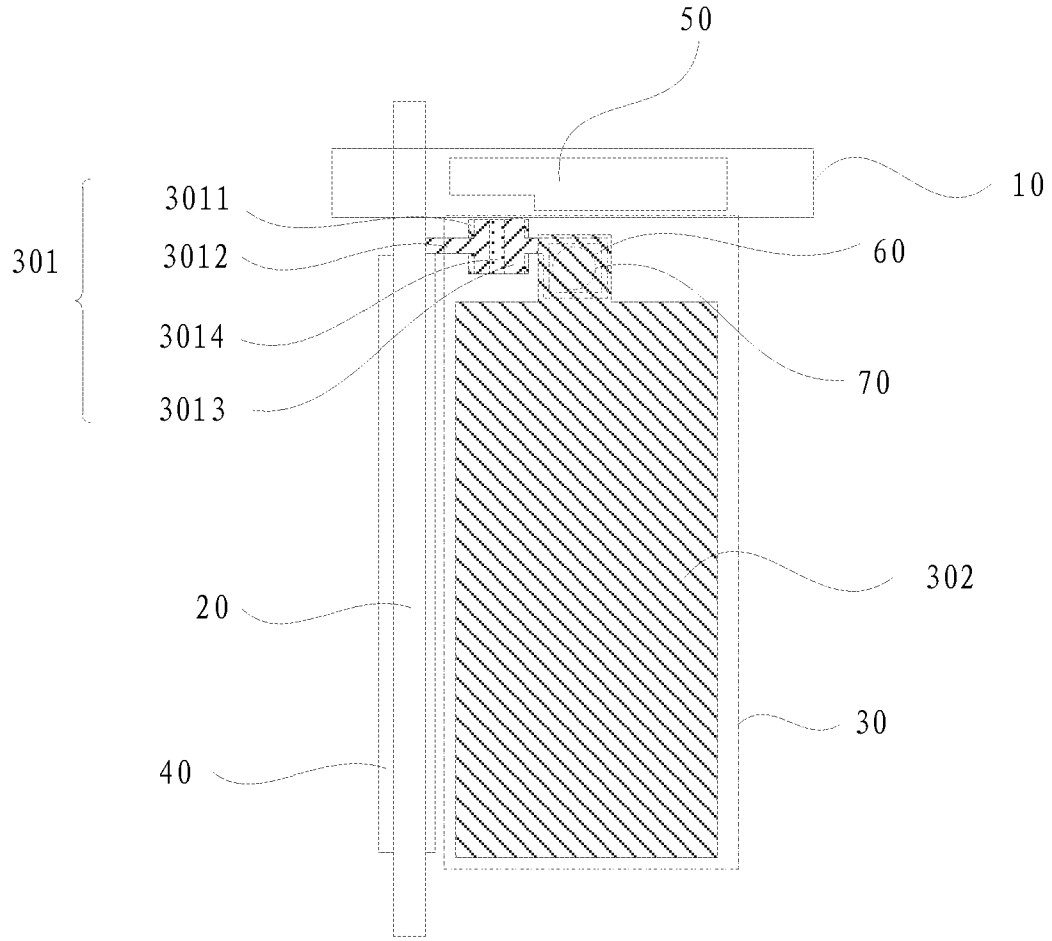

图 2

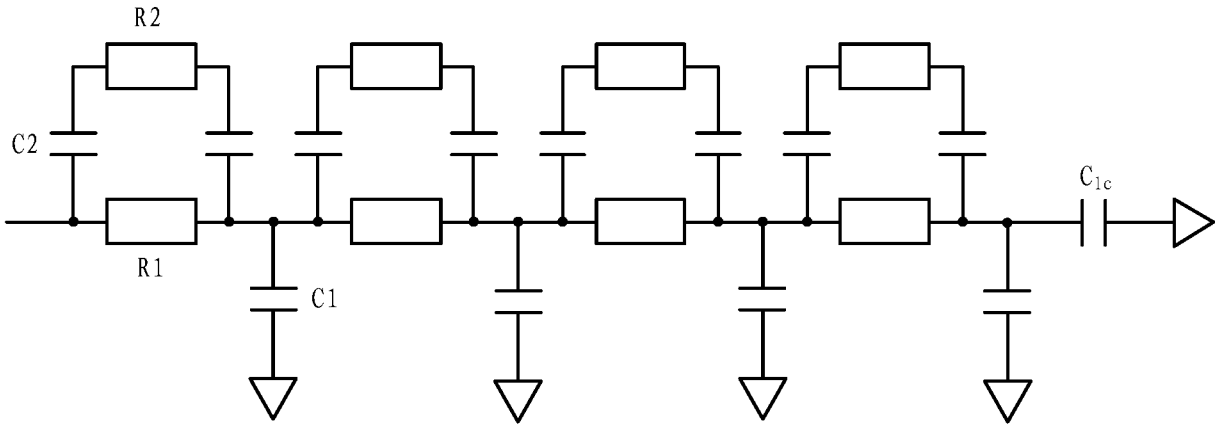

图 3

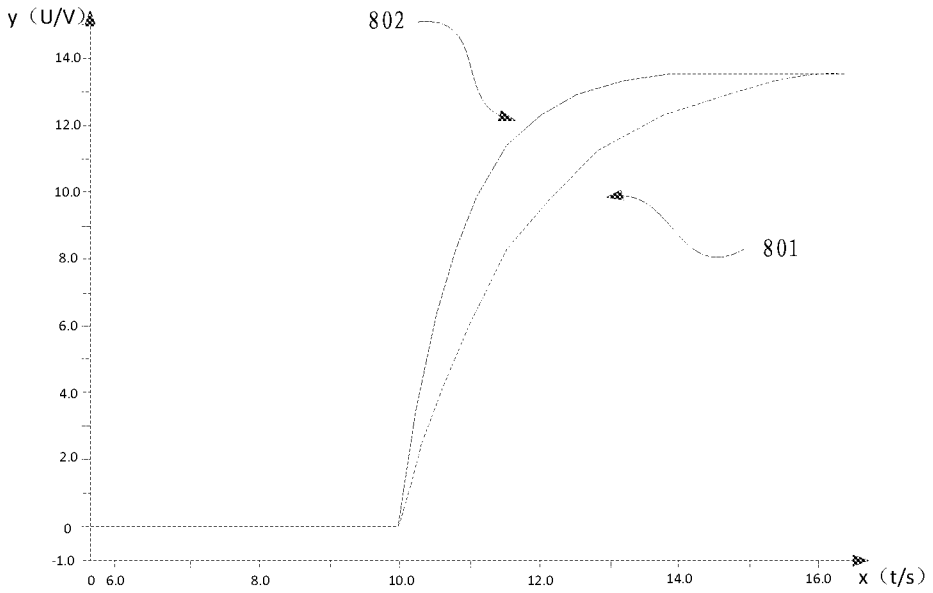
y（U/V）
14.0
12.0
10.0
8.0
6.0
4.0
2.0
0
-1.0
0
6.0
8.0
10.0
12.0
14.0
16.0
x（t/s）
802
801

图 4

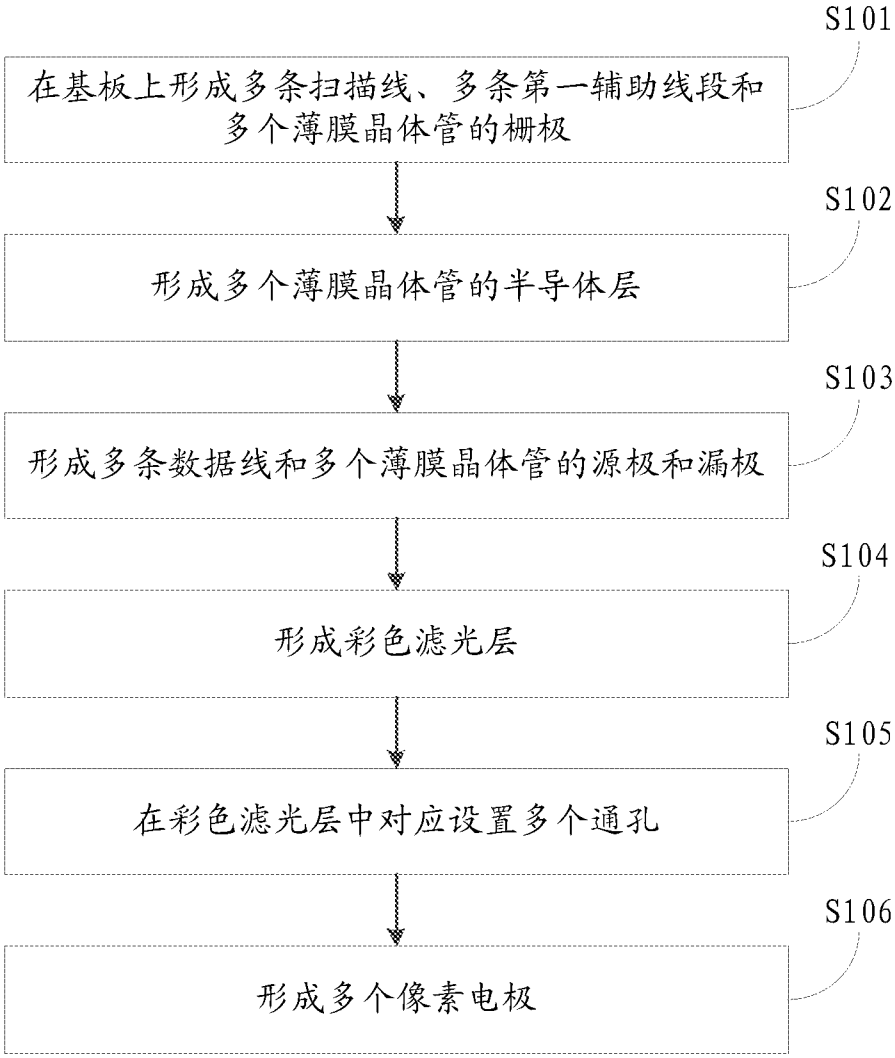
S101
在基板上形成多条扫描线、多条第一辅助线段和多个薄膜晶体管的栅极
S102
形成多个薄膜晶体管的半导体层
S103
形成多条数据线和多个薄膜晶体管的源极和漏极
S104
形成彩色滤光层
S105
在彩色滤光层中对应设置多个通孔
S106
形成多个像素电极

图 5

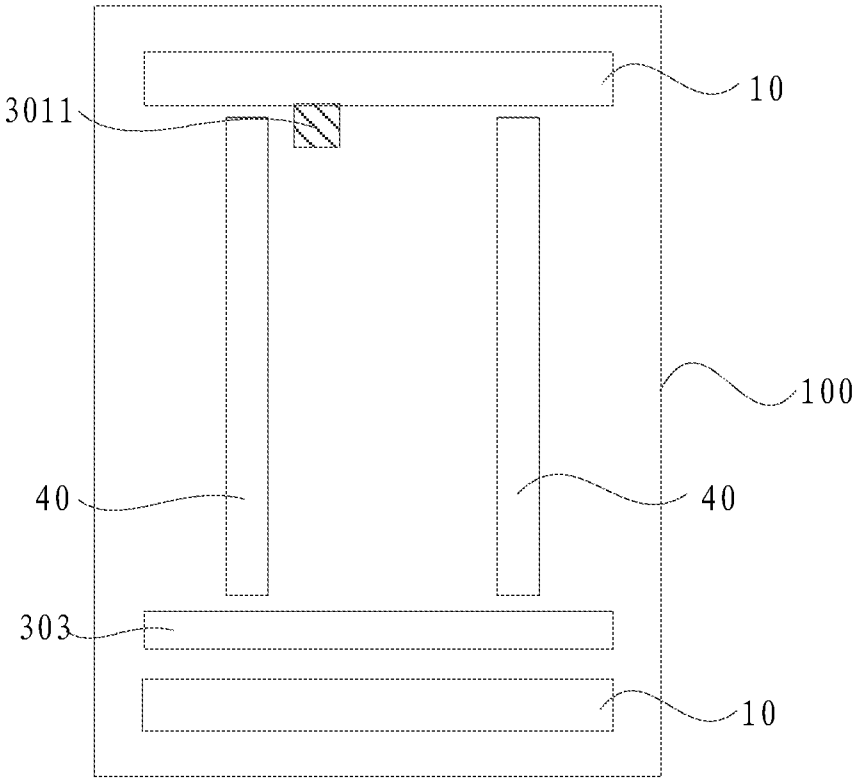

图 6a

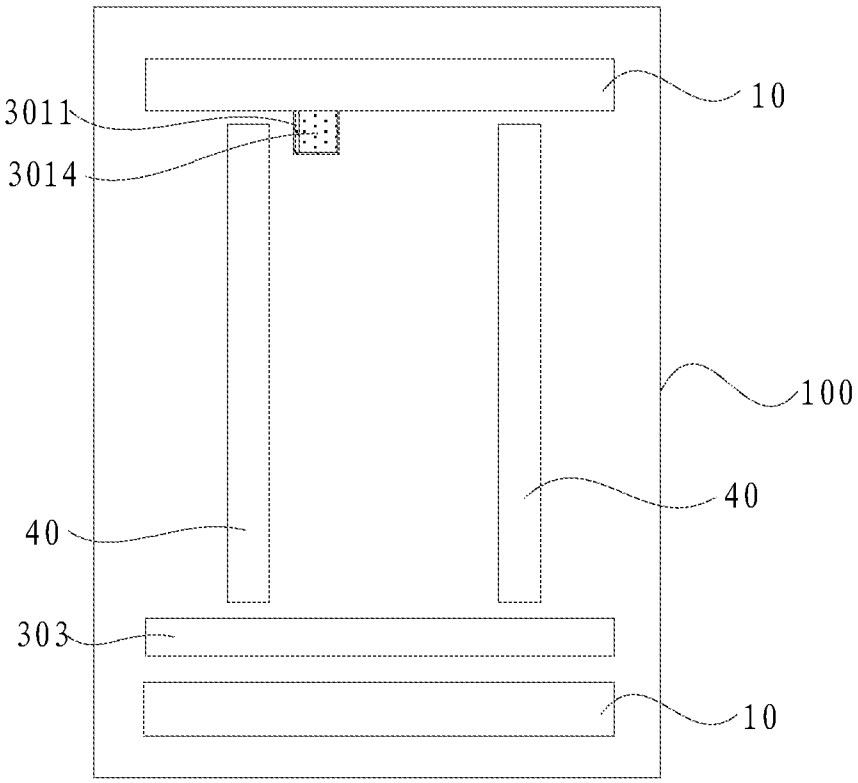

图 6b

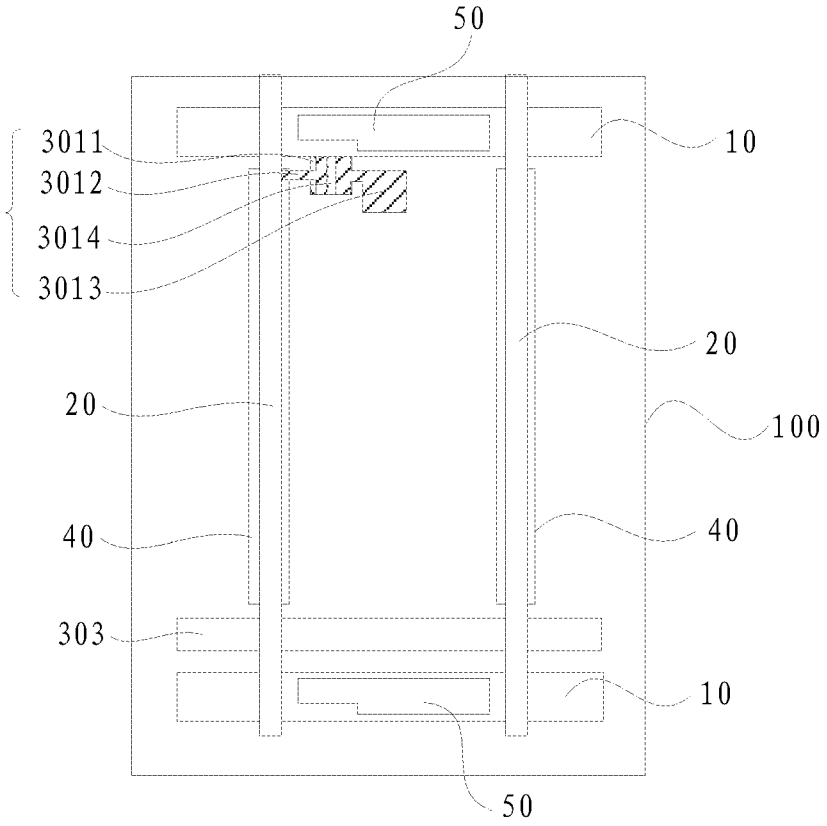
50
3011
3012
3014
3013
10
20
20
100
40
40
303
10
50

图 6c

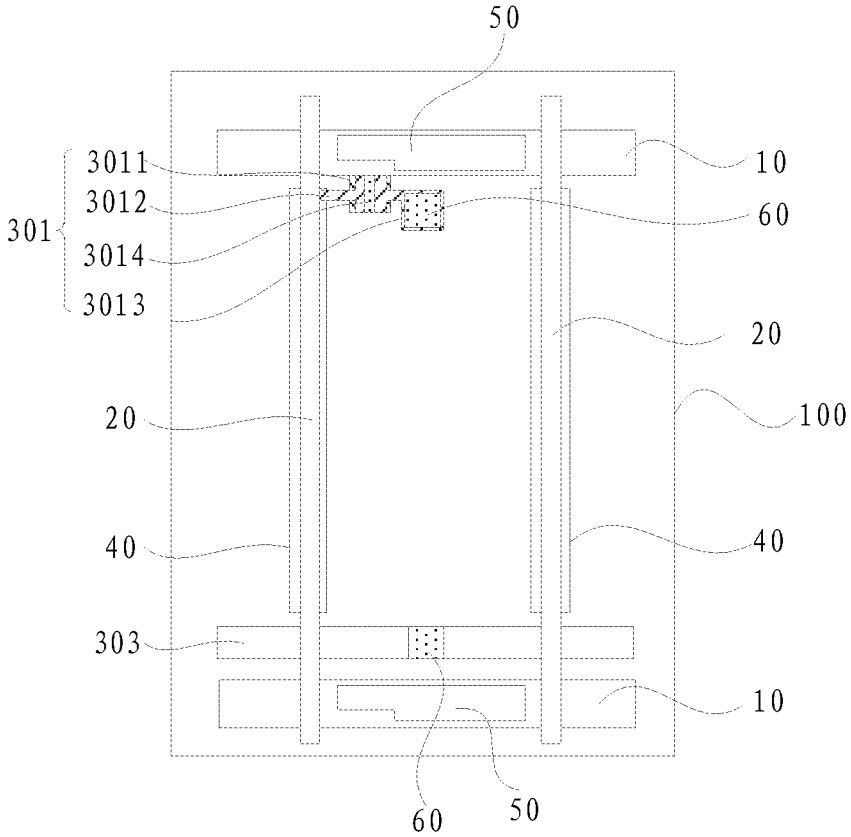
50
3011
3012
301
3014
3013
10
60
20
20
100
40
40
303
10
60
50

图 6d

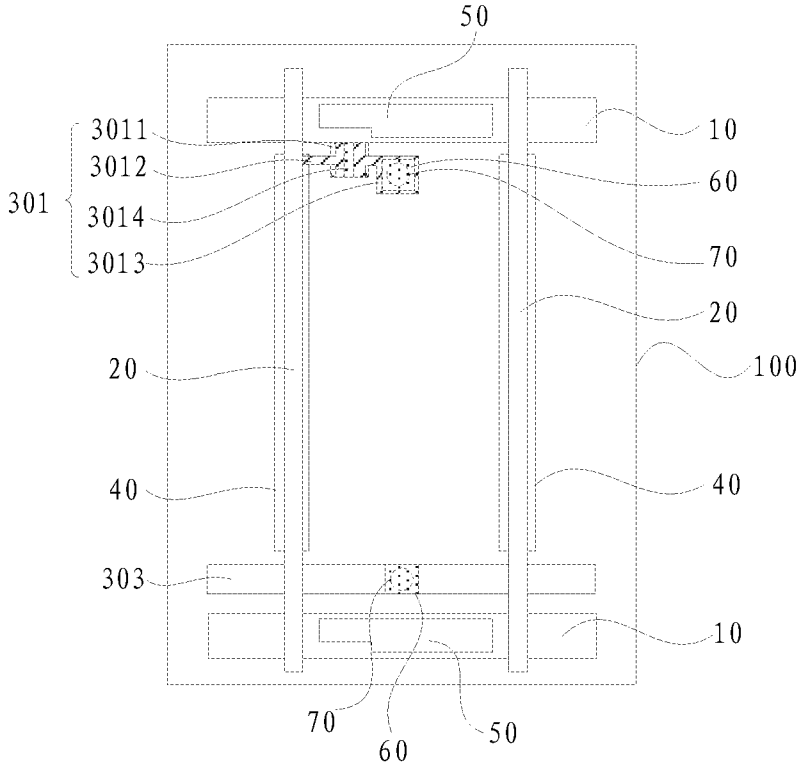
50
3011
3012
301
3014
3013
10
60
70
20
100
20
40
40
303
10
70
60
50

图 6e

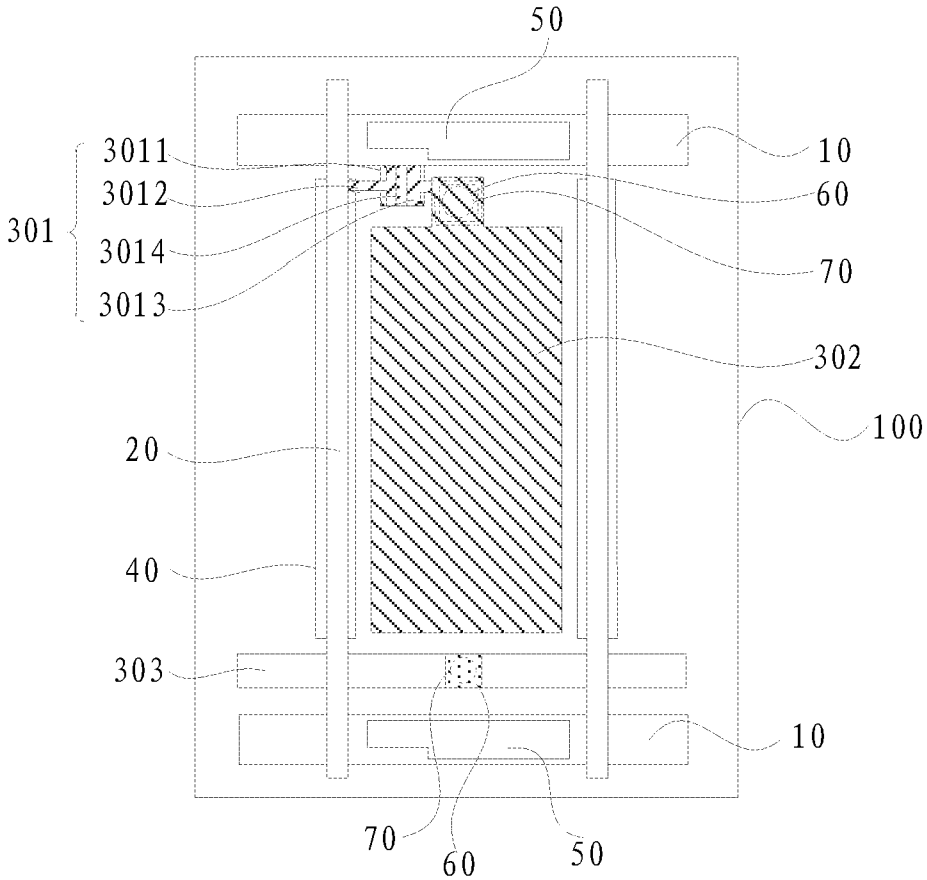
50
3011
3012
301
3014
3013
10
60
70
302
100
20
40
303
10
70
60
50

图 6f

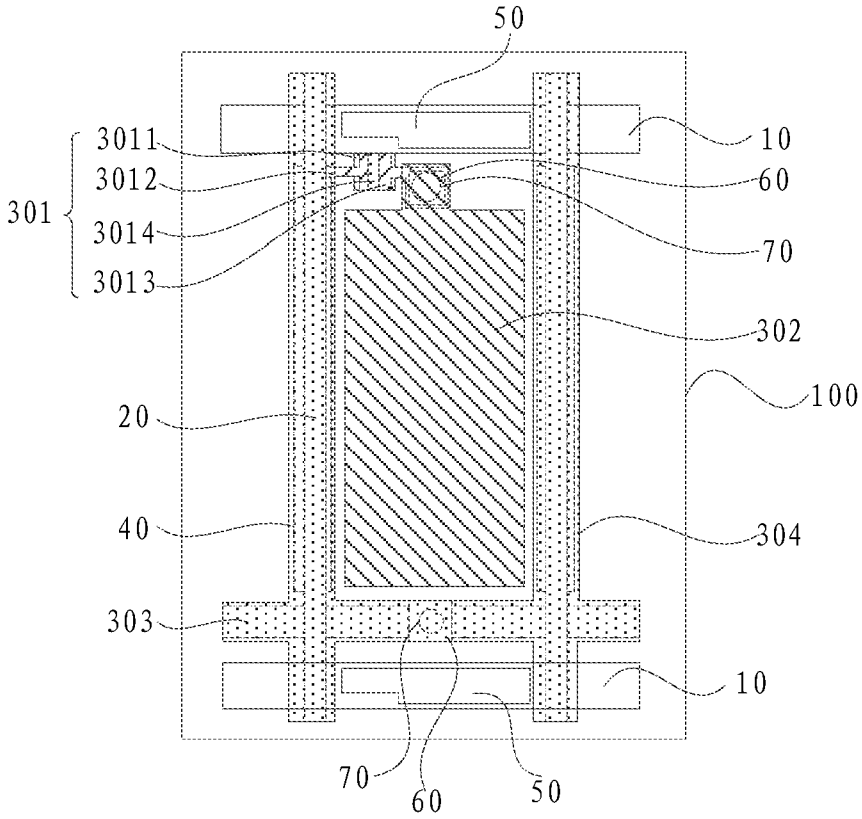
50
3011
3012
301
3014
3013
10
60
70
302
100
20
40
304
303
10
70
60
50

图 6g

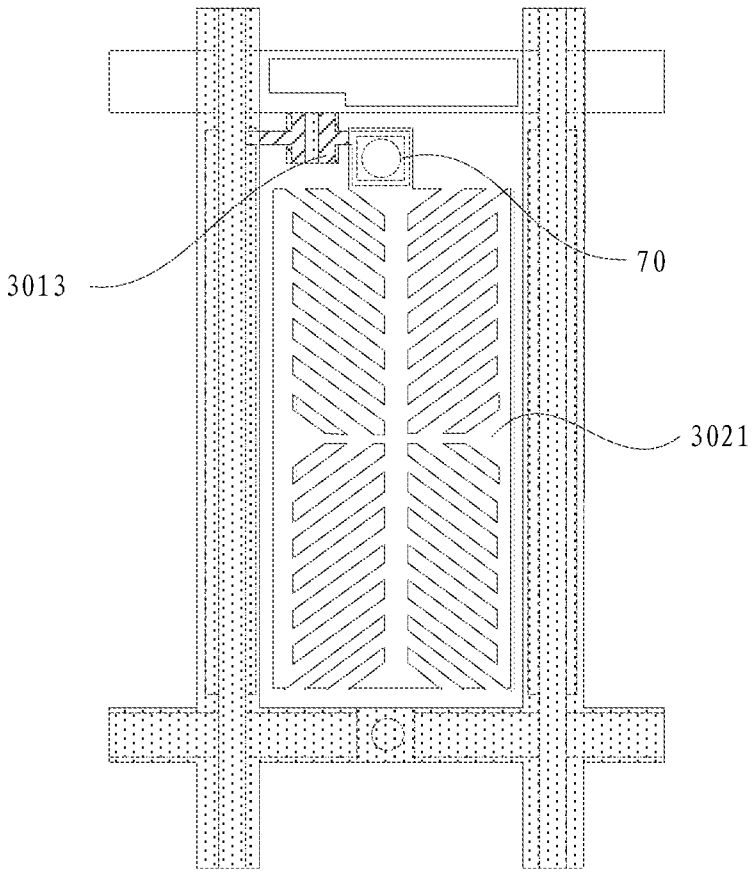
3013
70
3021

图 7

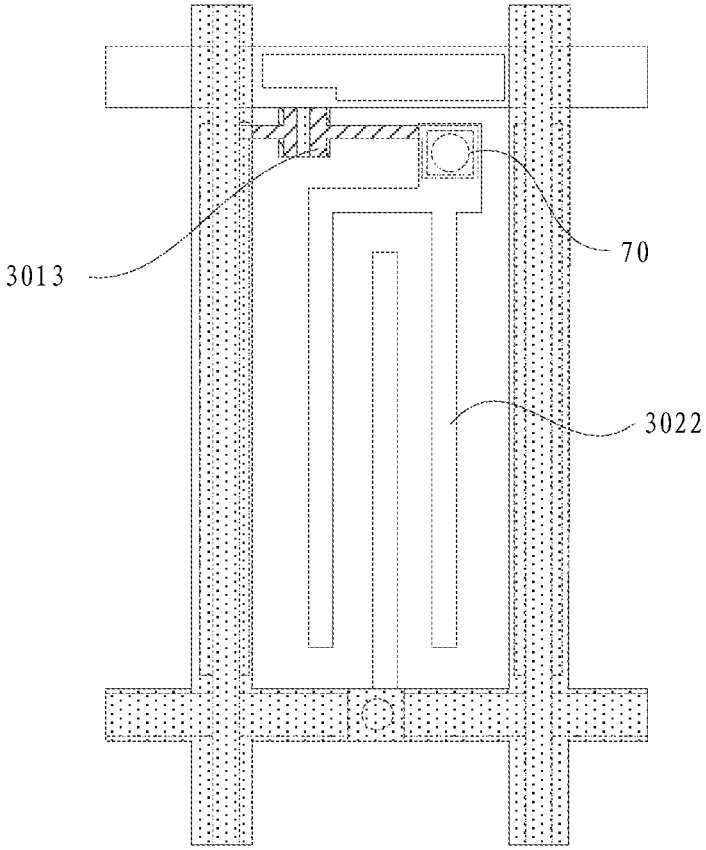

图 8

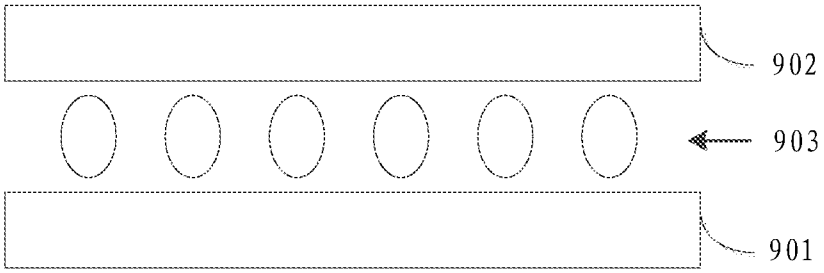

图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/102538

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; CNKI; WPI; EPODOC: 扫描线, 数据线, 液晶, 阵列, 辅助线, 电容, 耦合, 延迟, scan+, data, line?, LCD, liquid w crystal w display+, array?, auxiliary, capacitance, couple, delay+.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2008084529 A1 (CHUNGHWA PICTURE TUBES, LTD.), 10 April 2008 (10.04.2008), description, paragraphs [0032]-[0045], and figures 3A-3C	6, 11
A	CN 1527117 A (CASIO COMPUTER CO., LTD.), 08 September 2004 (08.09.2004), entire document	1-14
A	CN 100499085 C (AU OPTRONICS CORP.), 10 June 2009 (10.06.2009), entire document	1-14
A	CN 100545725 C (CHUNGHWA PICTURE TUBES, LTD.), 30 September 2009 (30.09.2009), entire document	1-14
A	CN 100381930 C (AU OPTRONICS CORP.), 16 April 2008 (16.04.2008), entire document	1-14

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 April 2018	20 April 2018

Name and mailing address of the ISA	Authorized officer
State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	ZHANG, Zhongqing Telephone No. (86-10) 53962602

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/102538

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2008084529 A1	10 April 2008	TW I351567 B	01 November 2011
		US 8208113 B2	26 June 2012
		TW 200817799 A	16 April 2008
		US 2010118251 A1	13 May 2010
		US 7684000 B2	23 March 2010
CN 1527117 A	08 September 2004	KR 20040079329 A	14 September 2004
		KR 100679975 B1	08 February 2007
		US 7545449 B2	09 June 2009
		US 2004174483 A1	09 September 2004
		US 2006187397 A1	24 August 2006
		TW 200424974 A	16 November 2004
		CN 100351690 C	28 November 2007
		TW I238370 B	21 August 2005
CN 100499085 C	10 June 2009	CN 1967814 A	23 May 2007
CN 100545725 C	30 September 2009	US 2008158464 A1	03 July 2008
		US 7705927 B2	27 April 2010
		CN 101211078 A	02 July 2008
CN 100381930 C	16 April 2008	CN 1719324 A	11 January 2006

国际检索报告

国际申请号
PCT/CN2017/102538

A. 主题的分类

G02F 1/1362(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F; H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT;CNKI;WPI;EPODOC：扫描线，数据线，液晶，阵列，辅助线，电容，耦合，延迟，scan+, data, line?, LCD, liquid w crystal w display+, array?, auxiliary, capacitance, couple, delay+.

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	US 2008084529 A1 (CHUNGHWA PICTURE TUBES, LTD.) 2008年 4月 10日 (2008-04-10) 说明书第[0032]-[0045]段，附图3A-3C	6、11
A	CN 1527117 A (卡西欧计算机株式会社) 2004年 9月 8日 (2004-09-08) 全文	1-14
A	CN 100499085 C (友达光电股份有限公司) 2009年 6月 10日 (2009-06-10) 全文	1-14
A	CN 100545725 C (中华映管股份有限公司) 2009年 9月 30日 (2009-09-30) 全文	1-14
A	CN 100381930 C (友达光电股份有限公司) 2008年 4月 16日 (2008-04-16) 全文	1-14

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2018年 4月 8日	2018年 4月 20日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 张中青 电话号码 (86-10)53962602

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/102538

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
US	2008084529	A1	2008年 4月 10日	TW	I351567	B	2011年 11月 1日
				US	8208113	B2	2012年 6月 26日
				TW	200817799	A	2008年 4月 16日
				US	2010118251	A1	2010年 5月 13日
				US	7684000	B2	2010年 3月 23日
CN	1527117	A	2004年 9月 8日	KR	20040079329	A	2004年 9月 14日
				KR	100679975	B1	2007年 2月 8日
				US	7545449	B2	2009年 6月 9日
				US	2004174483	A1	2004年 9月 9日
				US	2006187397	A1	2006年 8月 24日
				TW	200424974	A	2004年 11月 16日
				CN	100351690	C	2007年 11月 28日
				TW	I238370	B	2005年 8月 21日
CN	100499085	C	2009年 6月 10日	CN	1967814	A	2007年 5月 23日
CN	100545725	C	2009年 9月 30日	US	2008158464	A1	2008年 7月 3日
				US	7705927	B2	2010年 4月 27日
				CN	101211078	A	2008年 7月 2日
CN	100381930	C	2008年 4月 16日	CN	1719324	A	2006年 1月 11日