

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/425 (2006.01)



[12] 发明专利说明书

专利号 ZL 03815025.5

[45] 授权公告日 2008 年 1 月 2 日

[11] 授权公告号 CN 100359652C

[22] 申请日 2003.6.18 [21] 申请号 03815025.5

[30] 优先权

[32] 2002.6.26 [33] US [31] 60/392,023

[32] 2002.6.26 [33] US [31] 60/391,802

[86] 国际申请 PCT/US2003/019085 2003.6.18

[87] 国际公布 WO2004/003970 英 2004.1.8

[85] 进入国家阶段日期 2004.12.27

[73] 专利权人 山米奎普公司

地址 美国马萨诸塞州

[72] 发明人 韦德·A·克鲁尔

达勒·C·雅各布森

[56] 参考文献

US6208004 B1 2001.3.27

US6153905 A 2000.11.28

US5801086 A 1998.9.1

US6288403 B1 2001.9.11

US3607449 A 1971.9.21

US6069061 A 2000.5.30

US5837598 A 1998.11.17

审查员 孙学锋

[74] 专利代理机构 北京律盟知识产权代理有限公司

代理人 王允方 刘国伟

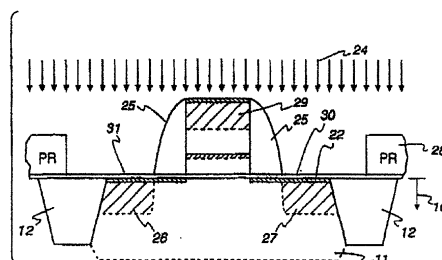
权利要求书 4 页 说明书 15 页 附图 8 页

[54] 发明名称

一种制造一半导体器件的方法

[57] 摘要

本发明提出一种用于制成一半导体器件的栅极以将门极耗尽效应最小化的方法。该方法由一双重沉积处理构成，其中第一步骤是一极薄的层，该层通过离子植入受到极重的掺杂。第二次沉积以及一相关联的用于掺杂的离子植入则制作完成该栅极。借助该两次沉积处理，可将栅极/门极介电层界面处的掺杂最大化同时将硼渗透过门极介电层的风险最小化。该方法的另一种改进形式包括将两个栅极层均图案化，其具有利用漏极延展区及源极/漏极植入作为门极掺杂植入、及可选择偏置这两个图案以形成一非对称器件的优点。本发明亦提供一种如下方法：通过使掺杂剂自一包含于一介电层内的植入层扩散入半导体衬底内，在半导体衬底中形成浅结。此外，除所需的掺杂物质外，亦为离子植入层提供一第二植入物质，例如氢，其中所述物质会增强掺杂剂在介电层中的扩散性。



1、一种用于制成一金属氧化物半导体器件的一栅极的方法，该金属氧化物半导体器件具有一衬底并形成有一阱及对置的沟槽绝缘部分，所述对置的沟槽绝缘部分上面形成有一第一介电层，该方法包括如下步骤：

(a) 在所述第一介电层上沉积一第一栅极层；

(b) 使用一经选择的簇离子物质掺杂所述第一栅极层，以最大化在所述第一介电层与所述第一栅极层界面处的掺杂，界定一经掺杂的第一栅极层；

(c) 在所述经掺杂的第一栅极层上沉积一第二栅极层；

(d) 掺杂所述第二栅极层；及

(e) 热处理所述结构，以激活所述掺杂材料。

2、如权利要求1所述的方法，其中所述第一栅极层及所述第二栅极层一同形成一全厚度栅极。

3、如权利要求1所述的方法，其中所述沉积一第一栅极层的步骤包括沉积非晶硅。

4、如权利要求1所述的方法，其中所述沉积一第一栅极层的步骤包括沉积多晶硅。

5、如权利要求1所述的方法，其中所述沉积一第二栅极层的步骤包括沉积非晶硅。

6、如权利要求1所述的方法，其中所述沉积一第二栅极层的步骤包括沉积多晶硅。

7、如权利要求1所述的方法，其中所述掺杂所述第一栅极层的步骤包括：使用硼掺杂所述第一栅极层。

8、如权利要求1所述的方法，其中所述掺杂所述第一栅极的步骤包括：使用十硼烷掺杂所述第一栅极层。

9、如权利要求1所述的方法，其中所述掺杂所述第二栅极层的步骤包括：使用硼掺杂所述第二栅极层。

10、如权利要求1所述的方法，其中所述掺杂所述第二栅极的步骤包括：使用十硼烷掺杂所述第二栅极层。

11、一种用于制成一具有一衬底的金属氧化物半导体（MOS）器件的方法，其包括如下步骤：

- (a) 在所述第一衬底中形成一阱及对置的沟槽绝缘部分；
- (b) 在上面沉积一第一介电层；
- (c) 在所述第一介电层上沉积一第一栅极层；
- (d) 掺杂所述第一栅极层，以界定一经掺杂的第一栅极层；
- (e) 在所述经掺杂的第一栅极层上沉积一第二栅极层；
- (f) 由所述经掺杂的第一栅极层及所述第二栅极层组合形成一门极叠层，从而形成所述第一介电层的曝光部分；
- (g) 将一第一光阻剂图案化，以曝光所述第一介电层上靠近所述沟槽绝缘部分的漏极延展区；
- (h) 掺杂所述门极叠层的所述曝光部分，且所述第一介电层在所述沟槽绝缘部分与所述门极叠层之间的所述阱中形成漏极延展区；
- (i) 移除所述第一光阻剂，并将一第二光阻剂图案化，以靠近所述门极叠层的对置侧面形成间隔层，并曝光所述第一介电层中界定漏极及源极区的部分；
- (j) 掺杂所述第一介电层的所述曝光部分，以在所述阱中形成源极及漏极层；
- (k) 移除所述第二光阻剂层；及
- (l) 提供热处理，以使所述所植入掺杂剂扩散，从而使所述所植入掺杂剂扩散出所述第一介电层进入所述阱中。

12、如权利要求 11 所述的方法，其中所述掺杂所述第一栅极层的步骤包括：使用硼掺杂所述第一栅极层。

13、如权利要求 11 所述的方法，其中所述掺杂所述第一栅极层的步骤包括：使用一硼簇植入剂硼掺杂所述第一栅极层。

14、如权利要求 11 所述的方法，其中所述掺杂所述第一栅极层的步骤包括：使用一分子植入剂掺杂所述第一栅极层。

15、如权利要求 11 所述的方法，其中所述掺杂所述漏极及源极区的步骤包括：使用硼掺杂所述漏极及源极区。

16、如权利要求 11 所述的方法，其中所述掺杂所述漏极及源极区的步骤包

括：使用一硼簇掺杂所述漏极及源极区。

17、一种用于制成一具有一衬底的金属氧化物半导体器件的方法，其包括如下步骤：

- (a) 在所述衬底中形成一阱及对置的沟槽绝缘；
- (b) 在上面沉积一第一介电层；
- (c) 在所述第一介电层上沉积一第一栅极层；
- (d) 将所述第一栅极层形成为一门极叠层形式，留出所述第一介电层的曝光部分；
- (e) 将一第一光阻剂层图案化，以曝光所述第一介电层的漏极延展区；
- (f) 掺杂所述漏极延展区，以形成漏极延展层及所述阱；
- (g) 移除所述第一光阻剂层；
- (h) 沉积一第二栅极层；
- (i) 将所述第二栅极叠层形成成为偏离并大于由所述第一栅极层构成的所述门极叠层；
- (j) 将一第二光阻剂层图案化，以靠近所述第二栅极叠层形成间隔层，从而界定漏极及源极区；
- (k) 掺杂所述漏极及源极区，以在所述阱中形成漏极及源极层；及
- (l) 移除所述第二光阻剂层；及
- (m) 提供热处理，以使所述已植入的掺杂剂激活通过所述掺杂步骤植入的材料。

18、如权利要求 17 所述的方法，其中所述掺杂所述漏极延展区的步骤包括：使用十硼烷掺杂所述漏极延展区。

19、一种用于制成一具有一衬底的金属氧化物半导体（MOS）器件的方法，该方法包括如下步骤：

- (a) 在所述衬底中形成一阱及对置的沟槽绝缘；
- (b) 在上面沉积一第一介电层；
- (c) 在所述第一介电层上沉积一第一栅极层；
- (d) 将所述第一栅极层形成为一初始门极叠层的形式，留出所述第一介电层的曝光部分；

- (e) 掺杂所述门极叠层及所述第一介电层的所述曝光表面;
 - (f) 在所述第一介电层的所述曝光表面上沉积一第二门极介电层, 其不同于所述第一介电层;
 - (g) 在所述初始门极叠层及所述第二介电层的顶部沉积一第二栅极介电层;
 - (h) 将所述第二栅极沉积层形成为一最终门极叠层形式;
 - (i) 将一第一光阻剂图案化, 以曝光所述最终门极叠层及漏极延展区;
 - (j) 掺杂所述最终门极叠层及所述漏极延展区;
 - (k) 移除所述第一光阻剂;
 - (l) 将一第二光阻剂图案化, 以靠近所述最终门极叠层形成侧壁间隔层并曝光所述漏极及源极区;
 - (m) 掺杂所述漏极及源极区及所述最终栅极叠层, 以在所述阱中形成漏极及源极层;
 - (n) 移除所述第二光阻剂层; 及
 - (o) 提供热处理, 以激活通过所述掺杂步骤植入的材料。
- 20、如权利要求 19 所述的方法, 其中步骤(f)包括: 将一物质植入所述第一介电层中。
- 21、如权利要求 19 所述的方法, 其中步骤(b)包括: 对所述第一介电层进行化学处理。
- 22、如权利要求 19 所述的方法, 其中步骤(b)包括: 移除所述第一介电层并再生长一不同于所述第一介电材料的第二介电材料。
- 23、如权利要求 1 所述的方法, 其中所述第一及第二栅极层加起来的厚度等于一传统栅极层的厚度。

一种制造一半导体器件的方法

相关申请案交叉参照

本申请案主张美国临时申请案第 60/392,023 号及美国临时申请案第 60/391,802 号的权利并主张优先于该两个申请案,该两个申请案均于 2002 年 6 月 26 日提出申请。

发明背景

技术领域

本发明涉及半导体器件,具体而言,涉及用于制造半导体器件的方法。

背景技术

传统 CMOS (互补金属氧化物半导体) 半导体器件的制造方法已为人们所熟知,其包括如下步骤:形成一门极介电层,沉积多晶硅栅极材料,将多晶硅/介电材料门极叠层图案化形成栅极,植入一漏极延展植入剂,形成侧壁绝缘体结构(间隔层),植入一源极/漏极植入剂,然后进行热处理以扩散并电激活所植入层。这些植入剂可为 n-型或 p-型掺杂剂,以便分别形成 N-沟道或 P-沟道器件。

随着按比例缩小技术在栅极掺杂方面的进步,出现了各种与传统 CMOS 处理相关的技术问题。首先,随着门极介电层厚度的按比例减小,栅极/门极介电层界面处的场强随之增大,致使栅极在介电层界面处即开始经受电荷耗尽。而人们却不希望出现此种状态,因为其具有使有效门极介电层厚度增大、阈电压出现变化等影响。此外,还存在着一颇具挑战性的问题:人们试图增加对电极/介电层界面处栅极的掺杂,而此会增大掺杂剂通过门极介电层扩散入沟道内的危险,在使用硼来掺杂门极时尤其如此。人们不希望掺杂剂渗透过门极介电层,因为此会使阈电压出现变化。器件对掺杂剂渗透过门极介电层颇为敏感,这是因为门极下面沟道区域中的掺杂浓度较低;因而即使有少量的掺杂剂扩散穿过

门极介电层亦会产生明显的影响。

在门极掺杂处理中涉及两个单元处理，这两个单元处理相互作用决定门极耗尽及门极介电层渗透的程度。第一个单元处理是用于提供掺杂剂原子的离子植入，第二个单元处理是为激活所植入掺杂剂所需的热处理或退火，其还会使掺杂剂扩散穿过门极材料。由于底层的沟道区域掺杂浓度较低，因而为确保掺杂剂不会植入穿过门极氧化层，将离子植入能量选得较低，尽管此会牺牲生产率。此要求掺杂剂扩散穿过门极层，以在需要防止门极耗尽的栅极/门极介电层界面处提供掺杂剂。然而，门极材料通常为多晶硅，而多晶硅具有极不一致的扩散特性。因此，存在着向下到达多晶硅晶粒间界的极快速扩散，因而某些掺杂剂会迅速地到达栅极/门极介电层界面，而大部分掺杂剂仍需要扩散以完全掺杂多晶硅晶粒从而获得高的导电率。因此，随着热处理的继续，栅极/门极介电层界面处的晶界掺杂剂会造成门极介电层渗透的风险。当热处理温度升高、时间变长时，此种风险亦会增大。由于需要使掺杂剂扩散至栅极/门极介电层界面并需要电激活所植入粒子，因而对降低栅极退火时间/温度而言，存在若干实际限制因素，举例而言，如在 M. Kase 等人所著的“用于制造 100 纳米节点高性能逻辑及系统 LSI 的 FEOL 技术 (FEOL Technologies for Fabricating High Performance Logic and System LSI of 100nm node)” (第 12 届国际离子植入技术会议会刊, 1998 年第 91 页) 中所揭示。

目前已提出的旨在解决这些问题的技术包括氮氧化合物门极介电层、SiGe 栅极材料及金属栅极材料。氮氧化合物门极介电层适用于减轻硼渗透过门极氧化层，但对门极耗尽效应却毫无助益。SiGe 门极材料亦会降低硼扩散，因而当增大有效掺杂浓度时对门极渗透问题有所助益，同时亦对门极耗尽问题有所助益。问题在于，SiGe 门极材料会降低 NMOS 特性，因而需要使用复杂的选择性技术来实现一完整的 CMOS 解决方案。金属门极方法则解决了硼渗透问题（不会有硼扩散）及门极耗尽问题（电荷浓度接近无限），但会使同时设定 NMOS 及 PMOS 的阈电压变得极其困难。金属门极方法亦在处理整合方面面临很大的挑战，原因在于：在进行植入激活（例如源极区及漏极区所需的植入激活）所需的热处理高温下，金属层在实体上不稳定。

随着技术的按比例缩小，传统器件还面临着其他限制因素。随着按比例缩

小的持续进行（例如 $<0.1\ \mu\text{m}$ 技术），为保证具有高的工作性能，传统器件面临着需要提供足够的漏极延展区门极覆盖层之苦。具体而言，当覆盖区按比例缩小时，非本征串联电阻会变成一限制因素。由 Ghani 等人在 VLSI 技术论丛（Symposium VLSI Technology，第 17-18 页，2001 年）中所报告的最近分析表明，一种不对称结构有可能实现进一步按比例缩小同时仍保持高性能器件特性。然而，Ghani 等人在所演示器件中所用处理相对于大规模生产要求而言极具制约性：该结构要求在源极侧而非漏极侧进行选择性的倾斜植入。为制成具有此一结构的器件，要求将其布局限定为：使所有源极均处于一侧并使所有漏极均处于另一侧，从而使电路极其庞大。

目前存在的另一种趋势是形成浅半导体结。形成浅半导体结这一要求是不断向更小器件迈进的持续按比例缩小半导体技术的直接结果。随着器件变得愈来愈小，为保持晶体管及其他所需电路元件的正确功能，必须修改制造处理中的许多特性。对半导体结形成技术的影响在于：随着技术的按比例缩小，预计半导体结的深度亦将随之按比例缩小，换言之，随着门极长度愈来愈短，半导体结也会变得愈来愈浅。通过此种方式，来保持晶体管的功能。

继续沿用原有的按比例缩小半导体结深度的方法存在若干困难。具体而言，形成此等半导体结的传统方法是借助离子植入将掺杂剂引入半导体衬底中，然后再执行一热处理步骤将掺杂剂原子电激活。为获得更浅的半导体结，必须使用更低的能量来执行离子植入，从而尽可能使原子不渗透入半导体衬底中。一般而言，浅半导体结要求离子植入能量小于 5keV ，而超浅半导体结则要求离子植入能量小于 1keV （对应硼植入剂而言）。这些植入剂在传统植入机上的生产率较低，这是因为这些植入剂处于却尔特定律（Child's Law）的适用范围内：植入剂能量小于 10keV 。在该范围内，植入剂的射束电流受到空间电荷效应的限制，使最大电流与吸取电压引出电压的 $3/2$ 次方成正比。提高该范围内的生产率的传统方法是对植入机采用一加速/减速构造：以高能量吸取射束以免出现却尔特定律所施加的空间电荷限制，然后在圆片之前减速以使用正确的能量进行植入。尽管此种方法能够将生产率提高 $2\times$ 倍左右，但减速射束具有能量污染问题且会导致植入不均匀。

用于形成超浅半导体结的传统植入处理还存在其他问题：植入剂会在植入

有硅的层中形成缺陷结构，当降低能量且该层变得更浅时，此会更成问题。首先，由于当使植入较浅时受到植入的半导体衬底的体积减小，因而所形成缺陷的密度会迅速增大。由于剂量不是相同就是增大，因而减小植入深度相当于既增大所植入掺杂剂的密度亦增大植入缺陷的密度。随着缺陷密度的增大，交互影响的可能性随之显著增大，并会造成如下问题：缺陷的组合会造成非常难以退火的更为复杂的缺陷结构。可注意到，高密度的所植入掺杂剂（例如硼）亦会增大形成掺杂剂复杂结构的可能性。当掺杂剂浓度超过固溶度时，此尤其很成问题，其原因在于超饱和的掺杂剂往往会沉淀成人们不希望有的结构。例如，超饱和的硼往往会沉淀成硼化硅（ SiB_4 ），该种结构将硼结合入非电激活位置，从而使硼植入剂组分完全无效。随着能量的降低，会有更多的植入剂量驻存于一区域中，使该区域中的浓度高于溶解度，从而使植入剂的有效性随能量而降低。

传统处理亦对用于将所植入掺杂剂电激活的热处理或退火设置了苛刻的约束条件。将衬底加热至高温以有效地激活所植入掺杂剂这一需要与限制退火温度及时间以防止扩散这一需要彼此非常矛盾。这种矛盾促使人们开发出一种称作峰值退火的处理，在此种处理中，是将温度迅速升高至一峰值温度，然后立即降低温度，以使在最高温度上的驻留时间接近于零。为形成超浅硼结，有必要进行此一退火，以最大限度降低硼的扩散。

有人提出通过植入于一表面氧化层中然后再通过该氧化层扩散入衬底中形成半导体结来解决形成超浅半导体结时存在的这些问题中的某些问题，例如，此论述于 Schmitz 等人所著的“通过自所植入氧化层向外扩散来形成超浅结（Ultra-Shallow Junction Formation by Outdiffusion from Implanted Oxide）”（IEEE-IEDM' 98，第 1009 页；及 Schmitz 等人所著的“通过自所植入氧化层快速热扩散来制成浅结（Shallow Junction Fabrication by Rapid Thermal Outdiffusion from Implanted Oxides）”（快速热处理技术的进步（Advances in Rapid Thermal Processing）会刊，电化学协会（Electrochemical Society），Seattle Washington, 1999，第 187 页）。此种方法的优点是使大部分植入破坏处于氧化层中而降低或消除半导体衬底中的缺陷形成。该方法亦会放宽对退火的约束条件，因为此时大部分扩散将通过氧化层进行。然而，

该方法的缺点是：通过氧化层进行的扩散通常慢于通过硅进行的扩散，例如，此在 Fair 所著的“超薄门极氧化层中硼扩散的实体模型 (Physical Models of Boron Diffusion in Ultrathin Gate Oxides)” (J. Electrochem. Soc. 144, 1997, 第 708-717 页) 中有所论述。

传统处理存在的另一问题是当试图形成一超浅结时很难避免植入于氧化层内，例如此论述于 Krull 等人所著的“原生氧化层对亚 keV 离子植入剂的重要性 (The importance of the native oxide for sub-keV ion implants)” (第 12 届离子植入技术国际会议-1998 会刊 (Proc 12th International Conference on Implant Technology-1998) 第 1113 页, 1999)。随着技术的按比例缩小及植入能量的降低，日益难以足够充分地移除表面氧化层以使其不会干扰离子植入过程。如 Krull 等人所论述，甚至原生氧化层（仅通过在室温下暴露于空气中而在硅圆片上形成的氧化层）的厚度亦足以使能量为 250eV 的硼植入剂的大部分原子进入氧化层 (1.5nm) 内而非如人们所愿进入硅中。由于原生氧化层系在室温下在空气中形成，因而为植入于真正的裸衬底中，需要采取极端的措施，例如在离子植入机的真空系统内现场剥除氧化层。目前尚不存在具备此种功能的生产用植入机。若不具备植入于真正裸衬底中的能力，生产解决方案必定会涉及到控制所存在氧化层的厚度并植入于该氧化层中。为实现生产水平的可重复性，将需要提供此一处理。

发明内容

本发明使用一两次沉积式门极形成处理来实现替代处理条件，这些替代处理条件解决了在传统技术中遇到的门极耗尽及掺杂剂渗透过门极介电层的问题。具体而言，本发明涉及到通过一两次沉积加植入顺序的组合来形成一栅极。其中第一次沉积较薄且其对应的植入极浅，以便尽可能靠近栅极/门极介电层界面直接设置一最大有效剂量。簇离子植入剂能够实现高剂量、超低有效能量的植入处理，簇离子植入剂的出现消除了先前掺杂极薄层时存在的限制。第二次沉积则将栅极制作完成至一传统厚度，并允许独立地选择第二次沉积所用的离子植入剂及热处理。

应注意，峰值退火的出现进一步实现了极浅的高度激活掺杂剂层。峰值退

火是一种快速的热力过程或热处理，在峰值退火中，处于最高温度下的时间接近于零：温度在极快速地骤然升高后立即尽可能快地骤然下降。在本发明中，在栅极/门极介电层界面处形成浅掺杂层可消除其中一个对单一门极处理通常所用的植入及热处理的约束：由于不再需要使掺杂剂穿过栅极层扩散至门极介电层界面来阻止门极耗尽，因而可使用峰值退火，从而进一步降低掺杂剂渗透过门极介电层的风险。

当包含两个门极图案化步骤时，可实现此种两次沉积式门极形成处理的其他益处。具体而言，利用两个图案化步骤的一个益处在于：漏极延展植入既可用于第一级门极掺杂步骤也可用于漏极延展植入，从而从该处理中消除了一次浅植入。再者，使用两个图案化步骤能够使人们自由选择使第二图案向门极的源极侧偏移。此将形成一其中源极侧上的漏极延展区重叠远大于漏极侧的不对称源极/漏极晶体管。这是一种形成 Ghani 等人所述的晶体管性能类型同时避免其他设计及处理约束的有效方法。

本发明的另一方面涉及到一种通过如下方式制成一超浅半导体结的方法：将一掺杂物质离子植入于一半导体衬底表面上的一介电层内，并使该掺杂剂穿过介电层扩散入半导体衬底中，从而形成一浅半导体结。该方法进一步包括如下步骤：植入一附加物质或多于一种附加物质，其中所述附加物质的作用是增强掺杂剂穿过介电层的扩散，从而使该处理更为有效。此一处理的一个实例是将一硼/氢簇离子植入一硅圆片上的二氧化硅层中。在此种情况下，如上文中所提及的 Fair 参考文献所述，认为氢能够增强硼在二氧化硅中的扩散，从而能够管控用于实现扩散的退火处理。这样增强氧化层中的扩散速率能够放宽其他处理限制，尤其是对退火处理时间及温度的限制。

附图说明

参照下文说明及附图，将易知本发明的这些及其他优点，附图中：

图 1a-1d 为显示一本发明的两次沉积门极形成处理的处理流程图；

图 2a-2c 为显示根据本发明通过该两次沉积门极形成处理获得自对准漏极延展区及源极区、漏极区的处理流程图；

图 3a-3e 为显示该两次沉积门极形成处理的处理流程图，其中根据本发明

使用两个门极图案化步骤形成一不对称覆盖晶体管；

图 4a-4e 为显示根据本发明形成带切口晶体管结构的处理顺序的处理流程图；

图 5 为一显示在本发明的两步骤式门极形成处理中硼浓度与栅极深度的函数关系的曲线图；

图 6 为一具有表面介电层的半导体衬底的简图；

图 7 为一显示根据本发明的另一方面由离子束在介电层内形成一离子植入层的简图；

图 8 为一显示根据图 7 所示本发明实施例经过热处理后的衬底的简图，其中掺杂剂已扩散出介电层并形成一浅结。

具体实施方式

本发明涉及一种使用一两次沉积式处理形成 MOS 晶体管的栅极的方法，以作为解决门极耗尽及门极介电层硼浓度问题的方法，该方法无需使用新材料。本发明亦涉及一种在一半导体衬底中形成一超浅结的方法。

形成栅极

如上文所述，本发明的一个方面涉及通过一两步骤式沉积处理形成 MOS 晶体管的栅极。在该两次沉积式处理中，第一步骤是沉积一薄层电极材料，随后进行一浅离子植入以在栅极/门极介电层界面附近提供较高的硼浓度。第二步骤亦是沉积一门极层，随后进行离子植入，以使这两个层的总厚度相当于一传统的单层式栅极结构。

在下文对本发明实施例的说明中，论述了某些具体细节。应了解，这些细节仅为实例。具体而言，这些实例旨在阐释一 $0.13\mu\text{m}$ 技术节点的 PMOS (P-沟道金属氧化物半导体) 晶体管。然而，本发明的原理显然亦适用于其他应用，包括应用于 NMOS 晶体管。

图 1a-1d 显示涉及栅极的形成的本发明之一实施例。具体而言，图 1a 显示一已在传统 CMOS 处理步骤中经过如下步骤处理的半导体衬底(10)：形成阱(11)，沟槽绝缘(12)及形成门极介电层(13)。对于 PMOS 晶体管而言，该阱结构为(举例而言)一经过掺杂的 n-型阱结构。对于 $0.13\mu\text{m}$ 技术节点，门极介电层厚

度约为 2nm。第一栅极沉积层 (14) 的厚度为 15-20 纳米 (nm)，其例如直接形成于栅极介电层 (13) 顶部。通常，该沉积层 (14) 为一层非晶硅或多晶硅 (polysilicon)。栅极介电层与栅极的第一电极层 (14) 之间的界面 (9) 即为在传统器件中出现栅极耗尽的区域。

图 1b 显示该处理的下一步骤：进行浅离子植入以掺杂第一栅极层。此次植入的要求是使用约 500eV 的硼植入至一约 $1 \times 10^{15} \text{cm}^{-2}$ 的剂量。一替代处理是以 5.5keV 的十硼烷植入至 $1 \times 10^{14} \text{cm}^{-2}$ 的剂量，或者亦可使用其他在处理上等效的植入步骤。应注意，植入剂的能量必须低，以使掺杂剂渗透较浅；具体而言，所植入的剂量 (<0.1%) 不应穿过沉积层及栅极介电层，因为为正确设定阈电压，沟道区域的掺杂浓度必须低。应注意，此种约束条件对于传统植入处理而言相当苛刻，这是因为所需的低能量会对生产率提出挑战且因离子束减速而引起的能量污染会造成渗透过栅极叠层并渗透入沟道中的风险。

然后，如图 1c 所示继续进行处理，图 1c 显示在第一沉积层 (14) 上直接沉积第二沉积层 (17)。由于第一沉积层 14 及第二沉积层 17 一起形成栅极，因而无需使用中间层。第二沉积层 (17) 既可为非晶硅亦可为多晶硅。应注意，非晶硅沉积层在沉积层光滑度及避免隧穿方面具有某些优点，但此后在该处理流程中的热处理期间，非晶硅确实会变换成多晶硅。第二沉积层 (17) 的厚度例如可约为 130nm，从而使第一及第二沉积层的总厚度约为 150nm，此即栅极的整个厚度。

图 1d 显示一第二次离子植入或掺杂步骤，例如使用硼、硼原子或硼簇以约 2keV 的等效硼能量及约 $5 \times 10^{15} \text{cm}^{-2}$ 的高剂量进行离子植入。然后，自此开始，使用传统 CMOS 处理继续进行栅极图案化、形成间隔层、形成源极及漏极等。

本发明的一实施例包括在第二次植入之前将栅极叠层 (18) (栅极氧化层/第一电极层/第二电极层) 图案化这一步骤。该实施例之一优点是漏极延展区及源极/漏极区与经图案化的栅极叠层 (18) 之间自对准。该处理顺序显示于图 2a-2c 中。具体而言，图 2a 显示来自前一处理顺序的经过图 1c 所示处理及通过传统光微影将栅极叠层 18 图案化之后的衬底。对于 0.13 μm 技术节点，栅极长度处于 60-120 nm 范围内。图 2b 显示该过程继续进行漏极延展植入步骤。首先，涂覆一光阻剂 (PR) 层 (23) 并将其图案化，以将 PMOS 区域曝光 (即漏极延展

区 38 及 39)。对于漏极延展植入而言,离子束(21)为一能量约为 500eV 且剂量约为 $5 \times 10^{14} \text{cm}^{-2}$ 的硼植入剂。亦可在处理上等效的条件下使用一硼簇植入剂或硼分子植入剂,例如在共同拥有的美国专利第 6,452,338 号中所揭示的十硼烷。该植入剂向经曝光的衬底区域内渗透形成图 2c 所示的漏极延展区(22)并亦可在栅极的表面处形成一植入层(若不期望出现该植入区域,则可对栅极表面加以保护)。如图 2b 所示,漏极延展区 22 的内边缘对准门极叠层的边缘,从而形成自对准。然后,使用传统技术移除 PR 层(23),并通过另一光阻剂层(28)在门极叠层(18)的侧壁上形成绝缘间隔层(25),光阻剂层(28)经涂覆并图案化后用于曝光 PMOS 器件区域,分别界定出漏极区 30 及源极区 31。然后,执行第二离子植入步骤,以形成一深源极层(26)及漏极层(27)并同时为整个栅极(29)提供掺杂剂。第二次植入的处理条件为:对于硼为约 2keV 的能量及 $5 \times 10^{15} \text{cm}^{-2}$ 的剂量,对于硼簇离子植入则为在处理上等效的条件。然后,移除第二光阻剂层(28)并接着进行(若需要)传统 CMOS 处理,包括沉积层间介电层、形成触点、金属化等等。

本发明的另一方面包括在第一组沉积/植入处理之后引入一附加的门极图案化步骤。在本发明的该实施例中,由于第二电极沉积层亦将需要图案化成栅极,因而需要使用两个门极图案化步骤。由于涂覆两个门极图案颇为困难,因而预计仅当期望得到一非对称晶体管结构时才会使用一两次门极图案化方法。借助两个门极图案化步骤,可将非对称性设计进两个门极图案中,从而实现对非对称性的控制。下文将论述两种非对称结构:非对称覆盖结构及带切口的门极结构。

更具体而言,可通过两个门极图案化处理顺序形成一非对称重叠晶体管。本发明该实施例的一个方面在于可使用电极植入步骤来形成漏极延展层,这是因为其植入要求相同。该实施例的另一方面是能够通过偏置这两个门极图案来形成非对称重叠晶体管结构。该处理顺序显示于图 3a-3e 中。在图 3a 中,来自图 1a 的衬底已经过一门极图案化步骤处理。对于 $0.13 \mu\text{m}$ 技术节点而言,该图案的门极长度约为 50-80nm。此时,涂覆一光阻剂层(42)并如图 3b 所示将其图案化,以将介电层 13 的漏极延展区 38 及 39 曝光。然后执行一浅离子植入步骤,以在曝光后的源极及漏极区中形成漏极延展区(43),并使第一栅极的曝光

表面受到掺杂 (44)。该次植入的植入条件可为：将一 5.5keV 的十硼烷植入剂植入至 $0.5-1 \times 10^{14} \text{cm}^{-2}$ 的剂量，或者使用硼或硼簇（例如十硼烷）进行在处理上等效的植入。此时，使用传统技术移除光阻剂层 (42)，并提供第二门极沉积层 (45)，从而形成图 3c 所示结构。接下来，将栅极层图案化，其中该图案更大且相对第一门极图案层存在一偏移。所形成的栅极叠层如图 3d 所示。第二门极层超出第一门极层之外的超覆部分可如图所示 (46) 限定至晶体管的源极侧。通过此种方式，即可如上文所提及的 Ghani 等人所述，形成极小的晶体管且不会降低漏极饱和电流 I_{DSAT} 。然后，如图 3e 所示，在该处理中接着形成门极侧壁间隔层 (51)，然后涂覆一光阻剂层 (50) 并将其图案化以仅曝光 PMOS 晶体管，藉以界定所述介电层 13 的漏极区 38 及源极区 39。然后，使用硼在 2keV、 $5 \times 10^{15} \text{cm}^{-2}$ 的离子束 (47) 条件下，或者使用在处理上等效的簇离子植入来执行第二次离子植入。图 3e 显示通过渗透该离子植入剂在栅极中形成源极及漏极区 (48) 以及第二离子植入层。此时，即会形成非对称重叠晶体管结构，然后，该衬底将继续经过一传统的 CMOS 制造顺序：沉积层间介电层、形成触点、金属化等等。应注意，通过改变此种方法亦可形成其他变体形式的非对称衬底晶体管。

本发明的另一方面涉及到应用此种方法如图 4a-4e 所示制成一带切口门极的晶体管结构。在该处理顺序中，首先如图 1b 所示通过第一次门极沉积及第一次门极植入来处理衬底。然后，将第一栅极层图案化。该处理中的下一步骤是在经图案化的门极叠层之外的曝光半导体表面处提供第二门极介电层 (52)。该第二门极介电层不同于第一门极介电层，且对第二门极介电层的处理可包括包含如下步骤在内的众多种门极介电层处理步骤中的任何步骤：将一诸如氮等物质植入现有门极介电层中，对现有介电层进行化学处理（例如在高温下暴露于氨中），清除现有介电层并重新生长一不同的门极介电层（例如一不同厚度的二氧化硅或一具有不同含氮量的氮氧化合物），沉积另一层门极介电层（例如氮化硅、或氧化镓或氧化锆、或硅酸镓或硅酸锆），或者此等处理的一组合。第二门极介电层处理步骤提供一与第一门极介电层不同的门极介电层，从而使第二门极区的阈值电压不同于第一门极区。此时，另一选择是实施一第二次阈值调整植入，如离子束 (64) 及阈值调整植入层 (65) 所示。此次离子植入可为两种导

电类型之一的极轻剂量（剂量范围为 $1 \times 10^{13} \text{cm}^{-2}$ ）的植入。此次植入将与第二门极介电层一起设定第二门极区的阈电压。

如图 4b 所示，在该处理中接下来进行第二次栅极沉积步骤，此次沉积的厚度须使总厚度等于传统厚度。此次沉积既可使用非晶硅亦可使用多晶硅。在下一步骤中，如图 4c 所示，将第二栅极沉积层（54）图案化。因此，最终的晶体管结构包含两个具有不同门极介电层的区域。

接下来，涂覆一光阻剂层（55），并将其图案化以曝光 PMOS 器件（即漏极延展区 64 及 65），如图 4d 所示。然后，通过植入一含硼的离子束（56）形成漏极延展区（57）。此次植入的典型条件是 500eV 的能量及 $5 \times 10^{14} \text{cm}^{-2}$ 的剂量，或者使用在处理上等效的参数植入硼簇植入剂。此次植入亦会以传统方式实现漏极延展区与门极叠层边缘的自对准。如果不设置覆盖层，则此次植入将在栅极表面上形成一浅掺杂层（58）。然后，剥除光阻剂层（55），并在栅极的侧壁上形成绝缘侧壁间隔层（59），如图 4e 所示。然后，涂覆一新的光阻剂层（62）并将其图案化，其中再次保护 NMOS 区域并曝光 PMOS 区域（即分别曝光源极区 66 及漏极区 67）。接下来，植入离子束以形成源极及漏极区（61）。该植入亦提供栅极掺杂（63）。此时，即已形成带切口门极的晶体管结构，且该衬底将继续经过一传统 CMOS 制造顺序：沉积层间介电层，形成触点，金属化，等等。应注意，通过改变此种方法亦可形成其他变体形式的带切口门极的晶体管。

本发明的一个方面是确保第一沉积层厚度、第一植入深度（植入能量）及热处理的组合使硼不会渗透过门极氧化层。此要求第一沉积层非常薄且第一植入层非常浅，且热处理的选择应最大限度地降低扩散。在本发明之一实施例中，第一植入步骤可使用簇离子植入至一约 20nm 的第一沉积层厚度，热处理则可使用峰值退火。此种处理步骤组合将提供为最大限度降低门极耗尽及硼渗透过门极氧化层所需的结构。典型条件包括：第一沉积层厚度为 20nm，在第一次植入中以约 5keV 的能量植入十硼烷至 $1 \times 10^{14} \text{cm}^{-2}$ 的剂量，且峰值退火至 100℃ 温度。这些条件应能保证硼不会渗透过门极介电层。

图 5 证实可实现适当的植入条件。这些模拟是使用 SRIM 2000 来进行，SRIM 2000 是一种用于计算植入于材料中的离子的深度及分布的程序，如 J. Ziegler 等人在“离子在固体中的终止及范围（The Stopping and Range of Ions in

Solids)” (Pergamon 出版社, New York 1985 年) 中所述。在本实例中, 建立标称植入参数模型来确定由这两个植入处理形成的深度分布图。其中将第一沉积层 (71) 建模为一 15nm 厚的多晶硅沉积层。将第一次植入条件建模为一剂量为 $1 \times 10^{15} \text{cm}^{-2}$ 的 500eV 硼植入, 由此得到分布曲线 (72)。如图 6 所示, 不会有 ($<0.1\%$) 植入剂到达门极氧化层界面 (75), 当然也不会有植入剂穿过门极介电层进入底层的硅中。第二沉积层 (73) 则建模为沉积 125nm 的多晶硅, 随后以 2keV 的能量及 $5 \times 10^{15} \text{cm}^{-2}$ 的剂量植入硼, 由此得到分布曲线 (74)。应注意, 第二植入层分布 (74) 完全包含于栅极层内。对于 NMOS 器件, 将使用砷离子植入剂, 由于砷具有更大的原子量, 因而其渗透深度更小, 因此不存在门极渗透风险。

形成超浅结

本发明的另一方面涉及通过如下方式在一半导体衬底中形成一超浅结: 将所需掺杂剂植入该半导体衬底表面上的一介电层内, 然后使该掺杂剂扩散出介电层进入半导体衬底内, 从而形成一结。可与该掺杂剂同时或在此后将一第二物质植入该介电层中, 以改变介电层/掺杂剂系统的扩散性质。此一方法的一个实例是将一氢化硼簇植入一硅圆片上的二氧化硅层中, 其中氢会增强硼穿过氧化层的扩散从而使硼超浅结的形成更为有效。

该处理始于一半导体衬底 1, 如图 6 所示。通常, 半导体衬底为硅圆片, 但其亦可为一 III-V 半导体衬底。此外, 半导体衬底通常掺杂至某一程度, 此处将假定半导体衬底受到 n-型掺杂。在半导体衬底的表面上具有一薄的介电层 2。该介电层将通常为二氧化硅或氮化硅, 但亦可为其他材料。介电层的厚度须经过优化, 但将可能处于 5-20nm 厚度范围内。该介电层在两种材料之间的界面 (3) 处接触半导体衬底 (1)。

如图 7 所示, 在该表面处射入一离子束 (4), 该离子束 (4) 的能量足够低, 以使离子植入层 (5) 完全包含于介电层中。离子束 (4) 既可代表一单一植入剂 (例如硼簇离子) 亦可代表一系列植入剂 (例如在硼植入剂后使用氢植入剂)。人们可能希望如植入层 5 所示, 使植入有掺杂剂物质的层完全包含于介电层内。例如, 若介电层为二氧化硅, 且其厚度为 20nm, 则以 500eV 或更低的能量实施的硼植入将会完全包含于介电层内。人们期望使第二植入物质亦完全包含于介

电层内，以提高其有效性，但如果一部分第二物质进入半导体衬底亦不会对所形成的结产生影响。接下来，实施热处理，其中热处理温度及时间经过优化，以使掺杂物质充分扩散，从而通过界面 3 扩散出介电层 2，进而在半导体衬底(1)中形成一浅结 6，如图 8 所示。

此种方法有若干特征使其在用于直接植入于半导体衬底中时颇具吸引力。首先，植入过程必然会在半导体衬底中引入晶体缺陷，此不利于使所制成的结获得较佳的电气性质。使植入损坏包含于介电层中既有益于所制成的半导体器件亦有益于结形成处理本身。这是因为介电层为非晶体，因而植入缺陷不会降低介电层性能，且缺陷会增强掺杂剂穿过介电层的扩散。

上述方法会放宽对用于电激活所植入掺杂剂的热处理处理的约束。热处理的目标是使掺杂剂处于半导体晶格内的取代位置，从而使掺杂剂能够与半导体原子相结合，藉以获得其在半导体系统内的电活性。在传统处理中，所植入掺杂剂大部分占据填隙位置，因而需要使用高温退火步骤使掺杂剂处于具有电活性的取代位置。此种高温处理能够实现所植入掺杂剂的明显扩散，然而，此会对超浅结的形成起反作用。在传统处理中，使用峰值退火会到达最佳化，峰值退火是将退火步骤的温度骤升至最高温度，然后立即使温度骤然回降，以便以最低限度的扩散获得电活性。借助本发明所提出的处理，半导体中的所有掺杂剂均会通过扩散到达其位置，此意味着由于该扩散过程具有取代性，因而掺杂剂也具有取代性。因此，该退火步骤所需最佳化方式有所不同，这是因为此时所选择的退火处理旨在使掺杂剂扩散穿过介电层且刚好进入半导体衬底。预计使用一有限时间的更低温度处理（而非使用峰值退火）会更佳地实现这一目的。

本发明处理比上文所提及的由 Schmitz 参考文献所论述的处理更为有效，且本发明处理包括引入一第二物质，例如氢。硼在二氧化硅中的扩散慢于硼在硅中的扩散，此会限制高浓度结的形成效率。一种解决此种限制的方法是通过引入氢来增强在介电层中的扩散速率。Fair 显示，氢的存在可使扩散速率提高 2 倍。相对于通常在扩散期间自环境中引入氢的替代处理而言，植入氢是一种颇具吸引力的处理。因为退火处理为高温处理（ $>800^{\circ}\text{C}$ ），且氢气在接触到空气时可燃烧，因而在使用氢气作为退火环境时，氢气会成为一种危险气体。在半导体技术中实施氢扩散的常用方法是使用一由氢气及氮气的混合物构成的环境，

因为该种混合物更为安全。然而，氮气的作用会放慢硼在二氧化硅中的扩散，因而这种安全的混合物不会带来太多的益处。而植入氢则是一种用于增强硼在二氧化硅中的扩散的极为安全且有效的方法。

本发明的另一方面是放宽了通常处理中的许多植入限制。这些限制包括植入剂量及植入能量。此种方法的一个方面是增强了更高剂量植入的实用性。在传统处理中，植入剂是直接植入半导体衬底中，由于各种材料所形成的其他相会使掺杂剂无效，因而可有效植入的掺杂剂的量受到限制。举例而言，对于在硅中植入硼的情况而言，当所植入浓度超过硼在退火温度下的固溶度时，过量的硼会沉淀为硼化硅相，此使硼不具电活性且极难恢复。此种机理对可通过传统处理获得的具有电活性的硼的量施加了一上限。在本发明所提出的方法中，所植入的掺杂剂会进入一非晶态介电层，而在该种非晶态介电层中尚未观测到其他相态的材料。因此，通过建立一穿过介电层的扩散分布，所植入的所有硼均会贡献于超浅结的形成过程。使扩散分布所包含的浓度大于硼在半导体中的固溶度（举例而言）对该处理非常有益，因为此可增大扩散至半导体表面的掺杂剂流。本发明所提出方法的另一方面在于：通过植入于一表面介电层中，可容许增大植入能量。在传统方法中，由于植入深度是形成超浅结的一关键因素，因而要求植入能量极低。而在本发明所提出的处理中，植入能量与介电层厚度相关，为使该处理最佳化，可对介电层厚度进行选择。人们期望使氧化层较薄并利用一低能量植入剂，但此种偏好将会使扩散更为有效，而非直接影响结的深度。由于植入生产率与植入能量直接相关，因而本发明所提出的方法较佳。

本发明所提出方法的另一方面是将植入第二种物质用作一种避免此种物质的有害影响的方法。具体而言，使用由氢增强硼扩散的实例不利于增强硼穿过门极氧化层的扩散，当在氢气环境中实施退火时，或者在任何高温热处理期间可存在过量的氢气时，即会出现此种情况。而在本发明所提出的方法中，通过植入氢，则会将氢正确地置于期望出现硼扩散的区域中并将其屏蔽出电路的其他区域。该方法的另一方面是仅引入够用的氢，因为任何过量的氢均将会扩散至其他区域并有害地增强不希望出现增强扩散的区域中的扩散。由于据信增强效应是氢附着至扩散的硼后作为一簇扩散，因而 1/1 的比率是拟引入该处理中的理想的氢量。通过植入，会将氢准确地置于存在有硼且硼正在其中扩散的体

积中。而诸如在氢气环境中退火等传统方法会在半导体衬底的所有区域中均引入大量的氢，从而导致在人们不希望出现增强扩散的区域中出现增强扩散。本发明所提出方法的又一实施例是分别植入两种物质，从而能够选择以不同于第一种物质的方式来屏蔽第二种物质，以使仅有某些植入有第一种物质的区域得到扩散增强。通过此种方式，可仅通过屏蔽第二种植入剂来获得对源极/漏极延展区的两种不同的最佳化。此将适用于使用单一处理流程来制造各种具有不同性质的晶体管的处理，此种处理在现代半导体制造处理中很常用。

对于本发明的这一方面而言，人们极不希望在一减速型植入机上实施掺杂剂植入。这是由于在每一减速型植入剂的离子束中均存在一定程度的能量污染。在市售系统中，对于在生产上可行的处理而言，此种能量污染处于 0.1-1.0% 范围内。在传统的浅结处理中，作为更高能量的离子束一部分的此种污染会更深地渗透入半导体衬底中并在所植入分布中形成一尾部，此种现象一般可在处理最佳化中得到管控。在本发明所提出的处理中，此种污染更为有害，这是因为更高的能量束将渗透过表面介电层进入半导体衬底，从而形成一人们不希望出现的植入区。由于本发明所提出的处理将有可能利用一高于传统处理的剂量，因而半导体中的污染浓度将成比例地高于传统处理，致使该问题加剧。因此，该种方法的较佳实施例将是在漂移模式下进行簇植入，由此可同时植入两种所涉及物质而不会出现较高的能量污染。

上文已与本发明的若干实施例一道阐述了本发明。然而，本发明并非仅限于此。举例而言，所属技术领域的技术人员易知，亦可作出各种修改、改动、改良或其组合。

显然，可根据上文所教导作出许多种修改及改动。因此，应了解，可在随附权利要求书范围内，以不同于上文所具体阐述的方式来实施本发明。

图 1a

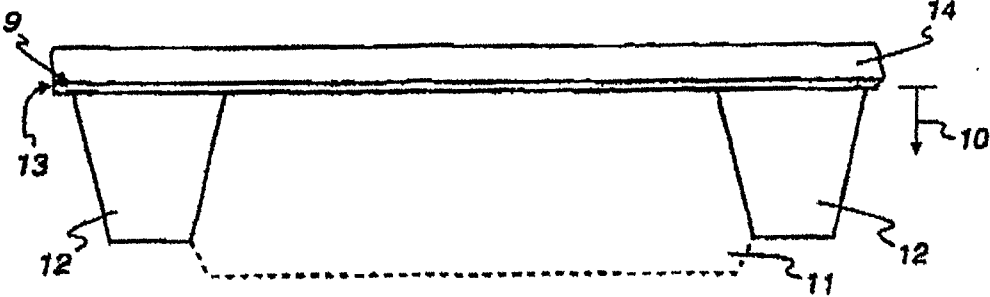


图 1b

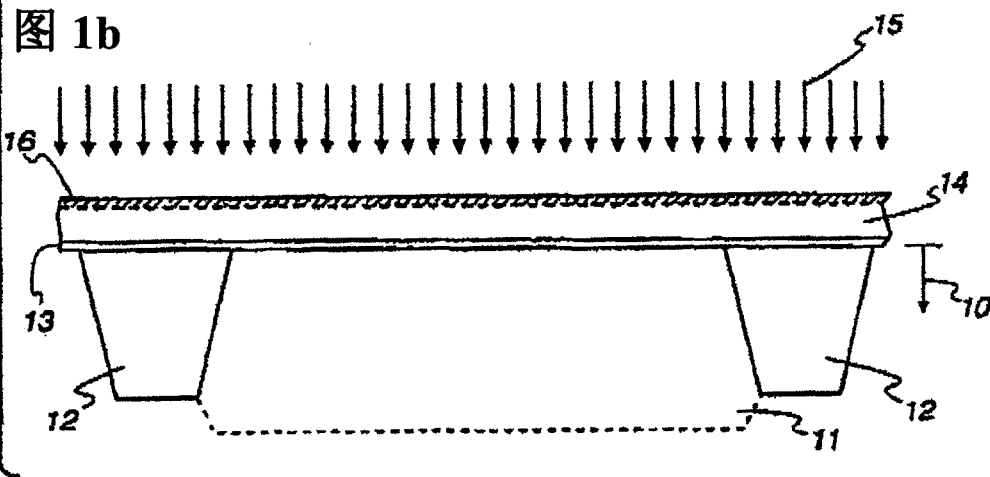
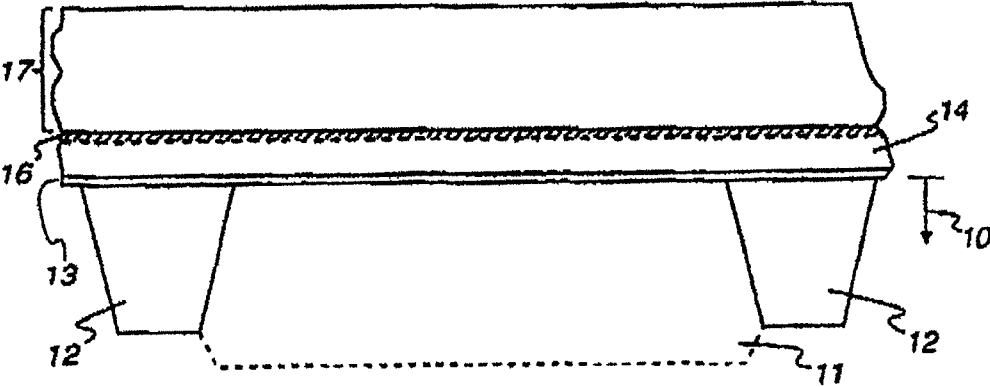


图 1c



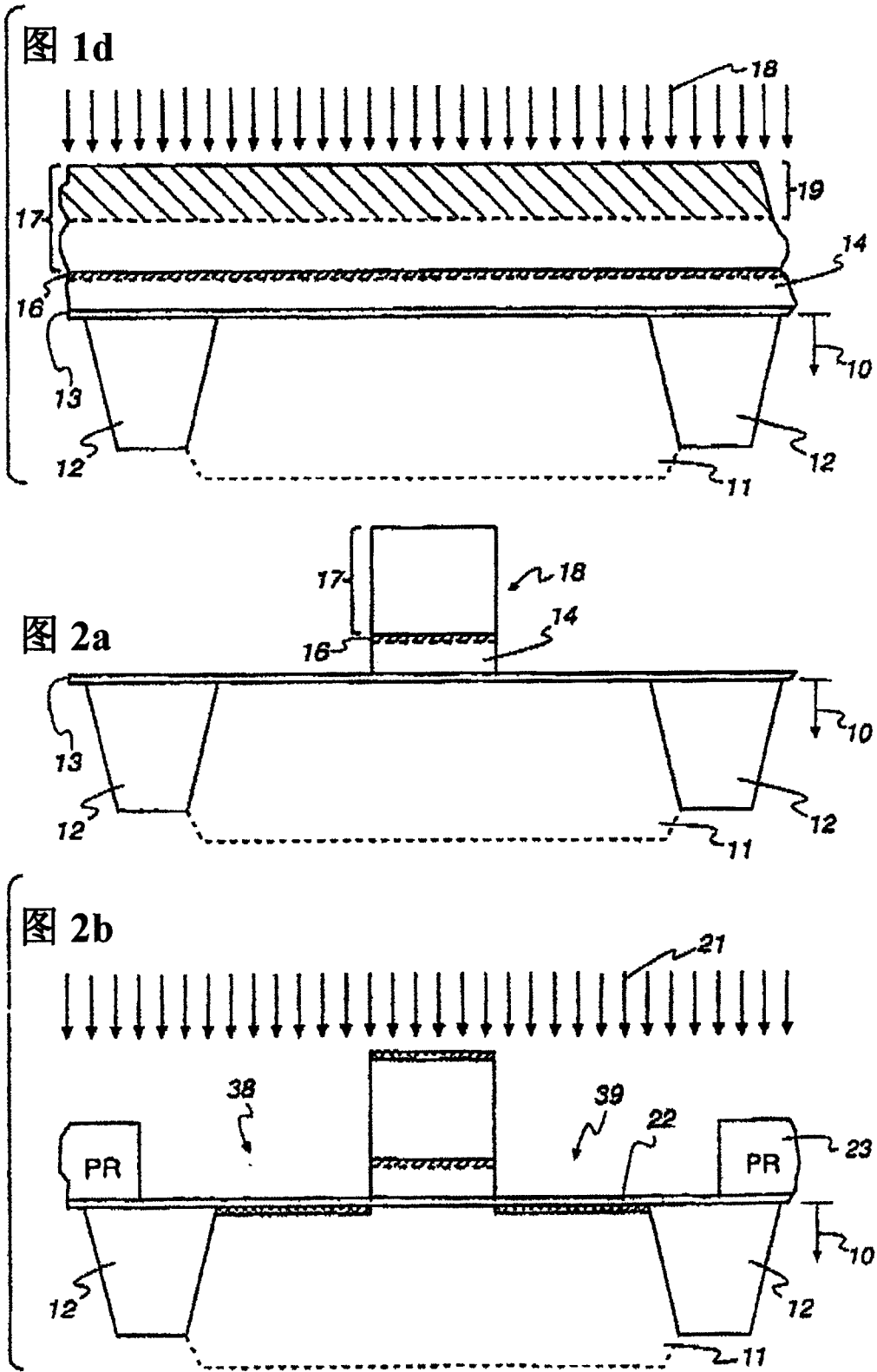


图 2c

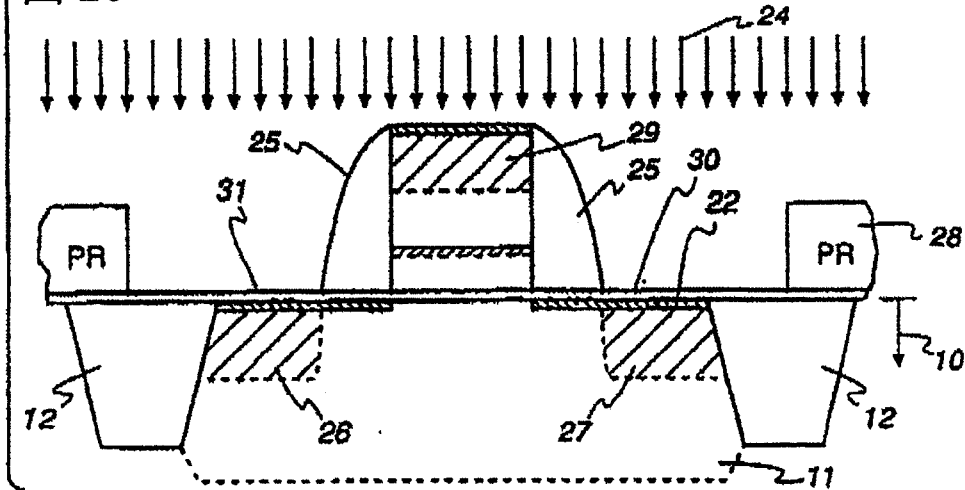


图 3a

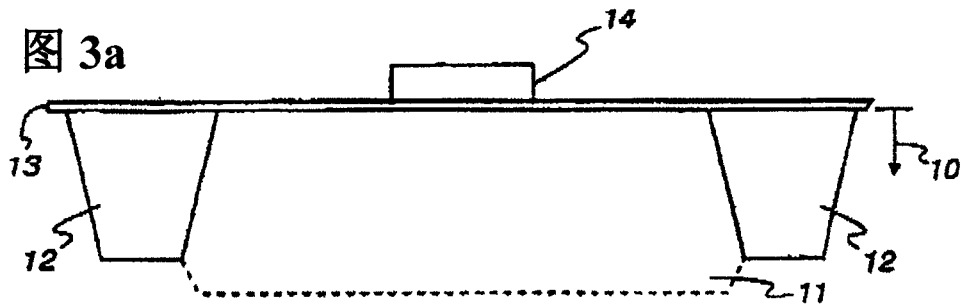
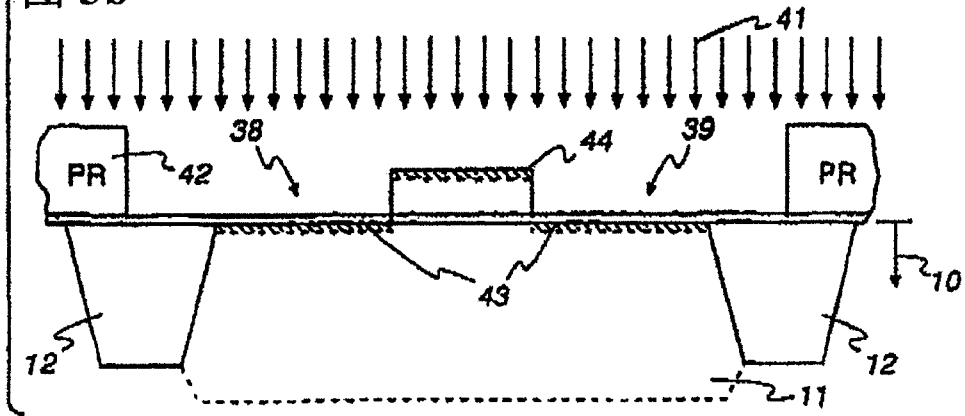
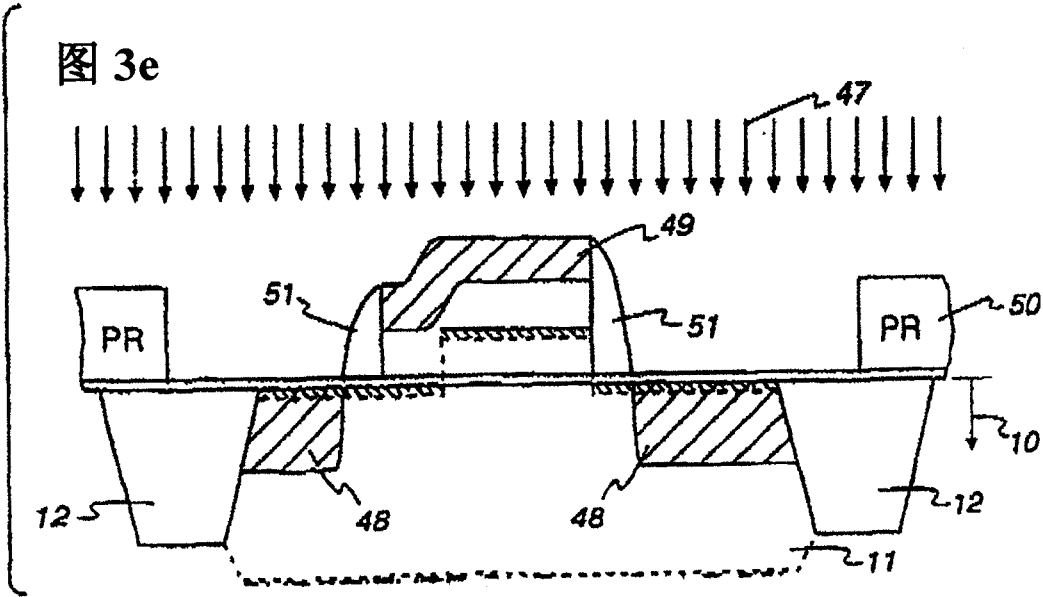
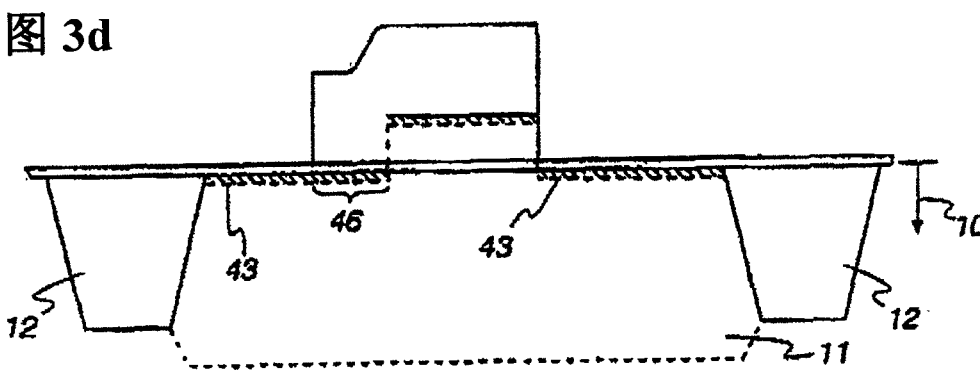
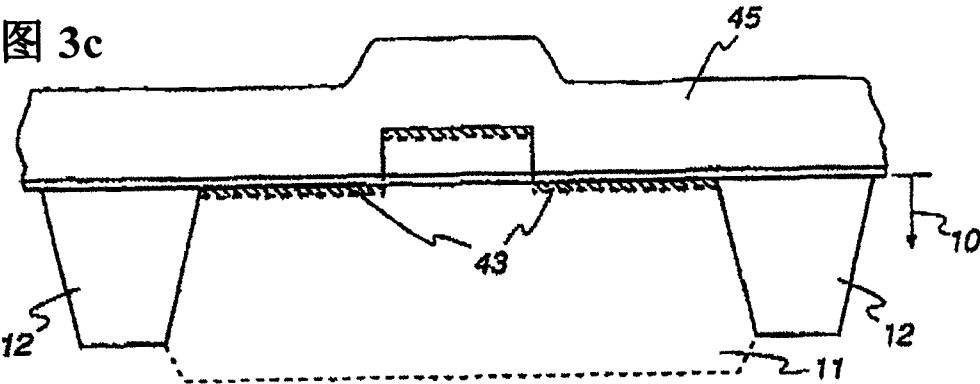
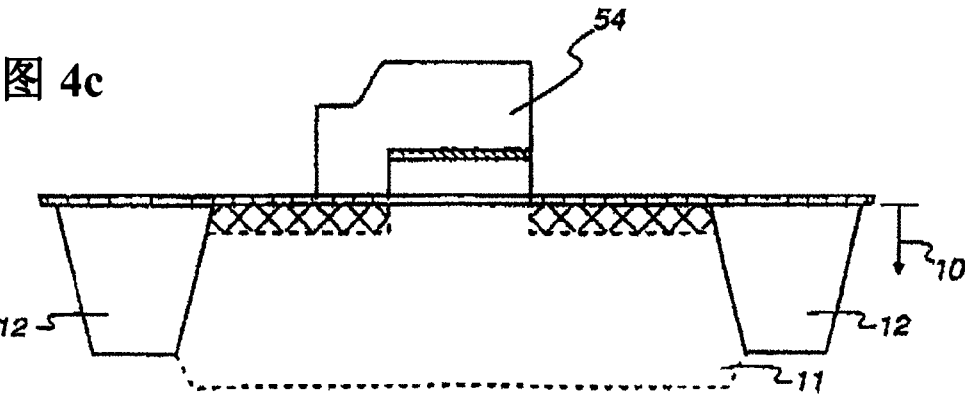
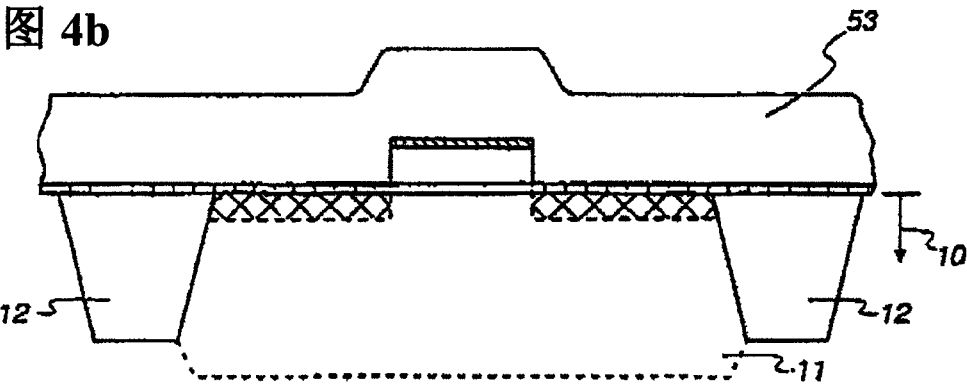
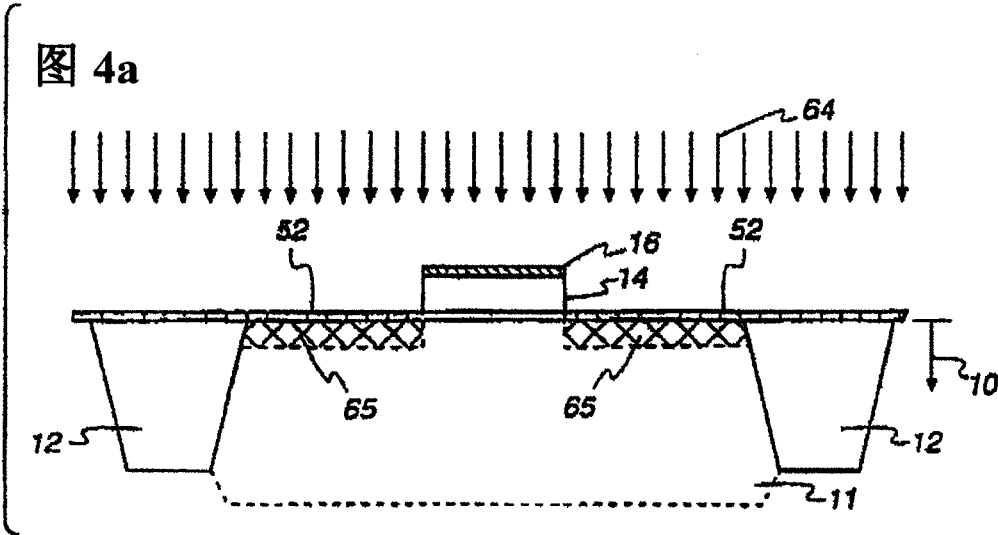
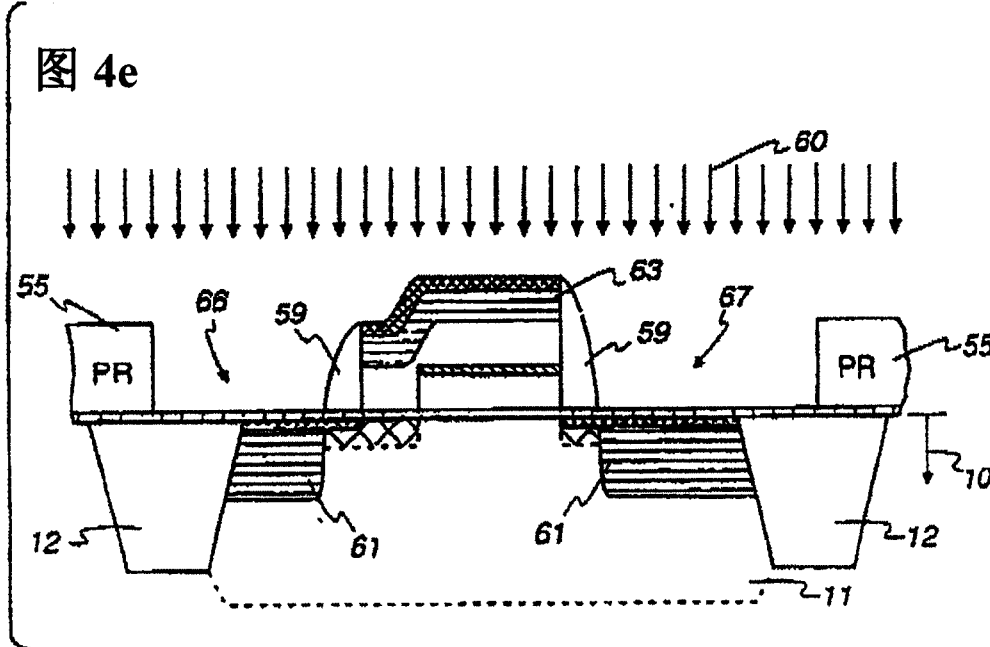
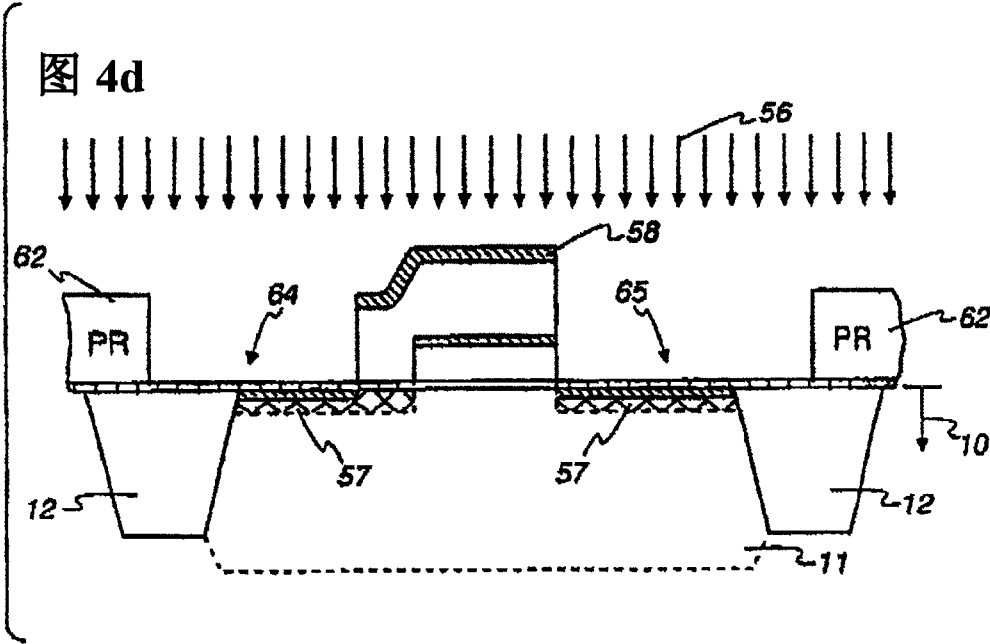


图 3b









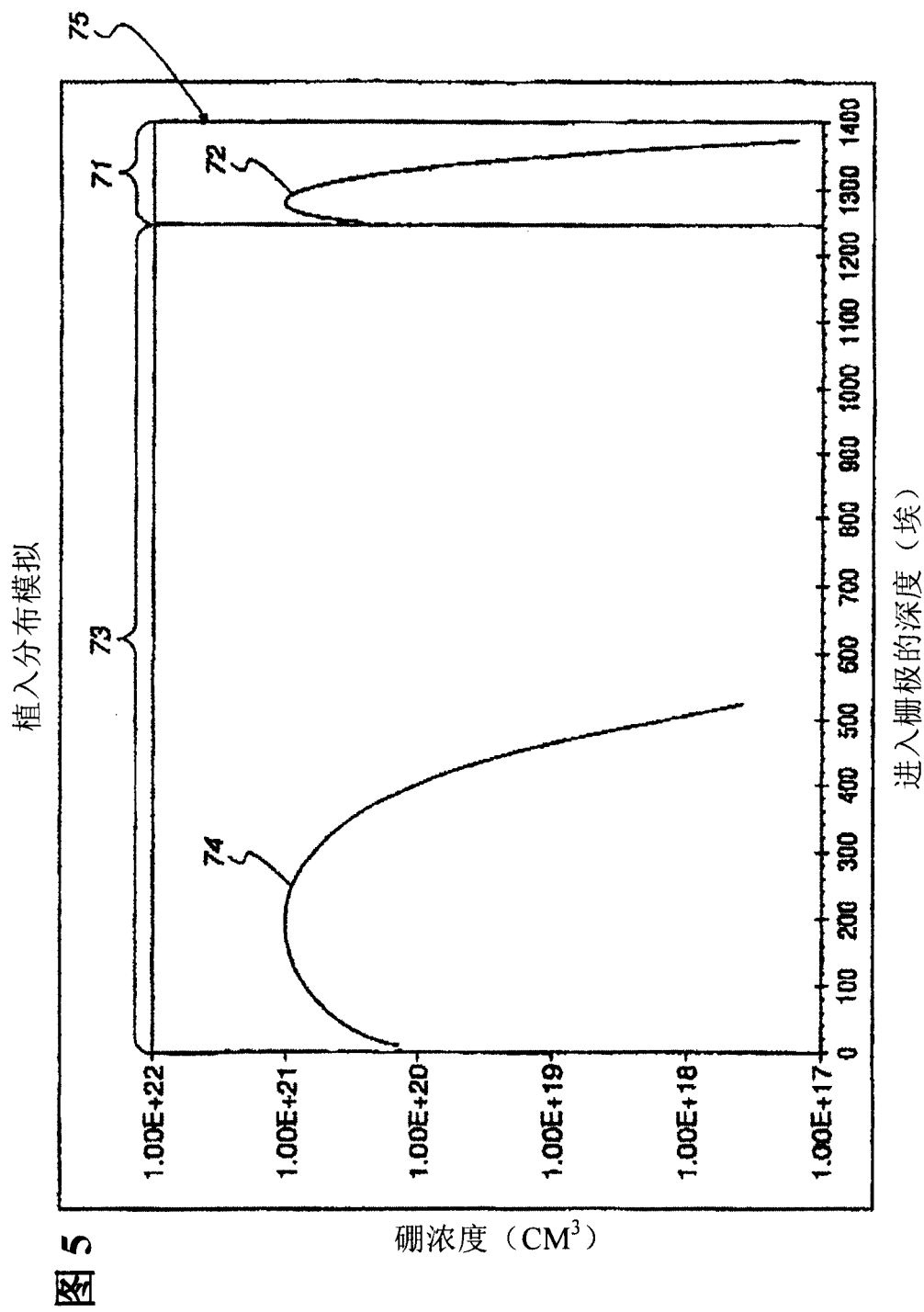


图 6

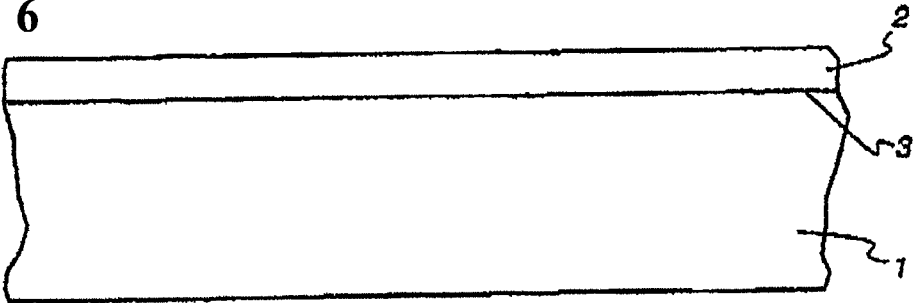


图 7

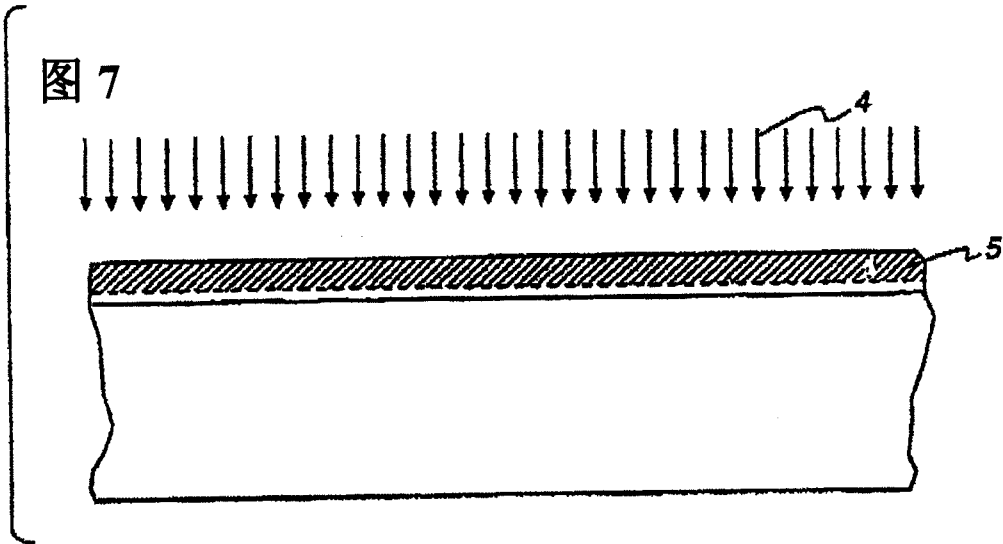


图 8

