

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94126432

※申請日期：94.8.-3

※IPC 分類：H04N 3/5, H04N 9/45

一、發明名稱：(中文/英文)

(2006.01)

固態攝像器件及攝像裝置

SOLID-STATE IMAGING DEVICE AND IMAGING APPARATUS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

中鉢 良治

CHUBACHI, RYOJI

住居所或營業所地址：(中文/英文)

日本東京都品川區北品川六丁目七番35號

7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU, TOKYO,

JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

工藤 義治

KUDOH, YOSHIHARU

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2004年08月11日；特願2004-234061

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種用作影像拾取器件之固態攝像器件及一種攝像裝置。

【先前技術】

最近，使用互補金屬氧化物半導體(CMOS)之影像感應器(下文稱為CMOS感應器)已被廣泛使用。CMOS是一種用於IC製造的標準技術。CMOS感應器不需要電荷耦合器件(CCD)所需要的高驅動電壓。此外，CMOS感應器可與周邊電路(晶片上結構)整合在一起。有利的是，CMOS感應器大大有助於減小尺寸。

CMOS感應器包括一像素之二維陣列。一像素區域包括許多組合電晶體(諸如光電轉換元件、讀出閘、電壓轉換元件、重置閘及放大器)。因此，難以減小像素之尺寸。最近已提出一種結構(意即，多像素共用結構)，其中每個像素所需之組件在複數個像素之間部分地共用以減小不包括光電轉換元件的一像素所佔據的面積。此技術為減小CMOS感應器中每個像素之尺寸所必需。圖12展示一作為特定實例的結構(參照專利文獻1)。在該結構中，配置待共用的一電壓轉換元件及其它電路組件(諸如重置閘及類似組件之電晶體)係配置於兩個光電轉換元件21之間。圖13展示另一結構(參照專利文獻2)，其中在兩個光電轉換元件21與兩個讀出閘22之間共用一電壓轉換元件23及其它電路組件，且該等共用電路組件係配置在鄰近光電轉換元件21

的每個電晶體區域24中。

然而，在習知多像素共用結構中，光電轉換元件及組合電晶體實際上不能均勻地配置。因此，組合電晶體之共用程度並非總是與光電轉換元件之面積佔用率成比例。原因是每個小像素中之組合電晶體之尺寸相對於像素尺寸較大，且歸因於製造技術及物理特性之限制，形狀方面之可撓性亦不高。絕對重要的是，像素之光學中心被均勻地二維分隔且所有像素具有相同的基本性能。因此，即使減小了每個像素中不包括光電轉換元件的電晶體所佔據的面積（電晶體面積），但是因為必須將高優先權指派給均勻配置（意即對稱），所以藉由減小佔據面積而形成的自由空間並不能被有效使用。換言之，當有效利用自由空間時，不能將光學像素中心均勻地二維分隔。

舉例而言，在圖12所示的多像素共用結構中，當每個組合電晶體之尺寸相對於像素面積足夠小時，組合電晶體便可配置於光電轉換元件21之間的空間內。隨著像素面積變小，電晶體之間的間距或用於連接的互連之間的間距變窄。此導致較差的設計可撓性。難以將光電轉換元件21分配至每個像素的光學中心（像素中心）。

在圖13所示之多像素共用結構中，光電轉換元件21之區域獨立於電晶體區域24。因此，就像素配置而言，此結構是有效的。亦可提供一種充分平衡的配置布局。然而，由於電晶體區域24與光電轉換元件21之區域是對準的，因此即使電晶體區域24較大，光電轉換元件21之區域亦大大減

小。因此，難以將光電轉換元件21分配至每個像素的光學中心(像素中心)。另外難以確保可積聚於每個光電轉換元件21中之訊號電荷的量。

除了圖12及13中所示的多像素共用結構之外，還可利用圖14中之另一多像素共用結構。根據該結構，光電轉換元件21為豎直配置。然而，在此多像素共用結構中，由於共用之電壓轉換元件23之數目較小，因此擴散層之容量增加。不幸的是，電壓轉換效率可能降低。此外，亦可利用圖15中之其它多像素共用結構。在該結構中，組合了豎直方向上的共用與水平方向上的共用。在此多像素共用結構中，一系列之訊號必須被讀出，以使得將該等訊號分成兩個部分。不利的是，輸出訊號可不同於典型視訊訊號。

因此，本發明之一目的是提供一種具有多像素共用結構的固態攝像器件，其中即使在減小每個像素面積時，亦可藉由有效地使用一自由空間來確保每個光電轉換元件的足夠面積，且將光電轉換元件分配至每個像素的光學中心，以使得可將光學像素中心均勻地二維分隔。

【發明內容】

根據本發明之一實施例，提供一種固態攝像器件，其包括配置於二維陣列中之光電轉換元件及將光電轉換元件之光電轉換所產生之電荷轉換成電壓的電壓轉換元件，其中電壓轉換元件中之每一者係配置在二維陣列中之兩個對角相鄰的光電轉換元件之間且在兩個光電轉換元件之間共用。

本發明亦提供一種固態攝像裝置，其包含配置於二維陣列中之光電轉換元件及將相應光電轉換元件之光電轉換所產生的電荷轉換成電壓的電壓轉換元件，及一光學系統，入射光經由該光學系統到達光電轉換元件，其中電壓轉換元件中之每一者係配置在該二維陣列中之兩個對角相鄰的光電轉換元件之間且在兩個光電轉換元件之間共用。

【實施方式】

下文將參照關於諸圖之CMOS感應器之實例來說明根據本發明之固態攝像器件。

現將描述本發明之第一實施例。圖1至圖3C展示根據第一實施例的CMOS感應器之示意性結構之一實例。圖1展示組件布局之一實例。圖2A及圖2B展示電路組態之一實例。圖3B及圖3C展示訊號讀出之實例。

參看圖1，根據第一實施例，CMOS感應器包括：光電轉換元件1，其用於光電轉換；電壓轉換元件2，其將光電轉換元件之光電轉換所產生之電荷轉換成電壓訊號；轉移閘3，其用於控制自光電轉換元件1至電壓轉換元件2之電荷讀出；電晶體區域4，其中配置有用以處理經由相應電壓轉換元件而獲得之電壓訊號的電路集合(意即，包括諸如重置閘及類似組件之電晶體的電路組件之集合)；及互連5，其將電壓轉換元件2電連接至電晶體區域4中之相應電路集合。組件1至5大體上類似於已知COM感應器之組件。因此，省略對該等組件之詳細描述。

此CMOS感應器之重大特徵為上述組件1至5之配置布

局。具體言之，如圖1中所示，CMOS感應器具有以下結構：其中光電轉換元件1係配置於一包括複數個行及複數個列之二維陣列中，每個電壓轉換元件2係配置在該二維陣列中之兩個對角相鄰的光電轉換元件1之間，且經由分別為相應光電轉換元件1而提供之轉移閘3在兩個光電轉換元件1之間共用。舉例而言，參看圖2B，在由行 $i, i+1, i+2, \dots$ 及列 $j, j+1, j+2, \dots$ 組成之二維陣列中，於座標 $(i+1, j)$ 處之光電轉換元件1與座標 $(i, j+1)$ 處之光電轉換元件1之間共用一個電壓轉換元件2，且於座標 $(i+1, j+2)$ 處之光電轉換元件1與座標 $(i, j+3)$ 處之光電轉換元件1之間共用另一電壓轉換元件2。

參看圖1，每個電晶體區域4均配置在光電轉換元件1之間，其間無電壓轉換元件2。分佈在電晶體區域4中之每個電路集合由經由互連5而電連接至電路集合之兩個電壓轉換元件2共用。參看圖2A，共用電路集合包括一重置(RST)電晶體及一選擇(SEL)電晶體。電路組件分佈在電晶體區域4中。

換言之，如圖1所示，上述CMOS感應器具有以下結構：其中在二維陣列之行方向上對準的兩個電壓轉換元件2之間共用一個電路集合，該電路集合分佈於相同行方向上對準的兩個電晶體區域4中，且由二維陣列中之兩個對角相鄰的光電轉換元件1共用每一電壓轉換元件2。一個電路集合、兩個電壓轉換元件2及四個光電轉換元件1構成一個共用單位(單元塊)6。

如上述，根據本實施例，CMOS感應器具有一多像素共用結構，其中一個電壓轉換元件2配置在兩個對角相鄰的光電轉換元件1之間，以在二者之間共用光電轉換元件1。因此，正交方向上的每個電壓轉換元件2之尺寸為習知結構中尺寸之 $1/\sqrt{2}$ ，在習知結構中，每個電壓轉換元件係在二維陣列之行或列方向上對準的光電轉換元件之間共用。此外，當以此方式來配置電壓轉換元件2時，每個轉移閘3之朝向相應光電轉換元件1而突出的部分較小。因此，可減小光電轉換元件1之間的空間。此外，由於每個電壓轉換元件2均位於列方向上之像素之間的空間之中心，因此每個互連5(其延伸至獨立地配置於行方向上的電晶體區域4)均具有一簡單形式，以使得互連5不易干擾另一互連5。關於通常包含多晶矽之轉移閘3，轉移閘3之平行配置部分用於訊號讀出。因此，每個轉移閘3均可被連接至位於小隔離區中之相應互連5，而不會受到多晶矽閘之間的可能間距的限制。

因此，根據上述共用結構，在不包括電晶體區域4的每個單位區域(unity region)中，每個光電轉換元件1之面積僅視隔離之寬度而定。由於難以減小電晶體區域4之面積，因此面積效率(其大體上獨立於形狀)視電壓轉換元件2之配置而增加。對角相鄰的光電轉換元件1之間的自由空間可有效用於配置電壓轉換元件2，因此減小了電壓轉換元件2附近的無效區域。因此，可減小光電轉換元件1之間的每個空間(二維陣列中之行方向上或列方向上的距離)。

此外，可保證光電轉換元件1之區域相對於每個像素面積的足夠面積。此外，光電轉換元件1係分配於每個像素之光學中心，以使得可易於均勻地二維分隔光學像素中心。

換言之，在多像素共用結構中，由於可抑制每個共用電壓轉換元件2附近的無效區域之形成，因此可增加每個光電轉換元件1之區域的面積且可易於實現像素中心之均勻分隔。歸因於光電轉換元件1之區域的面積之增加，光電轉換元件1中飽和訊號之量亦增加，因而改良了動態範圍。由於訊號電荷之量較大，在高明度狀態下隨機雜訊之相對量變得較小，因而增加了S/N比。有望增加輸出訊號之影像品質。

根據本實施例之CMOS感應器，構成一個電路集合的電路組件係分佈在兩個電晶體區域4中。因此，可將電路集合之充分平衡的均勻配置指派至二維陣列中之相應光電轉換元件1。因此，即使難以減小電晶體區域4之面積，亦可保證光電轉換元件1之區域相對於每個像素面積的足夠面積。此外，光電轉換元件1係分配至每個像素的光學中心，以使得可易於均勻地二維分隔光學像素中心。

雖然上文之描述係關於其中一共用單位6包括四個光電轉換元件1之情況，意即，由四個像素共用之情況。但是本發明並不侷限於此情況。只要是在偶數個像素之間建立共用關係，便可實現類似驅動。隨著共用像素數量之增加，電壓轉換元件2之電容亦增加。因此，電壓轉換元件2之輸出電壓傾向於相對訊號電荷之量而降低。此減小了待

供應至放大部分的輸入訊號之振幅。此可導致雜訊抗擾性之降級。隨著共用像素數量之增加，每個光電轉換元件1之面積變得較大。面積增加率視關於共用電路組件之共用程度而定。因此，隨著共用程度增加，增加率會降低。儘管可藉由最佳化雜質之濃度來改良電壓轉換元件2之電容，但是該改良是有限的。因此，第一實施例中所描述的四個像素之共用為最為平衡的共用結構。

在根據本實施例之CMOS感應器中，每個電壓轉換元件2在對角相鄰的光電轉換元件1之間共用。關於讀出，由於共用每個電壓轉換元件2之像素(光電轉換元件1)位於二維陣列中之不同列中，因此各列可同時讀出電荷。因此，上述結構極為適用於貝爾型態(Bayer-pattern)之濾色器陣列(如圖3A中所示)，其中紅(R)及綠(G)在二維陣列之列中以R、G、R、G...之順序交替，而綠及藍(B)在下一列中以G、B、G、B...之順序交替。當使用貝爾型態之濾色器陣列時，G被指派至一共用單位6中之四個光電轉換元件1中的每一者。或者，R被指派至四個元件中之兩個且B被指派至其它兩個元件。換言之，共用單位6包括兩對光電轉換元件1，每一對均具有相同的光譜靈敏度。相同色彩被指派至奇數列中之光電轉換元件1而其它相同色彩被指派至偶數列中之光電轉換元件1。

因此，如圖3B及圖3C中所示，當使用貝爾型態之濾色器陣列時，CMOS感應器支持以下驅動模式：自構成一共用單位6之光電轉換元件1中之具有相同光譜靈敏度的光電

轉換元件1同時讀出電荷，且基於共用單位6中之電壓轉換元件2中之電荷來添加訊號。因此，亦可執行自光電轉換元件1之高速訊號讀出。換言之，根據驅動模式中之電荷添加功能，電壓轉換元件2可執行關於相同色彩之光電轉換元件的兩個列之電荷添加。因此，輸出列之數量減小至1/2，以使得實現高速的訊號讀出。

此外，根據本實施例，CMOS感應器具有以下結構：在每個共用單位中，電路集合在二維陣列中行方向上的兩個電壓轉換元件2(意即豎直對準之兩個電壓轉換元件2)之間共用。因此，用於同時讀出的驅動訊號係供應至配置於二維陣列中相同列中的電路集合，以使得可能易於自配置於二維陣列中相同列中的光電轉換元件1同時讀取電荷。換言之，當每個電壓轉換元件2在對角相鄰的光電轉換元件1之間共用時，共用每個電壓轉換元件2的像素(光電轉換元件)被分配至二維陣列中之不同列。因此，各列可同時讀出基於電荷之訊號。此外，當電晶體區域4中之每個電路集合在兩個電壓轉換元件2之間共用時，只要電壓轉換元件2在行方向上對準，便不妨礙各列同時讀出。因此，在上述同時讀出中，亦可實現高速的訊號讀出。

現將描述本發明之第二實施例。圖4為說明根據第二實施例的CMOS感應器之示意性結構之一實例的圖。

如圖所示，在根據第二實施例之CMOS感應器中，讀取藉由每個電路集合而處理之電壓訊號的複數個訊號線7係配置於二維陣列中之每一行中。電壓訊號係經由訊號線7

而自配置於二維陣列中之行方向上的複數個共用單位6同時讀出。根據上述結構，各行同時獲得共用單位6之訊號輸出，以使得獲得一影像所需之時間視輸出之數量而減小。換言之，可實現更高速的驅動。

現將描述本發明之第三實施例。圖5及圖6為說明根據第三實施例的CMOS感應器之示意性結構之實例的圖。

根據第三實施例，CMOS感應器包括：訊號序列置換部分，其用於修正二維陣列中奇數列與偶數列之間的讀出訊號序列中之差異，該差異是由在對角相鄰的光電轉換元件1之間共用每個電壓轉換元件2所導致。原因如下：

如圖5或圖6中所示，在通用CMOS感應器中，讀取訊號之每個訊號線7係經由二維陣列中之一行選擇開關8而連接至一列電路9，以使得自訊號線7至列電路9產生訊號。根據在兩個對角相鄰的光電轉換元件1之間共用每個電壓轉換元件2的多像素共用結構，經由不同訊號線7將奇數及偶數列中之光電轉換元件1之輸出供應至列電路9。因此，為了獲得與具有習知結構之通用CMOS感應器相等的輸出，必須輸入一控制訊號以讀出至列電路9，以使得訊號移位一行。為此，根據第三實施例之CMOS感應器包括訊號序列置換部分。

通常，如圖所示，藉由延遲電路10之級聯式連接來控制自訊號線7至列電路9之訊號輸出。將時間移位訊號相繼輸入各行中之行選擇開關8中。根據第三實施例，在CMOS感應器中，訊號序列置換部分延遲待供應至第一級之輸入訊

號，以使得輸入訊號與通用CMOS感應器之資料輸出同步。

如(例如)圖5所示，在上述訊號序列置換部分中，一延遲電路11可配置在第一輸入級之上游，且可進一步安置一旁通至延遲電路11之開關12。在此一結構中，儘管不清楚如何處理末行之訊號，但是因為通常由一計時訊號來界定水平消隱週期，所以其不成問題。此外，如(例如)圖6所示，在訊號序列置換部分，可配置一開關13以自一系列延遲電路10中選擇供應至各行的兩個控制訊號。所選擇之兩個控制訊號對應於一個行之時間移位讀出訊號。在此結構中，供應至列電路9之一輸出端子處之放大器9a的類比訊號與通用像素陣列之類比訊號無差異。在任一實例中，由於CMOS感應器包括訊號序列置換部分，因此可轉換奇數列與偶數列之間的讀出。因此，可使用與轉移閘3之控制訊號同步的計時訊號來控制讀出。因而，不需要特定功能電路。

現將描述本發明之第四實施例。圖7為說明各個色彩成份所產生之電荷的量的圖。圖8及圖9為說明根據第四實施例的CMOS感應器之示意性結構之實例的圖。

在根據第四實施例之CMOS感應器中，一貝爾型態之濾色器陣列經配置以使得濾色器分別被指派至配置於二維陣列中之光電轉換元件1(參看圖3A)。CMOS感應器係建構成使得關於二維陣列中之每個奇數行的輸出電壓訊號之放大因數不同於每個偶數行的輸出電壓訊號之放大因數，意

即，訊號線對輸出電壓訊號之訊號放大因數彼此不同。原因如下：

在貝爾型態之濾色器陣列之配置中，根據在兩個對角相鄰的光電轉換元件1之間共用每個電壓轉換元件2的多像素共用結構，訊號線被分成在Gr(配置R像素之行的G訊號)與Gb(配置B像素之行的G訊號)之間共用的輸出線(Gr/Gb輸出線)及在B與R之間共用的輸出線(B/R輸出線)。如圖7中所示，通常，B訊號之特性為：所產生之電荷量較小且由於表面p+上之光子吸收而存在損耗，且R訊號之特性為：於光電轉換元件1之可形成pn接面之深度處，大多數光子未被吸收。因此，G訊號具有最小損耗而G訊號輸出具有變大之趨勢。因此，若每個Gr/Gb輸出線之增益(放大因數)不同於每個B/R輸出線之增益，則可減小晶片輸出中的RGB之間的光譜特徵之差異。

具體言之，如圖8中所示，減小每個Gr/Gb輸出線之增益，而增加每個B/R輸出線之增益。由於可使用已知技術來設定增益，因此省略關於設定之描述。

根據對每行的增益設定，即使在CMOS感應器之結構中，來自每行的訊號輸出係藉由為每行提供的AD轉換部分(例如AD轉換器)而轉換成數位訊號，且自複數個行所產生的數位訊號係相繼供應至一個訊號輸出部分(例如行電路或放大器)時，各個數位訊號仍經增益調整以使得RGB之間光譜特徵的差異減小。因此，訊號輸出部分可統一地執行數位訊號，意即使用相同的處理參數。

舉例而言，如圖9中所示，二維陣列中奇數行之輸出及偶數行之輸出係分別連接至兩個不同列電路9b及9c。在此情況下，當每個奇數行中訊號線之訊號放大因數與每個偶數行中訊號線之訊號放大因數無差異時，只要兩個列電路9b與9c之增益彼此不同，晶片輸出中RBG之間的光譜特徵之差異便可減小。因此，可抑制行之間的增益變化。在列電路9b與9c之增益彼此不同之情況下，可使用已知技術來設定增益。此處省略對增益設定之描述。

現將描述本發明之第五實施例。圖10A及圖10B說明根據第五實施例的CMOS感應器之示意性結構之一實例。

在根據第五實施例的CMOS感應器中，一貝爾型態之濾色器陣列經配置，以使得濾色器被分別指派至安置於二維陣列中之光電轉換元件1。基於分別指派有相同濾色器的兩個對角相鄰的光電轉換元件1所產生的偵測訊號之間的比較結果來修正由像素布局中之差異所導致的輸出訊號之間的差異。原因如下：

在多像素共用結構中，通常每個電壓轉換元件係在複數個光電轉換元件之間共用。由於光電轉換元件之形狀是對稱的，因此，歸因於製造過程中圖案未對準或接收光時光之入射角變化，所產生的訊號之量可彼此不同。然而，在多像素共用結構中，根據在兩個對角相鄰的光電轉換元件1之間共用每個電壓轉換元件2的多像素共用結構，如圖10A中所示，當使用貝爾型態之濾色器陣列時，每個Gr像素及每個Gb像素係連接至相同電壓轉換元件2，且Gr及Gb

像素屬於不同列。因此，存在組件(意即色彩及次級連接電路(subsequent-stage connected circuit))而非像素之相同組合。因此，可易於修正由像素形狀之差異所導致的所產生訊號之量的差異。

換言之，在根據第五實施例的CMOS感應器中，基於自Gr及Gb像素所產生之偵測訊號之間的比較結果，使用圖10B中所示之修正係數來修正由兩個對角相鄰的光電轉換元件1之間的像素布局(光電轉換元件之配置位置及形狀)之差異所導致的輸出訊號的差異。將該修正應用於來自B像素及R像素之輸出訊號。根據該修正，由像素布局之差異所導致輸出訊號之差異得以修正。在多像素共用結構之情況下，可實現輸出變化小的訊號輸出。特定言之，在兩個對角相鄰的光電轉換元件1共用每個電壓轉換元件2的多像素共用結構中，可減小修正誤差且易於計算修正係數。在豎直或水平相鄰的像素之間具有共用關係的習知共用結構中(參看圖12及圖13)，由於相同色彩像素之共用組件彼此不同，因此誤差較大。在另一方面，在對角共用結構中，由於是基於來自Gr與Gb像素(意即具有不包括像素之同樣組件的像素)之偵測訊號之間的比較結果來執行修正，因此可抑制誤差。在包括豎直共用及水平共用兩者之其它習知共用結構中(參看圖15)，由於形成型態的像素之數目增加至四，因此難以計算修正係數。在另一方面，在對角共用結構中，由於回避了上述問題，因此易於獲得修正係數。

上述修正過程可易應用於經受AD轉換之數位訊號。可使用已知技術以類似於第四實施例中所述之增益調整方式來執行訊號輸出之修正過程。此處省略對該修正過程之描述。

現將描述本發明之第六實施例。圖11A至圖11C為說明根據第六實施例之CMOS感應器之示意性結構之實例的圖。

以類似於第一實施例之方式，根據第六實施例之CMOS感應器支持基於構成每個共用單位6的電壓轉換元件2中之電荷而添加訊號之驅動模式。根據第六實施例，CMOS感應器經建構，以使得除了在驅動模式中使用電荷添加功能之外，光電轉換元件1(自其同時讀出電荷以基於電荷而添加訊號)之光電轉換時間彼此不同。原因如下：

在多像素共用結構中，特定言之，在一個共用單位6包括四個像素之四像素共用結構中，經由互連5而共用電壓轉換元件2之像素包括具有相同光譜特徵之像素(意即指派有相同濾色器的像素)。因此，可使用電荷添加功能。在此情況下，如圖11A及圖11B中所示，在自其同時讀出電荷的像素中，至少一連接至一個電壓轉換元件2的光電轉換元件1之光電轉換時間不同於至少一連接至其它電壓轉換元件2的光電轉換元件1之光電轉換時間。因此，對低亮度光之敏感性高於對高亮度光之敏感性，意即，可實現寬的動態範圍。如圖11B中所示，可藉由控制讀出脈衝來形成不同的光電轉換時間。在提供不同的光電轉換時間的條

件下，(例如)當高明度光入射時，具有正常積聚時間之像素是飽和的而具有經延遲之積聚起始時間的像素是不飽和的，因此獲得視光強度而定之特徵。因此，如圖11C中所示，當在共用電壓轉換元件2中添加訊號電荷之量時，添加之訊號輸出表示敏感性特徵。

雖然已在上述第一至第六實施例中描述了本發明之較佳實施例。但是本發明並非侷限於該描述。在不背離本發明之精神及範疇之狀況下，可對本發明進行各種變化及修改(例如第一至第六實施例之適當組合)。

上述固態攝像器件具有一多像素共用結構，其中，在兩個對角相鄰的光電轉換元件之間配置一電壓轉換元件，以使得在二者之間共用電壓轉換元件。因此，正交方向上的每個電壓轉換元件之尺寸為習知結構中尺寸之 $1/\sqrt{2}$ ，在習知結構中，在二維陣列之行或列方向上對準的光電轉換元件之間共用每個電壓轉換元件。換言之，將對角相鄰的光電轉換元件之間的自由空間有效用於電壓轉換元件之配置，因而減小電壓轉換元件附近的無效區域。因此，可減小光電轉換元件之間的每個空間(二者在二維陣列行或列方向上的間距)。此外，可保證光電轉換元件之一區域相對於每個像素面積的足夠面積。此外，將該光電轉換元件分配至每個像素之光學中心，以使得可均勻地二維分隔光學像素中心。當在對角相鄰的光電轉換元件之間共用每個電壓轉換元件時，將共用每個電壓轉換元件之像素(光電轉換元件)指派至二維陣列中之不同列。因而，各列可同

時讀出訊號。當根據貝爾型態在各像素中形成濾色器時，在每個共用單位中，相同色彩係指派至奇數列中之光電轉換元件且相同色彩係指派至偶數列中之光電轉換元件。因此，電壓轉換元件可執行關於相同色彩的光電轉換元件的兩個列之電荷添加。因而，亦可執行自光電轉換元件高速讀出訊號。

如上所述，根據本發明，在具有多像素共用結構之固態攝像器件中，可抑制每個共用電壓轉換元件附近的無效區域之形成。可增加每個光電轉換元件之區域的面積，且易於實現像素中心之均勻分隔。因此，歸因於光電轉換元件區域之面積的增加，光電轉換元件中飽和訊號之量亦增加，因而改良了動態範圍。由於訊號電荷之量較大，高明度條件下隨機雜訊之相對量變得較小，因而增加了S/N比。有望增加輸出訊號之影像品質。此外，在兩個對角相鄰的光電轉換元件之間共用每個電壓轉換元件的多像素共用結構中，可視驅動模式而執行高速訊號讀出。

本發明亦應用於攝像裝置(例如相機或相機模組)。

【圖式簡單說明】

圖1為說明根據本發明第一實施例的CMOS感應器之示意性結構的第一實例的圖，圖1展示組件之一布局實例。

圖2A及圖2B為說明根據本發明第一實施例的CMOS感應器之示意性結構的第二實例的圖，圖2A展示電路組態之一實例。

圖3A至圖3C為說明根據本發明第一實施例的CMOS感應

器之示意性結構的第三實施例的圖，圖3B及圖3C展示訊號讀出之實例。

圖4為說明根據本發明第二實施例的CMOS感應器之示意性結構之一實例的圖。

圖5為說明根據本發明第三實施例的CMOS感應器之示意性結構的第一實例的圖。

圖6為說明根據本發明第三實施例的CMOS感應器之示意性結構的第二實例的圖。

圖7為說明各個色彩成份所產生之電荷之量的圖。

圖8為說明根據本發明第四實施例的CMOS感應器之示意性結構的第一實例的圖。

圖9為說明根據本發明第四實施例的CMOS感應器之示意性結構的第二實例的圖。

圖10A及圖10B說明根據本發明第五實施例的CMOS感應器之示意性結構之一實例。

圖11A至圖11C為說明根據本發明第六實施例的CMOS感應器之示意性結構之一實例的圖。

圖12包括說明習知CMOS感應器中之多像素共用結構之第一實例的圖。

圖13包括說明習知CMOS感應器之多像素共用結構之第二實例的圖。

圖14為說明習知CMOS感應器之多像素共用結構之第三實例的圖。

圖15為說明習知CMOS感應器之多像素共用結構之第四

實例的圖。

【主要元件符號說明】

1	光電轉換元件
2	電壓轉換元件
3	轉移閘
4	電晶體區域
5	互連
6	共用單位(單元塊)
7	訊號線
8	行選擇開關
9/9b/9c	列電路
9a	放大器
10	延遲電路
11	延遲電路
12	開關
13	開關
21	光電轉換元件
22	讀出閘
23	電壓轉換元件
24	電晶體區域

五、中文發明摘要：

本發明係關於一種具有多像素共用結構之固態攝像器件，其中每個光電轉換元件之面積可獨立於每個像素面積之減小而得以充分保證。光電轉換元件係分配至每個像素之光學中心。因而，光學像素中心可被二維地均勻分隔。

一種固態攝像器件，其包括配置於二維陣列中之光電轉換元件1及將相應光電轉換元件1之光電轉換所產生之電荷轉換成電壓的電壓轉換元件2，其中一電壓轉換元件2係配置於該二維陣列中兩個對角相鄰的光電轉換元件1之間，以使得在該兩個光電轉換元件1之間共用此一個電壓轉換元件2。

六、英文發明摘要：

十一、圖式：

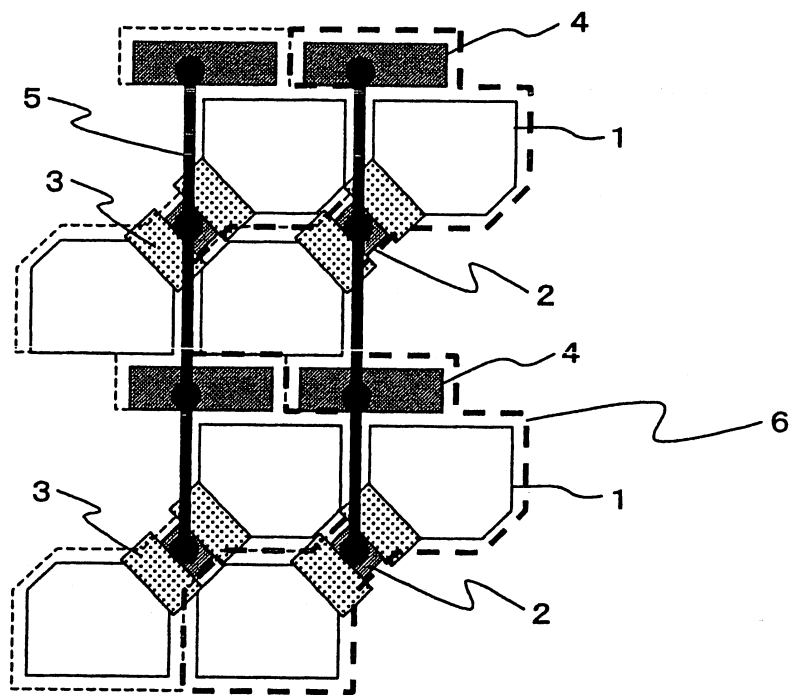


圖 1

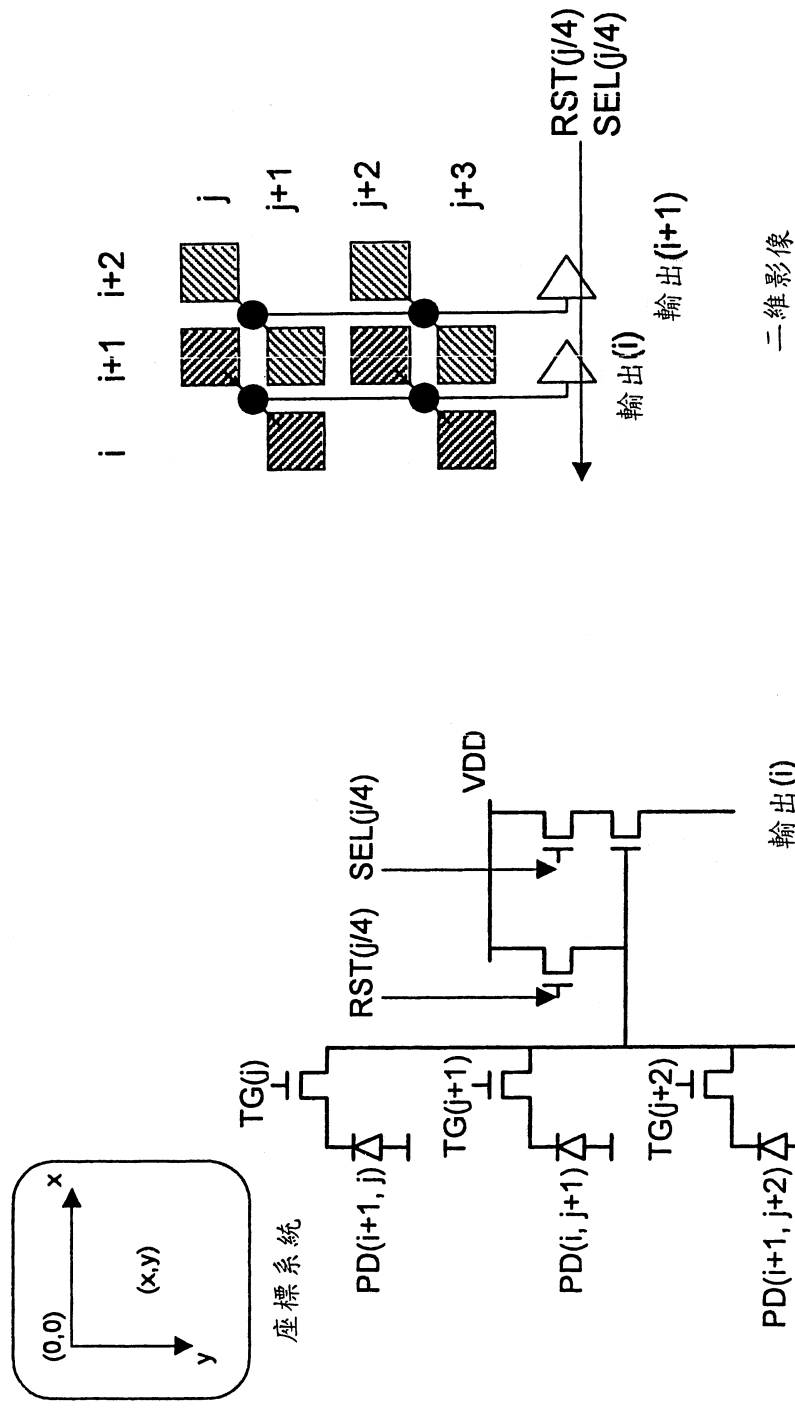
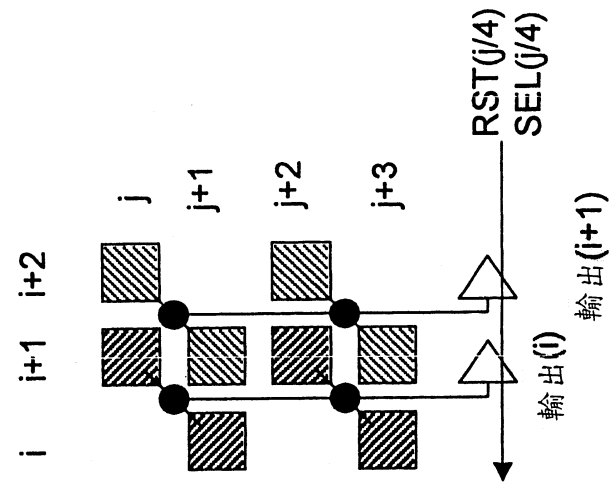


圖 2A



二維影像

圖 2B

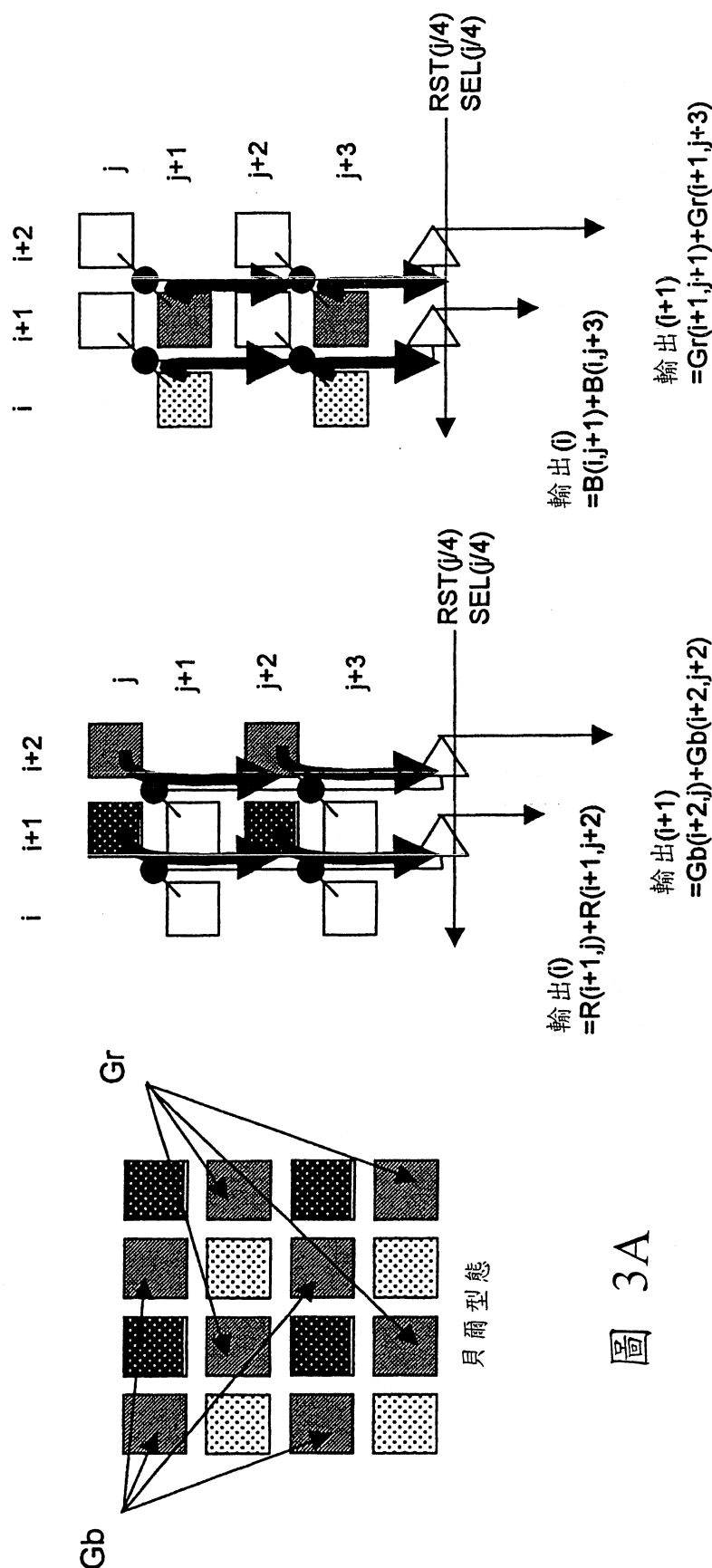


圖 3A

圖 3B

圖 3C



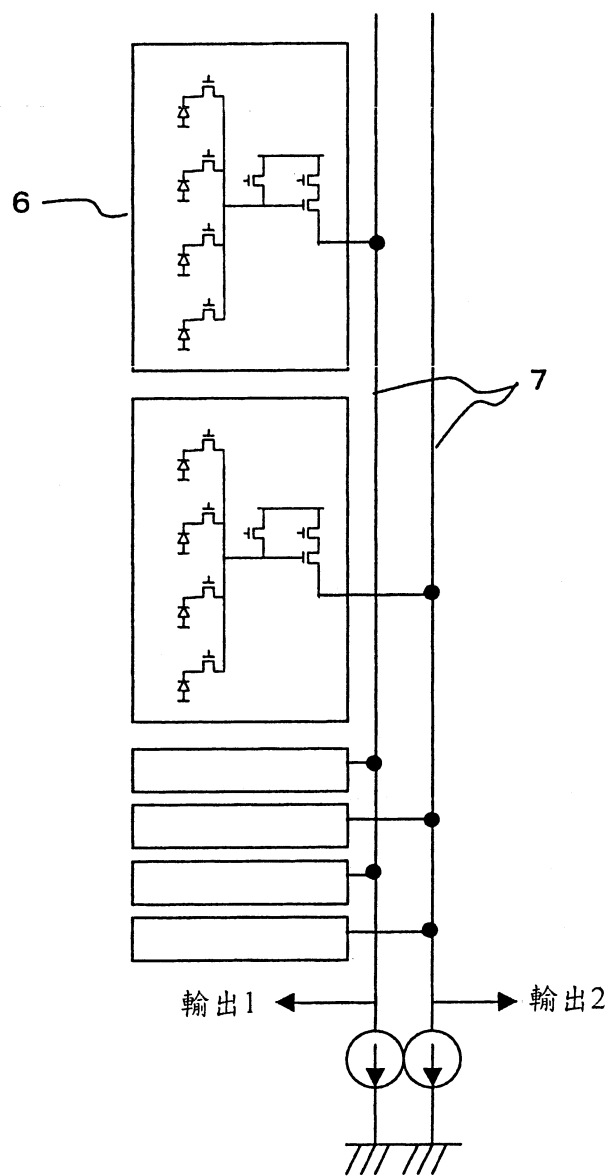
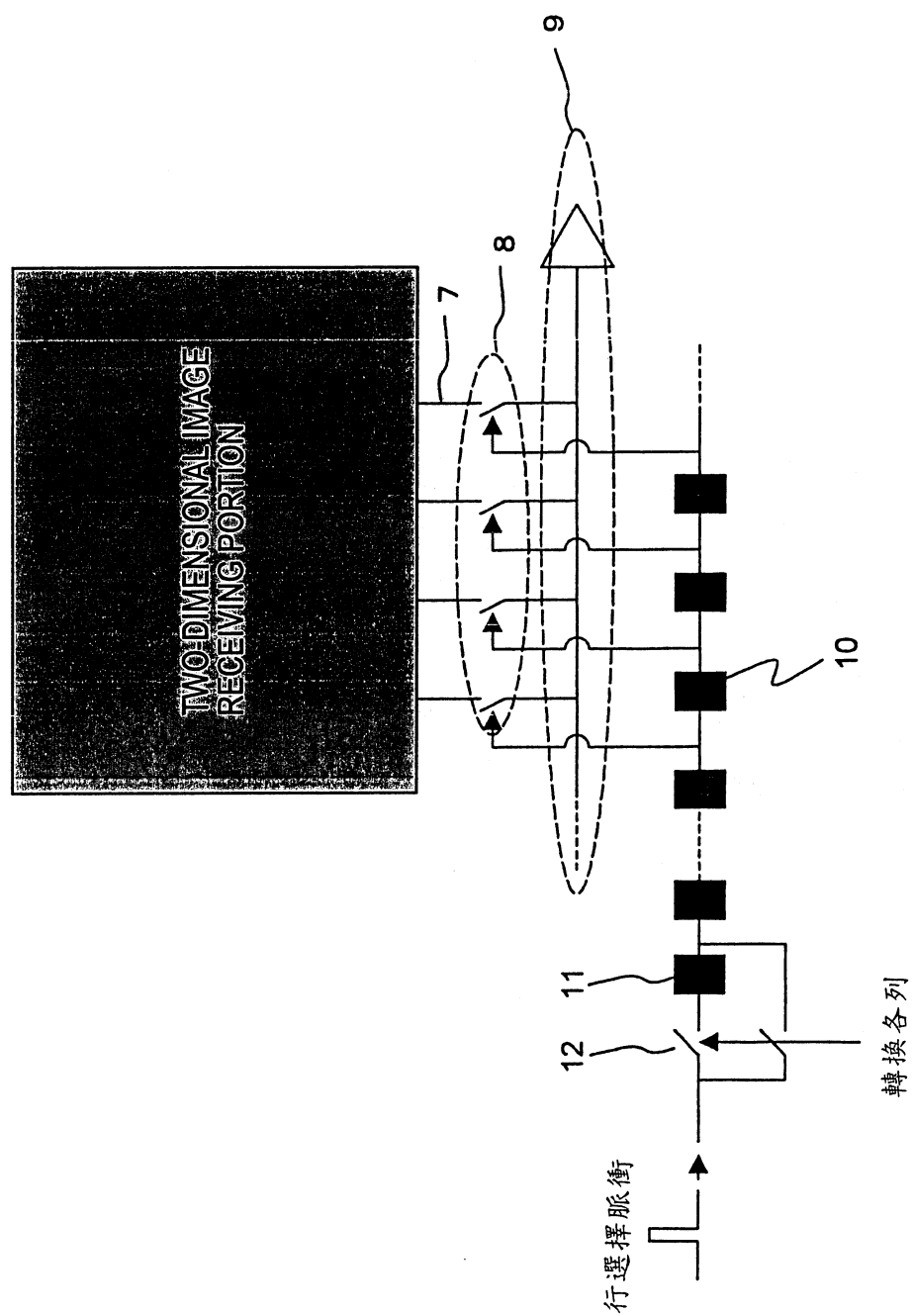


圖 4



五

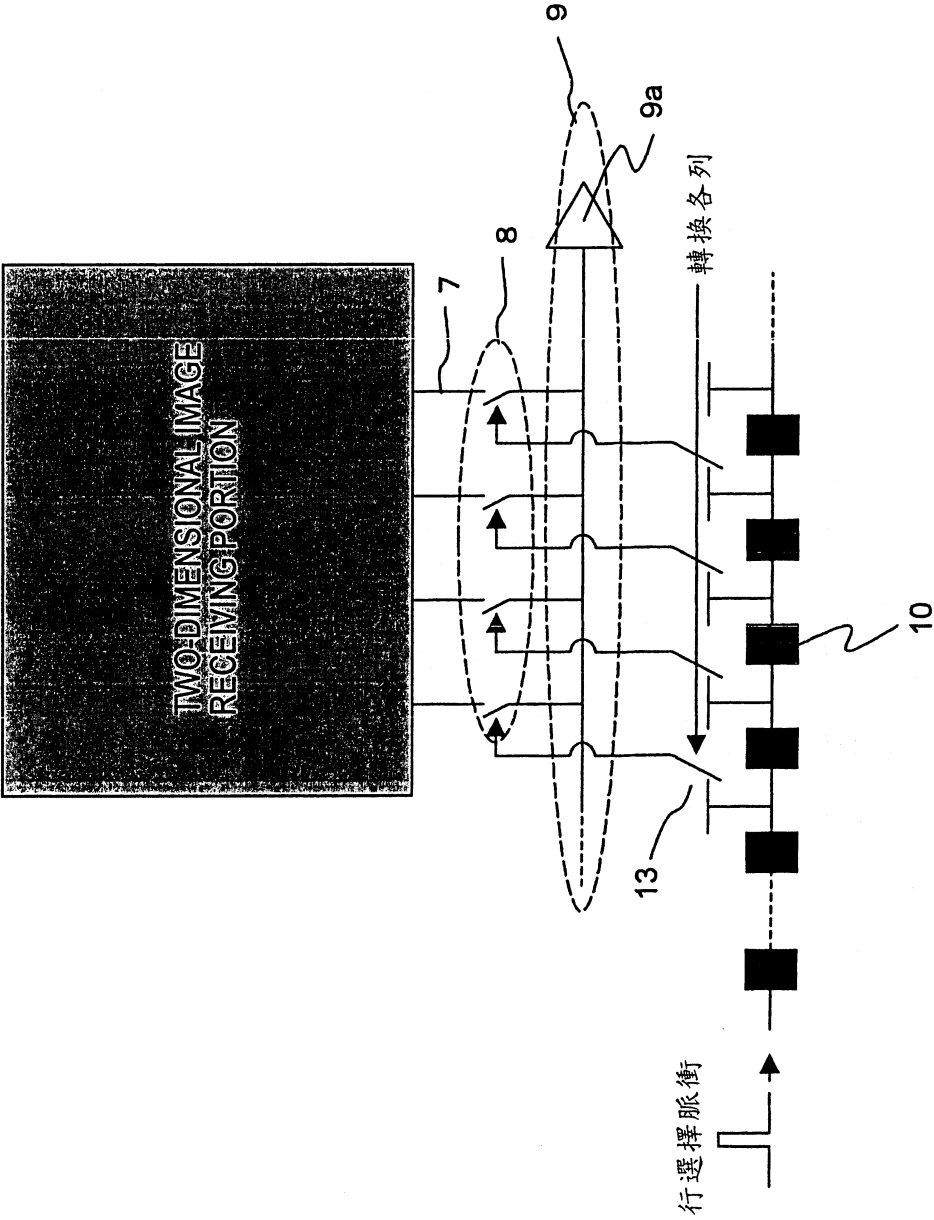
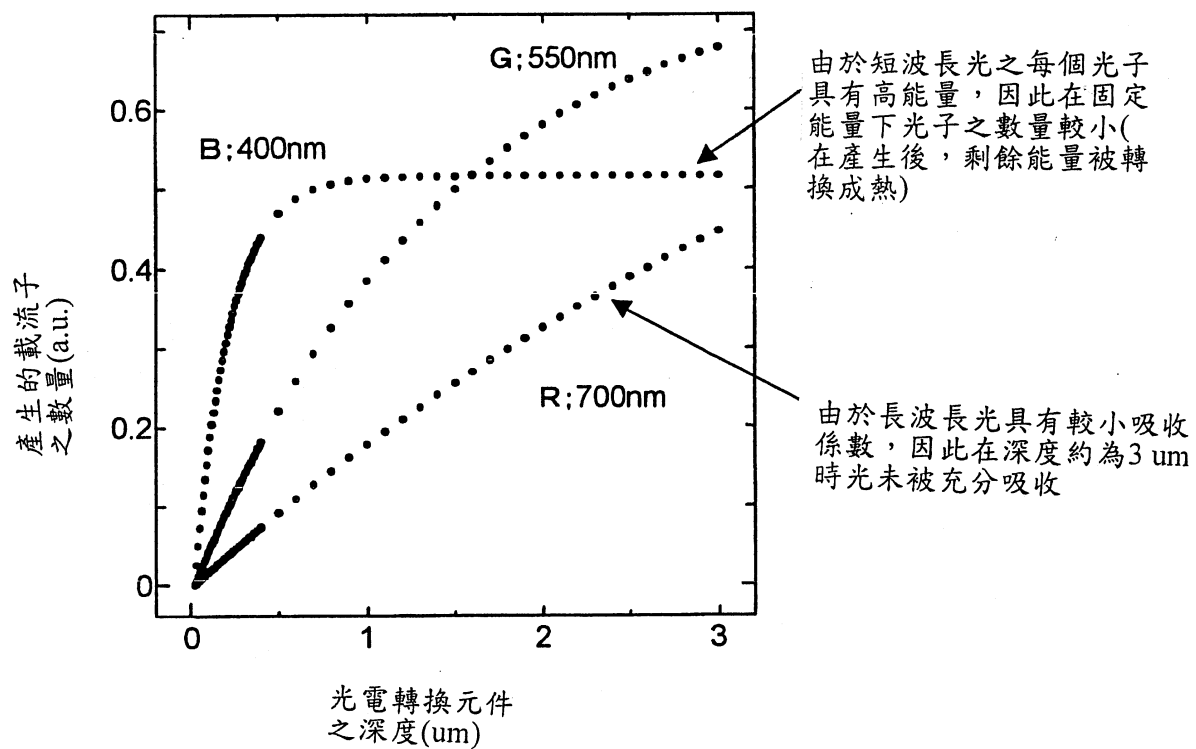


圖 6



假設固定能譜
假設p+層深度為0.02 um
假設表面上700 nm光之
光子數量為1

圖 7

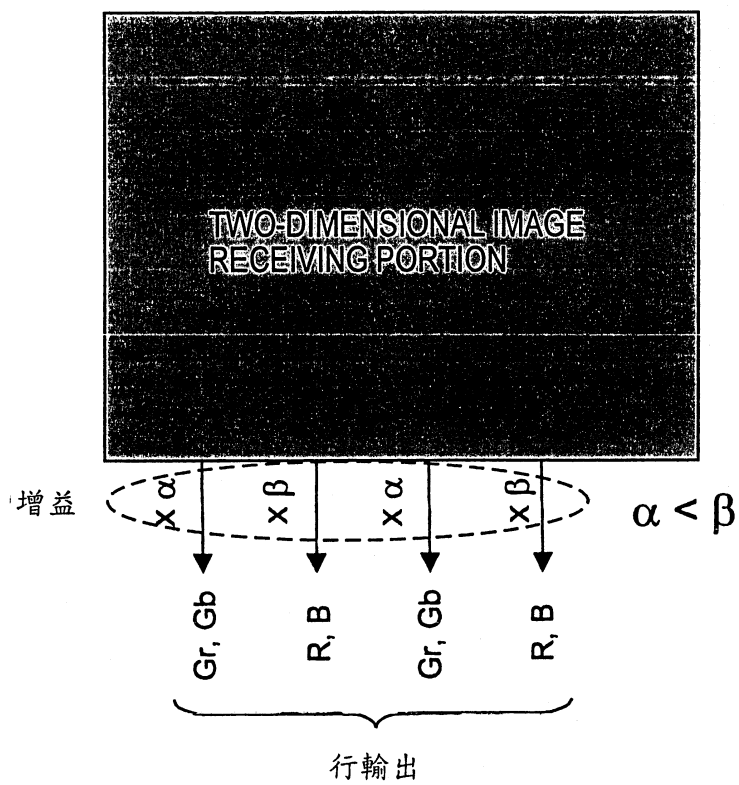


圖 8

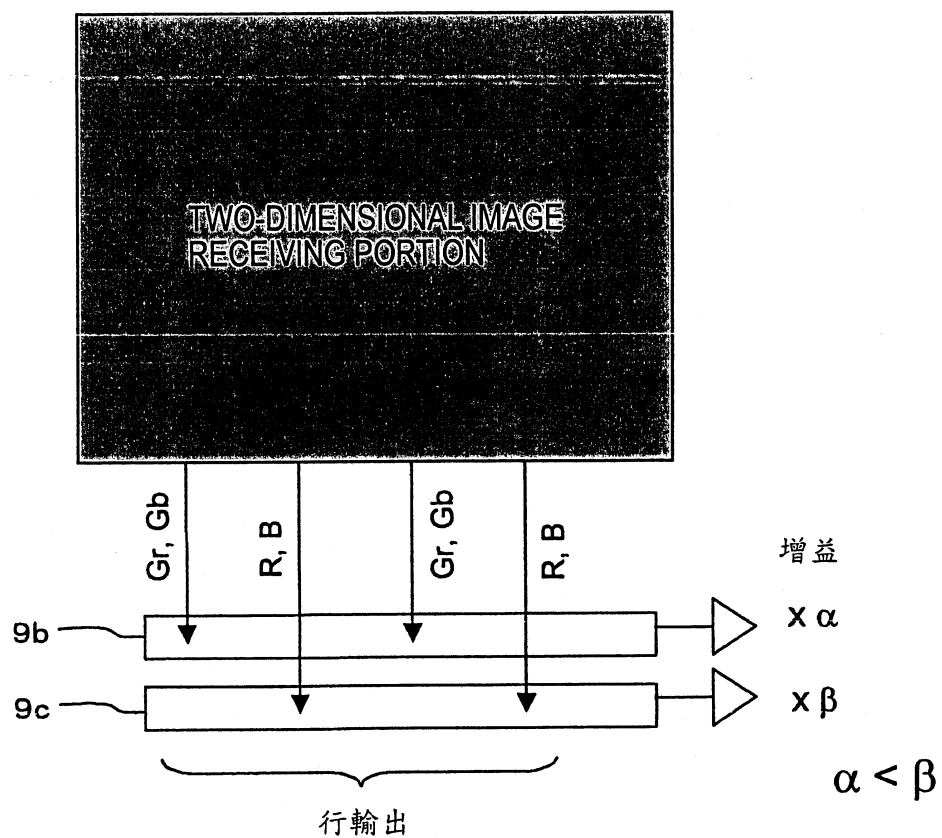


圖 9

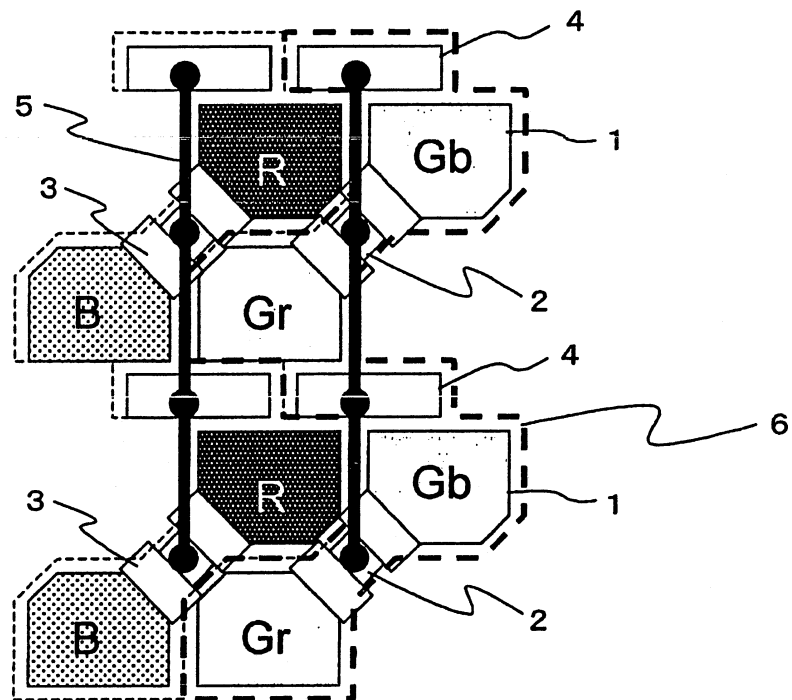


圖 10A

修正係數

$$\alpha_B \approx \alpha_{Gr}$$

$$\alpha_R \approx \alpha_{Gb}$$

$$\alpha_{Gr}|_{x,y} = \frac{2Gr|_{x,y}}{\left(Gr|_{\text{中心}} + Gb|_{\text{中心}} \right)}$$

$$\alpha_{Gb}|_{x,y} = \frac{2Gb|_{x,y}}{\left(Gr|_{\text{中心}} + Gb|_{\text{中心}} \right)}$$

圖 10B

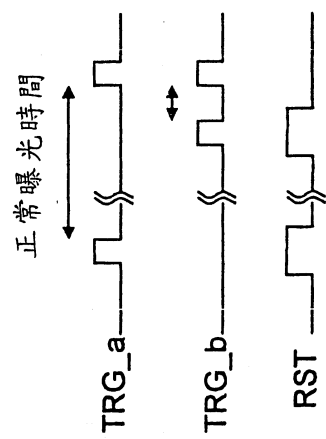


圖 11B

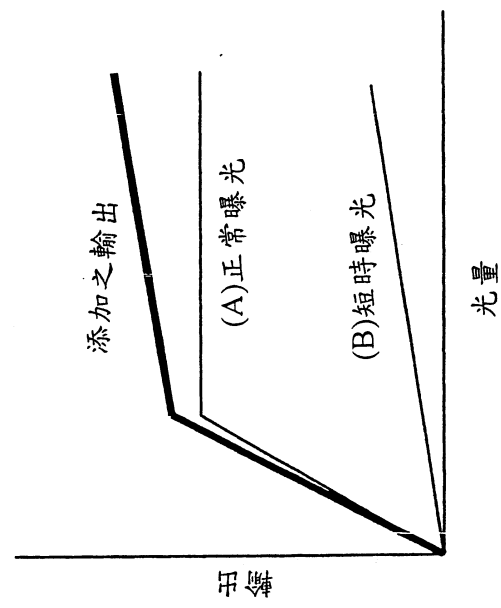


圖 11C

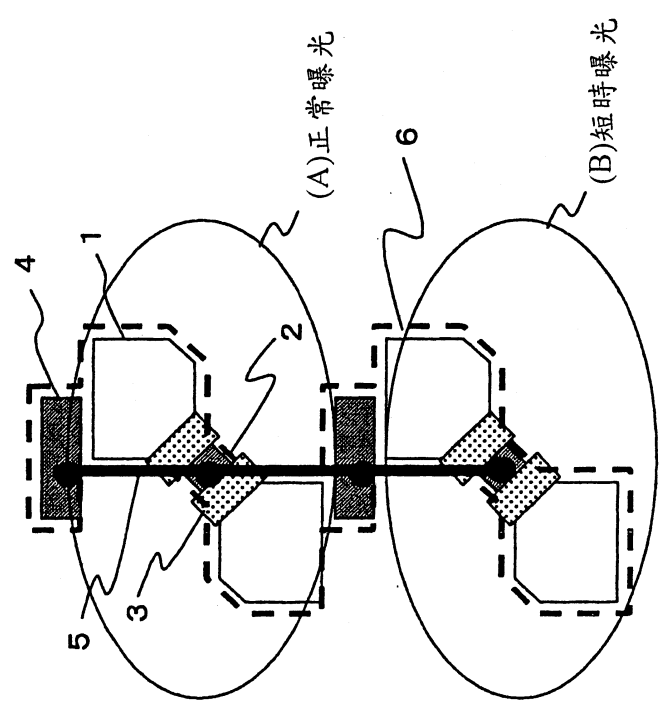


圖 11A



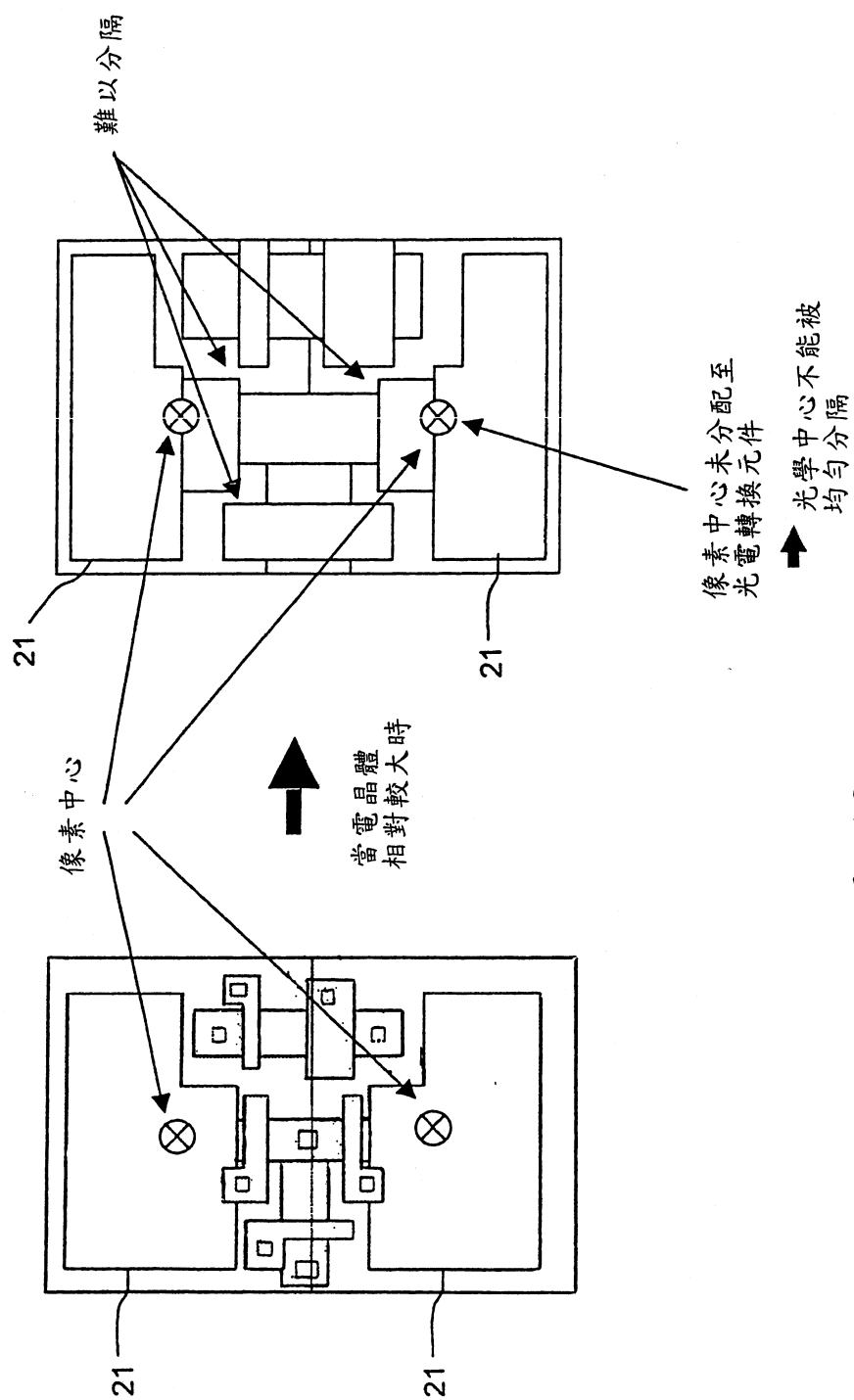


圖 12

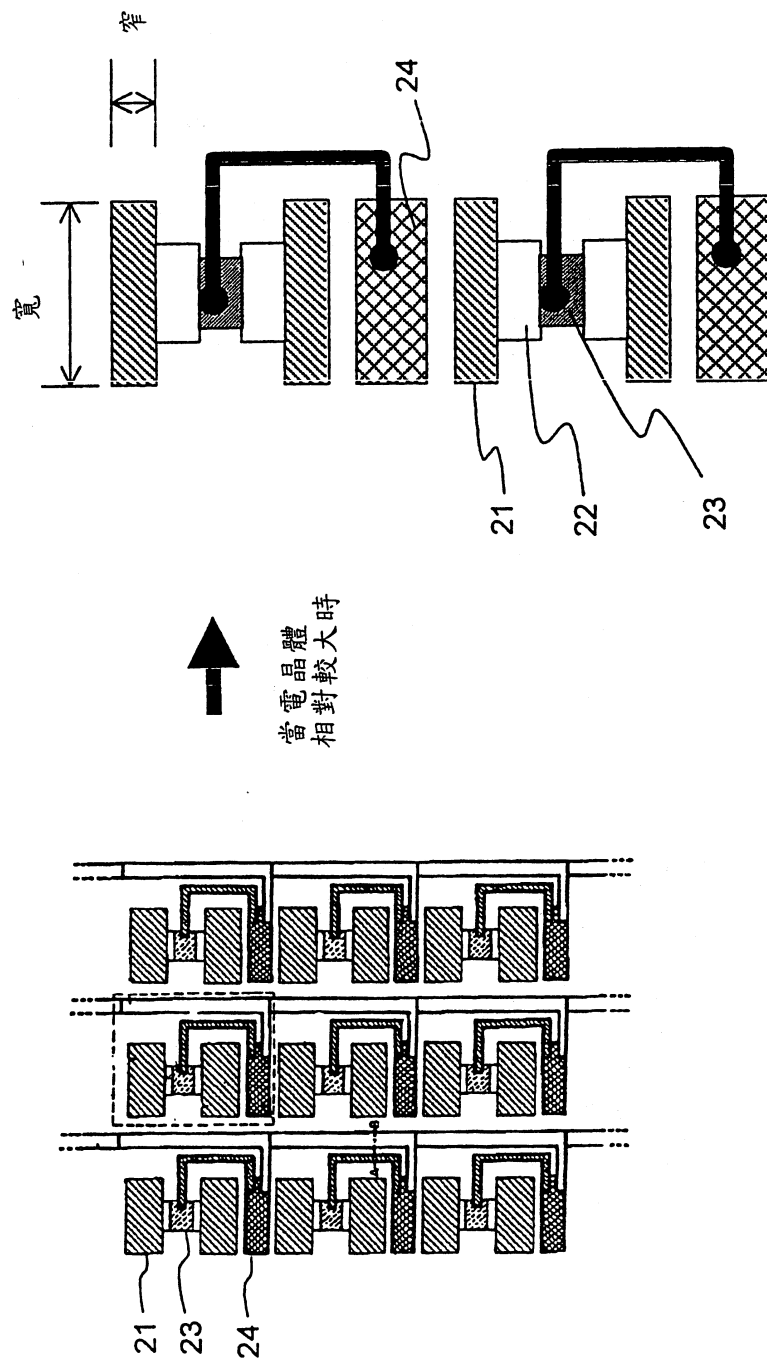


圖 13

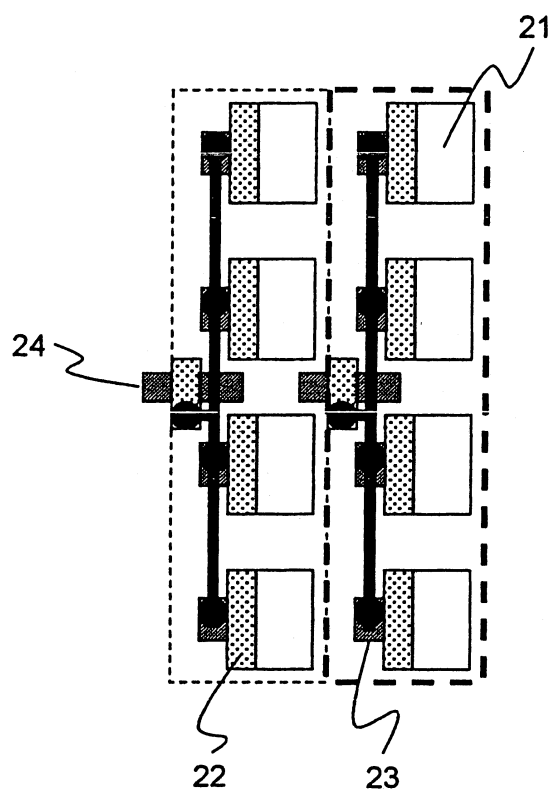


圖 14

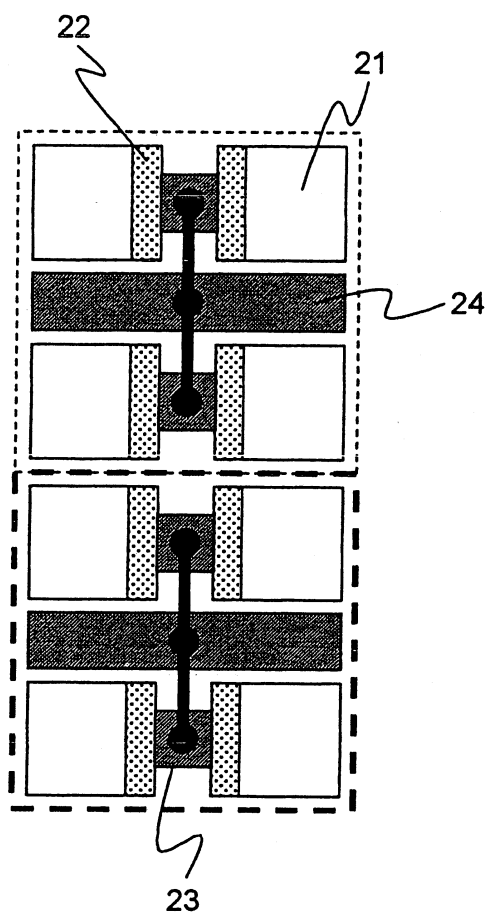


圖 15

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

1	光電轉換元件
2	電壓轉換元件
3	轉移閘
4	電晶體區域
5	互連
6	共用單位(單元塊)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種固態攝像器件，其包含多個光電轉換元件，該等光電轉換元件係配置於一個二維陣列中；及多個電壓轉換元件，該等電壓轉換元件係藉由相應光電轉換元件而將光電轉換所產生之電荷轉換成電壓，其中：

該等電壓轉換元件中之每一者係配置在該二維陣列中兩個對角相鄰的光電轉換元件之間且在該兩個光電轉換元件之間共用。

2. 如請求項1之器件，其進一步包含：

包括多個電路集合之多個電晶體區域，其中每個電路集合均處理由該等相應電壓轉換元件所轉換的電壓訊號，其中

每個電路集合均係經由一互連而電連接至該等電壓轉換元件，以使得該電路集合在該等電壓轉換元件之間共用。

3. 如請求項2之器件，其中：

該等電晶體區域係指派至共用該電路集合之該等電壓轉換元件，且

包括於該電路集合中之電路組件係分佈在該等電晶體區域中。

4. 如請求項3之器件，其中該等電路集合中之一者、該等電壓轉換元件中之兩者及該等光電轉換元件中之四者構成一個共用單位。

5. 如請求項4之器件，其中具有相同光譜靈敏度的複數個

該等光電轉換元件包括於一個共用單位中。

6. 如請求項5之器件，其中該器件支持一驅動模式，在該驅動模式下，自該共用單位中具有相同光譜靈敏度之該等複數個該等光電轉換元件同時讀出電荷。
7. 如請求項4之器件，其中該電路集合係在該二維陣列行方向上的每個共用單位之該等電壓轉換元件之間共用。
8. 如請求項7之器件，其中用於同時讀出之驅動訊號係供應至配置於該二維陣列中相同列中之電路集合，以自配置於該二維陣列相同列中之該等光電轉換元件同時讀出電荷。
9. 如請求項4之器件，其中讀取由該等電路集合處理之多個電壓訊號的複數個訊號線係配置於該二維陣列中之每一行中，以使得經由該等複數個訊號線自配置於該二維陣列中行方向上的該等共用單位同時讀取該等電壓訊號。

10. 如請求項4之器件，其進一步包含：

訊號序列置換部分，其修正該二維陣列中奇數列與偶數列之間的讀出訊號序列之差異，該差異是由在該二維陣列中兩個對角相鄰的光電轉換元件之間共用每個共用單位中之每個電壓轉換元件所導致。

11. 如請求項4之器件，其中：

一貝爾型態之濾色器陣列經配置，以使得濾色器被指派至配置於該二維陣列中之各個光電轉換元件；且

該二維陣列中奇數行的輸出電壓訊號之放大因數不同

於偶數行的輸出電壓訊號之放大因數。

12. 如請求項11之器件，其中：

在每一列之每一驅動週期，該二維陣列中每一行所產生之一訊號係經由為每一行而提供的AD轉換部分而轉換成一數位訊號；且

自該等行所產生的該等數位訊號係相繼供應至一個訊號輸出部分。

13. 如請求項4之器件，其中：

一貝爾型態之濾色器陣列經配置，以使得濾色器被指派至配置於該二維陣列中之各個光電轉換元件，

該二維陣列中奇數行之輸出及偶數行之輸出係分別連接至兩個不同列電路；且

該兩個列電路之放大因數彼此不同。

14. 如請求項4之器件，其中當一貝爾型態之濾色器陣列經配置以將濾色器指派至配置於該二維陣列中之各個光電轉換元件時，基於自分別指派有相同濾色器之兩個對角相鄰之光電轉換元件所產生的偵測訊號之間的比較結果，來修正兩個對角相鄰的光電轉換元件之輸出訊號之間的差異，該差異是由像素布局之差異所導致。

15. 如請求項4之器件，其中該器件支持一驅動模式，該驅動模式基於該等電壓轉換元件中之電荷來添加訊號，且
該等光電轉換元件之光電轉換時間彼此不同，其中電荷自該等光電轉換元件同時讀出。

16. 一種固態攝像裝置，其包含：

多個光電轉換元件，其配置於一個二維陣列中；多個電壓轉換元件，其藉由相應光電轉換元件將光電轉換所產生之電荷轉換成電壓；及一光學系統，入射光經由該光學系統到達該等光電轉換元件，其中：

該等電壓轉換元件中之每一者係配置在該二維陣列中兩個對角相鄰的光電轉換元件之間且在該兩個光電轉換元件之間共用。