(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0125148
(43) 공개일자 2017년11월14일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01) *H01L 21/02* (2006.01)
H01L 21/18 (2006.01) *H01L 21/265* (2006.01)
H01L 21/268 (2006.01) *H01L 21/762* (2006.01)
H01L 21/78 (2006.01) *H01L 27/108* (2006.01)
(52) CPC특허분류
H01L 21/76832 (2013.01)
H01L 21/02123 (2013.01)
(21) 출원번호 10-2016-0054551
(22) 출원일자 2016년05월03일
심사청구일자 2016년05월03일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
한양대학교 산학협력단
서울특별시 성동구 왕십리로 222(행당동, 한양대학교내)
(72) 발명자
유현용
서울특별시 서초구 사평대로 240, 503동 706호 (반포동, 미도2차아파트)
최리노
서울특별시 마포구 월드컵북로 502-37 (상암동, 상암월드컵파크11단지) 1105동 305호
(뒷면에 계속)
(74) 대리인
김등용, 김홍석

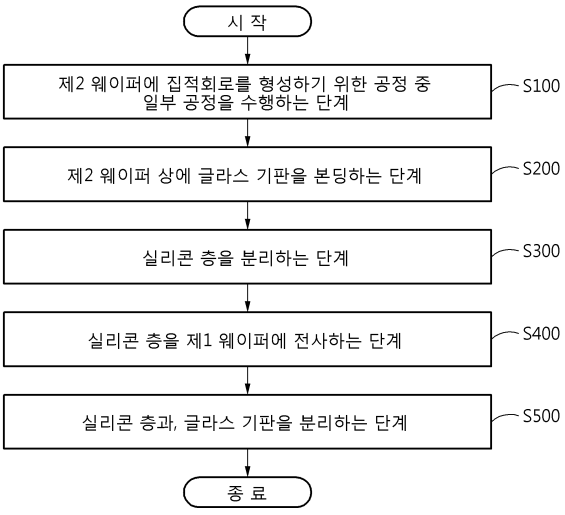
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **반도체 소자의 3차원 적층구조 형성방법**

(57) 요 약

본 발명의 실시예에 따른 반도체 소자의 3차원 적층구조 형성방법은 제1웨이퍼상에 실리콘층(Si층)을 적층하는 방식으로 제조되는 3차원 적층구조 형성방법으로서, 제2웨이퍼에 집적회로를 형성하기 위한 공정 중 적어도 일부 공정을 수행하는 단계, 상기 제2웨이퍼상에 글라스 기판을 본딩하는 단계, 상기 제2웨이퍼에서 상기 글라스 기판과 결합되어 있고, 집적회로를 형성하기 위한 공정의 적어도 일부 공정이 수행된 상기 실리콘층을 분리하는 단계, 상기 실리콘층을 상기 제1웨이퍼에 전사하는 단계를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H01L 21/02532 (2013.01)
H01L 21/187 (2013.01)
H01L 21/265 (2013.01)
H01L 21/268 (2013.01)
H01L 21/76254 (2013.01)
H01L 21/7806 (2013.01)
H01L 27/108 (2013.01)
(72) 발명자
최창환
서울특별시 성동구 금호로 107 래미안하이리버 10
6동 1102호

김승환
서울특별시 성북구 인촌로17길 27 204호 (안암동2
가,하랑빌)

이 발명을 지원한 국가연구개발사업
과제고유번호 2015M3A7B7045490
부처명 미래창조과학부
연구관리전문기관 한국연구재단
연구사업명 나노소재기술개발사업
연구과제명 초절전 3D IoT 소자 플랫폼 구현을 위한 저온 기반 단위 공정개발
기 여 율 1/1
주관기관 한양대학교 산학협력단
연구기간 2015.10.01 ~ 2020.06.30

명 세 서

청구범위

청구항 1

제1웨이퍼상에 실리콘층(Si층)을 적층하는 방식으로 제조되는 3차원 적층구조 형성방법으로서,

(a) 제2웨이퍼에 집적회로를 형성하기 위한 공정 중 적어도 일부 공정을 수행하는 단계;

(b) 상기 제2웨이퍼상에 글라스 기판을 본딩하는 단계;

(c) 상기 제2웨이퍼에서 상기 글라스 기판과 결합되어 있고, 집적회로를 형성하기 위한 공정의 적어도 일부 공정이 수행된 상기 실리콘층을 분리하는 단계;

(d) 상기 실리콘층을 상기 제1웨이퍼에 전사하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 3차원 적층구조 형성방법

청구항 2

제1항에 있어서,

상기 (d)단계 이후,

상기 실리콘층과 상기 글라스 기판을 분리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 3차원 적층구조 형성방법.

청구항 3

제2항에 있어서,

상기 실리콘층과 상기 글라스 기판을 분리하는 단계는 엑시머 레이저를 상기 글라스 기판에 조사하여 상기 실리콘층과 상기 글라스 기판을 분리하는 것을 특징으로 하는 반도체 소자의 3차원 적층구조 형성방법.

청구항 4

제1항에 있어서,

상기 (a)단계의 제2웨이퍼에 집적회로를 형성하기 위한 공정 중 적어도 일부 공정은 도펀트 주입공정과 상기 도펀트 활성화 고온공정을 포함하는 것을 특징으로 하는 반도체 소자의 3차원 적층구조 형성방법.

청구항 5

제4항에 있어서,

상기 (a)단계의 제2웨이퍼에 집적회로를 형성하기 위한 공정 중 적어도 일부 공정은 게이트 전극 형성공정을 포함하는 것을 특징으로 하는 반도체 소자의 3차원 적층구조 형성방법.

청구항 6

제1항에 있어서,

상기 (c) 단계인 상기 실리콘층을 분리하는 단계는 상기 제2웨이퍼가 SOI(Silicon On Insulator)이고, 상기 실리콘층을 분리하기 위해 백사이드 실리콘층(Back side silicon layer)과 절연층(oxide layer)을 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 3차원 적층구조 형성방법.

청구항 7

제1항에 있어서,

상기 제2웨이퍼가 실리콘웨이퍼이고,

상기 (a)단계 이전에 상기 제2웨이퍼에 수소가스(H_2)를 주입하는 단계를 더 포함하고, 상기 제2웨이퍼에 집적회로를 형성하기 위한 공정 중 일부공정을 수행하며, 상기 (c)단계인 상기 실리콘층을 분리하는 단계는 상기 수소가스가 주입된 영역에 열을 가하고 팽창시켜 분리하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 3차원 적층구조 형성방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 소자의 3차원 적층구조 형성방법에 관한 것으로서, 보다 상세하게는 3차원 다층구조 반도체 집적층을 형성하기 위한 반도체 소자 제조방법에 관한 것이다.

배 경 기 술

[0002] 현재까지의 반도체 기술은 높은 성능과 높은 밀도의 집적을 위해 소자의 크기를 줄여가며 개발시켜 왔으나, 2차원의 반도체 소자 기반인 반도체 기술은 물리적, 기술적인 한계에 도달하게 되었다.

[0003] 이러한 한계를 극복하기 위해서 다양한 방법이 제시되었고, 최근 여러가지의 3차원 집적 기술들이 개발되어오고 있다. 그러나 3차원 집적 기술 또는 본딩, 저온공정, 얼라인(align) 등의 해결해야 할 기술적 과제가 많이 존재한다.

[0004] 3차원 집적 기술 중 가장 널리 쓰이고 많이 개발되고 있는 기술은 실리콘 관통(TSV)방식이다. 이 방식은 각 웨이퍼에 소자 공정과 회로 제작을 완료한 후, 서로 적층을 해가며 3차원의 형태를 갖추도록 하는 방식이다.

[0005] 2014년 삼성전자는 이 기술을 도입하여 차세대 4기가바이트 HBM2(고대역폭 메모리) D램을 본격적으로 개발하여 양산해오고 있다. HBM D램은 TSV기술을 적용해 D램 칩에 5000개 이상의 구멍을 뚫고 상하를 연결함으로써 기존의 금선을 이용한 D램 패키지에 비해 데이터 처리속도를 크게 끌어올리게 되었으며, D램 칩을 일반 종이 두께의 절반보다도 얇게 깍고 수백개의 미세한 구멍을 뚫어 상단칩과 하단칩의 구멍을 수직으로 관통하는 전극을 연결하게 된다.

[0006] TSV기술은 온도에 민감하지 않고, 저비용으로 3차원 집적회로를 구현할 수 있다는 장점이 있으나 반도체 소자가 더욱 미세화되면서 얼라인을 하기 어려워지고, 한번의 얼라인 실패로 인해 완성된 소자들을 전부 폐기해야 하는 단점이 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 대한민국 공개특허 제10-2009-0120937호(2009.11.25)

발명의 내용

해결하려는 과제

[0008] 본 발명의 목적은 다층구조의 반도체 집적층을 형성하는 공정을 저비용으로 구현이 가능하도록 하며, 비교적 저온에서 공정이 수행되어 3차원 적층구조의 안정성이 보장되며, 더욱 복잡해지는 미세패턴에도 불구하고 얼라인(align)의 한계로 인한 불량률을 줄일수 있는 반도체 소자의 3차원 적층구조 형성방법을 제공하는데 있다.

과제의 해결 수단

[0009] 본 발명의 실시예에 따른 반도체 소자의 3차원 적층구조 형성방법은 제1웨이퍼상에 실리콘층(Si층)을 적층하는 방식으로 제조되는 3차원 적층구조 형성방법으로서, 제2웨이퍼에 집적회로를 형성하기 위한 공정 중 적어도 일부 공정을 수행하는 단계, 상기 제2웨이퍼상에 글라스 기판을 본딩하는 단계, 상기 제2웨이퍼에서 상기 글라스 기판과 결합되어 있고, 집적회로를 형성하기 위한 공정의 적어도 일부 공정이 수행된 상기 실리콘층을 분리하는

단계, 상기 실리콘층을 상기 제1웨이퍼에 전사하는 단계를 포함한다.

[0010] 본 발명의 실시예에 따른 반도체 소자의 3차원 적층구조 형성방법은 상기 실리콘층과 상기 글라스 기판을 분리하는 단계를 더 포함할 수 있다.

[0011] 여기서, 상기 실리콘층과 상기 글라스 기판을 분리하는 단계는 엑시머 레이저를 상기 글라스 기판에 조사하여 상기 실리콘층과 상기 글라스 기판을 분리할 수 있다.

[0012] 여기서, 제2웨이퍼에 집적회로를 형성하기 위한 공정 중 적어도 일부 공정은 도펀트 주입공정과 상기 도펀트 활성화 고온공정을 포함할 수 있다.

[0013] 여기서, 제2웨이퍼에 집적회로를 형성하기 위한 공정 중 적어도 일부 공정은 게이트 전극 형성공정을 포함할 수 있다.

[0014] 여기서, 상기 실리콘층을 분리하는 단계는 상기 제2웨이퍼가 SOI(Silicon On Insulator)이고, 상기 실리콘층을 분리하기 위해 백사이드 실리콘층(Back side silicon layer)과 절연층(oxide layer)을 식각하는 단계를 포함할 수 있다.

[0015] 또한, 상기 제2웨이퍼가 실리콘웨이퍼이고, 상기 집적회로를 형성하기 위한 공정중 일부공정을 수행하는단계 이전에 상기 제2웨이퍼에 수소가스(H_2)를 주입하는 단계를 더 포함하고, 상기 제2웨이퍼에 집적회로를 형성하기 위한 공정 중 일부공정을 수행하며, 상기 실리콘층을 분리하는 단계는 상기 수소가스가 주입된 영역에 열을 가하고 팽창시켜 분리하는 단계를 포함할 수 있다.

발명의 효과

[0017] 본 발명의 실시예에 따른 반도체 소자의 3차원 적층구조 형성방법은 고온공정이 필요한 일부공정만을 먼저 진행한 후에 적층을 시도함으로서, 3차원 반도체 집적층의 고온공정으로 인한 문제가 해결된다.

[0018] 또한, 비교적 간단한 공정과 저비용으로 3차원 적층구조 형성이 가능하고, 얼라인이나 소자의 동작 문제 발생시에 전체 공정을 다시 진행할 필요성이 줄어들게 된다.

[0019] 또한, 얼라인 자체의 실패확률이 낮으며, 추후 인터커넥션 공정에 있어서도 자율성이 확대된다는 장점이 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 실시예에 따른 3차원 적층구조 형성방법의 순서도이다.

도 2는 본 발명의 실시예에 따른 제2웨이퍼에 수행되는 공정의 일부를 도시한 개략도이다.

도 3은 본 발명의 제1실시예에 따른 SOI웨이퍼에 집적회로를 형성하기 위한 공정 중 일부 공정을 수행하는 단계를 거친 웨이퍼의 개념도이다.

도 4는 본 발명의 제1실시예에 따른 글라스기판 본딩과 백사이드 실리콘층 식각공정을 도시한 도면이다.

도 5는 본 발명의 제1실시예에 따른 절연층 식각공정을 도시한 도면이다.

도 6은 본 발명의 제2실시예에 따른 수소가스 주입단계를 도시한 개념도이다.

도 7은 본 발명의 제2실시예에 따른 실리콘층 분리를 위한 열처리 단계를 도시한 개념도이다.

도 8은 본 발명의 실시예에 따른 실리콘층을 전사하는 과정을 도시한 개념도이다.

도 9는 본 발명의 실시예에 따른 적층이 완료된 반도체 소자 도면이다.

발명을 실시하기 위한 구체적인 내용

[0021] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.

[0022] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시

예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

[0023] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제1 구성 요소는 제2 구성 요소로 명명될 수 있고 유사하게 제2 구성 요소는 제1 구성 요소로도 명명될 수 있다.

[0024] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0025] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0026] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0027] 이하 도면을 통해 본 발명의 실시예에 따른 반도체 소자의 3차원 적층구조 형성방법에 대해 상세히 설명한다.

[0028] 도 1은 본 발명의 실시예에 따른 3차원 적층구조 형성방법의 순서도이다.

[0029] 도 1에 도시된 바와 같이 본 발명의 실시예에 따른 3차원 적층구조 형성방법은 제1웨이퍼상에 실리콘층(Si층)을 적층하는 방식으로 제조되는 3차원 적층구조 형성방법으로서, 제2웨이퍼에 집적회로를 형성하기 위한 공정 중 적어도 일부 공정을 수행하는 단계(S100), 상기 제2웨이퍼상에 글라스 기판을 본딩하는 단계(S200), 상기 제2웨이퍼에서 상기 글라스 기판과 결합되어 있고, 집적회로를 형성하기 위한 공정의 적어도 일부 공정이 수행된 상기 실리콘층을 분리하는 단계(S300), 상기 실리콘층을 상기 제1웨이퍼에 전사하는 단계(S400)를 포함한다.

[0030] 또한, 본 발명의 실시예에 따른 3차원 적층구조 형성방법은 실리콘층과 글라스 기판을 분리하는 단계(S500)를 더 포함한다.

[0031] 본 발명의 실시예에 따른 3차원 적층구조 형성방법은 제1웨이퍼상에 제2웨이퍼의 실리콘층을 적층하는 방식으로 3차원 적층구조를 형성하는 방법이다.

[0032] 제2웨이퍼에 집적회로를 형성하기 위한 공정 중 적어도 일부 공정을 수행하는 단계(S100)는 제2웨이퍼에 집적회로를 형성하기 위한 여러 단계의 공정을 거치게 되는데, 적층구조 형성 이후에 제2웨이퍼상에 가해지는 고온공정 등으로 인하여 적층된 실리콘층이 떨어지거나, 변형이 가해지는 등의 문제가 발생할 수 있다는 점을 방지하기 위해서 일부공정만을 수행하는 단계이다.

[0033] 도 2는 본 발명의 실시예에 따른 제2웨이퍼에 수행되는 공정의 일부를 도시한 개략도이다.

[0034] 도 2는 제2웨이퍼(200, 300)에 포토레지스터(PR)층을 형성하여 원하는 패턴을 만들고, 패턴이 형성된 정해진 영역에 n타입 또는 p타입 도핑을 위해서 불순물을 주입하는 도펀트 주입공정이 수행된다. 제2웨이퍼(200, 300)상에 주입되는 도펀트가 미리 정해진 깊이에서의 확산되어 활성화될 수 있도록 고온공정이 반드시 수반된다.

[0035] 도 2에 도시된 바와 같은 웨이퍼상에 집적회로를 형성하기 위해서 도펀트를 주입하고, 주입된 도펀트의 활성화를 위해서 600℃이상의 고온이 가해지는 일련의 과정이 제1웨이퍼에 제2웨이퍼(200, 300)의 실리콘층을 적층한

후에 이루어지게 되면, 글라스 웨이퍼를 본딩하기도 전에 실리콘층이 제1웨이퍼에서 떨어지게 된다.

[0036] 나아가 본 발명의 실시예에 따른 제2웨이퍼(200, 300)에 수행되는 공정의 일부는 반드시 도펀트 주입과 활성화를 위한 고온공정, 뿐만 아니라 게이트 전극을 형성하기 위한 게이트 산화막 형성과정, 게이트 전극형성과정을 포함할 수 있으며, 경우에 따라서 스페이서 형성, 커패시터 구조형성(DRAM) 등의 일련의 과정을 포함할 수도 있으나 반드시 이에 제한되는 것은 아니다.

[0037] 본 발명의 실시예에 따른 제2웨이퍼에 집적회로를 형성하기 위한 공정 중 일부공정을 수행하는 단계(S100)는 종류와 용도에 따른 공정이 매우 다양하게 설정이 가능하며, 제1웨이퍼와 적층구조가 형성되어 있는 실리콘층에 가해지는 적층 이후 공정으로 인하여 반도체 소자의 3차원 적층구조에 영향을 미칠 수 있는 공정은 적층 이전에 수행되는 것이 바람직하다.

[0038] 이하, 본 발명의 실시예에 따른 반도체 소자의 3차원 적층구조 형성방법의 구성요소를 설명하기 위해서, 제2웨이퍼(200, 300)의 종류에 따라 달라지는 공정에 대해서 각 실시예를 구별하고 설명한다.

[0040] <제1실시예> - 제2웨이퍼가 SOI(Silicon On Insulator)인 경우

[0041] 본 발명의 제1실시예에 따른 반도체 소자의 3차원 적층구조 형성방법을 도 3 내지 도 5를 참고하여 설명한다.

[0042] 먼저, SOI(Silicon On Insulator)는 실리콘 기판상에 절연막을 형성하고, 그 위에 실리콘 층을 형성한 샌드위치 구조를 갖는다. 이 웨이퍼 기술을 이용하면 고속으로 초미세한 집적회로를 제작할 수 있어 차세대 집적회로 기술로 평가받고 있다.

[0043] 도 3은 본 발명의 제1실시예에 따른 SOI웨이퍼에 집적회로를 형성하기 위한 공정 중 일부 공정을 수행하는 단계를 거친 웨이퍼의 개념도이다.

[0044] 도 3에 도시된 바와 같이 SOI웨이퍼(제2웨이퍼, 200)는 최상층에서부터 실리콘층(210), 절연층(220), 백사이드 실리콘층(230)으로 이루어져 있다.

[0045] 앞선 예와 같이 SOI웨이퍼(제2웨이퍼, 200)에 집적회로를 형성하기 위한 공정중 일부공정을 수행하는 단계(S100)를 거치게 되면, 도 3에 도시된 "A"와 같이 도핑된 영역이 형성된다. 도 3에 도시되어 있는 일부영역에 표시되어 있는 "A"는 SOI웨이퍼(제2웨이퍼, 200)상의 일부 영역에 공정이 수행된다는 의미가 아니고, 집적회로를 형성하기 위한 전체 공정 중에서 일부공정이 수행된 결과를 개념적으로 도시한 것임을 밝혀둔다.

[0046] 도 4는 본 발명의 제1실시예에 따른 글라스기판 본딩과 백사이드 실리콘층 식각공정을 도시한 도면이다.

[0047] 도 5는 본 발명의 제1실시예에 따른 절연층 식각공정을 도시한 도면이다.

[0048] 도 4에 도시된 바와 같이 SOI웨이퍼(제2웨이퍼, 200)상에 집적회로를 형성하기 위한 일부공정 수행(S100)이 완료되면, SOI웨이퍼(제2웨이퍼, 200)상에 글라스 기판(400)을 본딩한다(S200).

[0049] 글라스 기판(400)을 SOI웨이퍼(제2웨이퍼, 200)상에 본딩하는 것은 SOI웨이퍼(제2웨이퍼, 200)의 상부에 일부공정이 수행된 실리콘층(210)을 보호하기 위한 것이고, 이후 제1웨이퍼에 실리콘층(210)을 전사하여 본딩하기 위함이다.

[0050] SOI웨이퍼(제2웨이퍼, 200)상에 글라스 기판(400)을 본딩하는 단계(S200) 이후에 백사이드 실리콘층(230)을 습식식각 방식을 이용하여 식각하고, 도 5에 도시된 바와 같이 절연층(220)을 습식식각하여 실제 적층구조를 형성하게 될 실리콘층(210)에서 백사이드 실리콘층(230)을 분리한다(S300).

[0051] 본 발명의 제1실시예에 따르면, SOI웨이퍼(제2웨이퍼, 200)를 실리콘층(210)과 백사이드 실리콘층(230)으로 분리하는 방식에는 제한이 없으며, 다양한 방식으로 분리가 가능하다.

[0053] <제2실시예> - 제2웨이퍼가 일반적인 실리콘 웨이퍼인 경우

[0054] 본 발명의 제2실시예에 따른 반도체 소자의 3차원 적층구조 형성방법을 도 6 내지 도 7을 참고하여 설명한다.

[0055] 본 발명의 제2실시예는 제2웨이퍼(300)가 일반적인 실리콘 웨이퍼인 경우로서, 이 경우, 제2웨이퍼에 집적회로를 형성하기 위한 공정 중 일부공정을 수행하는 단계(S100) 이전에 실리콘 웨이퍼(제2웨이퍼, 300)에 수소가스

(H_2)를 주입하는 단계를 더 포함한다.

[0056] 도 6은 본 발명의 제2실시예에 따른 수소가스 주입단계를 도시한 개념도이다.

[0057] 도 7은 본 발명의 제2실시예에 따른 실리콘층 분리를 위한 열처리 단계를 도시한 개념도이다.

[0058] 도 6과 같이 실리콘 웨이퍼(제2웨이퍼, 300)에 수소가스를 주입할 때, 기 설정된 온도나 압력 등 설정가능한 조건을 챔버상에 형성시켜주면, 정해진 깊이로 수소가스가 침투하여 일정한 층을 형성하게 되고, 이후에 수소가 침투한 영역을 팽창시켜서 실리콘층(310)을 분리한다.

[0059] 수소가스가 실리콘 웨이퍼(제2웨이퍼, 300)에 주입되는 단계를 거친 후에 앞서 설명한 실리콘 웨이퍼(제2웨이퍼, 300)에 집적회로를 형성하기 위한 공정 중 일부 공정을 수행하는 단계(S100)를 거치고, 제2웨이퍼 상에 글라스 기판(400)을 본딩하는 단계(S200)를 거친다.

[0060] 이후 실리콘층(310)을 분리하기 위해서 도 7에 도시된 바와 같이 열처리하는 단계를 거친다.

[0061] 도 7에 도시된 바와 같이 실리콘 웨이퍼(제2웨이퍼, 300)의 경우 실리콘층(310)을 떼어내기 위해서 실리콘 웨이퍼(제2웨이퍼, 300)를 가열하면 수소가스가 주입된 영역이 팽창하여 실리콘층(310)이 분리된다. 이는 현재 상용화되어 사용되어오고 있는 스마트 컷(SMART CUT)방식과 유사한 방식이다.

[0063] 즉, 본 발명의 제1실시예와 제2실시예는 제2웨이퍼의 종류에 따라 공정순서에서 다소 차이가 있을 뿐, 결국, 집적회로를 형성하기 위한 공정 중 일부공정이 수행된 얇은 실리콘층을 획득하기 위한 과정이라는 점은 동일하다.

[0064] 도 8은 본 발명의 실시예에 따른 실리콘층을 전사하는 과정을 도시한 개념도이다.

[0065] 도 8에 도시된 바와 같이 본 발명의 실시예는 상부에 글라스 기판이 본딩된 실리콘층을 제1웨이퍼에 전사하는 단계(S400)를 거친다. 이때 실리콘층(210, 310)은 집적회로를 형성하기 위한 모든 공정을 완료하지 않았고, 일부 부분적인 공정만을 진행한 층이므로, 본 발명의 실시예에 따른 3차원 적층구조 형성시 제1웨이퍼(100)에 전사단계에서 얼라인(align) 실패가능성이 크게 낮아지고, 추후 인터커넥션 공정에 있어서도 자율성이 확대된다. 또한, 얼라인이나 소자의 동작에 있어서 문제 발생시에 전체 공정을 다시 진행할 필요가 없다.

[0066] 도 8의 제1웨이퍼(100)의 상부에는 실리콘층(210, 310)과의 절연역할을 담당하는 ILD(Interlayer Dielectric)층(110)이 구비되어 있다.

[0067] 도 9는 본 발명의 실시예에 따른 적층이 완료된 반도체 소자 도면이다.

[0068] 실리콘층의 전사단계 이후에 실리콘층(210. 310) 상부에 형성되어 있는 글라스 기판(400)을 제거하기 위해 엑시머 레이저를 글라스 기판(400)에 조사하여 실리콘층(210. 310)과 글라스 기판(400)을 분리한다. 분리를 위해 다양한 방법이 활용될 수 있으며, 본 발명이 반드시 이에 제한되는 것은 아니다.

[0069] 도 9와 같이 글라스 기판(400)이 제거된 실제 3차원 적층구조의 반도체 소자는 필요한 응용소자에 따라 부분적으로 공정이 수행된 내용의 후속공정을 취사 선택하여 수행이 가능하다.

[0070] 또한, 앞서 도 8에서 언급한 바와 같이 제1웨이퍼(100)의 상부와 실리콘층(210, 310) 사이에 ILD층(110)이 구비되어 있으며, 반복하여 실리콘층(210, 310)에 재차 다른 실리콘층(미도시)이 전사되어 적층되는 경우, 실리콘층(210, 310)과 다른 실리콘층(미도시)사이에도 마찬가지로 ILD층(미도시)이 구비되어 층 사이를 분리하게 된다.

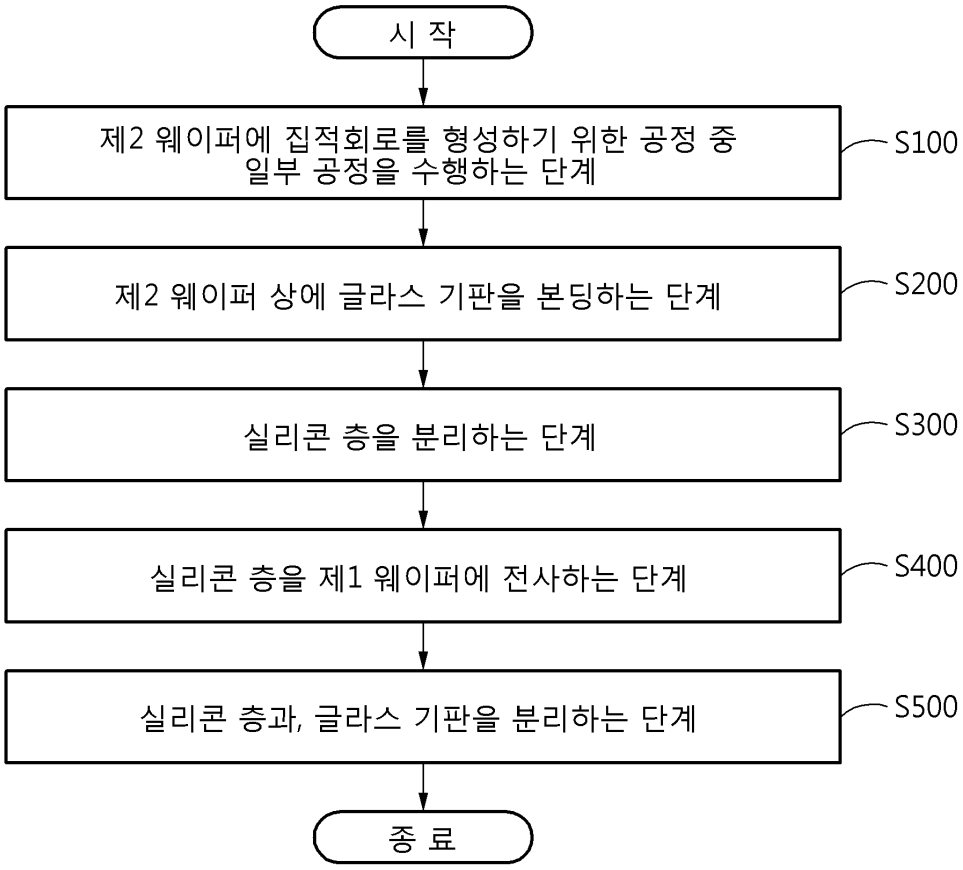
부호의 설명

[0072]

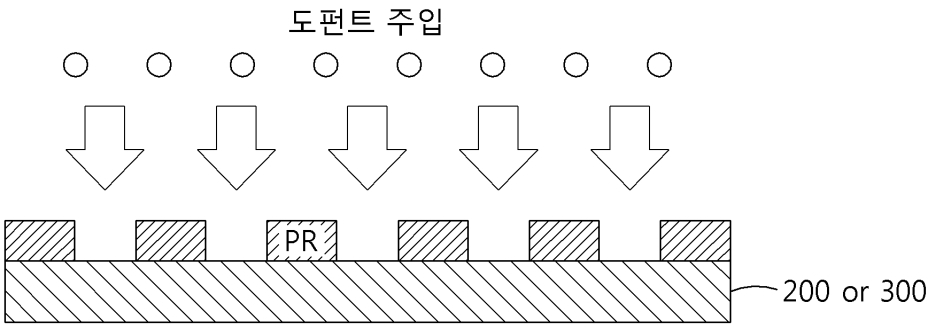
100 제1웨이퍼	110 ILD층
200 SOI웨이퍼(제2웨이퍼)	210 실리콘층
220 절연층	230 백사이드 실리콘층
300 실리콘 웨이퍼(제2웨이퍼)	310 실리콘층
400 글라스 기판	

도면

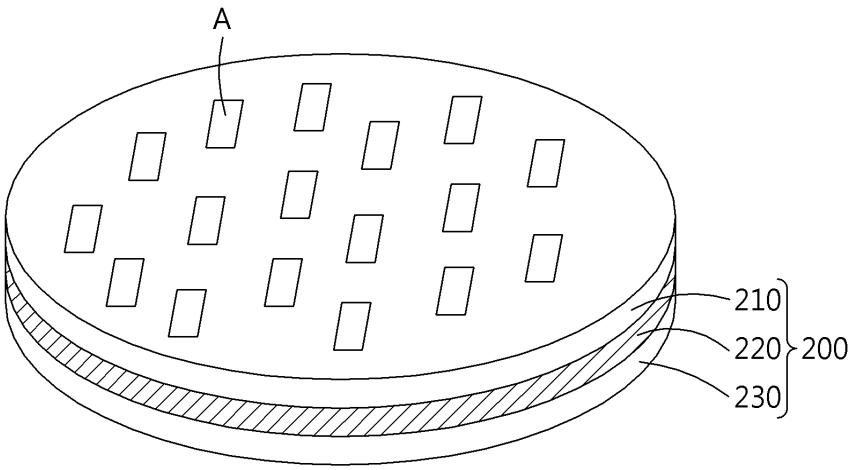
도면1


시 작
제2 웨이퍼에 집적회로를 형성하기 위한 공정 중 일부 공정을 수행하는 단계
S100
제2 웨이퍼 상에 글라스 기판을 본딩하는 단계
S200
실리콘 층을 분리하는 단계
S300
실리콘 층을 제1 웨이퍼에 전사하는 단계
S400
실리콘 층과, 글라스 기판을 분리하는 단계
S500
종 료

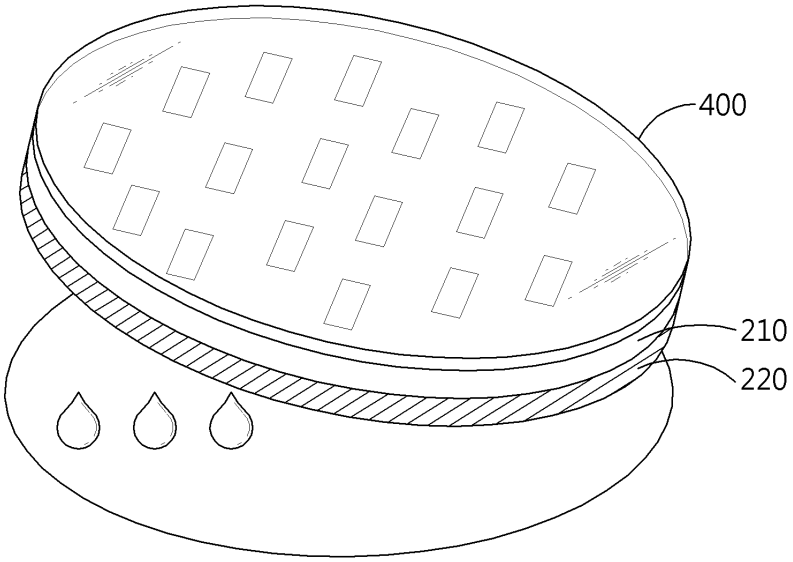
도면2


도펀트 주입
PR
200 or 300

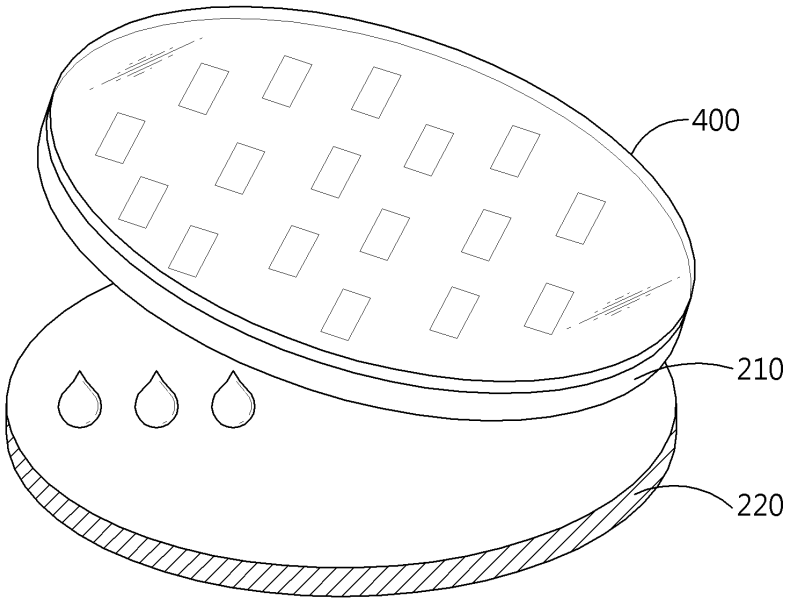
도면3



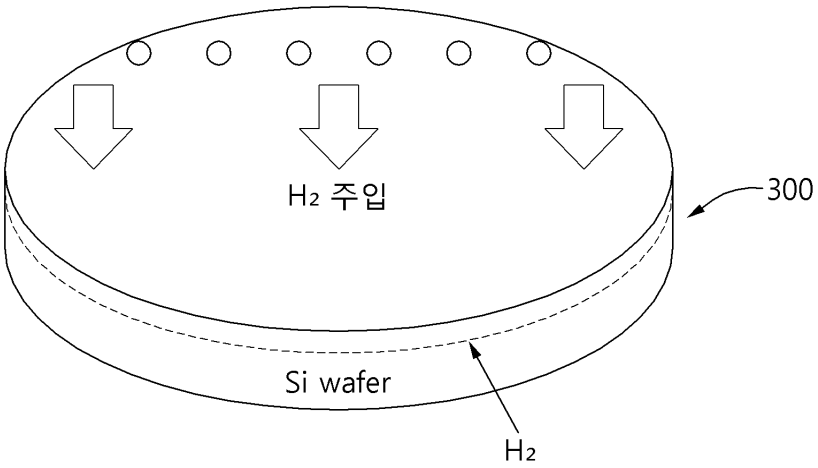
도면4



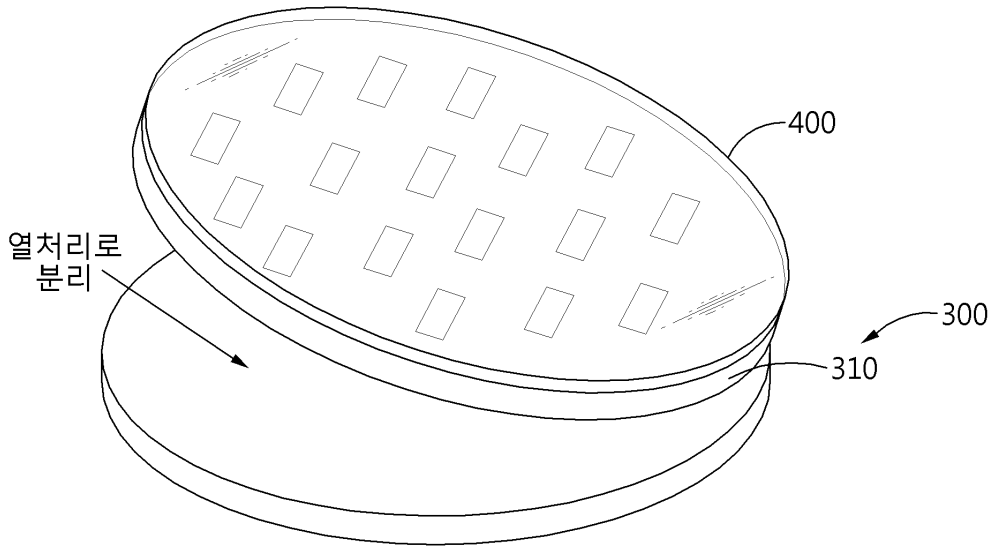
도면5



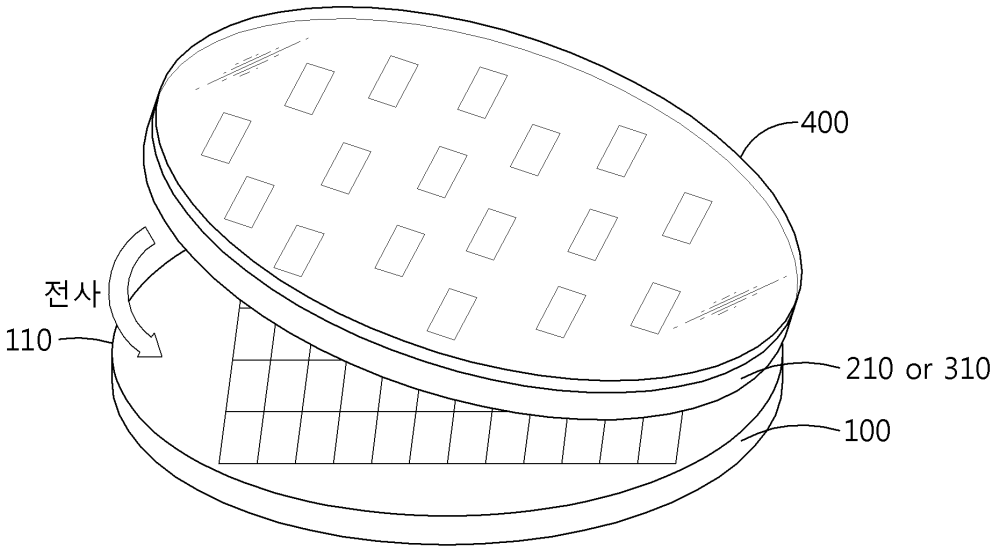
도면6



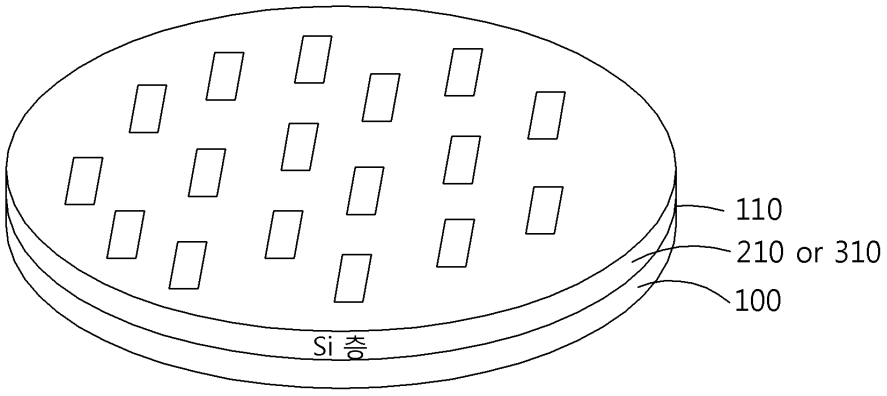
도면7


400
열처리로
분리
300
310

도면8


400
전사
110
210 or 310
100

도면9


110
210 or 310
100
Si 층