



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0049748
(43) 공개일자 2020년05월08일

(51) 국제특허분류(Int. Cl.)
H05K 1/09 (2006.01) H05K 3/18 (2006.01)
H05K 3/24 (2006.01)
(52) CPC특허분류
H05K 1/09 (2019.01)
H05K 3/184 (2013.01)
(21) 출원번호 10-2020-0052510(분할)
(22) 출원일자 2020년04월29일
심사청구일자 2020년04월29일
(62) 원출원 특허 10-2019-0136213
원출원일자 2019년10월30일
심사청구일자 2019년11월20일

(71) 출원인
엘지이노텍 주식회사
서울특별시 강서구 마곡중앙10로 30(마곡동)
(72) 발명자
배윤미
서울특별시 강서구 마곡중앙10로 30(마곡동)
권순규
서울특별시 강서구 마곡중앙10로 30(마곡동)
(74) 대리인
허용록

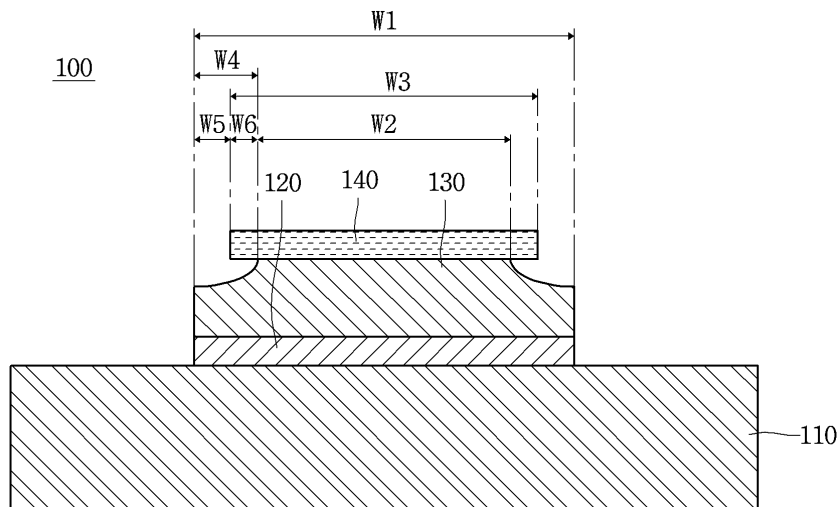
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 인쇄회로기판 및 그의 제조 방법

(57) 요약

실시 예에 따른 인쇄회로기판은 절연층; 상기 절연층 위에 형성된 회로 패턴; 및 상기 회로 패턴 위에 형성된 표면 처리층을 포함하며, 상기 표면 처리층의 하면의 폭은, 상기 회로 패턴의 상면의 폭보다 넓다.

대표도 - 도2



(52) CPC특허분류

H05K 3/24 (2013.01)

H05K 3/242 (2013.01)

(72) 발명자

김상화

서울특별시 강서구 마곡중앙10로 30(마곡동)

이상영

서울특별시 강서구 마곡중앙10로 30(마곡동)

이진학

서울특별시 강서구 마곡중앙10로 30(마곡동)

이한수

서울특별시 강서구 마곡중앙10로 30(마곡동)

정동현

서울특별시 강서구 마곡중앙10로 30(마곡동)

정인호

서울특별시 강서구 마곡중앙10로 30(마곡동)

최대영

서울특별시 강서구 마곡중앙10로 30(마곡동)

황정호

서울특별시 강서구 마곡중앙10로 30(마곡동)

명세서

청구범위

청구항 1

절연층;

상기 절연층 상에 배치된 도금 시드층;

상기 도금 시드층 상에 배치되고, 구리(Cu)를 포함하는 회로 패턴; 및

상기 회로 패턴 상에 배치되고, 금(Au)을 포함하는 표면 처리층을 포함하며,

상기 회로 패턴은,

상기 도금 시드층의 상면과 접촉하는 제1 부분; 및

상기 제1 부분의 상면 및 상기 표면 처리층의 하면과 접촉하는 제2 부분을 포함하며,

상기 회로 패턴의 제2 부분은 상면 및 하면의 폭이 서로 다르며,

상기 회로 패턴의 제2 부분의 좌측면 및 우측면 중 적어도 하나의 측면은 곡면을 포함하며,

상기 표면 처리층의 하면은,

상기 회로 패턴의 제2 부분과 접촉하는 제1 하면; 및

상기 회로 패턴의 상기 제2 부분의 상면으로부터 이격되는 제2 하면을 포함하고,

상기 회로 패턴의 상기 제1 부분은,

상기 표면 처리층의 하면과 수직방향으로 중첩되는 제1 영역; 및

상기 제1 영역을 제외한 제2 영역을 포함하는 인쇄회로기판.

청구항 2

제1항에 있어서,

상기 도금 시드층은 상기 회로 패턴 및 상기 표면 처리층의 시드층인 인쇄회로기판.

청구항 3

제1항에 있어서,

상기 회로 패턴의 제1 부분의 측면의 일부는 상기 회로 패턴의 제1 부분의 하면에 대해 수직한 인쇄회로기판.

청구항 4

제1항에 있어서,

상기 표면 처리층의 좌측 영역 또는 우측 영역은 상기 회로 패턴의 제2 부분으로부터 바깥쪽으로 돌출된 인쇄회로기판.

청구항 5

제1항에 있어서,

상기 표면 처리층의 하면은 상기 회로 패턴의 제2 부분의 상면보다 큰 폭을 가지는 인쇄회로기판.

청구항 6

제1항에 있어서,

상기 금을 포함하는 상기 표면 처리층의 상기 제1 하면은 상기 구리를 포함하는 상기 제2 부분의 상면과 직접 접촉하는 인쇄회로기판.

청구항 7

제1항에 있어서,

상기 제1 영역의 폭과 제2 영역의 폭의 비율은 1.5~4.0 사이의 범위를 만족하는 인쇄회로기판.

청구항 8

제1항에 있어서,

상기 회로 패턴의 제1 부분의 하면의 폭은 상기 회로 패턴의 제2 부분의 상면의 폭과 다른 인쇄회로기판.

청구항 9

절연층;

상기 절연층 상에 배치되는 도금 시드층;

상기 도금 시드층 상에 배치되고, 구리(Cu)를 포함하는 회로 패턴;

상기 회로 패턴 상에 배치되는 표면 처리층; 및

상기 절연층 상에 배치되고, 상기 절연층의 표면을 덮는 보호층을 포함하고,

상기 회로 패턴의 좌측면 및 우측면 중 적어도 하나의 측면은 곡면을 포함하며,

상기 표면 처리층의 하면은,

상기 회로 패턴과 접촉하는 제1 하면; 및

상기 회로 패턴으로부터 이격되는 제2 하면을 포함하고,

상기 보호층의 상면은 상기 표면 처리층의 상면보다 높게 위치하는 인쇄회로기판.

청구항 10

제9항에 있어서,

상기 보호층은 상기 회로 패턴의 좌측면 또는 우측면, 상기 도금 시드층의 측면, 및 상기 표면 처리층의 상면의 일부를 커버하는 인쇄회로기판.

청구항 11

제10항에 있어서,

상기 보호층은 상기 회로 패턴의 상기 곡면 및 상기 표면 처리층의 상기 제2 하면과 접촉하는 인쇄회로기판.

청구항 12

제9항에 있어서,

상기 보호층은 상기 회로 패턴, 상기 도금 시드층 및 상기 표면 처리층과 일정 간격 이격되는 인쇄회로기판.

청구항 13

제9항에 있어서,

상기 회로 패턴은,

상기 도금 시드층의 상면과 접촉하는 제1 부분; 및

상기 제1 부분의 상면 및 상기 표면 처리층의 하면과 접촉하는 제2 부분을 포함하고,

상기 회로 패턴의 상기 제2 부분은 의 상면 및 하면의 폭이 서로 다른 인쇄회로기판.

청구항 14

제9항에 있어서,
상기 표면 처리층은 금(Au)을 포함하는 인쇄회로기판.

청구항 15

제13항에 있어서,
상기 표면 처리층의 제1 하면은 상기 회로 패턴의 제2 부분과 접촉하고,
상기 표면 처리층의 제2 하면은 상기 회로 패턴의 제2 부분의 상면으로부터 이격되는 인쇄회로기판.

청구항 16

제13항에 있어서,
상기 회로 패턴의 상기 제1 부분은,
상기 표면 처리층의 하면과 수직방향으로 중첩되는 제1 영역; 및
상기 제1 영역을 제외한 제2 영역을 포함하는 인쇄회로기판.

청구항 17

제14항에 있어서,
상기 금을 포함하는 상기 표면 처리층의 제1 하면은 상기 구리를 포함하는 제2 부분의 상면과 직접 접촉하는 인쇄회로기판.

청구항 18

절연층;
상기 절연층 상에 배치되고, 구리(Cu)를 포함하는 도금 시드층;
상기 도금 시드층 상에 배치되고, 구리(Cu)를 포함하는 회로 패턴;
상기 회로 패턴 상에 배치되고, 금(Au)을 포함하는 표면 처리층을 포함하며,
상기 회로 패턴은,
상기 도금 시드층의 상면과 접촉하는 제1 부분; 및
상기 제1 부분의 상면 및 상기 표면 처리층의 하면과 접촉하는 제2 부분을 포함하고,
상기 회로 패턴의 상기 제2 부분의 상면의 폭은 상기 제2 부분의 하면의 폭과 다르고,
상기 제2 부분의 좌측면 및 우측면 중 적어도 하나는 곡면을 가지고,
상기 표면 처리층의 하면은,
상기 회로 패턴의 상기 제2 부분과 접촉하는 제1 하면; 및
상기 회로 패턴의 상기 제2 부분의 상면으로부터 이격되는 제2 하면을 포함하고,
상기 도금 시드층은 상기 회로 패턴 및 상기 표면 처리층의 시드층이고,
상기 제1 부분의 측면의 일부는 상기 제1 부분의 하면에 대해 수직하고,
상기 표면 처리층의 좌측 영역 또는 우측 영역은 상기 회로 패턴의 상기 제2 부분으로부터 바깥쪽으로 돌출되고,
상기 표면 처리층의 하면은 상기 제2 부분의 상면보다 넓은 폭을 가지고,
상기 금을 포함하는 상기 표면 처리층의 상기 제1 하면은 상기 구리를 포함하는 상기 제2 부분의 상면과 직접

접촉하고,

상기 회로 패턴의 상기 제1 부분은,

수직 방향 내에서 상기 표면 처리층과 오버랩되는 제1 영역; 및

상기 수직 방향 내에서, 상기 표면 처리층과 오버랩되지 않는 제2 영역을 포함하는 인쇄회로기판.

발명의 설명

기술 분야

[0001] 본 발명은 인쇄회로기판의 관한 것으로, 특히 측면의 일부가 곡면을 가지는 회로 패턴과, 전해 도금에 의해 형성된 표면 처리층을 포함하는 인쇄회로기판 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 인쇄회로기판(PCB; Printed Circuit Board)은 전기 절연성 기판에 구리와 같은 전도성 재료로 회로라인 패턴을 인쇄하여 형성한 것으로, 전자부품을 탑재하기 직전의 기판(Board)을 말한다. 즉, 여러 종류의 많은 전자 소자를 평판 위에 밀집 탑재하기 위해, 각 부품의 장착 위치를 확정하고, 부품을 연결하는 회로패턴을 평판 표면에 인쇄하여 고정된 회로 기판을 의미한다.

[0003] 일반적으로, 상기와 같은 인쇄회로기판에 포함된 회로 패턴의 표면처리 방법으로, OSP(Organic Solderability Preservative), 전해 니켈/골드, 전해 니켈/골드-코발트 합금, 무전해 니켈/팔라듐/골드 등이 사용되고 있다.

[0004] 이때, 상기 용되는 표면 처리 방법들은 그의 용도에 따라 달라지는데, 예를 들어, 상기 용도에는 솔더링용, 와이어 본딩용 및 커넥터용 등이 있다.

[0005] 도 1은 종래 기술에 따른 인쇄회로기판을 나타낸 단면도이다.

[0006] 도 1의 (a) 및 (b)를 참조하면, 인쇄회로기판은 절연층(10), 도금 시드층(20), 회로 패턴(30), 보호층(40), 제 1 표면 처리층(50) 및 제 2 표면 처리층(60)을 포함한다.

[0007] 상기 도 1의 (a)와 (b)는 절연층, 절연층(10), 도금 시드층(20), 회로 패턴(30), 제 1 표면 처리층(50) 및 제 2 표면 처리층(60)의 구조는 동일하며, 사용 형태에 따라 보호층(40)의 구조만 상이하다.

[0008] 즉, 도 1의 (a)에 포함된 보호층(40)은 노출된 절연층(10)의 표면을 모두 덮으면서, 회로 패턴(30)의 상면의 적어도 일부를 덮는 구조를 가지며, 상기 제 2 표면 처리층(60)의 표면 위로 돌출되는 형상을 가진다.

[0009] 또한, 도 1의 (b)에 포함된 보호층(40)은 단지 댐 역할을 하게 되며, 이에 따라 상기 회로 패턴(30)과는 접촉하지 않은 상태에서, 상기 절연층(10)의 표면의 적어도 일부를 노출하며 형성된다.

[0010] 한편, 상기와 같은 종래 기술에 따른 인쇄회로기판은 상기 회로 패턴(30)의 표면 처리를 위하여 니켈을 포함하는 제 1 표면 처리층(50)과 금을 포함하는 제 2 표면 처리층(60)을 형성한다.

[0011] 이때, 상기 제 1 표면 처리층(50) 및 제 2 표면 처리층(60)은 전해 도금을 위한 별도의 시드층이 존재하지 않음에 따라 보통 무전해 도금에 의해 형성된다.

[0012] 또한, 상기 제 1 표면 처리층(50) 및 제 2 표면 처리층(60)을 전해 도금하여 형성하기 위해서는, 별도의 도금 시드층을 형성한다.

[0013] 그러나, 상기와 같은 인쇄회로기판의 표면 처리는 일반적으로 무전해 도금에 의해 형성되며, 전해 도금을 진행하기 위해서는 별도의 시드층을 형성함에 따른 디자인적인 제약이 발생하는 문제점이 있다.

[0014] 또한, 상기와 같은 인쇄회로기판의 표면 처리는 구리를 포함하는 회로 패턴(30)의 확산을 위하여 니켈과 같은 금속의 제 1 표면 처리층(50)이 필수로 형성되어야 한다.

발명의 내용

해결하려는 과제

[0015] 본 발명에 따른 실시 예에서는, 회로 패턴 형성 시에 사용한 도금 시드층을 이용하여 상기 회로 패턴의 표면 처

리층을 전해 도금하여 형성한 인쇄회로기판 및 이의 제조 방법을 제공한다.

[0016] 또한, 본 발명에 따른 실시 예에서는, 적어도 일부의 측면이 곡면을 가지는 회로 패턴을 포함한 인쇄회로기판 및 이의 제조 방법을 제공한다.

[0017] 또한, 본 발명에 따른 실시 예에서는, 회로 패턴 위에 상기 회로 패턴의 하면 폭보다는 좁은 폭을 가지면서 상기 회로 패턴의 상면 폭보다는 넓은 폭을 가지는 표면 처리층이 형성된 인쇄회로기판 및 이의 제조 방법을 제공한다.

[0018] 또한, 본 실시 예에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 제안되는 실시 예가 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0019] 실시 예에 따른 인쇄회로기판은 절연층; 상기 절연층 위에 형성된 회로 패턴; 및 상기 회로 패턴 위에 형성된 표면 처리층을 포함하며, 상기 표면 처리층의 하면의 폭은, 상기 회로 패턴의 상면의 폭보다 넓다.

[0020] 또한, 상기 회로 패턴은, 상부의 좌측면 및 우측면 중 적어도 어느 하나의 측면이 일정 곡률을 가진다.

[0021] 또한, 상기 회로 패턴은 상면의 폭이 하면의 폭보다 좁으며, 상기 회로 패턴의 하면은, 상기 회로 패턴의 상면과 중첩되는 제 1 영역과, 상기 제 1 영역을 제외한 제 2 영역을 포함한다.

[0022] 또한, 상기 표면 처리층은, 금(Au)을 포함하는 금속물질로 형성된 금 표면 처리층을 포함하며, 상기 금 표면 처리층의 하면은, 상기 회로 패턴의 상면과 직접 접촉한다.

[0023] 또한, 상기 표면 처리층의 하면은, 상기 회로 패턴의 하면의 폭보다 좁은 폭을 가진다.

[0024] 또한, 상기 표면 처리층은, 상기 회로 패턴의 상면과 접촉되는 접촉 영역과, 상기 회로 패턴의 상면과 접촉하지 않는 비접촉 영역을 포함하며, 상기 회로 패턴의 제 2 영역은, 상기 표면 처리층의 비접촉 영역과 중첩되지 않는 제 3 영역과, 상기 표면 처리층의 비접촉 영역과 중첩되는 제 4 영역을 포함하며, 상기 제 3 영역의 폭은, 상기 제 4 영역의 폭보다 크다.

[0025] 또한, 상기 제 3 영역의 폭과 제 4 영역의 폭의 비율은 1.5~4.0 사이의 범위를 만족한다.

[0026] 또한, 상기 절연층과 회로 패턴 사이에 형성된 도금 시드층을 더 포함하며, 상기 도금 시드층은, 상기 회로 패턴 및 상기 표면 처리층의 시드층이다.

[0027] 또한, 상기 회로 패턴의 좌측면 및 우측면 중 적어도 하나의 측면은, 상기 회로 패턴의 하면에 대하여 실질적으로 수직인 제 1 부분과, 상기 제 1 부분으로부터 연장되어 일정 곡률의 곡면을 가지는 제 2 부분을 포함한다.

[0028] 또한, 상기 표면 처리층의 좌측 영역 또는 우측 영역은, 상기 회로 패턴의 상부의 좌측면 또는 우측면으로부터 바깥쪽으로 돌출된다.

[0029] 또한, 상기 절연층 위에 형성되어, 상기 절연층의 적어도 일부 표면을 덮는 보호층을 더 포함한다.

[0030] 한편, 실시 예에 따른 인쇄회로기판의 제조 방법은 상면에 도금 시드층이 형성된 절연층을 준비하는 단계; 상기 절연층 위에 상기 도금 시드층을 시드층으로 전해도금하여 회로 패턴을 형성하는 단계; 상기 도금 시드층 위에 상기 회로 패턴의 상면 중 적어도 일부를 개방하는 개구부를 갖는 마스크를 형성하는 단계; 상기 도금 시드층을 시드층으로 전해도금하여 상기 회로 패턴 위에 상기 개구부의 적어도 일부를 매립하는 표면 처리층을 형성하는 단계; 상기 도금 시드층 위에 형성된 마스크를 제거하는 단계; 및 상기 절연층 위에 형성된 도금 시드층을 제거하는 단계를 포함한다.

[0031] 또한, 상기 마스크는 드라이 필름을 포함한다.

[0032] 또한, 상기 마스크의 개구부의 폭은, 상기 회로 패턴의 상면의 폭보다 좁으며, 상기 회로 패턴의 상면 중 적어도 일부는, 상기 마스크에 의해 덮인다.

[0033] 또한, 상기 도금 시드층의 제거 이전의 회로 패턴은, 상기 표면 처리층의 하면과 접촉하는 제 1 상면과, 상기 표면 처리층의 하면과 접촉하지 않는 제 2 상면을 포함하며, 상기 회로 패턴의 제 2 상면의 일부는, 상기 도금 시드층의 제거 시에 상기 도금 시드층과 함께 제거된다.

- [0034] 또한, 상기 도금 시드층의 제거 후의 회로 패턴은 상기 표면 처리층의 하면의 폭보다 좁은 폭을 가지는 상면을 포함한다.
- [0035] 또한, 상기 도금 시드층의 제거 후의 회로 패턴은, 상기 제 2 상면과 연장되는 측면이 일정 곡률을 가진다.
- [0036] 또한, 상기 표면 처리층은, 금(Au)을 포함하는 금속물질로 형성된 금 표면 처리층을 포함하며, 상기 금 표면 처리층의 하면은, 상기 회로 패턴의 상면과 직접 접촉한다.
- [0037] 또한, 상기 표면 처리층의 하면은, 상기 회로 패턴의 하면의 폭보다 좁은 폭을 가진다.
- [0038] 또한, 상기 절연층 위에 형성되어, 상기 절연층의 적어도 일부 표면을 덮는 보호층을 형성하는 단계를 더 포함한다.

발명의 효과

- [0039] 본 발명에 따른 실시 예에 의하면, 필름 타입의 제거 가능한 물질 및 회로 패턴 형성에 사용한 도금 시드층을 활용하여 표면 처리층을 형성함으로써, 디자인에 제약없이 전해 표면 처리와 무전해 표면 처리 방식을 선택적으로 사용 가능하다.
- [0040] 또한, 본 발명에 따른 실시 예에 의하면, 회로 패턴 형성 시에 사용한 도금 시드층을 이용하여 금(Au)을 포함하는 표면 처리층을 형성함으로써, 기존의 금(Au) 표면 처리층의 시드층 역할을 수행한 니켈(Ni) 표면 처리층을 제거할 수 있으며, 이에 따라 제품의 두께를 낮출 수 있을 뿐 아니라, 상기 니켈 표면 처리층의 삭제로 인한 제품 단가를 낮출 수 있다.
- [0041] 또한, 본 발명에 따른 실시 예에 의하면, 기존의 니켈 표면 처리층을 제거하고, 그에 따라 회로 패턴 위에 바로 금(Au) 표면 처리층을 형성함으로써, 전기 전도도를 상승시키면서 전기 저항을 감소시킬 수 있으며, 이에 따른 RF 특성을 향상시킬 수 있다.
- [0042] 또한, 본 발명에 따른 실시 예에 의하면, 회로 패턴 위에 형성된 표면 처리층이 상기 회로 패턴의 상부 측면으로부터 바깥쪽으로 돌출된 처마 구조를 가짐으로써, 회로패턴 위에 실장되는 부품의 실장면적을 증가시킬 수 있으며, 이에 따른 고객 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

- [0043] 도 1은 종래 기술에 따른 인쇄회로기판을 나타낸 단면도이다.
- 도 2는 본 발명의 제 1 실시 예에 따른 인쇄회로기판의 구조를 나타낸 단면도이고, 도 3은 도 2의 회로 패턴의 상세 도면이다.
- 도 4 내지 도 11은 도 2에 도시된 인쇄회로기판의 제조 방법을 공정 순으로 나타낸 단면도이다.
- 도 12는 본 발명의 제2 실시 예에 따른 인쇄회로기판의 구조를 보여주는 단면도이다.
- 도 13 내지 도 15는 도 12에 도시된 인쇄회로기판의 제조 방법을 공정 순으로 나타낸 단면도이다.
- 도 16은 본 발명의 제 3 실시 예에 따른 인쇄회로기판을 나타낸 단면도이다.
- 도 17은 본 발명의 제 4 실시 예에 따른 인쇄회로기판을 나타낸 도면이다.
- 도 18은 본 발명의 제 5 실시 예에 따른 인쇄회로기판을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0044] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다.
- [0045] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0046] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한

도면 부호를 붙였다.

- [0047] 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0048] 본 발명에서는, 필름 타입의 제거 가능한 물질 및 별도의 시드층을 활용하여 표면 처리층을 형성하여 기존의 니켈 표면 처리층을 제거할 수 있으면서, 상기 시드층을 제거하는 과정에서 회로 패턴의 상면의 일부가 함께 제거될 수 있도록 한 새로운 인쇄회로기판 및 이의 제조 방법을 제공하도록 한다.
- [0049] 도 2는 본 발명의 제 1 실시 예에 따른 인쇄회로기판의 구조를 나타낸 단면도이고, 도 3은 도 2의 회로 패턴의 상세 도면이다.
- [0050] 도 2 및 도 3을 참조하면, 인쇄회로기판(100)은 절연층(110), 도금 시드층(120), 회로 패턴(130) 및 표면 처리층(140)을 포함한다.
- [0051] 상기 절연층(110)은 단일 회로 패턴이 형성되는 인쇄회로기판의 지지 기판일 수 있으나, 복수의 적층 구조를 가지는 인쇄회로기판 중 한 회로 패턴(130)이 형성되어 있는 절연층 영역을 의미할 수도 있다.
- [0052] 상기 절연층(110)이 복수의 적층 구조 중 어느 한 절연층을 의미하는 경우, 상기 절연층(110)의 상면 또는 하면에 복수의 회로 패턴이 연속적으로 형성될 수 있다.
- [0053] 상기 절연층(110)은 절연 플레이트를 형성하며, 열 경화성 또는 열 가소성 고분자 기판, 세라믹 기판, 유-무기 복합 소재 기판, 또는 유리 섬유 함침 기판일 수 있으며, 고분자 수지를 포함하는 경우, 에폭시계 절연 수지를 포함할 수 있으며, 이와 달리 폴리 이미드계 수지를 포함할 수도 있다.
- [0054] 상기 절연층(110) 위에는 회로 패턴(130)이 형성된다.
- [0055] 바람직하게, 상기 절연층(110)과 상기 회로 패턴(130) 사이에는, 상기 회로 패턴(130)의 형성 시에 사용한 도금 시드층(120)이 형성된다.
- [0056] 상기 도금 시드층(120)은 상면 및 하면의 폭이 동일할 수 있다.
- [0057] 그리고, 상기 도금 시드층(120) 위에는 회로 패턴(130)이 형성된다.
- [0058] 상기 회로 패턴(130)도 상기 도금 시드층(120)과 다르게 상면 및 하면의 폭이 서로 다른 형상을 가질 수 있다. 이때, 상기 회로 패턴(130)의 하면의 폭은 상기 도금 시드층(120)의 상면 또는 하면의 폭과 동일할 수 있으며, 상기 회로 패턴(130)의 상면의 폭은 상기 회로 패턴(130)의 하면의 폭보다 좁을 수 있다.
- [0059] 상기 도금 시드층(120)과 회로 패턴(130)은 구리(Cu)를 포함하면서 전도성을 가진 금속 물질로 형성된다.
- [0060] 상기 회로 패턴(130)은 통상적인 인쇄회로기판의 제조 공정인 어디티브 공법(Additive process), 서브트랙티브 공법(Subtractive Process), MSAP(Modified Semi Additive Process) 및 SAP(Semi Additive Process) 공법 등으로 가능하며 여기에서는 상세한 설명은 생략한다.
- [0061] 도면 상에는, 상기 회로 패턴(130)이 상기 절연층(110) 위에 단일 개로 형성되는 것으로 도시하였지만, 상기 회로 패턴(130)은 상기 절연층(110)의 상면 및 하면 중 적어도 어느 하나의 표면에 일정 간격을 두고 복수 개 형성될 수 있다.
- [0062] 도 3을 참조하여 상기 회로 패턴(130)에 대해 보다 구체적으로 설명하면, 상기 회로 패턴(130)은 상기 도금 시드층(120) 위에 형성되어 하면이 상기 도금 시드층(120)의 상면과 접촉하는 제 1 부분(131)과, 상기 제 1 부분(131) 위에 형성되어 적어도 일부의 상면이 상기 표면 처리층(140)의 하면과 접촉하는 제 2 부분(132)을 포함한다.
- [0063] 여기에서, 상기 회로 패턴(130)이 제 1 부분(131)과 제 2 부분(132)으로 구성된다고 하였지만, 이는 상기 회로 패턴(130)의 형상을 설명하기 위한 구분일 뿐, 실질적으로 상기 제 1 부분(131)과 제 2 부분(132)은 일체로 형성된 하나의 구성요소이다.
- [0064] 상기 회로 패턴(130)의 제 1 부분(131)은 하면이 상기 도금 시드층(120)의 상면과 직접 접촉하며 형성된다.
- [0065] 이때, 상기 회로 패턴(130)의 제 1 부분(131)은 상면 및 하면의 폭이 서로 동일한 형상을 가진다.

- [0066] 그리고, 회로 패턴(130)의 제 2 부분(132)은 하면과 상면이 서로 다른 폭을 가진다.
- [0067] 즉, 상기 회로 패턴(130)의 제 2 부분(132)은 상면이 하면보다 좁은 폭을 가지며, 이에 따라 상기 제 2 부분(132)의 측면은 길이 방향으로 일정 곡률을 가지며 형성된다.
- [0068] 이때, 상기 회로 패턴(130)의 제 2 부분(132)은 제 1 곡률을 가지는 제 1 측면과 제 2 곡률을 가지는 제 2 측면을 포함할 수 있다. 그리고, 상기 제 1 측면이 가지는 제 1 곡률을 실질적으로 상기 제 2 측면이 가지는 제 2 곡률과 동일하다.
- [0069] 결론적으로, 상기 회로 패턴(130)은 좌측면과 우측면을 포함하는데, 상기 좌측면과 우측면은 각각 주면에 대하여 실질적으로 수직한 제 1 측면과, 상기 제 1 측면으로부터 연장되어 일정 곡률을 가지는 곡면의 제 2 측면을 포함한다.
- [0070] 상기 회로 패턴(130) 위에는 상기 회로 패턴(130)의 표면 처리를 위한 표면 처리층(140)이 형성된다.
- [0071] 상기 표면 처리층(140)은 금(Au)만을 포함하는 금속으로 형성되거나, 금(Au)을 포함하는 합금으로 형성될 수 있다.
- [0072] 상기 표면 처리층(140)이 금(Au)을 포함하는 합금으로 형성되는 경우, 상기 표면 처리층(140)은 코발트를 포함하는 금 합금으로 형성될 수 있다. 이때, 상기 표면 처리층(140)은 전해도금에 의해 형성된다.
- [0073] 바람직하게, 상기 표면 처리층(140)은 상기 회로 패턴(130)의 형성 시에 사용한 도금 시드층과 동일한 층인 상기 도금 시드층(120)으로 전해 도금하여 형성된다.
- [0074] 상기 표면 처리층(140)은 상기 회로 패턴(130) 위에 형성되며, 이에 따라 상기 표면 처리층(140)의 하면은 상기 회로 패턴(130)의 상면과 직접 접촉한다.
- [0075] 이때, 상기 표면 처리층(140)은 상기 회로 패턴(130)의 상면의 폭보다 넓은 폭을 가진 하면을 포함한다.
- [0076] 이에 따라, 상기 표면 처리층(140)의 하면은 상기 회로 패턴(130)의 상면과 직접 접촉하는 제 1 하면과, 상기 회로 패턴(130)의 상면과 접촉하지 않는 제 2 하면을 포함한다.
- [0077] 이때, 상기 표면 처리층(140)의 제 1 하면은, 상기 표면 처리층(140)의 하면의 중앙 영역일 수 있으며, 상기 표면 처리층(140)의 제 2 하면은 상기 표면 처리층(140)의 좌측 영역 및 우측 영역일 수 있다.
- [0078] 그리고, 상기 표면 처리층(140)은 상면 및 하면의 폭이 서로 동일한 형상을 가질 수 있다.
- [0079] 한편, 상기 표면 처리층(140)의 상면 및 하면은 상기 회로 패턴(130)의 하면의 폭보다는 좁은 폭을 가질 수 있다.
- [0080] 이에 따라, 도 2에 도시된 바와 같이, 상기 표면 처리층(140)은 상기 회로 패턴(130)의 상부의 측면에서 상기 회로 패턴(130)의 바깥부분으로 돌출된 처마(eaves) 형상을 가진다.
- [0081] 상기와 같이 본 발명은 회로 패턴(130)의 형성 시에 사용한 도금 시드층(120)을 이용하여 금(Au)을 포함하는 표면 처리층(140)을 형성함으로써, 기존의 금(Au) 표면 처리층의 시드층 역할을 수행한 니켈(Ni) 표면 처리층을 제거할 수 있다.
- [0082] 또한, 상기와 같이 본 발명은 기존의 니켈 표면 처리층을 제거하고, 그에 따라 회로 패턴(130) 위에 바로 금(Au)을 포함하는 표면 처리층(140)을 형성함으로써, 전기 전도도를 상승시키면서 전기 저항을 감소시킬 수 있으며, 이에 따른 RF 특성을 향상시킬 수 있다.
- [0083] 또한, 상기와 같이 본 발명은 회로 패턴(130) 위에 형성되는 표면 처리층(140)이 상기 회로 패턴(130)의 상부 측면으로부터 바깥쪽으로 돌출된 처마 구조를 가짐으로써, 회로패턴 위에 실장되는 부품의 실장면적을 증가시킬 수 있으며, 이에 따른 고객 신뢰성을 향상시킬 수 있다.
- [0084] 이하에서는, 상기 회로 패턴(130)과 표면 처리층(140) 사이의 관계에 대해 보다 구체적으로 설명하기로 한다.
- [0085] 도 2를 참조하면, 회로 패턴(130)은 서로 다른 폭의 상면과 하면을 가진다. 이때, 상기 회로 패턴(130)의 하면은 제 1 폭(W1)을 가지며, 상기 회로 패턴(130)의 하면은 상기 제 1 폭(W1)보다 좁은 제 2 폭(W2)을 가진다.
- [0086] 이에 따라, 상기 회로 패턴(130)의 하면은 수직 방향으로 상기 회로 패턴(130)의 상면과 중첩되는 제 1 영역과, 상기 회로 패턴(130)의 상면과 중첩되지 않는 제 2 영역을 포함한다.

- [0087] 또한, 상기 회로 패턴(130) 위에는 표면 처리층(140)이 형성되는데, 상기 표면 처리층(140)의 상면과 하면이 동일한 제 3 폭(W3)을 가진다.
- [0088] 이때, 상기 제 3 폭(W3)은 상기 제 1 폭(W1) 보다는 좁고 상기 제 2 폭(W2)보다는 넓다.
- [0089] 이에 따라, 상기 표면 처리층(140)의 하면은 상기 회로 패턴(130)의 상면과 접촉하는 접촉 영역과, 상기 접촉영역으로부터 상기 회로 패턴(130)의 상면의 바깥쪽으로 돌출되어 상기 회로 패턴(130)의 상면과 접촉하지 않는 비접촉 영역을 포함한다.
- [0090] 이때, 상기 회로 패턴(130)의 하면은 상기 회로 패턴(130)의 상면에 비해 제 4 폭(W4)만큼 넓은 폭을 가질 수 있다.
- [0091] 다시 말해서, 상기 회로 패턴(130)의 제 1 영역은 상기 제 4 폭(W4)을 가질 수 있다.
- [0092] 여기에서, 상기 회로 패턴(130)의 제 1 영역은 상기 표면 처리층(140)의 비접촉 영역과 일부 중첩된다.
- [0093] 다시 말해서, 상기 회로 패턴(130)의 제 1 영역은, 수직 방향으로, 상기 표면 처리층(140)의 비접촉 영역과 중첩되지 않으면서 제 5 폭(W5)을 가지는 제 3 영역과, 상기 수직 방향으로 상기 표면 처리층(140)의 비접촉 영역과 중첩되면서 제 6 폭(W6)을 가지는 제 4 영역을 포함한다.
- [0094] 이때, 상기 제 3 영역이 가지는 제 5 폭(W5)은 상기 제 4 영역이 가지는 제 6 폭(W6)보다 넓은 것이 바람직하다.
- [0095] 더욱 바람직하게는, 상기 제 5 폭(W5)과 제 6 폭(W6)의 비율은 1.5~4.0 사이의 범위를 만족하도록 한다.
- [0096] 즉, 상기 제 5 폭(W5)과 제 6 폭(W6)의 비율이 1.5 미만인 경우는, 상기 표면 처리층(140)의 비중첩 영역의 폭이 넓어지는 것을 의미하며, 이 경우에는 상기 회로 패턴(130)의 상면의 바깥쪽으로 돌출된 표면 처리층(140)의 비중첩 영역의 구조가 불안정하여 상기 비중첩 영역의 붕괴가 발생할 수 있으며, 이에 따른 쇼트가 발생하는 문제점이 있다.
- [0097] 또한, 상기 제 5 폭(W5)과 제 6 폭(W6)의 비율이 4.0보다 큰 경우는, 상기 표면 처리층(140)의 비중첩 영역의 폭이 좁아지는 것을 의미하며, 이 경우에는 상기 표면 처리층(140)의 전체 폭이 좁아짐에 따라 실장 면적이 좁아지는 문제점이 있다.
- [0098] 따라서, 본 발명에서는 상기와 같은 처마 구조의 표면 처리층(140)을 형성하는데 있어서, 상기 제 5 폭(W5)과 제 6 폭(W6)의 비율이 1.5~4.0 사이의 범위를 만족하도록 한다. 여기에서, 상기 제 5 폭(W5)은 제 6 폭(W6)보다 크며, 이에 따라 상기 제 5 폭(W5)은 제 6 폭(W6)의 1.5배 내지 4배 사이의 값을 가지게 된다.
- [0099] 이하에서는, 도 4 내지 11을 참조하여 도 2에 도시된 인쇄회로기판의 제조 방법에 대해 상세하게 설명하기로 한다.
- [0100] 도 4 내지 도 11은 도 2에 도시된 인쇄회로기판의 제조 방법을 공정 순으로 나타낸 단면도이다.
- [0101] 먼저, 도 4를 참조하면 절연층(110)을 준비하고, 상기 준비한 절연층(110) 위에 도금 시드층(120)을 형성한다.
- [0102] 상기 도금 시드층(120)은 상기 절연층(110) 위에 구리를 포함하는 금속을 무전해 도금하여 형성할 수 있다.
- [0103] 상기 절연층(110)은 열경화성 또는 열가소성 고분자 기판, 세라믹 기판, 유-무기 복합 소재 기판, 또는 유리 섬유 함침 기판일 수 있으며, 고분자 수지를 포함하는 경우, 에폭시계 절연 수지를 포함할 수 있으며, 이와 달리 폴리 이미드계 수지를 포함할 수도 있다.
- [0104] 상기 도금 시드층(120)은 상기 절연층(110)의 표면에 무전해 도금하여 형성하는 것과는 달리 일반적인 CCL(Copper Clad Laminate)를 사용할 수 있다.
- [0105] 이때, 상기 도금 시드층(120)을 무전해 도금하여 형성하는 경우, 상기 절연층(110)의 상면에 조도를 부여하여 도금이 원활히 진행되도록 할 수 있다.
- [0106] 무전해 도금 방식은 탈지과정, 소프트 부식과정, 예비 촉매 처리 과정, 촉매 처리 과정, 활성화 과정, 무전해 도금 과정 및 산화 방지 처리 과정의 순서로 처리하여 진행할 수 있다. 또한, 상기 도금 시드층(120)은 도금이 아닌 플라즈마를 이용하여 금속 입자를 스퍼터링함으로써 형성할 수도 있을 것이다.
- [0107] 이때, 상기 도금 시드층(120)을 도금하기 이전에 상기 절연층(110)의 표면의 스미어를 제거하는 디스미어 공정

을 추가로 수행할 수 있다. 상기 디스미어 공정은 상기 절연층(110)의 표면에 조도를 부여하여, 상기 도금 씨드층(120) 형성에 대한 도금력을 높이기 위해 수행된다.

- [0108] 다음으로, 도 5를 참조하면 상기 도금 씨드층(120) 위에 제 1 마스크(125)를 형성한다. 이때, 상기 제 1 마스크(125)는 드라이 필름(Dry film)을 사용할 수 있다.
- [0109] 이때, 상기 제 1 마스크(125)는 상기 도금 씨드층(120)의 상면 중 적어도 일부를 노출하는 개구부(a)를 갖는다.
- [0110] 여기에서, 상기 도금 씨드층(120)의 상면 중 상기 제 1 마스크(125)의 개구부(a)에 의해 노출되는 상면은 회로 패턴(130)이 형성될 영역에 대응한다.
- [0111] 다시 말해서, 상기 도금 씨드층(120)의 상면 중 회로 패턴(130)이 형성될 부분을 노출하는 개구부(a)를 갖는 제 1 마스크(125)를 상기 도금 씨드층(120) 위에 형성한다.
- [0112] 이때, 상기 제 1 마스크(125)는 상기 도금 씨드층(120)의 전체 상면을 덮도록 형성될 수 있으며, 이에 따라 상기 형성된 도금 씨드층(120) 중 상기 회로 패턴(130)이 형성될 부분의 일부를 제거하여 상기 개구부(a)를 형성할 수 있다.
- [0113] 다음으로, 도 6을 참조하면, 상기 도금 씨드층(120) 위에 상기 제 1 마스크(125)의 개구부(a) 중 적어도 일부를 매립하는 회로 패턴(130)을 형성한다.
- [0114] 상기 회로 패턴(130)은 상기 도금 씨드층(120)을 씨드층으로 하여, 전도성의 물질, 바람직하게는 구리를 포함하는 합금을 전해 도금하여 상기 제 1 마스크(125)의 개구부(a)의 적어도 일부를 매립하며 형성될 수 있다.
- [0115] 다음으로, 도 7을 참조하면, 상기 도금 씨드층(120) 위에 형성된 제 1 마스크(125)를 제거한다.
- [0116] 이때, 상기 제 1 마스크(125)가 제거된 후에, 상기 도금 씨드층(120)의 표면에 상기 제 1 마스크(125)의 잔존물이 잔존할 수 있으며, 이에 따라 상기 잔존물을 제거하는 공정을 추가로 진행할 수 있다.
- [0117] 다음으로, 도 8을 참조하면, 상기 도금 씨드층(120) 위에 제 2 마스크(135)를 형성한다.
- [0118] 이때, 상기 제 2 마스크(135)는 내열성이 강하면서 용이한 제거가 가능한 드라이 필름을 사용하는 것이 바람직하다.
- [0119] 상기 제 2 마스크(135)는 상기 회로 패턴(130)의 상면을 노출하는 개구부(b)를 포함한다.
- [0120] 이때, 상기 제 2 마스크(135)의 개구부(b)의 폭은 상기 회로 패턴(130)의 상면 폭보다 좁은 폭을 가지며 형성된다.
- [0121] 이에 따라, 상기 회로 패턴(130)의 상면 중 적어도 일부는 상기 제 2 마스크(135)에 의해 덮인다. 바람직하게, 상기 회로 패턴(130)의 상면 중 중앙 영역은 상기 제 2 마스크(135)의 개구부(b)에 의해 외부로 노출되며, 상기 회로 패턴(130)의 상면의 가장자리 영역은 상기 제 2 마스크(135)에 의해 덮이게 된다.
- [0122] 다음으로, 도 9를 참조하면, 상기 도금 씨드층(120) 및 회로 패턴(130)을 씨드층으로 하여 상기 회로 패턴(130) 위에 표면 처리층(140)을 형성한다.
- [0123] 이때, 상기 표면 처리층(140)은 상기 제 2 마스크(135)의 개구부(b)의 폭과 동일한 폭을 가지며 형성된다.
- [0124] 상기 표면 처리층(140)은 금(Au)만을 포함하는 금속으로 형성되거나, 금(Au)을 포함하는 합금으로 형성될 수 있다.
- [0125] 상기 표면 처리층(140)이 금(Au)을 포함하는 합금으로 형성되는 경우, 상기 표면 처리층(140)은 코발트를 포함하는 금 합금으로 형성될 수 있다. 이때, 상기 표면 처리층(140)은 전해도금에 의해 형성된다.
- [0126] 바람직하게, 상기 표면 처리층(140)은 상기 회로 패턴(130)의 형성 시에 사용한 도금 씨드층과 동일한 층인 상기 도금 씨드층(120)으로 전해 도금하여 형성된다. 즉, 상기 표면 처리층(140)은 상기 도금 씨드층(120)과 상기 회로 패턴(130)이 연결되어 있음에 따른 도통 상태에 의해 전해 도금이 이루어진다.
- [0127] 상기 표면 처리층(140)은 상기 회로 패턴(130) 위에 형성되며, 이에 따라 상기 표면 처리층(140)의 하면은 상기 회로 패턴(130)의 상면과 직접 접촉한다.
- [0128] 이때, 상기 도금 씨드층(120)이 제거되기 이전의 표면 처리층(140)은 상기 회로 패턴(130)의 상면보다 좁은 폭의 상면 및 하면을 포함한다.

- [0129] 이에 따라, 상기 회로 패턴(130)의 상면은 상기 표면 처리층(140)과 접촉하는 부분과, 상기 표면 처리층(140)과 접촉하지 않는 부분을 포함한다.
- [0130] 다음으로, 도 10을 참조하면, 상기 도금 시드층(120) 위에 형성된 제 2 마스크(135)를 제거한다.
- [0131] 이때, 상기 제 1 마스크(125)의 제거 공정과 동일하게, 상기 제 2 마스크(135)가 제거되면, 상기 도금 시드층(120) 위에 잔존하는 상기 제 2 마스크(135)의 잔존물을 제거하는 공정을 추가로 진행할 수도 있다.
- [0132] 다음으로, 도 11을 참조하면, 상기 절연층(110) 위에 형성된 도금 시드층(120) 중 상기 회로 패턴(130)이 형성되지 않는 부분을 제거하는 제거 공정을 진행한다.
- [0133] 즉, 제 2 마스크(135)가 제거되면, 상기 절연층(110) 위에 형성된 도금 시드층(120)을 제거하는 공정을 진행한다. 이때, 상기 도금 시드층(120)을 제거하는 공정이 진행되면, 상기 도금 시드층(120) 중 상기 회로 패턴(130) 아래에 형성된 부분은 상기 회로 패턴(130)에 의해 제거되지 않고, 상기 회로 패턴(130)이 형성되지 않은 부분만이 선택적으로 제거된다.
- [0134] 이때, 상기 회로 패턴(130)의 상면 중 가장자리 영역은 상기 표면 처리층(140)이 형성되어 있지 않다. 이에 따라, 상기 도금 시드층(120)의 제거 공정이 진행되면, 상기 회로 패턴(130)의 상면 중 표면 처리층(140)에 의해 덮이지 않은 가장자리 부분도 함께 제거된다.
- [0135] 여기에서, 상기 회로 패턴(130)의 제거는, 상기 표면 처리층(140)에 의해 덮이지 않는 상부의 일부 영역에서만 진행된다.
- [0136] 이에 따라, 상기 회로 패턴(130)의 상부는 하부와 다르게 측면이 일정 곡률을 가지며 형성된다.
- [0137] 이로 인해, 상기 표면 처리층(140) 하면은 상기 회로 패턴(130)의 상면의 폭보다 넓은 폭을 가지게 된다.
- [0138] 그리고, 상기와 같은 도금 시드층(120)의 진행 공정에 의해 상기 표면 처리층(140)의 하면은 상기 회로 패턴(130)의 상면과 직접 접촉하는 제 1 하면과, 상기 회로 패턴(130)의 상면과 접촉하지 않는 제 2 하면을 포함한다.
- [0139] 이때, 상기 표면 처리층(140)의 제 1 하면은, 상기 표면 처리층(140)의 하면의 중앙 영역일 수 있으며, 상기 표면 처리층(140)의 제 2 하면은 상기 표면 처리층(140)의 좌측 영역 및 우측 영역일 수 있다.
- [0140] 한편, 상기 표면 처리층(140)의 상면 및 하면은 상기 회로 패턴(130)의 하면의 폭보다는 좁은 폭을 가질 수 있다.
- [0141] 즉, 상기 도금 시드층(120)의 제거 공정에서 상기 회로 패턴(130)의 상부의 가장자리 영역이 제거됨에 따라 상기 회로 패턴(130)은 상기 설명한 바와 같이 제 1 부분(131)과 제 2 부분(132)으로 구분될 수 있다.
- [0142] 상기 회로 패턴(130)의 제 1 부분(131)은 하면이 상기 도금 시드층(120)의 상면과 직접 접촉하며 형성된다.
- [0143] 이때, 상기 회로 패턴(130)의 제 1 부분(131)은 상면 및 하면의 폭이 서로 동일한 형상을 가진다.
- [0144] 그리고, 회로 패턴(130)의 제 2 부분(132)은 하면과 상면이 서로 다른 폭을 가진다.
- [0145] 즉, 상기 회로 패턴(130)의 제 2 부분(132)은 상면이 하면보다 좁은 폭을 가지며, 이에 따라 상기 제 2 부분(132)의 측면은 길이 방향으로 일정 곡률을 가지며 형성된다.
- [0146] 이때, 상기 회로 패턴(130)의 제 2 부분(132)은 제 1 곡률을 가지는 제 1 측면과 제 2 곡률을 가지는 제 2 측면을 포함할 수 있다. 그리고, 상기 제 1 측면이 가지는 제 1 곡률을 실질적으로 상기 제 2 측면이 가지는 제 2 곡률과 동일하다.
- [0147] 결론적으로, 상기 회로 패턴(130)은 좌측면과 우측면을 포함하는데, 상기 좌측면과 우측면은 각각 주면에 대하여 실질적으로 수직한 제 1 측면과, 상기 제 1 측면으로부터 연장되어 일정 곡률을 가지는 곡면의 제 2 측면을 포함한다.
- [0148] 이에 따라, 도 2에 도시된 바와 같이, 상기 표면 처리층(140)은 상기 회로 패턴(130)의 상부의 측면에서 상기 회로 패턴(130)의 바깥부분으로 돌출된 처마(eaves) 형상을 가진다.
- [0149] 상기와 같이 본 발명은 회로 패턴(130)의 형성 시에 사용한 도금 시드층(120)을 이용하여 금(Au)을 포함하는 표면 처리층(140)을 형성함으로써, 기존의 금(Au) 표면 처리층의 시드층 역할을 수행한 니켈(Ni) 표면 처리층을

제거할 수 있다.

- [0150] 또한, 상기와 같이 본 발명은 기존의 니켈 표면 처리층을 제거하고, 그에 따라 회로 패턴(130) 위에 바로 금(Au)을 포함하는 표면 처리층(140)을 형성함으로써, 전기 전도도를 상승시키면서 전기 저항을 감소시킬 수 있으며, 이에 따른 RF 특성을 향상시킬 수 있다.
- [0151] 또한, 상기와 같이 본 발명은 회로 패턴(130) 위에 형성되는 표면 처리층(140)이 상기 회로 패턴(130)의 상부 측면으로부터 바깥쪽으로 돌출된 처마 구조를 가짐으로써, 회로패턴 위에 실장되는 부품의 실장면적을 증가시킬 수 있으며, 이에 따른 고객 신뢰성을 향상시킬 수 있다.
- [0152] 도 12는 본 발명의 제2 실시 예에 따른 인쇄회로기판의 구조를 보여주는 단면도이다.
- [0153] 도 12를 참조하면 인쇄회로기판(200)은 절연층(210), 도금 시드층(220), 회로 패턴(230) 및 표면 처리층(240)을 포함한다.
- [0154] 상기 절연층(210)은 단일 회로 패턴이 형성되는 인쇄회로기판의 지지 기판일 수 있으나, 복수의 적층 구조를 가지는 인쇄회로기판 중 한 회로 패턴(230)이 형성되어 있는 절연층 영역을 의미할 수도 있다.
- [0155] 상기 절연층(210)은 절연 플레이트를 형성하며, 열 경화성 또는 열 가소성 고분자 기판, 세라믹 기판, 유-무기 복합 소재 기판, 또는 유리 섬유 함침 기판일 수 있으며, 고분자 수지를 포함하는 경우, 에폭시계 절연 수지를 포함할 수 있으며, 이와 달리 폴리 이미드계 수지를 포함할 수도 있다.
- [0156] 상기 절연층(210) 위에는 회로 패턴(230)이 형성된다.
- [0157] 바람직하게, 상기 절연층(210)과 상기 회로 패턴(230) 사이에는, 상기 회로 패턴(230)의 형성 시에 사용한 도금 시드층(120)이 형성된다.
- [0158] 상기 도금 시드층(220)은 상면 및 하면의 폭이 동일할 수 있다.
- [0159] 그리고, 상기 도금 시드층(220) 위에는 회로 패턴(230)이 형성된다.
- [0160] 상기 회로 패턴(230)도 상기 도금 시드층(220)과 다르게 상면 및 하면의 폭이 서로 다른 형상을 가질 수 있다. 이때, 상기 회로 패턴(230)의 하면의 폭은 상기 도금 시드층(220)의 상면 또는 하면의 폭과 동일할 수 있으며, 상기 회로 패턴(230)의 상면의 폭은 상기 회로 패턴(230)의 하면의 폭보다 좁을 수 있다.
- [0161] 상기 도금 시드층(220)과 회로 패턴(230)은 구리(Cu)를 포함하면서 전도성을 가진 금속 물질로 형성된다.
- [0162] 상기 회로 패턴(230)은 통상적인 인쇄회로기판의 제조 공정인 어디티브 공법(Additive process), 서브트랙티브 공법(Subtractive Process), MSAP(Modified Semi Additive Process) 및 SAP(Semi Additive Process) 공법 등으로 가능하며 여기에서는 상세한 설명은 생략한다.
- [0163] 도면 상에는, 상기 회로 패턴(230)이 상기 절연층(210) 위에 단일 개로 형성되는 것으로 도시하였지만, 상기 회로 패턴(230)은 상기 절연층(210)의 상면 및 하면 중 적어도 어느 하나의 표면에 일정 간격을 두고 복수 개 형성될 수 있다.
- [0164] 이때, 상기 회로 패턴(230)은 상기 제 1 실시 예에 따른 회로 패턴(130)과 비슷한 형상을 가지며, 상기 제 1 실시 예에서의 회로 패턴(230)은 양 측면이 모두 일정 곡률을 가지며 형성되었지만, 상기 제 2 실시 예에서의 회로 패턴(230)은 상부의 우측면만이 일정 곡률을 가지며 형성된다.
- [0165] 즉, 상기 회로 패턴(230)의 좌측면은 상기 회로 패턴(230)의 하면에 대하여 실질적으로 수직이며, 우측면은 상기 하면에 대하여 실질적으로 수직인 부분과, 상기 수직인 부분에서 연장되어 일정 곡률을 가지는 곡면인 부분을 포함한다.
- [0166] 상기 회로 패턴(230) 위에는 상기 회로 패턴(230)의 표면 처리를 위한 표면 처리층(240)이 형성된다.
- [0167] 상기 표면 처리층(140)은 금(Au)만을 포함하는 금속으로 형성되거나, 금(Au)을 포함하는 합금으로 형성될 수 있다.
- [0168] 상기 표면 처리층(240)이 금(Au)을 포함하는 합금으로 형성되는 경우, 상기 표면 처리층(240)은 코발트를 포함하는 금 합금으로 형성될 수 있다. 이때, 상기 표면 처리층(240)은 전해도금에 의해 형성된다.
- [0169] 바람직하게, 상기 표면 처리층(240)은 상기 회로 패턴(230)의 형성 시에 사용한 도금 시드층과 동일한 층인 상

기 도금 시드층(220)으로 전해 도금하여 형성된다.

- [0170] 상기 표면 처리층(240)은 상기 회로 패턴(230) 위에 형성되며, 이에 따라 상기 표면 처리층(240)의 하면은 상기 회로 패턴(230)의 상면과 직접 접촉한다.
- [0171] 이때, 상기 표면 처리층(240)은 상기 회로 패턴(230)의 상면의 폭보다 넓은 폭을 가진 하면을 포함한다.
- [0172] 이에 따라, 상기 표면 처리층(240)의 하면은 상기 회로 패턴(230)의 상면과 직접 접촉하는 제 1 하면과, 상기 회로 패턴(230)의 상면과 접촉하지 않는 제 2 하면을 포함한다.
- [0173] 이때, 상기 표면 처리층(240)의 제 1 하면은, 상기 표면 처리층(240)의 하면의 중앙 영역 및 좌측 영역일 수 있으며, 상기 표면 처리층(240)의 제 2 하면은 상기 표면 처리층(240)의 우측 영역일 수 있다.
- [0174] 그리고, 상기 표면 처리층(240)은 상면 및 하면의 폭이 서로 동일한 형상을 가질 수 있다.
- [0175] 한편, 상기 표면 처리층(240)의 상면 및 하면은 상기 회로 패턴(230)의 하면의 폭보다는 좁은 폭을 가질 수 있다.
- [0176] 이에 따라, 상기 제 2 실시 예에서의 상기 표면 처리층(240)은 제 1 실시 예와는 다르게, 상기 회로 패턴(230)의 상부의 우측면에서만 상기 회로 패턴(230)의 바깥부분으로 돌출된 처마(eaves) 형상을 가진다.
- [0177] 상기와 같이 본 발명은 회로 패턴(130)의 형성 시에 사용한 도금 시드층(220)을 이용하여 금(Au)을 포함하는 표면 처리층(140)을 형성함으로써, 기존의 금(Au) 표면 처리층의 시드층 역할을 수행한 니켈(Ni) 표면 처리층을 제거할 수 있다.
- [0178] 또한, 상기와 같이 본 발명은 기존의 니켈 표면 처리층을 제거하고, 그에 따라 회로 패턴(230) 위에 바로 금(Au)을 포함하는 표면 처리층(240)을 형성함으로써, 전기 전도도를 상승시키면서 전기 저항을 감소시킬 수 있으며, 이에 따른 RF 특성을 향상시킬 수 있다.
- [0179] 또한, 상기와 같이 본 발명은 회로 패턴(230) 위에 형성되는 표면 처리층(240)이 상기 회로 패턴(230)의 상부의 우측면으로부터 바깥쪽으로 돌출된 처마 구조를 가짐으로써, 회로패턴 위에 실장되는 부품의 실장면적을 증가시킬 수 있으며, 이에 따른 고객 신뢰성을 향상시킬 수 있다.
- [0180] 이하에서는, 도 13 내지 15를 참조하여 도 12에 도시된 인쇄회로기판의 제조 방법에 대해 상세하게 설명하기로 한다.
- [0181] 도 13 내지 도 15는 도 12에 도시된 인쇄회로기판의 제조 방법을 공정 순으로 나타낸 단면도이다.
- [0182] 먼저, 도 13을 참조하면 절연층(210)을 준비하고, 상기 준비한 절연층(210) 위에 도금 시드층(220)을 형성한다.
- [0183] 상기 도금 시드층(220)은 상기 절연층(210) 위에 구리를 포함하는 금속을 무전해 도금하여 형성할 수 있다.
- [0184] 상기 절연층(210)은 열경화성 또는 열가소성 고분자 기판, 세라믹 기판, 유-무기 복합 소재 기판, 또는 유리 섬유 함침 기판일 수 있으며, 고분자 수지를 포함하는 경우, 에폭시계 절연 수지를 포함할 수 있으며, 이와 달리 폴리 이미드계 수지를 포함할 수도 있다.
- [0185] 다음으로, 상기 도금 시드층(220) 위에 상기 도금 시드층(220)을 시드층으로 하여, 전도성의 물질, 바람직하게는 구리를 포함하는 합금을 전해 도금하여 회로 패턴(230)을 형성한다.
- [0186] 다음으로, 상기 도금 시드층(220) 위에 마스크(235)를 형성한다.
- [0187] 이때, 상기 마스크(235)는 내열성이 강하면서 용이한 제거가 가능한 드라이 필름을 사용하는 것이 바람직하다.
- [0188] 상기 마스크(235)는 상기 회로 패턴(230)의 상면을 노출하는 개구부(B)를 포함한다.
- [0189] 이때, 상기 마스크(235)의 개구부(B)의 폭은 상기 회로 패턴(230)의 상면 폭보다 좁은 폭을 가지며 형성된다.
- [0190] 이에 따라, 상기 회로 패턴(230)의 상면 중 적어도 일부는 상기 마스크(235)에 의해 덮인다. 바람직하게, 상기 회로 패턴(230)의 상면 중 중앙 영역과 좌측 영역은 상기 마스크(235)의 개구부(B)에 의해 외부로 노출되며, 상기 회로 패턴(230)의 상면의 우측 가장자리 영역은 상기 마스크(235)에 의해 덮이게 된다.
- [0191] 다음으로, 도 14를 참조하면, 상기 도금 시드층(220) 및 회로 패턴(230)을 시드층으로 하여 상기 회로 패턴(230) 위에 표면 처리층(240)을 형성한다.

- [0192] 이때, 상기 표면 처리층(240)은 상기 마스크(235)의 개구부(B)의 폭과 동일한 폭을 가지며 형성된다.
- [0193] 상기 표면 처리층(240)은 금(Au)만을 포함하는 금속으로 형성되거나, 금(Au)을 포함하는 합금으로 형성될 수 있다.
- [0194] 상기 표면 처리층(240)이 금(Au)을 포함하는 합금으로 형성되는 경우, 상기 표면 처리층(240)은 코발트를 포함하는 금 합금으로 형성될 수 있다. 이때, 상기 표면 처리층(240)은 전해도금에 의해 형성된다.
- [0195] 바람직하게, 상기 표면 처리층(240)은 상기 회로 패턴(230)의 형성 시에 사용한 도금 시드층과 동일한 층인 상기 도금 시드층(220)으로 전해 도금하여 형성된다. 즉, 상기 표면 처리층(240)은 상기 도금 시드층(220)과 상기 회로 패턴(230)이 연결되어 있음에 따른 도통 상태에 의해 전해 도금이 이루어진다.
- [0196] 상기 표면 처리층(240)은 상기 회로 패턴(230) 위에 형성되며, 이에 따라 상기 표면 처리층(240)의 하면은 상기 회로 패턴(230)의 상면과 직접 접촉한다.
- [0197] 이때, 상기 도금 시드층(220)이 제거되기 이전의 표면 처리층(240)은 상기 회로 패턴(230)의 상면보다 좁은 폭의 상면 및 하면을 포함한다.
- [0198] 이에 따라, 상기 회로 패턴(230)의 상면은 상기 표면 처리층(140)과 접촉하는 부분과, 상기 표면 처리층(240)과 접촉하지 않는 부분을 포함한다.
- [0199] 다음으로, 도 15를 참조하면, 상기 도금 시드층(220) 위에 형성된 마스크(235)를 제거한다.
- [0200] 그리고, 상기 절연층(210) 위에 형성된 도금 시드층(220) 중 상기 회로 패턴(230)이 형성되지 않는 부분을 제거하는 제거 공정을 진행한다.
- [0201] 즉, 마스크(235)가 제거되면, 상기 절연층(210) 위에 형성된 도금 시드층(220)을 제거하는 공정을 진행한다. 이때, 상기 도금 시드층(220)을 제거하는 공정이 진행되면, 상기 도금 시드층(220) 중 상기 회로 패턴(230) 아래에 형성된 부분은 상기 회로 패턴(230)에 의해 제거되지 않고, 상기 회로 패턴(230)이 형성되지 않은 부분만이 선택적으로 제거된다.
- [0202] 이때, 상기 회로 패턴(230)의 상면 중 우측 가장자리 영역은 상기 표면 처리층(240)이 형성되어 있지 않다. 이에 따라, 상기 도금 시드층(220)의 제거 공정이 진행되면, 상기 회로 패턴(230)의 상면 중 표면 처리층(240)에 의해 덮이지 않은 우측 가장자리 부분도 함께 제거된다.
- [0203] 여기에서, 상기 회로 패턴(230)의 제거는, 상기 표면 처리층(240)에 의해 덮이지 않는 상부의 일부 영역에서만 진행된다.
- [0204] 이에 따라, 상기 표면 처리층(240)에 의해 덮이지 않은 상기 회로 패턴(230)의 우측 상부는 하부와 다르게 측면이 일정 곡률을 가지며 형성된다.
- [0205] 이로 인해, 상기 표면 처리층(240) 하면은 상기 회로 패턴(230)의 상면의 폭보다 넓은 폭을 가지게 된다.
- [0206] 그리고, 상기와 같은 도금 시드층(220)의 진행 공정에 의해 상기 표면 처리층(240)의 하면은 상기 회로 패턴(230)의 상면과 직접 접촉하는 제 1 하면과, 상기 회로 패턴(230)의 상면과 접촉하지 않는 제 2 하면을 포함한다.
- [0207] 이때, 상기 표면 처리층(240)의 제 1 하면은, 상기 표면 처리층(240)의 하면의 중앙 영역 및 좌측 영역일 수 있으며, 상기 표면 처리층(240)의 제 2 하면은 상기 표면 처리층(140)의 우측 영역일 수 있다.
- [0208] 한편, 상기 표면 처리층(240)의 상면 및 하면은 상기 회로 패턴(230)의 하면의 폭보다는 좁은 폭을 가질 수 있다.
- [0209] 또한, 상기 회로 패턴(230)의 상부 중 우측면은 길이 방향으로 일정 곡률을 가지며 형성된다.
- [0210] 이에 따라, 도 12에 도시된 바와 같이, 상기 표면 처리층(240)은 상기 회로 패턴(230)의 상부의 우측면에서 상기 회로 패턴(230)의 바깥부분으로 돌출된 처마(eaves) 형상을 가진다.
- [0211] 상기와 같이 본 발명은 회로 패턴(230)의 형성 시에 사용한 도금 시드층(220)을 이용하여 금(Au)을 포함하는 표면 처리층(2140)을 형성함으로써, 기존의 금(Au) 표면 처리층의 시드층 역할을 수행한 니켈(Ni) 표면 처리층을 제거할 수 있다.

- [0212] 또한, 상기와 같이 본 발명은 기존의 니켈 표면 처리층을 제거하고, 그에 따라 회로 패턴(230) 위에 바로 금(Au)을 포함하는 표면 처리층(240)을 형성함으로써, 전기 전도도를 상승시키면서 전기 저항을 감소시킬 수 있으며, 이에 따른 RF 특성을 향상시킬 수 있다.
- [0213] 또한, 상기와 같이 본 발명은 회로 패턴(230) 위에 형성되는 표면 처리층(240)이 상기 회로 패턴(230)의 상부 측면으로부터 바깥쪽으로 돌출된 처마 구조를 가짐으로써, 회로패턴 위에 실장되는 부품의 실장면적을 증가시킬 수 있으며, 이에 따른 고객 신뢰성을 향상시킬 수 있다.
- [0214] 도 16은 본 발명의 제 3 실시 예에 따른 인쇄회로기판을 나타낸 단면도이다.
- [0215] 도 16을 참조하면 인쇄회로기판(300)은 절연층(310), 도금 시드층(320), 회로 패턴(330) 및 표면 처리층(340)을 포함한다.
- [0216] 여기에서, 상기 절연층(310), 도금 시드층(320)은 상기 설명한 제 1 실시 예 및 제 2 실시 예와 동일하므로 이에 대한 상세한 설명은 생략한다.
- [0217] 그리고, 상기 제2 실시 예에서의 회로 패턴(230)은 상부의 우측면이 일정 곡률을 가지며 형성되었다.
- [0218] 그러나, 본 발명의 제 3 실시 예에서의 회로 패턴(330)은 상부의 좌측면이 일정 곡률을 가지며 형성되고, 우측면은 실질적으로 하면에 대하여 수직인 방향으로 형성된다.
- [0219] 도 17은 본 발명의 제 4 실시 예에 따른 인쇄회로기판을 나타낸 도면이다.
- [0220] 도 17을 참조하면, 인쇄회로기판(400)은 절연층(410), 도금 시드층(420), 회로 패턴(430), 표면 처리층(440) 및 보호층(450)을 포함한다.
- [0221] 여기에서, 상기 절연층(410), 도금 시드층(420), 회로 패턴(430) 및 표면 처리층(440)은 상기 도 2에 도시된 본 발명의 제 1 실시 예에 따른 인쇄회로기판과 동일하므로, 이에 대한 설명은 생략한다.
- [0222] 제 4 실시 예에 따른 인쇄회로기판은, 절연층(410) 위에 상기 절연층(410)의 표면, 상기 도금 시드층(420)의 측면, 회로 패턴(430)의 측면 및 표면 처리층(440)의 상면 일부를 덮는 보호층(450)이 추가로 형성된다.
- [0223] 상기 보호층(450)은 상기 표면 처리층(440)의 상면으로부터 일정 높이 돌출되어 형성된다.
- [0224] 상기 보호층(450)은 솔더 레지스트일 수 있으며, 상기 절연층(410)의 표면을 보호하며, 상기 절연층(410) 위에 형성된 회로 패턴의 표면 처리층(440)의 상면 중 적어도 일부를 개방하는 개구부를 갖는다.
- [0225] 상기 제 4 실시 예에서의 보호층(450)은 상기 절연층(410)의 노출된 표면을 모두 덮으며 형성된다.
- [0226] 도 18은 본 발명의 제 5 실시 예에 따른 인쇄회로기판을 나타낸 도면이다.
- [0227] 도 18을 참조하면, 인쇄회로기판(500)은 절연층(510), 도금 시드층(520), 회로 패턴(530), 표면 처리층(540) 및 보호층(550)을 포함한다.
- [0228] 여기에서, 상기 절연층(510), 도금 시드층(520), 회로 패턴(530) 및 표면 처리층(540)은 상기 도 2에 도시된 본 발명의 제 1 실시 예에 따른 인쇄회로기판과 동일하므로, 이에 대한 설명은 생략한다.
- [0229] 제 5 실시 예에 따른 인쇄회로기판은, 절연층(510) 위에 상기 절연층(410)의 일부 표면을 덮는 보호층(550)이 추가로 형성된다.
- [0230] 상기 보호층(550)은 상기 절연층(510) 위에 상기 회로 패턴(430)과 일정 간격 이격되어 형성된다.
- [0231] 상기 보호층(550)은 솔더 레지스트일 수 있으며, 상기 절연층(510)의 표면을 보호하며, 상기 절연층(510) 위에 형성된 회로 패턴의 표면 처리층(540)의 상면과 상기 절연층(510)의 일부 표면을 개방하는 개구부를 갖는다.
- [0232] 본 발명에 따른 실시 예에 의하면, 필름 타입의 제거 가능한 물질 및 회로 패턴 형성에 사용한 도금 시드층을 활용하여 표면 처리층을 형성함으로써, 디자인에 제약없이 전해 표면 처리와 무전해 표면 처리 방식을 선택적으로 사용 가능하다.
- [0233] 또한, 본 발명에 따른 실시 예에 의하면, 회로 패턴 형성 시에 사용한 도금 시드층을 이용하여 금(Au)을 포함하는 표면 처리층을 형성함으로써, 기존의 금(Au) 표면 처리층의 시드층 역할을 수행한 니켈(Ni) 표면 처리층을 제거할 수 있으며, 이에 따라 제품의 두께를 낮출 수 있을 뿐 아니라, 상기 니켈 표면 처리층의 삭제로 인한 제품 단가를 낮출 수 있다.

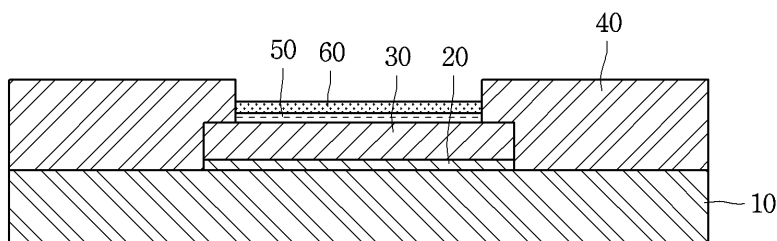
- [0234] 또한, 본 발명에 따른 실시 예에 의하면, 기존의 니켈 표면 처리층을 제거하고, 그에 따라 회로 패턴 위에 바로 금(Au) 표면 처리층을 형성함으로써, 전기 전도도를 상승시키면서 전기 저항을 감소시킬 수 있으며, 이에 따른 RF 특성을 향상시킬 수 있다.
- [0235] 또한, 본 발명에 따른 실시 예에 의하면, 회로 패턴 위에 형성된 표면 처리층이 상기 회로 패턴의 상부 측면으로부터 바깥쪽으로 돌출된 처마 구조를 가짐으로써, 회로패턴 위에 실장되는 부품의 실장면적을 증가시킬 수 있으며, 이에 따른 고객 신뢰성을 향상시킬 수 있다.
- [0236] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [0237] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시예를 한정하는 것이 아니며, 실시예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

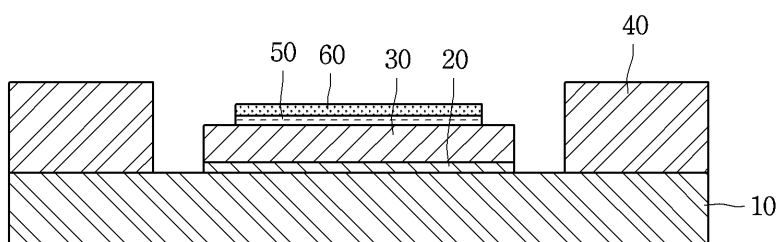
- [0238] 100, 200, 300, 400, 500: 인쇄회로기판
110, 210, 310, 410, 510: 절연층
120, 220, 320, 420, 520: 도금 시드층
130, 230, 330, 430, 530: 회로 패턴
140, 240, 340, 440, 540: 표면 처리층
450, 550: 보호층

도면

도면1

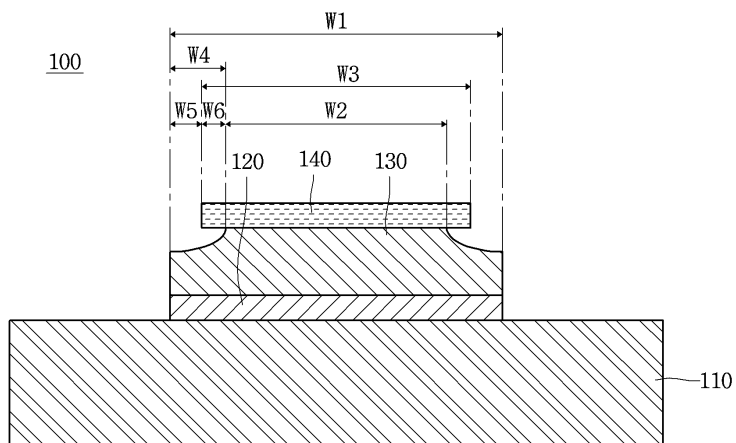


(a)



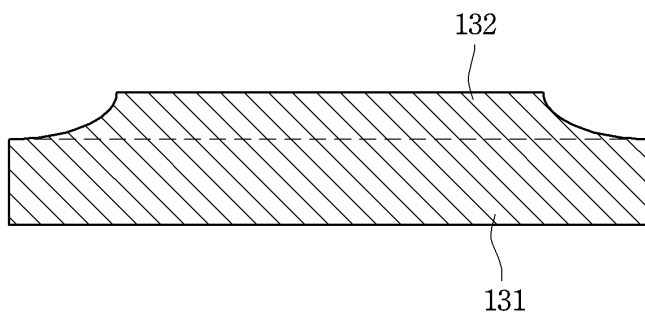
(b)

도면2

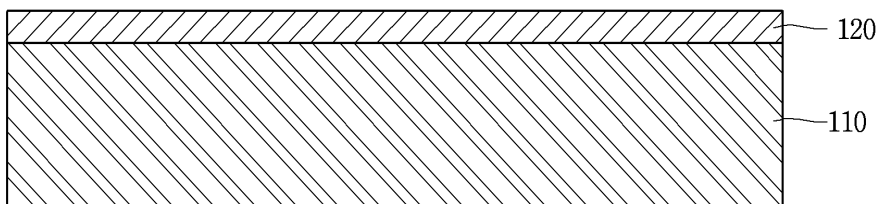


도면3

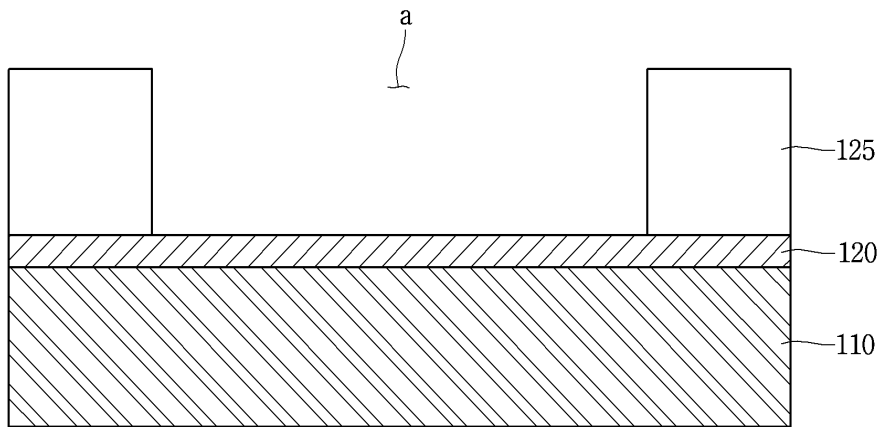
130



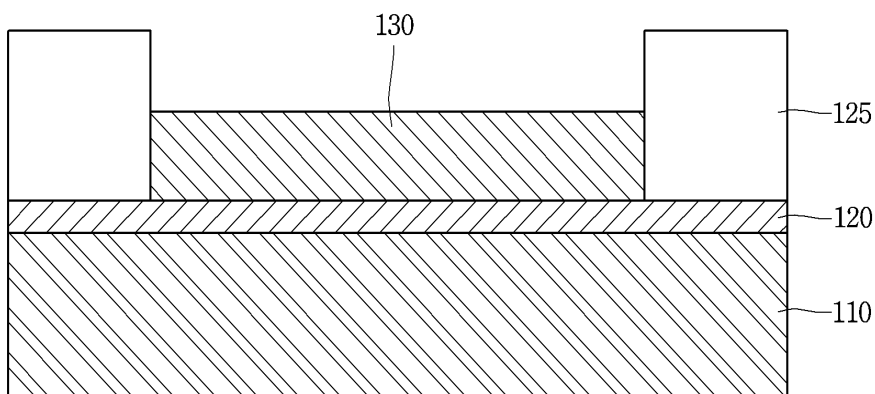
도면4



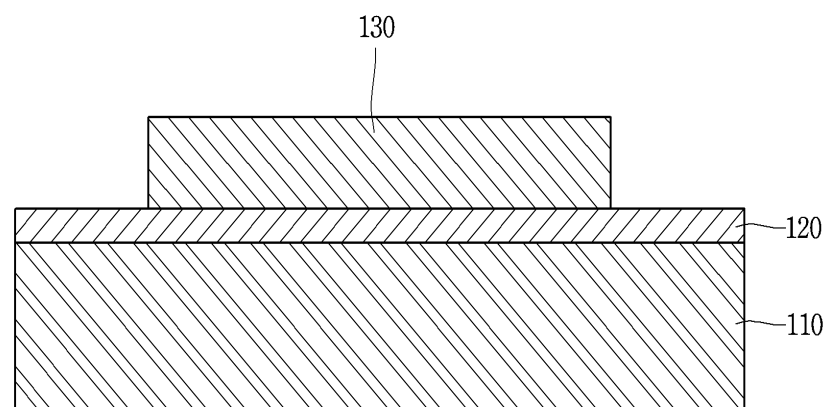
도면5



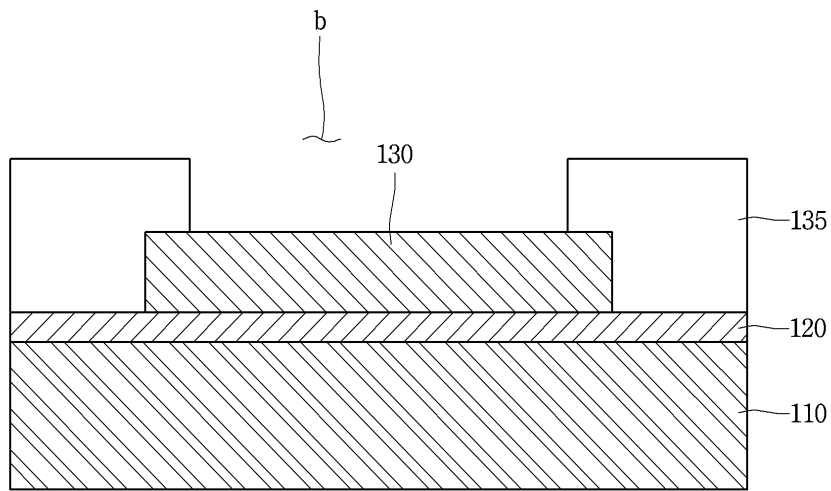
도면6



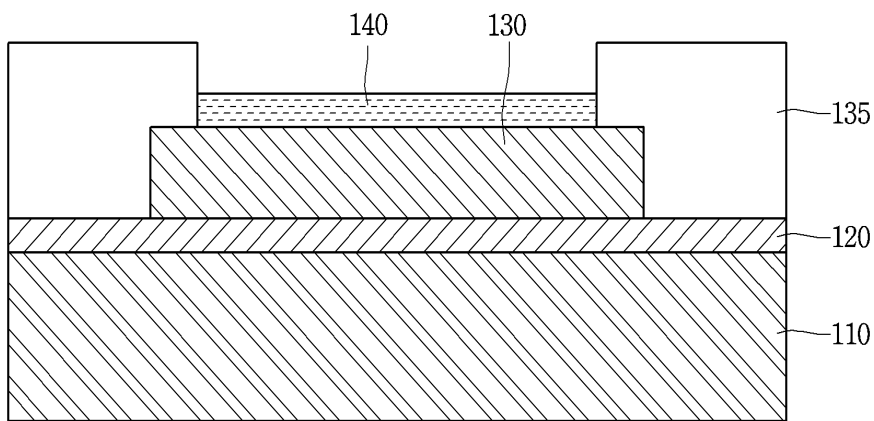
도면7



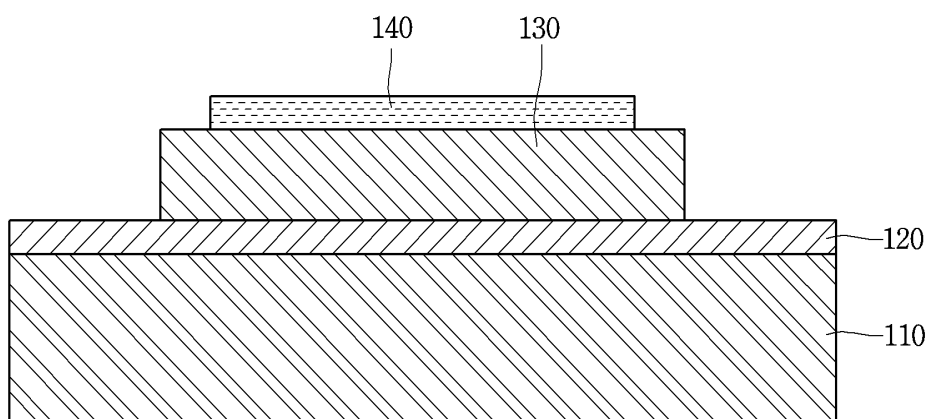
도면8



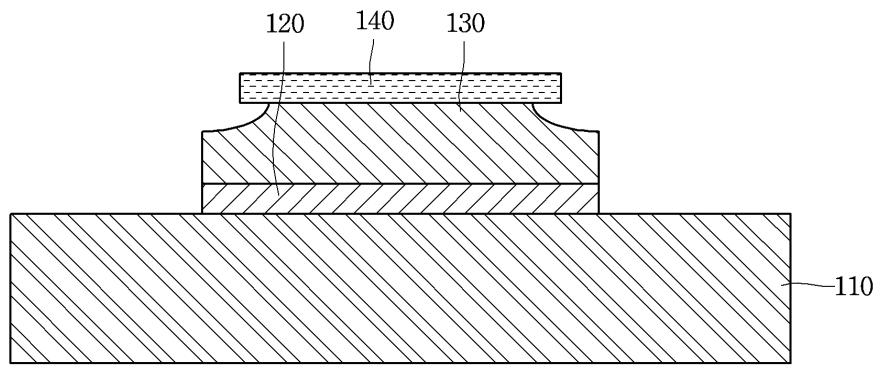
도면9



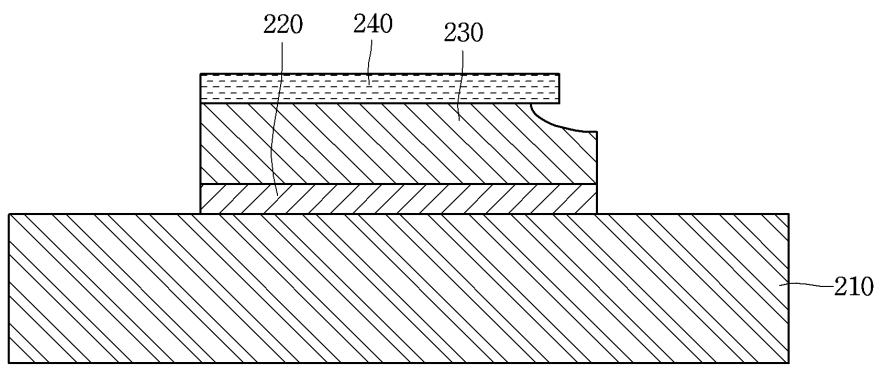
도면10



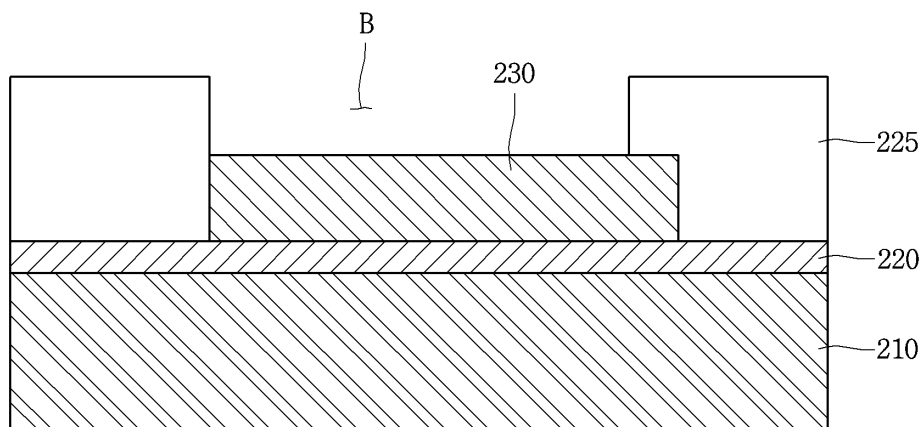
도면11



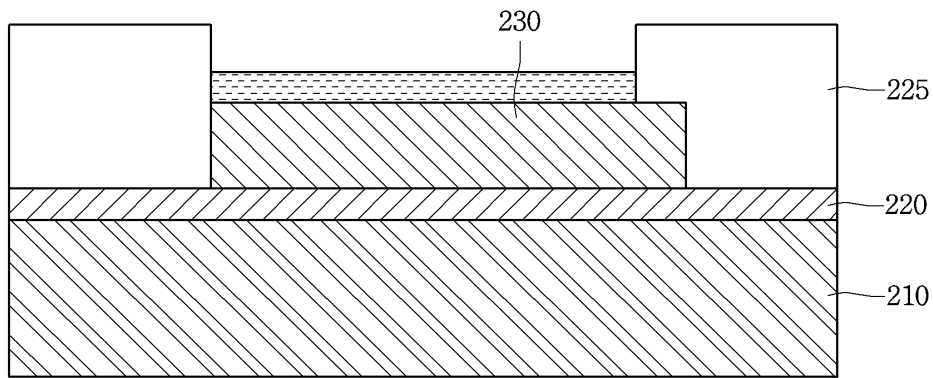
도면12



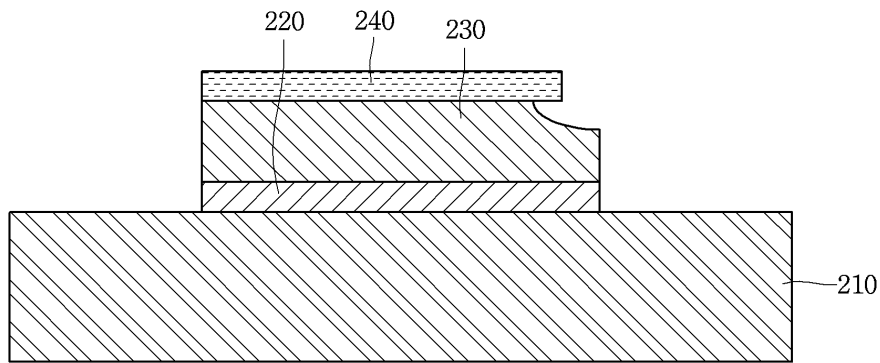
도면13



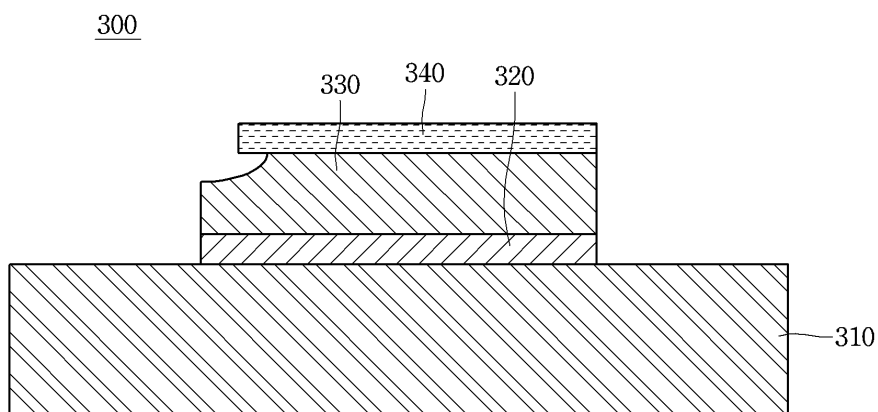
도면14



도면15

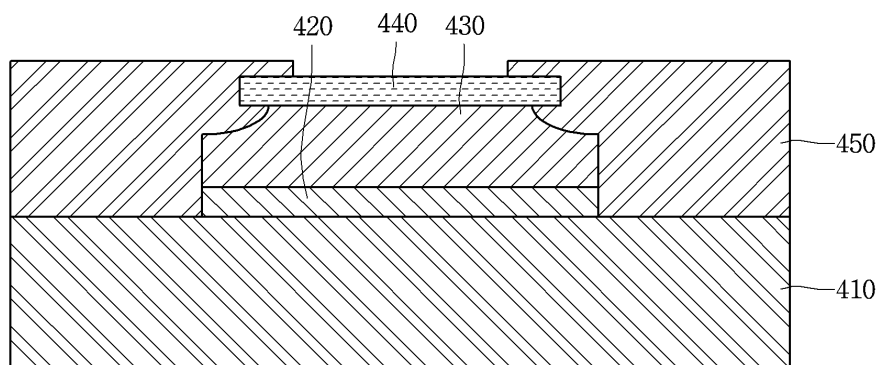


도면16



도면17

400



도면18

500

