

申請日期	87.12.30
案號	87121861
類別	H01L 29/788

A4
C4

(以上各欄由本局填註)

發明專利說明書

406436

一、發明 名稱	中文	分離開極快閃記憶單元的抹除方法
	英文	
二、發明 創作人	姓名	王琳松
	國籍	中華民國
	住、居所	新竹市光復路一段 71 巷 12 號九樓
三、申請人	姓名 (名稱)	1.華邦電子股份有限公司 2.世大積體電路股份有限公司
	國籍	中華民國
	住、居所 (事務所)	1.新竹科學工業園區研新三路四號 2.新竹科學工業園區力行路 25 號
	代表人 姓名	1.焦佑鈞 2.羅廉禮

裝
訂
線

五、發明說明 (1)

本發明係有關於一種記憶體的抹除方法，特別係有關於一種分離閘極快閃記憶單元的抹除方法。

在傳統的快閃記憶單元的操作過程中，若要將電子從漂浮閘極(floating gate)中拉出，通常是利用 Fowler-Nordheim 隧穿的方式將電子拉出。請參閱第 1 圖，在抹除的過程中，源極端 10 視電路選擇的不同而被接地或浮接，控制閘極 12 被加上 -12V 的電壓，汲極 14 被加上 5V 的電壓，如此漂浮閘極 16 中的電子受電場作用，根據 Fowler-Nordheim 效應而被放電，同時電洞因為側向的電位差所形成電場，而獲得能量，變成熱電洞，進而增加電洞在氧化層中被捕取的機率。

再者，隨著快閃記憶單元尺寸的縮小，其通道長度變短，因之其側向電場的強度也就跟著增加，當通道長度小於 $0.8\mu\text{m}$ 時，便可明顯地看到由於熱電洞的影響，造成抹除效率變差的情況，特別是對於通道長度小於 $0.4\mu\text{m}$ 的分離閘極快閃記憶單元，在抹除時的側向電場將會提高熱電洞的形成機率，使得分離閘極快閃記憶單元更容易被損壞。

快閃記憶體由於其低耗電量和快速存取的特性，使其可廣泛地運用在手提電腦、數位照相機、以及數位式行動電話等產品中，但必須提高晶片的可重寫次數，如此才能得到更廣的應用，目前每顆快閃記憶體大約可重寫 10k 次，而要造出理想的矽碟機，便需要高達 1M 次的重寫週期方可達成。

五、發明說明 (2)

造成快閃記憶體在經過數千次重複寫入後，無法再抹除或是單元電流減少的主要原因，是相當量的熱電洞在單元抹除時，在隧穿氧化物中被捕取，當被捕取的電洞達到一定的量後，由電洞所形成的電場會減低抹除的效率，而使得單元無法抹除。要減少抹除時所形成的電洞陷阱，則必須有效地降低在抹除時，電洞經由電場加速所得到的能量。

然而，一般在分離閘極快閃記憶單元中是利用源極側注入的方式來進行規劃，例如 Naruka et al. 在 Technical Digest of IEEE Electron Device Meeting 1988 中之 "A new flash-erase EEPROM cell with a sidewall select-gate on its source side" 所述之方式，其係在源極端進行規劃，請參閱第 2 圖，亦即使源極 10 接地，控制閘極 12 被加上 12V 的電壓，汲極 14 被加上 5V 的電壓，選擇閘極 18 被加上 1.8V 的電壓，如此電子可自源極端被注入至漂浮閘極 16 中。所以在記憶單元進行抹除時，則是利用汲極端的 Fowler-Nordheim 隧穿的方式進行抹除。在傳統的電路設計中，都是將源極接地或是空接 (floating) 來進行抹除，但是如此將會使得電洞受到側向電場的加速，導致熱電洞的捕取增加，而造成記憶單元可重寫週期的減少。

更進一步來說，在抹除的過程中，由於由能帶間隧穿 (band-to-band tunneling) 電流所造成的電洞，會被側向電場加速而變成熱電洞，同時又被加在控制閘極上的負

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (3)

電壓吸引而向上運動，與氧化層發生碰撞，而在氧化層中造成電洞陷阱，並形成許多介面狀態。當氧化層中累積了許多電洞後，電洞所造成的電場會對形成於汲極與控制閘極間的電場產生阻隔的效果，導致即使分別在汲極與控制閘極上加上正電壓與負電壓，其間所形成的電場也無法有效地使漂浮閘極放電，也就使得記憶單元的重寫週期減少。

有鑑於此，本發明乃提出一種分離閘極快閃記憶單元的抹除方法，其適用於分離閘極快閃記憶單元的運作，可有效地增加快閃記憶單元重新讀寫的次數，特別是針對於 $0.4\mu\text{m}$ 以下製程的快閃記憶單元更有明顯的幫助。

本發明係採用一降低側向電場的方式，即在源極端加上一平衡電壓，例如 $1\sim 3\text{V}$ ，即可有效地降低側向電場對電洞的加速，進而減少熱電洞在氧化層中被捕獲的機率，藉以達到增加讀寫次數的目的。

本發明之分離閘極快閃記憶單元的抹除方法主要係適用於具有源極、汲極、漂浮閘極、控制閘極及選擇閘極的快閃記憶單元，其包括下列步驟：

首先，對控制閘極加上一負電壓，並對汲極加上一正電壓，以在汲極與控制閘極間形成一正向電場，使得漂浮閘極中的電子受電場作用經由 Fowler-Nordheim 隧穿效應而放電，藉以抹除前述分離閘極快閃記憶單元的規劃。

五、發明說明(4)

接著，在源極端加上一正電壓，減小汲極與源極間的電壓差，避免電洞受到電場加速而形成為熱電洞，並累積於氧化層中，藉以增加前述分離閘極快閃記憶單元的重寫週期。

為了更進一步地揭露本發明之方法、架構及優點，茲配合附圖說明較佳實施例如下，其中：

第 1 圖係繪示在先前技術中快閃記憶單元進行抹除操作的示意圖；

第 2 圖係繪示在先前技術中快閃記憶單元進行規劃操作的示意圖；

第 3 圖係繪示在本發明中快閃記憶單元進行抹除操作的示意圖。

前述圖式中，相同的元件以相同的標號標示之。

參考標號的說明

10~源極、12~控制閘極、14~汲極、16~漂浮閘極、18~選擇閘極、20~隧穿氧化層。

實施例之說明

請參閱第 3 圖，本發明之分離閘極快閃記憶單元的抹除方法，主要係適用於具有源極 10、汲極 14、漂浮閘極 16、控制閘極 12 及選擇閘極 18 的快閃記憶單元。其抹除方法主要包括下列步驟：

首先，與先前技術中之分離閘極快閃記憶單元的抹除方法一樣，本發明之抹除方法先對控制閘極 12 加上一負電壓，電壓大小為 12V，並對汲極 14 加上一正電

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (5)

壓，電壓大小為 5V，以在汲極 14 與控制閘極 12 間形成一正向電場，使得漂浮閘極 16 中的電子受電場作用經由 Fowler-Nordheim 隧穿效應而放電，藉以抹除前述分離閘極快閃記憶單元的規劃。

上述步驟便是先前技術中之分離閘極快閃記憶單元的抹除方法，但是如同前面所述，上述電場同時會使電洞加速產生熱電洞，且熱電洞會與隧穿氧化層 20(tunneling oxide)發生碰撞，並堆積在氧化層 20 中，造成抹除效率的降低，使得快閃記憶單元的重寫週期減少。

因此，本發明之另一個步驟即在源極端 10 加上一正電壓，如第 3 圖所示，以減小汲極 14 與源極 10 間的電壓差，藉以可避免電洞受到電場加速而形成為熱電洞，故而電洞不會具備足夠的能量去碰撞並累積於氧化層 20 中，如此可增加前述分離閘極快閃記憶單元的重寫週期。

在此一實施例中，於抹除分離閘極快閃記憶單元時，外加至其源極端 10 的正電壓的大小為 0.5V 至 V_{cc} 。不過，這個電壓的範圍只是適用於在此實施例中提到的情況，即加在控制閘極 12 上的負電壓之電壓大小為 12V，而加在汲極 14 上的正電壓之電壓大小為 5V。其實際使用的數值尚需視電路的設計而定。但不論此一正電壓使用的數值為何，此一正電壓的存在，會有效地減少側向電場，如此可避免產生熱電洞，而對快閃記憶單

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

元造成損害。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

四、中文發明摘要(發明之名稱:

分離閘極快閃記憶單元的抹除方法)

一種分離閘極快閃記憶單元的抹除方法，適用於具有源極、汲極、漂浮閘極、控制閘極及選擇閘極的快閃記憶單元，可有效地增加快閃記憶單元重新讀寫的次數，特別是針對於 $0.4\mu\text{m}$ 以下製程的快閃記憶單元更有明顯的幫助。該抹除方法包括下列步驟：(i)首先對控制閘極加上一負電壓，並對汲極加上一正電壓，以在汲極與控制閘極間形成一正向電場，使得漂浮閘極中的電子受電場作用經由 Fowler-Nordheim 隧穿效應而放電，藉以抹除前述分離閘極快閃記憶單元的規劃；(ii)在源極端加上一正電壓，減小汲極與源極間的電壓差，避免電洞受到電場加速而形成為熱電洞，並累積於氧化層中，藉以增加前述分離閘極快閃記憶單元的重寫週期。

英文發明摘要(發明之名稱:

(請先閱讀背面之注意事項再填寫本頁各欄)

表

訂

像

六、申請專利範圍

1. 一種分離閘極快閃記憶單元的抹除方法，適用於具有源極、汲極、漂浮閘極、控制閘極及選擇閘極的快閃記憶單元，包括下列步驟：

(i) 首先對控制閘極加上一負電壓，並對汲極加上一正電壓，以在汲極與控制閘極間形成一正向電場，使得漂浮閘極中的電子受電場作用經由 Fowler-Nordheim 隧穿效應而放電，藉以抹除前述分離閘極快閃記憶單元的規劃；

(ii) 在源極端加上一正電壓，減小汲極與源極間的電壓差，避免電洞受到電場加速而形成為熱電洞，並累積於氧化層中，藉以增加前述分離閘極快閃記憶單元的重寫週期。

2. 如申請專利範圍第 1 項的分離閘極快閃記憶單元的抹除方法，其中，加在前述控制閘極上的負電壓為 $-12V$ ，加在前述汲極上的正電壓 $5V$ ，而加在前述源極上的電壓為 $0.5V \sim V_{cc}$ 。

3. 如申請專利範圍第 1 項的分離閘極快閃記憶單元的抹除方法，其中，前述的分離閘極快閃記憶單元係利用源極端進行規劃，而利用汲極端進行抹除。

4. 一種分離閘極快閃記憶單元的抹除方法，適用於具有源極、汲極、漂浮閘極、控制閘極及選擇閘極的快閃記憶單元，包括下列步驟：首先對控制閘極加上一負電壓，並對汲極加上一正電壓，以在汲極與控制閘極間形成一正向電場，使得漂浮閘極中的電子受電場作用

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

經由 Fowler-Nordheim 隧穿效應而放電，藉以抹除前述分離閘極快閃記憶單元的規劃；其特徵在於當進行抹除時，在前述分離閘極快閃記憶單元的源極端加上一正電壓，減小汲極與源極間的電壓差，避免電洞受到電場加速而形成為熱電洞，並累積於氧化層中，藉以增加前述分離閘極快閃記憶單元的重寫週期。

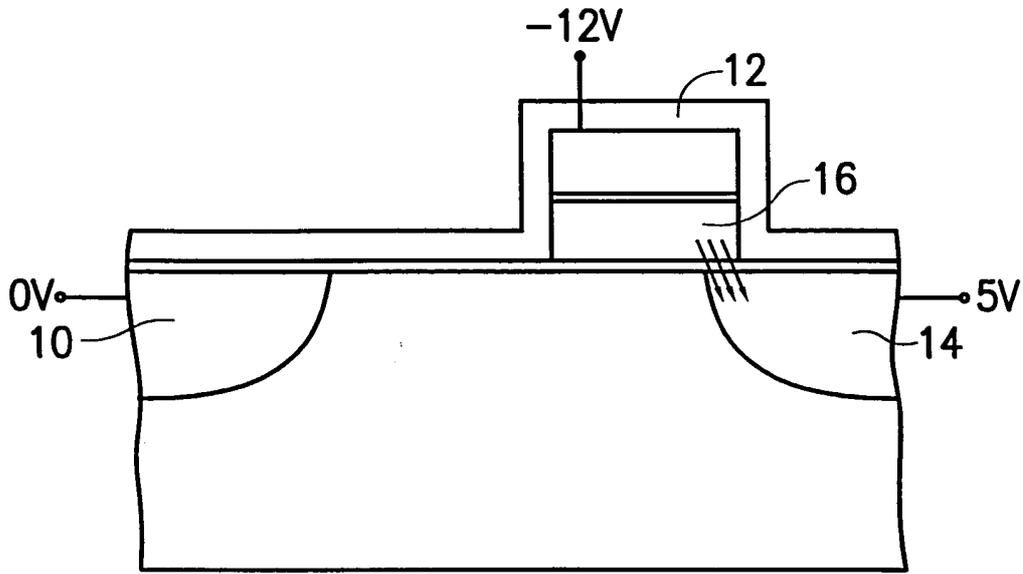
5.如申請專利範圍第 4 項的分離閘極快閃記憶單元的抹除方法，其中，加在前述控制閘極上的負電壓為 -12V，加在前述汲極上的正電壓 5V，而加在前述源極上的電壓為 0.5V~Vcc。

(請先閱讀背面之注意事項再填寫本頁)

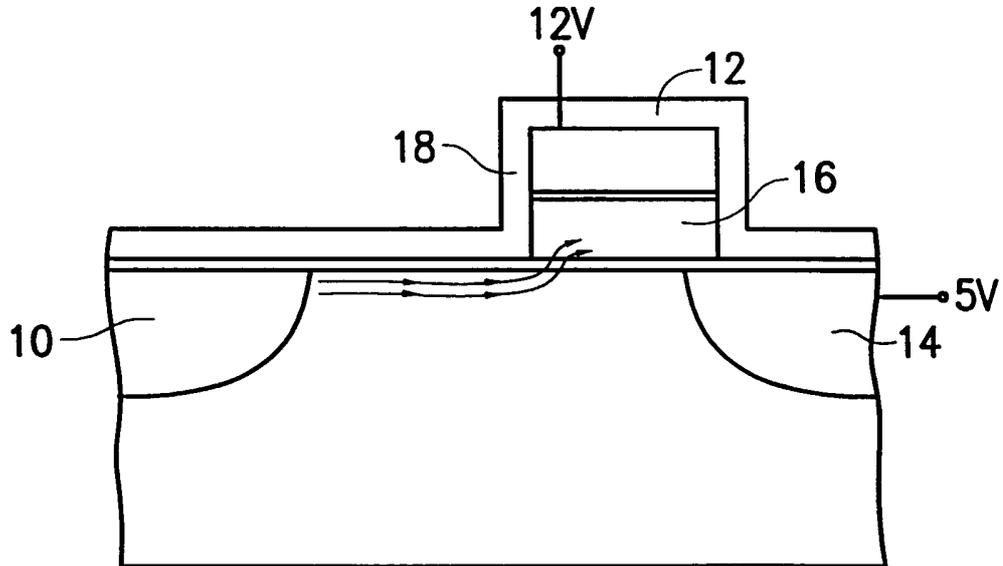
裝

訂

線

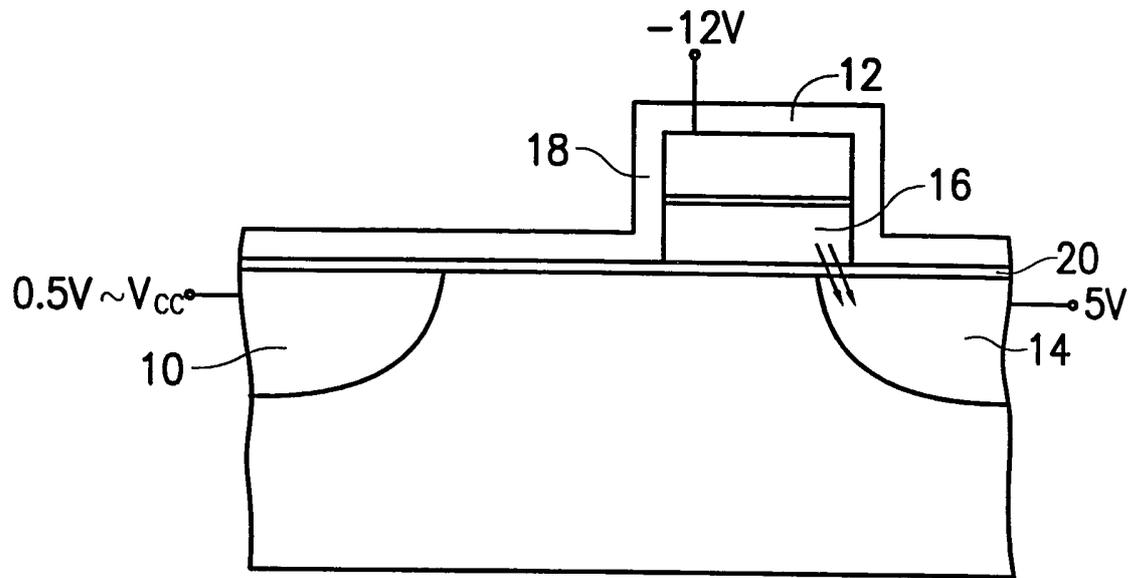


第 1 圖



第 2 圖

406436



第 3 圖