

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2017年3月16日(16.03.2017)



(10) 国際公開番号  
**WO 2017/042941 A1**

- (51) 国際特許分類:  
**G09F 9/30** (2006.01) **G09F 9/00** (2006.01)
- (21) 国際出願番号: PCT/JP2015/075759
- (22) 国際出願日: 2015年9月10日(10.09.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 堺ディスプレイプロダクト株式会社  
(SAKAI DISPLAY PRODUCTS CORPORATION)  
[JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地  
Osaka (JP).
- (72) 発明者: 石田 茂(ISHIDA, Shigeru); 〒5908522 大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式会社内 Osaka (JP). 野寺 伸武(NODERA, Nobutake); 〒5908522 大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式会社内 Osaka (JP). 高倉 良平(TAKAKURA, Ry-ouhei); 〒5908522 大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式会社内 Osaka (JP). 松島 吉明(MATSUSHIMA, Yoshiaki); 〒5908522 大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式会社内 Osaka (JP). 松本 隆夫(MATSUMOTO, Takao); 〒5908522 大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式

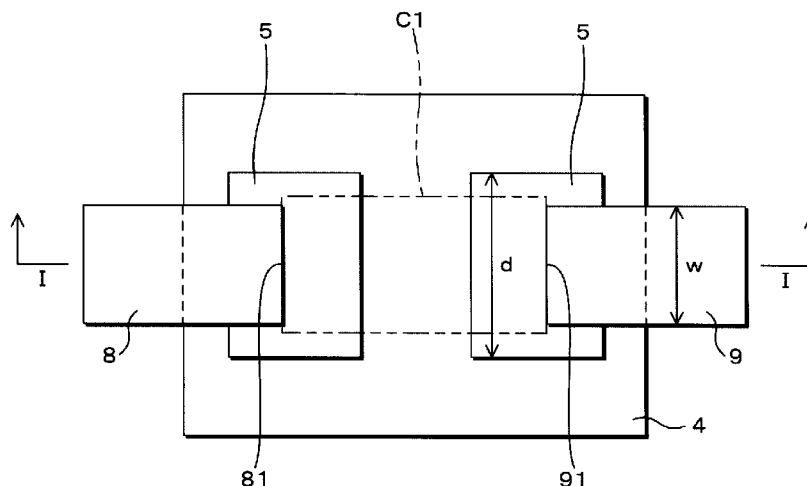
会社内 Osaka (JP). 小林 和樹(KOBAYASHI, Kazuki); 〒5908522 大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式会社内 Osaka (JP). 桶谷 大玄(OKETANI, Taimi); 〒5908522 大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式会社内 Osaka (JP).

- (74) 代理人: 河野 英仁, 外(KOHNO, Hideto et al.); 〒5400035 大阪府大阪市中央区釣鐘町二丁目4番3号 河野特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: DISPLAY DEVICE AND DISPLAY DEVICE MANUFACTURING METHOD

(54) 発明の名称: 表示装置及び表示装置の製造方法



(57) Abstract: Provided is a display device that is equipped with: a pixel having a first thin film transistor; and a drive circuit, which has a second thin film transistor, and which drives the pixel. The display device is configured such that a first channel region relating to the first thin film transistor, and a second channel region relating to the second thin film transistor have different electrical characteristics (for instance, electron mobilities), respectively, thereby enabling the first thin film transistor and the second thin film transistor to suitably operate for respective roles. A method for manufacturing the display device is also provided.

(57) 要約: 第1薄膜トランジスタを有する絵素と、第2薄膜トランジスタを有し、前記絵素を駆動する駆動回路とを備える表示装置において、前記第1薄膜トランジスタに係る第1チャネル領域、及び、前記第2薄膜トランジスタに係る第2チャネル領域が、電気的特性(例えば、電子移動度)が相違するように構成することにより、第1薄膜トランジスタ及び第2薄膜トランジスタが夫々の役割に適した作動ができる表示装置及び該表示装置の製造方法を提供する。

WO 2017/042941 A1



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,

GW, KM, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：表示装置及び表示装置の製造方法

### 技術分野

[0001] 本発明は、第1薄膜トランジスタを有する絵素と、第2薄膜トランジスタを有し、前記絵素を駆動する駆動回路とを備える表示装置及び該表示装置の製造方法に関する。

### 背景技術

[0002] 近年、液晶パネル等を有する表示装置においては、薄膜トランジスタ（TFT: Thin Film Transistor）が主に用いられる。具体的には、アモルファスシリコン（amorphous silicon）をチャネル領域に用いたa-Si TFT、又はポリシリコン（polycrystalline silicon）をチャネル領域に用いたP-Si TFTが用いられる。また、P-Si TFTは、基板全面にレーザーを照射後、パターニングを行うレーザーアニール方式により製造される。

[0003] 特許文献1には、ゲート電極を覆うように形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成されたポリシリコン膜と、前記ポリシリコン膜の端部の上方に形成されたソース電極と、前記ポリシリコン膜における前記ソース電極が形成された端部と対向する端部の上方に形成され、前記ソース電極と離間しているドレイン電極とを具備する薄膜トランジスタにおいて、前記ポリシリコン膜におけるソース電極又はドレイン電極が形成されている前記ポリシリコン膜の端部から、前記ポリシリコン膜におけるソース電極又はドレイン電極が形成されていない前記ポリシリコン膜の中央部に向かって、前記ポリシリコン膜の結晶化率が小さくなることについて開示されている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2012-114131号公報

### 発明の概要

## 発明が解決しようとする課題

- [0005] 一方、ピクセル（絵素）を駆動する周辺回路又は駆動回路は、回路として駆動する為に高いオン電流が要求される。一方、ピクセルでは頻繁にオン・オフのスイッチングが行われることから、オフ電流が低い方が望ましい。
- [0006] これに対して、上述したP-Si-TFTは、オン時に流れる電流（オン電流）、及び、オフ時に流れる電流（オフ電流）が共に高いという特性を有している。従って、周辺回路又は駆動回路用のTFTには適しているものの、ピクセル用のTFTには好ましくない。
- [0007] このように、同一基板上、又は同一装置内においても、その機能に応じて、電子移動度（電気的特性）の異なる複数種のTFTが要求されている。しかしながら、従来のレーザーアニール方式を用いて斯かる複数種のTFTを設けることは複雑な工程であり、手間の掛かるものである。また、このような問題に対して、特許文献1に係る薄膜トランジスタにおいては工夫も言及もされていない。
- [0008] 本発明は、斯かる事情に鑑みてなされたものであり、その目的とするところは、第1薄膜トランジスタを有する絵素と、第2薄膜トランジスタを有し、前記絵素を駆動する駆動回路とを備える表示装置において、前記第1薄膜トランジスタに係る第1チャネル領域、及び、前記第2薄膜トランジスタに係る第2チャネル領域が、電気的特性（例えば、電子移動度）が相違するように構成することにより、第1薄膜トランジスタ及び第2薄膜トランジスタが夫々の役割に適した作動ができる表示装置及び該表示装置の製造方法を提供することにある。

## 課題を解決するための手段

- [0009] 本発明に係る表示装置は、第1薄膜トランジスタを有する絵素と、第2薄膜トランジスタを有し、前記絵素を駆動する駆動回路とを備える表示装置において、前記第1薄膜トランジスタは第1チャネル領域を有し、前記第2薄膜トランジスタは第2チャネル領域を有しており、前記第1チャネル領域はアモルファスシリコン領域及びポリシリコン領域を含み、前記第1チャネル

領域及び前記第 2 チャネル領域は、電気的特性が相違することを特徴とする。

[0010] 本発明にあっては、例えば、前記第 1 チャネル領域はアモルファスシリコン領域及びポリシリコン領域を含み、前記第 2 チャネル領域はポリシリコン領域のみを含むように構成することにより、前記第 1 チャネル領域及び前記第 2 チャネル領域において、電気的特性が相違するように構成する。

[0011] 本発明に係る表示装置は、前記第 1 薄膜トランジスタでは、ゲート電極の上側に、前記第 1 チャネル領域を挟んで、ソース電極及びド레인電極が所定の間隔を離れて積層されており、前記第 1 チャネル領域には、アモルファスシリコン領域及びポリシリコン領域が混在してあることを特徴とする。

[0012] 本発明にあっては、前記第 1 薄膜トランジスタでは、前記第 1 チャネル領域にアモルファスシリコン領域及びポリシリコン領域が混在してある。

[0013] 本発明に係る表示装置は、前記ポリシリコン領域は離隔された 2 ヶ所であり、一方のポリシリコン領域は、前記積層の方向にて、前記ソース電極と重なっており、他方のポリシリコン領域は、前記積層の方向において、前記ド레인電極と重なっていることを特徴とする。

[0014] 本発明にあっては、前記 2 ヶ所のポリシリコン領域うち一方のポリシリコン領域は、前記積層の方向にて、前記ソース電極と重なっており、他方のポリシリコン領域は、前記積層の方向において、前記ド레인電極と重なっている。換言すれば、前記 2 ヶ所のポリシリコン領域は夫々ソース電極及びド레인電極周囲に形成されている。

[0015] 本発明に係る表示装置は、前記ポリシリコン領域は前記ソース電極及び前記ド레인電極の離隔の方向に長く、前記ポリシリコン領域の両端側が、前記積層の方向にて、前記ソース電極及び前記ド레인電極の両対向端の一部と夫々重なっていることを特徴とする。

[0016] 本発明にあっては、前記ポリシリコン領域の両端側が、前記積層の方向にて、前記ソース電極及び前記ド레인電極の両対向端の一部と夫々重なっており、前記ソース電極及び前記ド레인電極に隣接する領域又は近傍の領域

をアモルファスシリコン領域とする。

[0017] 本発明に係る表示装置は、前記ポリシリコン領域は、前記ソース電極及び前記ドレイン電極の両対向端の中間にて、前記離隔の方向と直交する方向の寸法が大きくなることを特徴とする。

[0018] 本発明にあつては、前記ポリシリコン領域は斯かる両端側が、前記積層の方向にて、前記ソース電極及び前記ドレイン電極の両対向端の一部と夫々重なっており、前記ソース電極及び前記ドレイン電極の両対向端の中間にて、前記離隔の方向と直交する方向の寸法が大きくなる。従つて、前記ソース電極及び前記ドレイン電極に隣接する領域又は近傍の領域がアモルファスシリコン領域となる。

[0019] 本発明に係る表示装置は、前記ポリシリコン領域は1ヶ所であつて、前記ソース電極及び前記ドレイン電極の両対向端の間に介在し、前記積層の方向にて、前記ソース電極及び前記ドレイン電極の両対向端と重なっていないことを特徴とする。

[0020] 本発明にあつては、前記積層の方向にて、前記ソース電極及び前記ドレイン電極の両対向端と重ならないように、前記ポリシリコン領域が、前記ソース電極及び前記ドレイン電極の両対向端の間に介在し、前記ソース電極及び前記ドレイン電極に隣接する領域又は近傍の領域をアモルファスシリコン領域とする。

[0021] 本発明に係る表示装置は、前記第1薄膜トランジスタ及び前記第2薄膜トランジスタ夫々は、ゲート電極の上側に、前記第1チャネル領域又は前記第2チャネル領域を挟んで、ソース電極及びドレイン電極が所定の間隔を離れて積層されており、前記第1チャネル領域及び前記第2チャネル領域にはポリシリコン領域のみが存在し、前記第1チャネル領域と、前記第2のチャネル領域とは、ポリシリコンの結晶性が異なることを特徴とする。

[0022] 本発明にあつては、前記第1チャネル領域及び前記第2チャネル領域にはポリシリコン領域のみが存在し、前記第1チャネル領域と、前記第2のチャネル領域とは、ポリシリコンの結晶性が異なる。

[0023] 本発明に係る表示装置の製造方法は、第1薄膜トランジスタを有する複数の画素と、第2薄膜トランジスタを有し、該画素を駆動する駆動回路とを備える表示装置の製造方法において、複数のゲート電極に係るゲート電極絶縁層を形成する工程と、該ゲート電極絶縁層の上にアモルファスシリコン層を形成する工程と、前記第1薄膜トランジスタに係る第1チャネル領域を形成するチャネル工程を含み、前記チャネル工程では、前記アモルファスシリコン層にポリシリコン領域が選択的に形成されることを特徴とする。

[0024] 本発明にあつては、複数のゲート電極に係るゲート電極絶縁層が形成された後、該ゲート電極絶縁層の上にアモルファスシリコン層が形成され、以後、該アモルファスシリコン層にポリシリコン領域が選択的に形成されて、前記第1薄膜トランジスタに係る第1チャネル領域が形成される。

[0025] 本発明に係る表示装置の製造方法は、前記チャネル工程では前記アモルファスシリコン層にエネルギービームを部分的に照射してポリシリコン層に変化させるアニール工程と、前記ポリシリコン層を覆って他のアモルファスシリコン層を形成する工程と、前記他のアモルファスシリコン層の表面にn<sup>+</sup>シリコン層を形成する工程とを含むことを特徴とする。

[0026] 本発明にあつては、前記チャネル工程で、前記アモルファスシリコン層にエネルギービームを部分的に照射してポリシリコン層に変化させた後、前記ポリシリコン層を覆って他のアモルファスシリコン層が形成され、該他のアモルファスシリコン層の表面にn<sup>+</sup>シリコン層が形成される。

## 発明の効果

[0027] 本発明によれば、オフ電流を下げる必要のあるピクセル（絵素）に対しては、前記第1薄膜トランジスタがオフ電流を確実に抑えることができ、オン電流を高める必要のある駆動回路（周辺回路）に対しては、前記第2薄膜トランジスタがオン電流を確実に高めることができるので、前記第1薄膜トランジスタ及び前記第2薄膜トランジスタが夫々の役割に適した作動を行うことができる。

## 図面の簡単な説明

[0028] [図1]実施の形態1のテレビジョン受信機の要部構成を示す機能ブロック図である。

[図2A]本実施の形態1に係るテレビジョン受信機の駆動回路及びピクセルに用いられる薄膜トランジスタの一例を模式的に示す模式図である。

[図2B]本実施の形態1に係るテレビジョン受信機の駆動回路及びピクセルに用いられる薄膜トランジスタの一例を模式的に示す模式図である。

[図3]図2AのI-I線による要部断面図である。

[図4]図2BのII-II線による要部断面図である。

[図5]本実施の形態1に係るテレビジョン受信機のピクセル薄膜トランジスタの製造方法の一例を示す製造工程図である。

[図6]本実施の形態に係る部分照射型レーザーの構成の一例を示す模式図である。

[図7]本実施の形態2に係るテレビジョン受信機のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図である。

[図8]図7のIV-IV線による要部断面図である。

[図9]本実施の形態3に係るテレビジョン受信機のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図である。

[図10]図9のVI-VI線による要部断面図である。

[図11]本実施の形態4に係るテレビジョン受信機のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図である。

[図12]図11のVII-VII線による要部断面図である。

[図13]本実施の形態5に係るテレビジョン受信機のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図である。

[図14]レーザーアニール積算エネルギー密度及び移動度の関係を説明するグラフである。

[図15]第1チャンネル領域及び第2チャンネル領域の電気的特性が相違するように構成した場合における、オン・オフ時の電流値変化を示すグラフである。

**発明を実施するための形態**

[0029] 以下に、本発明の実施の形態に係る表示装置及び該表示装置の製造方法を、いわゆる液晶パネルを有するテレビジョン受信機に適用した場合を例として、図面に基づいて詳述する。

[0030] (実施の形態1)

図1は実施の形態1のテレビジョン受信機100の要部構成を示す機能ブロック図である。

[0031] テレビジョン受信機100は、TVSoC(System on a Chip)10(送信部)と、TVSoC10からデータを受信するTcon(Timing Controller)20と、更にTcon20からデータを受信するソースドライバ30及びゲートドライバ40とを備えており、ソースドライバ30及びゲートドライバ40は斯かるデータに基づいて画像が表示される液晶表示パネル50に接続されている。

[0032] 請求の範囲に記載の駆動回路は、例えば、ソースドライバ30又はゲートドライバ40である。

[0033] TVSoC10はいわゆるテレビ受信回路であり、CVBS信号、HDMI(登録商標)信号などを受け取ってテレビ映像を生成し、テレビ画像信号、水平同期信号、垂直同期信号、及びクロックを含む画像信号を、例えば、V-by-One信号規格を用いてTcon20に出力する。

[0034] Tcon20は、TVSoC10からの信号に基づいて、デジタル画像信号、液晶表示パネル50の駆動回路の動作を制御するための制御信号等を生成する。そして、Tcon20は、デジタル画像信号及び制御信号をソースドライバ30及びゲートドライバ40に送信する。すなわちTcon20は、TVSoC10から垂直同期信号、水平同期信号、データイネーブル信号、クロック信号などのタイミング信号を用いて、ソースドライバ30の動作タイミングを制御するためのソースタイミング制御信号と、ゲートドライバ40の動作タイミングを制御するためのゲートタイミング制御信号を発生する。

[0035] また、Tcon20及びソースドライバ30の間は、例えば24本のバス

によって接続されている。

[0036] 液晶表示パネル50の図示しない各ピクセル（絵素）は、ソースライン及びゲートラインを介して、ソースドライバ30及びゲートドライバ40に接続されている。

[0037] 図2は本実施の形態1に係るテレビジョン受信機100の駆動回路及びピクセルに用いられる薄膜トランジスタ（TFTとも称する）の一例を模式的に示す模式図である。図2Aはテレビジョン受信機100のピクセルに用いられる薄膜トランジスタ（以下、ピクセル薄膜トランジスタと称する）を示し、図2Bはテレビジョン受信機100の駆動回路（周辺回路）に用いられる薄膜トランジスタ（以下、駆動回路薄膜トランジスタと称する）を示している。

[0038] また、図3は図2AのI-I線による要部断面図であり、図4は図2BのI-I線による要部断面図である。

[0039] 図3及び図4に示すように、夫々の薄膜トランジスタは、ガラス基板1（基板とも称する）の表面にゲート電極2を積層してあり、ゲート電極2を覆ってゲート絶縁膜3（例えば、 $\text{SiO}_2$ 膜、 $\text{SiO}_2/\text{SiN}$ 膜積層、 $\text{SiN}$ 膜、 $\text{SiON}$ 膜など）を積層してある。

[0040] また、図2～図4に示すように、ゲート絶縁膜3の表面であってゲート電極2の上側には、ポリシリコン層5（ $\text{p-Si}$ 膜とも称する。なお、ポリシリコン層には多結晶だけでなく、多結晶よりも比較的結晶粒径の小さい微結晶、あるいは、より結晶性の高い単結晶も含む）を積層してある。また、ポリシリコン層5（ポリシリコン領域）を取り囲むように第1のアモルファスシリコン層4（ $\text{a-Si}$ 膜とも称する）が形成され、ポリシリコン層5及び第1のアモルファスシリコン層4を覆うように第2のアモルファスシリコン層6（ $\text{a-Si}$ 膜とも称する）を積層してある。以下においては、第1のアモルファスシリコン層4及び第2のアモルファスシリコン層6を纏めてアモルファスシリコン層とも称する。

[0041] 第2のアモルファスシリコン層6の表面の所要位置には、 $\text{n+}$ シリコン層

7 (n + S i 膜) を積層してある。n + シリコン層 7 は、ソース電極 8 及びドレイン電極 9 とのコンタクト層であり、リンなどの不純物濃度が高い半導体層である。

[0042] n + シリコン層 7 の表面、第 2 のアモルファスシリコン層 6 及び第 1 のアモルファスシリコン層 4 の側面、ゲート絶縁膜 3 の表面には、所要のパターンを有するソース電極 8 及びドレイン電極 9 を形成してある。

[0043] 第 1 のアモルファスシリコン層 4 及び第 2 のアモルファスシリコン層 6 は、抵抗が大きくオフ電流（漏れ電流）が小さい。また、ポリシリコン層 5 は、アモルファスシリコン層に比べて電子の移動度が格段に大きい。

[0044] ソース電極 8 とドレイン電極 9 とは夫々の一端が対向するように、所定の間隔を挟んで離隔されており、ソース電極 8 とドレイン電極 9 との間はいわゆるチャネル領域に該当し、キャリア（電子又はホール）の移動が生じる。すなわち、斯かるチャネル領域は、前記積層方向において、ソース電極 8 とドレイン電極 9 との間隔に該当する部分であり、ポリシリコン層 5 と、第 1 のアモルファスシリコン層 4 及び第 2 のアモルファスシリコン層 6 とで構成されている。以下においては、前記ピクセル薄膜トランジスタ（第 1 薄膜トランジスタ）に係るチャネル領域を第 1 チャネル領域 C 1 といい、前記駆動回路薄膜トランジスタ（第 2 薄膜トランジスタ）に係るチャネル領域を第 2 チャネル領域 C 2 という。

[0045] ソース電極 8 及びドレイン電極 9 を覆うようにして、TFT 全体には、例えば、SiN で構成されるパッシベーション膜 10 を形成してあり、パッシベーション膜 10 の表面には有機膜 11 を形成して表面を平坦化している。パッシベーション膜 10 及び有機膜 11 の所要の位置には、スルーホールを形成してあり、当該スルーホールを通して画素電極 12 とドレイン電極 9 とが導通するようにしてある。画素電極 12 は、透明導電膜（例えば、ITO）により形成されている。

[0046] 図 2 A 及び図 2 B では、第 1 のアモルファスシリコン層 4、ポリシリコン層 5、ソース電極 8 及びドレイン電極 9 を基板 1 の表面に射影した射影状態

を模式的に示す。なお、図 2 A 及び図 2 B では、説明の便宜上、第 2 のアモルファスシリコン層 6 及び他の構成の図示を省略している。

[0047] 本実施の形態に係るテレビジョン受信機 100 においては、第 1 チャネル領域 C 1 及び第 2 チャネル領域 C 2 は、電気的特性が相違するように構成されている。以下、詳しく説明する。

[0048] 前記ピクセル薄膜トランジスタにおいては、図 2 A に示すように、第 1 チャネル領域 C 1 がアモルファスシリコン領域及びポリシリコン領域を含むように構成されている。すなわち、前記ピクセル薄膜トランジスタでは、第 1 チャネル領域 C 1 のうち、ソース電極 8 とドレイン電極 9 との間隔に対応する部分に、第 1 のアモルファスシリコン層 4 に係る領域及びポリシリコン層 5 に係る領域が共に混在してある。

[0049] 図 2 A のピクセル薄膜トランジスタにおいては、図面視、矩形の領域であるポリシリコン層 5 が夫々 2 ヶ所に形成されており、ソース電極 8 とドレイン電極 9 との離隔方向に沿って離隔されている。換言すれば、図 2 A の図面視、第 1 のアモルファスシリコン層 4 内の離れた 2 ヶ所には、ポリシリコン層 5 が形成されている。

[0050] 以下においては、説明の便宜上、図面視、2 つのポリシリコン層 5 の離隔方向（又は並設方向）を横方向、該離隔方向に直交する方向を縦方向と称する。

[0051] 2 つのポリシリコン層 5 のうち、一方のポリシリコン層 5 は、前記積層の方向にて、ソース電極 8 の端部 8 1 と重なっており、他方のポリシリコン層 5 は、前記積層の方向において、ドレイン電極 9 の端部 9 1 と重なっている。

[0052] また、図 2 A に示すように、前記 2 つのポリシリコン層 5 の縦方向の寸法  $d$  は、ソース電極 8 及びドレイン電極 9 の縦方向の寸法  $W$  より大きい。一方、前記 2 つのポリシリコン層 5 の間には第 1 のアモルファスシリコン層 4 が介在している。

[0053] このように、2 つのポリシリコン層 5 が夫々離隔され、これらの間には第

1のアモルファスシリコン層4が介在する。すなわち、第1チャネル領域C1としては、抵抗が大きいアモルファスシリコン層4の領域がポリシリコン層5の領域の間に介在するので、第1のアモルファスシリコン層4が介在しない場合に比べて、オフ電流を確実に抑えることができる。一方、各ポリシリコン層5の一部と、ソース電極8及びドレイン電極9の相互対向する両端部81, 91とが前記積層の方向にて重なるようにしてあるので、オン電流の低下を抑制することもできる。

[0054] また、図3に示すように、アモルファスシリコン層は、ポリシリコン層5の周囲に形成され、ポリシリコン層5と同程度の厚みを有する第1のアモルファスシリコン層4と、ポリシリコン層5及び第1のアモルファスシリコン層4の表面に形成された第2のアモルファスシリコン層6とを有する。

[0055] すなわち、ポリシリコン層5は、ゲート電極2の上側に形成された第1のアモルファスシリコン層4のうち、斯かるチャネル領域の一部の領域を多結晶状態であるポリシリコン層5に変化させたものであり、該チャネル領域を形成するために、露光、現像及びエッチング処理の各処理を行っていないことが分かる。また、第2のアモルファスシリコン層6は、ソース電極8及びドレイン電極9とチャネル領域とが直接接触しないようにするためのもので、オフ電流（漏れ電流）が小さい特性を用いている。これにより、オフ電流をより低減することができる。

[0056] 一方、前記駆動回路薄膜トランジスタにおいては、図2Bに示すように、第2チャネル領域C2がポリシリコン領域のみを含むように構成されている。すなわち、前記駆動回路薄膜トランジスタでは、第2チャネル領域C2のうち、ソース電極8とドレイン電極9との間隔に対応する部分には、アモルファスシリコン領域が存在していない。

[0057] 図2Bの駆動回路薄膜トランジスタにおいては、第1のアモルファスシリコン層4内に、ポリシリコン層5が、ソース電極8とドレイン電極9との両対向端部81, 91に亘って、第2チャネル領域C2より広い領域にて形成されている。

[0058] このように、第2チャネル領域C2としては、第1のアモルファスシリコン層4に比べて抵抗が小さいポリシリコン層5の領域がソース電極8とドレイン電極9との両対向端部81, 91に亘って形成されているので、換言すれば第2チャネル領域C2がポリシリコン層5の領域のみからなるので、第1のアモルファスシリコン層4が存在する場合に比べて、オン電流を確実に高めることができる。一方、ポリシリコン層5の一部と、ソース電極8及びドレイン電極9の対向する両端部81, 91とが前記積層の方向にて重なるようにしてあるので、オン電流の増加を一層高めることができる。

[0059] 図2A及び図2Bにおいては、説明の便宜上、第1チャネル領域C1及び第2チャネル領域C2を図示しているが、これによって本発明に係る第1チャネル領域C1及び第2チャネル領域C2が定義されるものでない。

[0060] また、一般に、斯かるチャネル領域は、ドレイン電極9及びソース電極8の間の距離であるチャネル長と、該チャネル長に直交する方向における、ドレイン電極9及びソース電極8の寸法であるチャネル幅によって定義することができる。

[0061] 図5は本実施の形態1に係るテレビジョン受信機100のピクセル薄膜トランジスタの製造方法の一例を示す製造工程図である。以下、本実施の形態1のピクセル薄膜トランジスタの製造工程について説明する。図5に示すように、ガラス基板1上にゲート電極2を形成し(S11)、ゲート電極2を覆ってガラス基板1の表面にゲート絶縁膜3を形成する(S12)。

[0062] ゲート絶縁膜3が形成されたガラス基板1の表面に第1のアモルファスシリコン層としてのa-Si膜4を形成する(S13)。

以後、チャネル領域(第1チャネル領域C1)を形成する工程が行われ、上述したように、第1チャネル領域C1内にポリシリコン層5の領域を選択的に形成する。

[0063] まず、a-Si膜4をレーザーアニールするために、脱水素アニール処理を行い(S14)、レーザー前洗浄を行う(S15)。次に、部分照射型レーザーによるa-Si膜4の結晶化を行う(S16)。結晶化の工程は、ア

ニール工程（レーザーアニール工程とも称する）であり、例えば、 $a-Si$ 膜4の所要箇所マルチレンズアレイを介してエネルギービームを照射して当該所要箇所をポリシリコン層5（ $p-Si$ 膜）に変化させる。所要箇所は、ゲート電極2の上側であり、ソース・ドレイン間の第1チャネル領域C1である。これにより、第1のアモルファスシリコン層4に図2Aに示すように、離隔された2つのポリシリコン層5が形成される。エネルギービームは、例えば、アモルファスシリコン層（ $a-Si$ 膜）の吸収の大きい紫外光のエキシマレーザーを用いることができる。

[0064] 図6は本実施の形態に係る部分照射型レーザーの構成の一例を示す模式図である。図6に示すように、 $a-Si$ 膜4が表面に形成されたガラス基板1は載置台（図示せず）に載置され、図6中の矢印の方向に所要の速度で平行移動するようにしてある。ガラス基板1の上方には、ガラス基板1の移動方向と交差する方向に沿って個々のレンズが適長離隔して並んだマルチレンズアレイを配置してある。レーザー光源（図示せず）からのレーザー光をマルチレンズアレイへ入射することにより、レーザー光は、レンズ毎に異なる光路を経由して離隔した複数の所要箇所に対して部分照射される。すなわち、部分レーザーアニールを行うことができる。これにより、 $a-Si$ 膜4のうち、チャネル領域の所要の領域だけを選択的にポリシリコン層5（ $p-Si$ 膜）に変化させる。

[0065] 次に、成膜前洗浄を行い（S17）、アニール工程により多結晶状態となったポリシリコン層5及び第1の $a-Si$ 膜4を覆って第2のアモルファスシリコン層としての $a-Si$ 膜6を形成する（S18）。また、 $a-Si$ 膜6の表面に $n-Si$ 膜（ $n$ -シリコン層）7を形成する（S19）。 $n-Si$ 膜7は、ソース電極8及びドレイン電極9とのコンタクト層であり、リンなどの不純物濃度が高い半導体層である。

[0066] 次に、 $a-Si$ 膜4、 $a-Si$ 膜6及び $n-Si$ 膜7に対してエッチングが施され、例えば、矩形の島状に形成される。

[0067] そして、 $n-Si$ 膜7の上にソース・ドレイン用の金属の成膜が行われ、

斯かる金属膜に対してエッチングが施され、ソース電極 8 及びドレイン電極 9 が形成される (S 2 0)。

[0068] 以降、半導体層を所要の構造とするために、ソース電極 8 及びドレイン電極 9 をマスクとしてチャンネル部分に係る  $n + Si$  膜 7 及び  $a - Si$  膜 6 に対して、その厚み方向に、 $a - Si$  膜 6 の途中までエッチングを施す (S 2 1)。これによってチャンネル領域が形成される。

[0069] 以上では、 $a - Si$  膜 4、 $a - Si$  膜 6 及び  $n + Si$  膜 7 を島状に形成する工程を含む場合について説明したが、本発明はこれに限るものでない。マスク枚数を減らすために斯かる工程を省いて、所定のパターンにて前記ソース・ドレイン用の金属膜をエッチングし、引き続いて  $n + Si$  膜 7 及び  $a - Si$  膜 6 に対して、その厚み方向にエッチングを施すようにしても良い。

[0070] 本実施の形態の製造方法によれば、基板全面にエネルギービーム（例えば、レーザー）を照射するのではなく、 $a - Si$  膜 4 のうち、該ポリシリコン層 5 となるべき領域だけにエネルギービームを部分的に照射し、アニール工程だけで第 1 チャンネル領域 C 1 を形成することが出来る。このため、第 1 チャンネル領域 C 1 を形成するため、基板表面全体に結晶化されたポリシリコン層を形成し、該ポリシリコン層に対して露光処理、現像処理及びエッチング処理の各工程が不要となり、製造工程を短縮することができる。

[0071] 以上においては、ピクセル薄膜トランジスタに対して、図 5 に示したように、部分照射型レーザーによる  $a - Si$  膜 4 の選択的結晶化を行う場合を例に挙げて説明したが、本発明はこれに限るものでない。斯かる結晶化の処理を駆動回路薄膜トランジスタに対して行うようにしても良い。

[0072] 以上のような構成を有することから、本実施の形態 1 に係るテレビジョン受信機 1 0 0 においては、前記第 1 チャンネル領域 C 1 及び前記第 2 チャンネル領域 C 2 が、電気的特性が相違し、ピクセル薄膜トランジスタは画像表示が行われるピクセルに適したトランジスタとして作動し、駆動回路薄膜トランジスタは該ピクセルの駆動回路に適したトランジスタとして作動する。

[0073] すなわち、オフ電流を下げる必要のあるピクセルに対しては、前記ピクセ

ル薄膜トランジスタ（第１チャネル領域Ｃ１）が上述したような構成を有することから、オン電流の低下を抑制しつつ、オフ電流を確実に抑えることができる。また、オン電流を高める必要のある駆動回路（周辺回路）に対しては、前記駆動回路薄膜トランジスタ（第２チャネル領域Ｃ２）が上述したような構成を有することから、オン電流を確実に高めることができる。

[0074] （実施の形態２）

本発明は実施の形態１の記載に限るものでない。実施の形態２に係るテレビジョン受信機１００においては、ピクセル薄膜トランジスタ（第１チャネル領域Ｃ１）の構成が実施の形態１とは異なるものの、実施の形態１と同様、斯かる第１チャネル領域Ｃ１及び斯かる第２チャネル領域Ｃ２は、電気的特性が相違するように構成されている。以下、詳しく説明する。

[0075] 図７は本実施の形態２に係るテレビジョン受信機１００のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図であり、図８は図７のⅣ－Ⅳ線による要部断面図である。また、図７のⅢ－Ⅲ線による要部断面図は図４と同様であり、省略する。なお、実施の形態２に係る駆動回路薄膜トランジスタについては、実施の形態１と同様であり、詳しい説明を省略する。

[0076] 実施の形態２に係るピクセル薄膜トランジスタにおいては、図７に示すように、第１チャネル領域Ｃ１がアモルファスシリコン領域及びポリシリコン領域を含むように構成されている。すなわち、前記ピクセル薄膜トランジスタでは、第１チャネル領域Ｃ１のうち、ソース電極８とドレイン電極９との間隔に対応する部分に、アモルファスシリコン層４に係る領域及びポリシリコン層５に係る領域が共に混在してある。

[0077] 図７及び図８に示すように、本実施の形態２のピクセル薄膜トランジスタにおいては、ポリシリコン層５が、ソース電極８の端部８１からドレイン電極９の端部９１に亘って、横方向に細長く形成されている。

[0078] すなわち、ポリシリコン層５に係る領域は、図面視短冊状をなしており、ポリシリコン層５の両端のうち、一方は、前記積層の方向にて、ソース電極

８の端部８１と重なっており、他方は、前記積層の方向において、ドレイン電極９の端部９１と重なっている。より詳しくは、ポリシリコン層５の両端部は、前記縦方向におけるソース電極８及びドレイン電極９の中間部にて夫々ソース電極８の端部８１又はドレイン電極９の端部９１と重なっている。

[0079] 換言すれば、ポリシリコン層５の縦方向の寸法 $d$ は、ソース電極８及びドレイン電極９の縦方向の寸法 $W$ より小さく、ポリシリコン層５の両端部は、前記積層の方向においてソース電極８の端部８１及びドレイン電極９の端部９１と夫々部分的に重なっている。

[0080] 本実施の形態２に係るテレビジョン受信機１００においては、斯かるピクセル薄膜トランジスタ（第１チャンネル領域 $C1$ ）が上述したような構成を有することから、オフ電流を下げる必要のあるピクセル用薄膜トランジスタに適したトランジスタとして作動する。

[0081] すなわち、ポリシリコン層５の縦方向の寸法 $d$ をソース電極８及びドレイン電極９の縦方向の寸法 $W$ より小さくすることにより、第１チャンネル領域 $C1$ のうち、ソース電極８及びドレイン電極９に隣接する領域又は近傍の領域をアモルファスシリコン層４にすることができ、オフ電流を抑えることができる。

[0082] 実施の形態１と同様の部分については、同一の符号を付して詳細な説明を省略する。

[0083] （実施の形態３）

本発明は実施の形態１、２の記載に限るものでない。実施の形態３に係るテレビジョン受信機１００においては、ピクセル薄膜トランジスタ（第１チャンネル領域 $C1$ ）の構成が実施の形態１、２とは異なるものの、実施の形態１、２と同様、斯かる第１チャンネル領域 $C1$ 及び斯かる第２チャンネル領域 $C2$ は、電気的特性が相違するように構成されている。以下、詳しく説明する。

[0084] 図９は本実施の形態３に係るテレビジョン受信機１００のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図であり、図１

0は図9のVI-VI線による要部断面図である。また、図9のV-V線による要部断面図は図4と同様であり、省略する。なお、実施の形態3に係る駆動回路薄膜トランジスタについては、実施の形態1と同様であり、詳しい説明を省略する。

[0085] 実施の形態3に係るピクセル薄膜トランジスタにおいては、図9に示すように、第1チャネル領域C1がアモルファスシリコン領域及びポリシリコン領域を含むように構成されている。すなわち、前記ピクセル薄膜トランジスタでは、第1チャネル領域C1のうち、ソース電極8とド레인電極9との間隔に対応する部分に、アモルファスシリコン層4に係る領域及びポリシリコン層5に係る領域が共に混在してある。

[0086] 図9及び図10に示すように、本実施の形態3のピクセル薄膜トランジスタにおいては、ポリシリコン層5が、ソース電極8の端部81からド레인電極9の端部91に亘って、横方向に細長く形成されている。また、ポリシリコン層5は、横方向における中間部にて、換言すればソース電極8及びド레인電極9の両対向端部81, 91の中間にて、縦方向に寸法が大きくなるように形成されている。

[0087] すなわち、ポリシリコン層5に係る領域は、図面視十字状をなしており、横方向に沿うポリシリコン層5の両端のうち、一方は、前記積層の方向にて、ソース電極8の端部81と重なっており、他方は、前記積層の方向において、ド레인電極9の端部91と重なっている。より詳しくは、横方向に沿うポリシリコン層5の両端部は、前記縦方向におけるソース電極8及びド레인電極9の中間部にて夫々ソース電極8の端部81又はド레인電極9の端部91と重なっている。

[0088] 換言すれば、ポリシリコン層5の縦方向の寸法d1は、ソース電極8及びド레인電極9の縦方向の寸法Wより小さく、横方向に沿うポリシリコン層5の両端部は、前記積層の方向においてソース電極8の端部81及びド레인電極9の端部91と部分的に重なっている。また、ポリシリコン層5の縦方向に延びる部分においても、横方向の寸法d2はソース電極8及びドレイ

ン電極 9 の縦方向の寸法 W より小さくなるように構成しても良い。

[0089] 本実施の形態 3 に係るテレビジョン受信機 100 においては、斯かるピクセル薄膜トランジスタ（第 1 チャネル領域 C 1）が上述したような構成を有することから、オフ電流を下げる必要のあるピクセル用薄膜トランジスタに適したトランジスタとして作動する。

[0090] すなわち、ポリシリコン層 5 の縦方向の寸法 d 1 をソース電極 8 及びドレイン電極 9 の縦方向の寸法 W より小さくすることにより、第 1 チャネル領域 C 1 のうち、ソース電極 8 及びドレイン電極 9 に隣接する領域又は近傍の領域をアモルファスシリコン層 4 にすることができ、オフ電流を抑えることができる。

[0091] 一方、ポリシリコン層 5 に係る領域が図面視十字状をなしているので、ポリシリコン層 5 の縦方向の寸法 d 1 は、横方向におけるポリシリコン層 5 の中間部にて拡大される。従って、オン電流の増加を図ることが出来る。

[0092] 実施の形態 1 と同様の部分については、同一の符号を付して詳細な説明を省略する。

[0093] （実施の形態 4）

本発明は実施の形態 1 ～ 3 の記載に限るものでない。実施の形態 4 に係るテレビジョン受信機 100 においては、ピクセル薄膜トランジスタ（第 1 チャネル領域 C 1）の構成が実施の形態 1 ～ 3 とは異なるものの、実施の形態 1 ～ 3 と同様、斯かる第 1 チャネル領域 C 1 及び斯かる第 2 チャネル領域 C 2 は、電気的特性が相違するように構成されている。以下、詳しく説明する。

[0094] 図 11 は本実施の形態 4 に係るテレビジョン受信機 100 のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図であり、図 12 は図 11 の VII - VII 線による要部断面図である。また、実施の形態 4 に係る駆動回路薄膜トランジスタについては、実施の形態 1 と同様であり、詳しい説明を省略する。

[0095] 実施の形態 4 に係るピクセル薄膜トランジスタにおいては、図 11 に示す

ように、第1チャネル領域C1がアモルファスシリコン領域及びポリシリコン領域を含むように構成されている。すなわち、前記ピクセル薄膜トランジスタでは、第1チャネル領域C1のうち、ソース電極8とドレイン電極9との間隔に対応する部分に、アモルファスシリコン層4に係る領域及びポリシリコン層5に係る領域が共に混在してある。

[0096] 図11及び図12に示すように、本実施の形態4のピクセル薄膜トランジスタにおいては、ポリシリコン層5が、ソース電極8の端部81及びドレイン電極9の端部91の間にて、1ヶ所に形成されている。

[0097] すなわち、ポリシリコン層5に係る領域は矩形状をなしており、ソース電極8の端部81及びドレイン電極9の端部91の間にて、ソース電極8の端部81及びドレイン電極9の端部91から離れて形成されている。

[0098] ポリシリコン層5の縦方向の寸法dは、ソース電極8及びドレイン電極9の縦方向の寸法Wより大きいが、ポリシリコン層5は前記積層の方向においてソース電極8の端部81及びドレイン電極9の端部91と重なっていない。

[0099] 本実施の形態4に係るテレビジョン受信機100においては、斯かるピクセル薄膜トランジスタ（第1チャネル領域C1）が上述したような構成を有することから、オフ電流を下げる必要のあるピクセル用薄膜トランジスタに適したトランジスタとして作動する。

[0100] 上述したように、本実施の形態4に係るピクセル薄膜トランジスタにおいては、ポリシリコン層5に係る領域が、第1のアモルファスシリコン層4に係る領域を挟んで、ソース電極8の端部81及びドレイン電極9の端部91の間に形成されている。すなわち、ポリシリコン層5に係る領域と、ソース電極8の端部81及びドレイン電極9の端部91との間には、抵抗が大きいアモルファスシリコン層4の領域が夫々形成されている。従って、第1チャネル領域C1のうち、ソース電極8及びドレイン電極9に隣接する領域又は近傍の領域をアモルファスシリコン層4にすることができ、オフ電流を抑えることができる。

[0101] 実施の形態１と同様の部分については、同一の符号を付して詳細な説明を省略する。

[0102] (実施の形態５)

本発明は実施の形態１～４の記載に限るものでない。実施の形態５に係るテレビジョン受信機１００においては、ピクセル薄膜トランジスタ（第１チャネル領域Ｃ１）の構成が実施の形態１～４とは異なるものの、実施の形態１～４と同様、斯かる第１チャネル領域Ｃ１及び斯かる第２チャネル領域Ｃ２は、電気的特性が相違するように構成されている。以下、詳しく説明する。

[0103] 図１３は本実施の形態５に係るテレビジョン受信機１００のピクセルに用いられるピクセル薄膜トランジスタの一例を模式的に示す模式図であり、図１３のVIII－VIII線による要部断面図は図４と同様であり、図示を省略する。また、実施の形態４に係る駆動回路薄膜トランジスタについては、実施の形態１（図２Ｂ）と同様であり、詳しい説明を省略する。

[0104] 実施の形態５に係るピクセル薄膜トランジスタにおいては、図１３及び図２Ｂに示すように、第１チャネル領域Ｃ１及び第２チャネル領域Ｃ２には、すなわち、ソース電極８の端部８１及びドレイン電極９の端部９１間の間隔に対応する部分にはポリシリコン層５に係る領域のみが形成されている。

[0105] このように、実施の形態５に係るピクセル薄膜トランジスタにおいては、第１チャネル領域Ｃ１及び第２チャネル領域Ｃ２が同一の構成を有するものの、斯かるポリシリコン層５の結晶性が異なるように構成されている。

[0106] より詳しくは、図５のＳ１６の工程において、例えば、ハーフトーンマスクを用いることにより、又は、エネルギービーム（レーザー）のパワー密度、照射回数を変更することにより、第１チャネル領域Ｃ１のポリシリコン層５の結晶性を低く形成し、第２チャネル領域Ｃ２のポリシリコン層５の結晶性を高く（少なくとも、第１チャネル領域Ｃ１より高く）形成する。該ハーフトーンマスクは、レーザー光の透過部及び遮光部の他に、前記透過部の光透過率及び遮光部の透過率と異なる、例えば、半透過部を備えたマスクであ

る。

[0107] これによって、実施の形態5に係るピクセル薄膜トランジスタにおいては第1チャネル領域C1及び第2チャネル領域C2における電子（又はホール）の移動度を適宜制御することが出来る。

[0108] 図14はレーザーアニール積算エネルギー密度及び移動度の関係を説明するグラフである。一般に、レーザーアニール積算エネルギー密度が高い場合、すなわち、アモルファスシリコンのレーザーアニール時に高いレーザーアニール積算エネルギー密度を高くした場合、ポリシリコンの結晶性が高くなる。ここで、レーザーアニール積算エネルギー密度は、レーザーパワー密度に照射回数をかけた値である。

[0109] 図14に示しているように、レーザーアニール積算エネルギー密度が高いほど、換言すれば、レーザーアニールによるポリシリコンの結晶性が高いほど、電子（ホール）の移動度が高いことが見て取れる。

[0110] 以上のように、本実施の形態5に係るテレビジョン受信機100においては、前記第1チャネル領域C1及び前記第2チャネル領域C2における電子移動度（電気的特性）が相違するように構成し、ピクセル薄膜トランジスタは画像表示が行われるピクセルに適したトランジスタとして作動し、駆動回路薄膜トランジスタは該ピクセルの駆動回路に適したトランジスタとして作動する。

[0111] すなわち、オフ電流を下げる必要のあるピクセルに対しては、第1チャネル領域C1のポリシリコン層5の結晶性を低くすることから、オフ電流を確実に抑えることができる。また、オン電流を高める必要のある駆動回路（周辺回路）に対しては、第2チャネル領域C2のポリシリコン層5の結晶性を高くすることから、オン電流を確実に高めることができる。

[0112] 実施の形態1と同様の部分については、同一の符号を付して詳細な説明を省略する。

[0113] 図15は、上述したように、第1チャネル領域C1及び第2チャネル領域C2の電気的特性が相違するように構成した場合における、オン・オフ時の

電流値変化を示すグラフである。すなわち、図 15 はいわゆる T F T 特性カーブを示している。図 15 において、実線はアモルファスシリコン（a-Si）のみからなる薄膜トランジスタの場合、太線はピクセル薄膜トランジスタの場合、点線は駆動回路薄膜トランジスタの場合を示す。

[0114] 図 15 に示すように、駆動回路薄膜トランジスタにおいては、オン・オフ時の電流値が共に高い特性を示している。一方、ピクセル薄膜トランジスタにおいては、オン・オフ時の電流値が、特にオフ時の電流値が駆動回路薄膜トランジスタの場合に比べて大きく下がっている。また、ピクセル薄膜トランジスタでは、アモルファスシリコンのみからなる薄膜トランジスタの場合に比べてオン時の電流値が高いことが見てとれる。

[0115] 以上の記載においては、ピクセル薄膜トランジスタ又は駆動回路薄膜トランジスタに対して部分照射型レーザーによる a-Si 膜 4 の結晶化を行うことにより、第 1 チャネル領域 C 1 及び第 2 チャネル領域 C 2 の電気的特性が相違するように構成する場合を例として説明した。しかし、本発明はこれに限るものでない。

[0116] すなわち、基板表面の全体に形成されたアモルファスシリコン層に対してエネルギービーム（例えば、レーザー）を基板全面に照射してポリシリコン層に変化させた後、ポリシリコン層に対して露光、現像及びエッチング処理の各工程を行ってチャネル領域を形成するようにしても良い。

## 符号の説明

- [0117]
- 4 アモルファスシリコン層
  - 5 ポリシリコン層
  - 8 ソース電極
  - 9 ドレイン電極
  - 8 1 端部
  - 9 1 端部
  - 1 0 0 テレビジョン受信機
  - C 1 第 1 チャネル領域

C 2 第 2 チャネル領域

## 請求の範囲

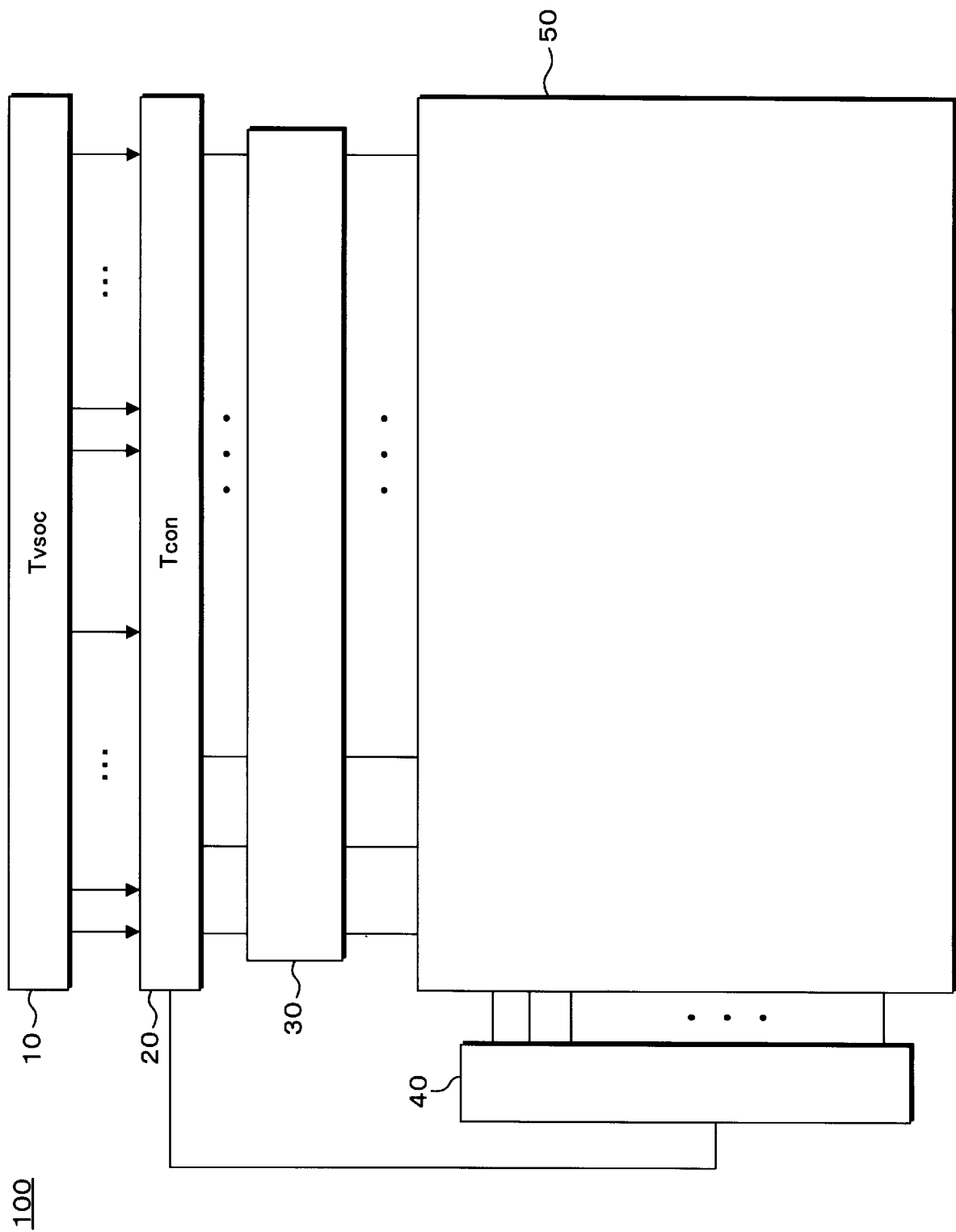
- [請求項1] 第1薄膜トランジスタを有する絵素と、第2薄膜トランジスタを有し、前記絵素を駆動する駆動回路とを備える表示装置において、  
前記第1薄膜トランジスタは第1チャネル領域を有し、前記第2薄膜トランジスタは第2チャネル領域を有しており、  
前記第1チャネル領域はアモルファスシリコン領域及びポリシリコン領域を含み、  
前記第1チャネル領域及び前記第2チャネル領域は、電気的特性が相違することを特徴とする表示装置。
- [請求項2] 前記第1薄膜トランジスタでは、  
ゲート電極の上側に、前記第1チャネル領域を挟んで、ソース電極及びドレイン電極が所定の間隔を離れて積層されており、  
前記第1チャネル領域には、アモルファスシリコン領域及びポリシリコン領域が混在してあることを特徴とする請求項1に記載の表示装置。
- [請求項3] 前記ポリシリコン領域は離隔された2ヶ所であり、  
一方のポリシリコン領域は、前記積層の方向にて、前記ソース電極と重なっており、  
他方のポリシリコン領域は、前記積層の方向において、前記ドレイン電極と重なっていることを特徴とする請求項2に記載の表示装置。
- [請求項4] 前記ポリシリコン領域は前記ソース電極及び前記ドレイン電極の離隔の方向に長く、  
前記ポリシリコン領域の両端側が、前記積層の方向にて、前記ソース電極及び前記ドレイン電極の両対向端の一部と夫々重なっていることを特徴とする請求項2に記載の表示装置。
- [請求項5] 前記ポリシリコン領域は、前記ソース電極及び前記ドレイン電極の両対向端の間にて、前記離隔の方向と直交する方向の寸法が大きくなることを特徴とする請求項4に記載の表示装置。

- [請求項6] 前記ポリシリコン領域は1ヶ所であって、前記ソース電極及び前記ドレイン電極の両対向端の間に介在し、
- 前記積層の方向にて、前記ソース電極及び前記ドレイン電極の両対向端と重なっていないことを特徴とする請求項2に記載の表示装置。
- [請求項7] 前記第1薄膜トランジスタ及び前記第2薄膜トランジスタ夫々は、
- ゲート電極の上側に、前記第1チャネル領域又は前記第2チャネル領域を挟んで、ソース電極及びドレイン電極が所定の間隔を離れて積層されており、
- 前記第1チャネル領域及び前記第2チャネル領域にはポリシリコン領域のみが存在し、
- 前記第1チャネル領域と、前記第2のチャネル領域とは、ポリシリコンの結晶性が異なることを特徴とする請求項1に記載の表示装置。
- [請求項8] 第1薄膜トランジスタを有する複数の画素と、第2薄膜トランジスタを有し、該画素を駆動する駆動回路とを備える表示装置の製造方法において、
- 複数のゲート電極に係るゲート電極絶縁層を形成する工程と、
- 該ゲート電極絶縁層の上にアモルファスシリコン層を形成する工程と、
- 前記第1薄膜トランジスタに係る第1チャネル領域を形成するチャネル工程を含み、
- 前記チャネル工程では、前記アモルファスシリコン層にポリシリコン領域が選択的に形成されることを特徴とする表示装置の製造方法。
- [請求項9] 前記チャネル工程では
- 前記アモルファスシリコン層にエネルギービームを部分的に照射してポリシリコン層に変化させるアニール工程と、
- 前記ポリシリコン層を覆って他のアモルファスシリコン層を形成する工程と、
- 前記他のアモルファスシリコン層の表面にn<sup>+</sup>シリコン層を形成す

る工程と

を含むことを特徴とする請求項 9 に記載の表示装置の製造方法。

[図1]

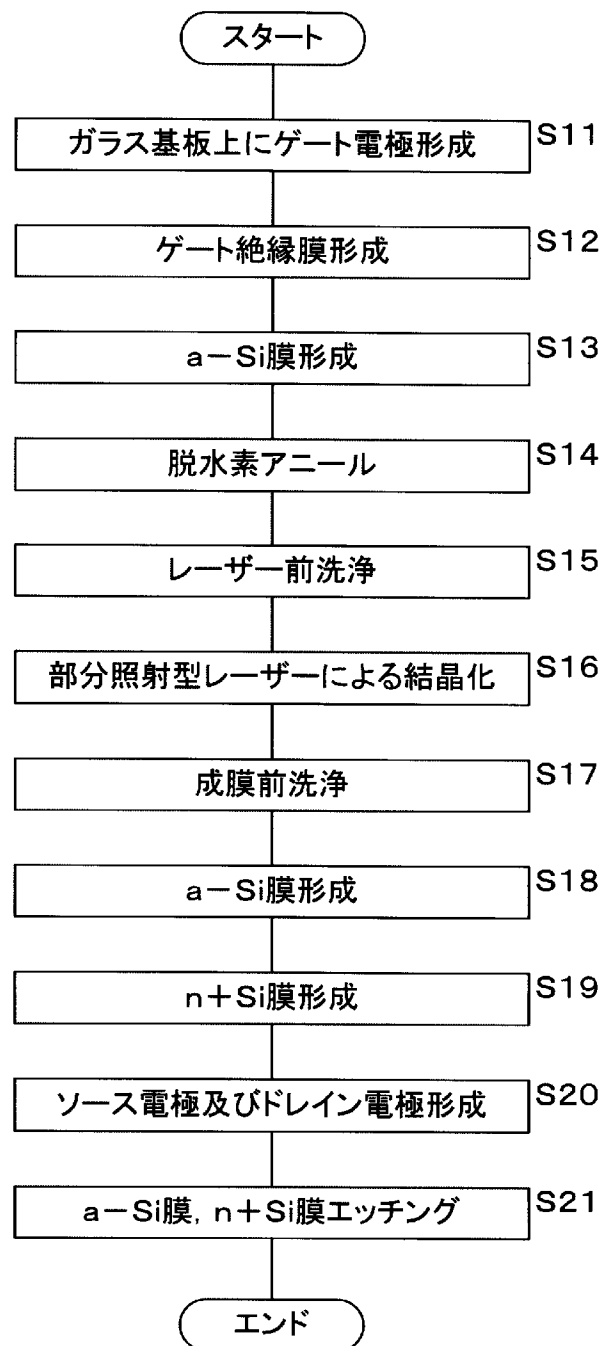


A cross-sectional view of a semiconductor device. A central channel region, labeled C1, is defined by a dashed line. On either side of the channel are two side regions, labeled 8 and 9. The side regions 8 and 9 are separated from the channel C1 by a thin layer, labeled 5. The side regions 8 and 9 are also separated from each other by a thin layer, labeled 5. The side regions 8 and 9 are further defined by a thin layer, labeled 81 and 91 respectively. The side regions 8 and 9 are also defined by a thin layer, labeled 4. The side regions 8 and 9 are also defined by a thin layer, labeled w. The side regions 8 and 9 are also defined by a thin layer, labeled d. The side regions 8 and 9 are also defined by a thin layer, labeled I. The side regions 8 and 9 are also defined by a thin layer, labeled I.

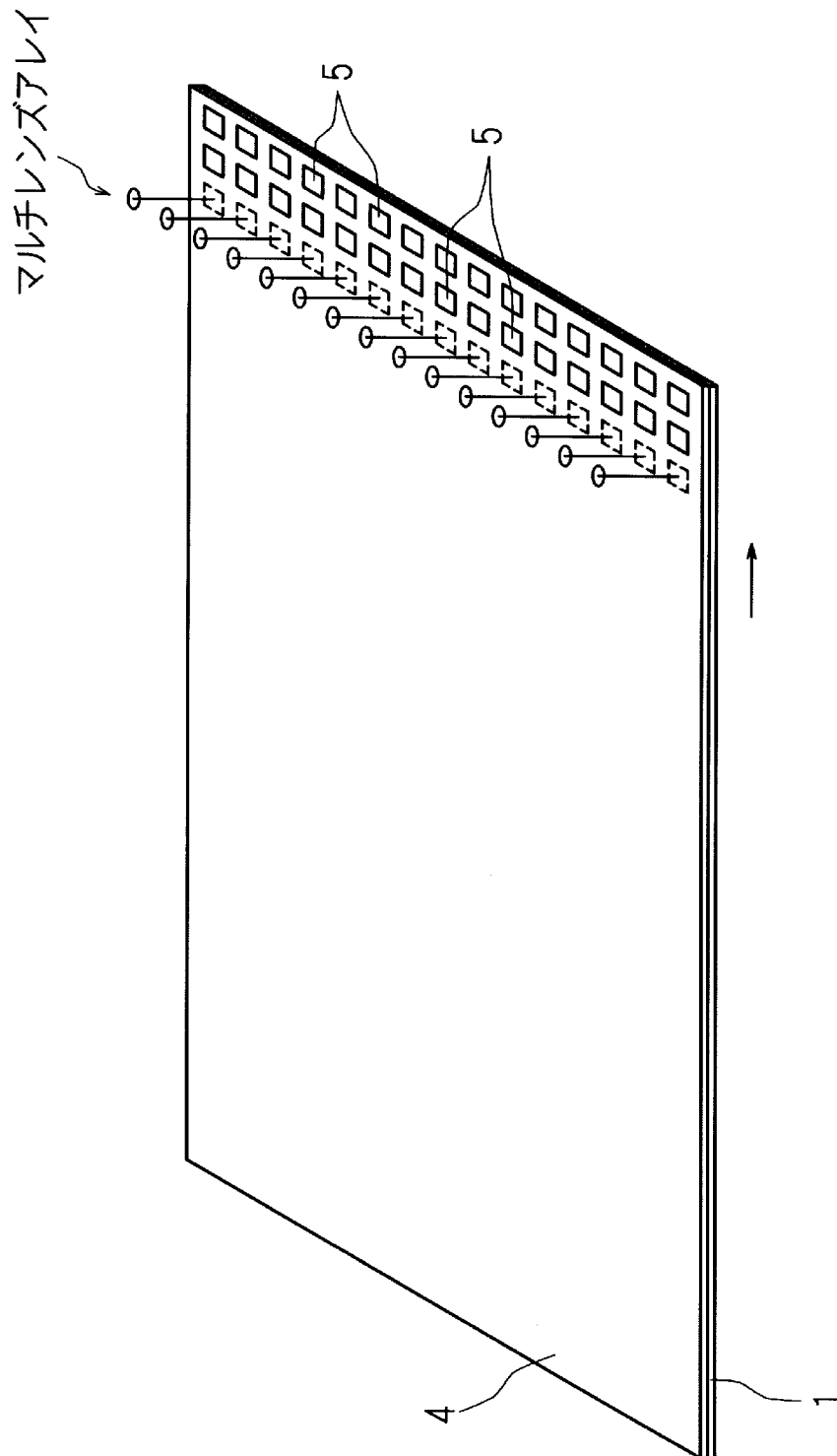




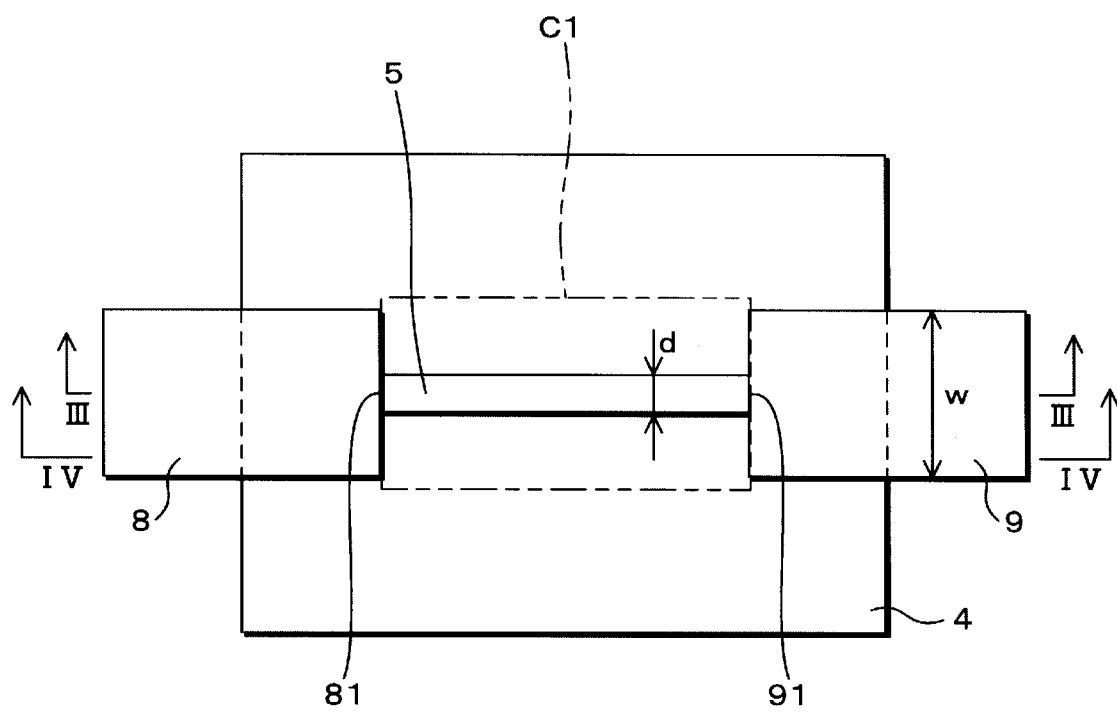
[図5]



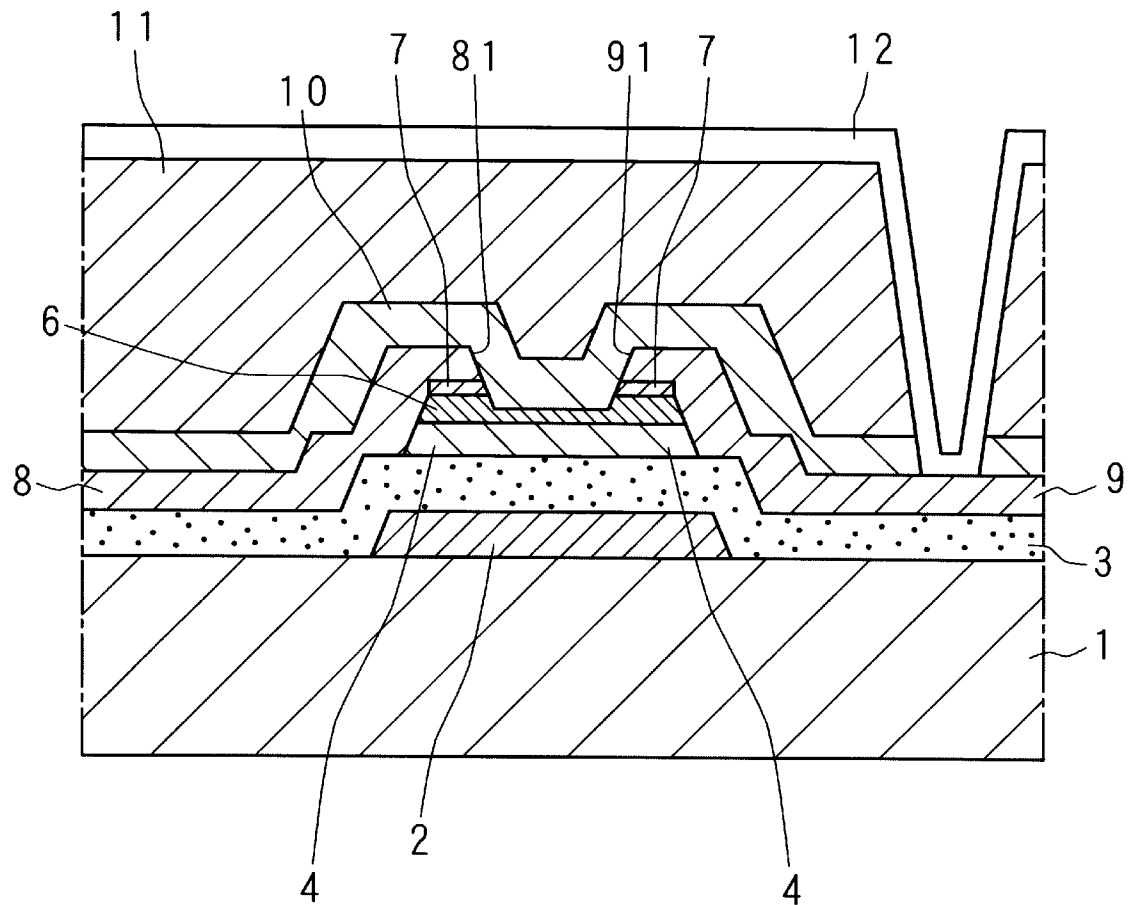
[図6]



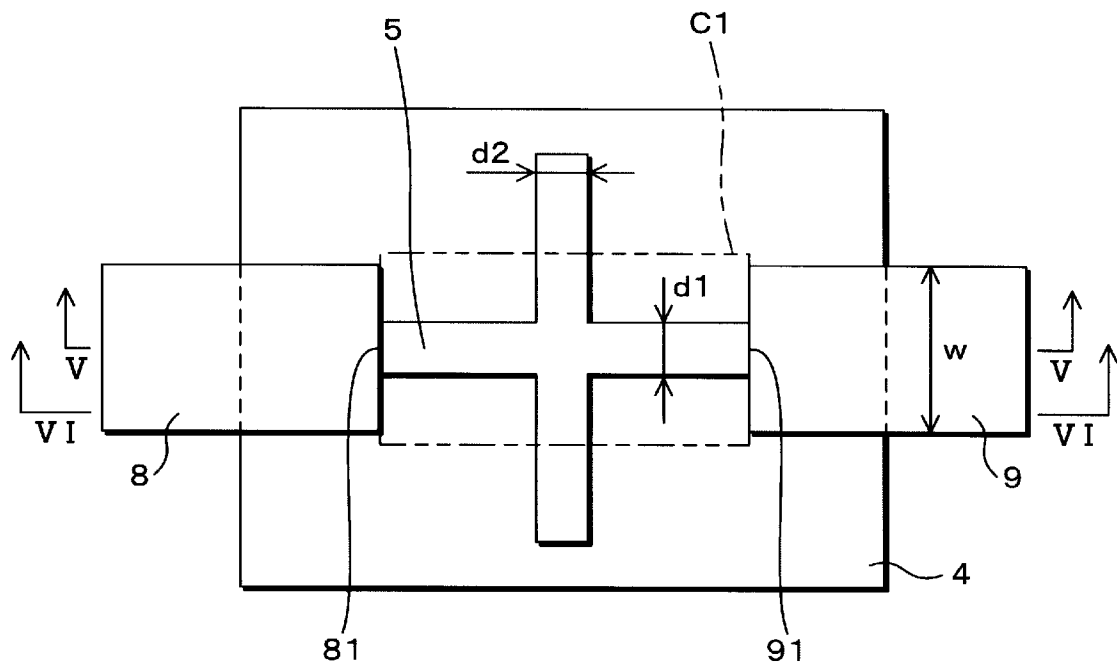
[図7]



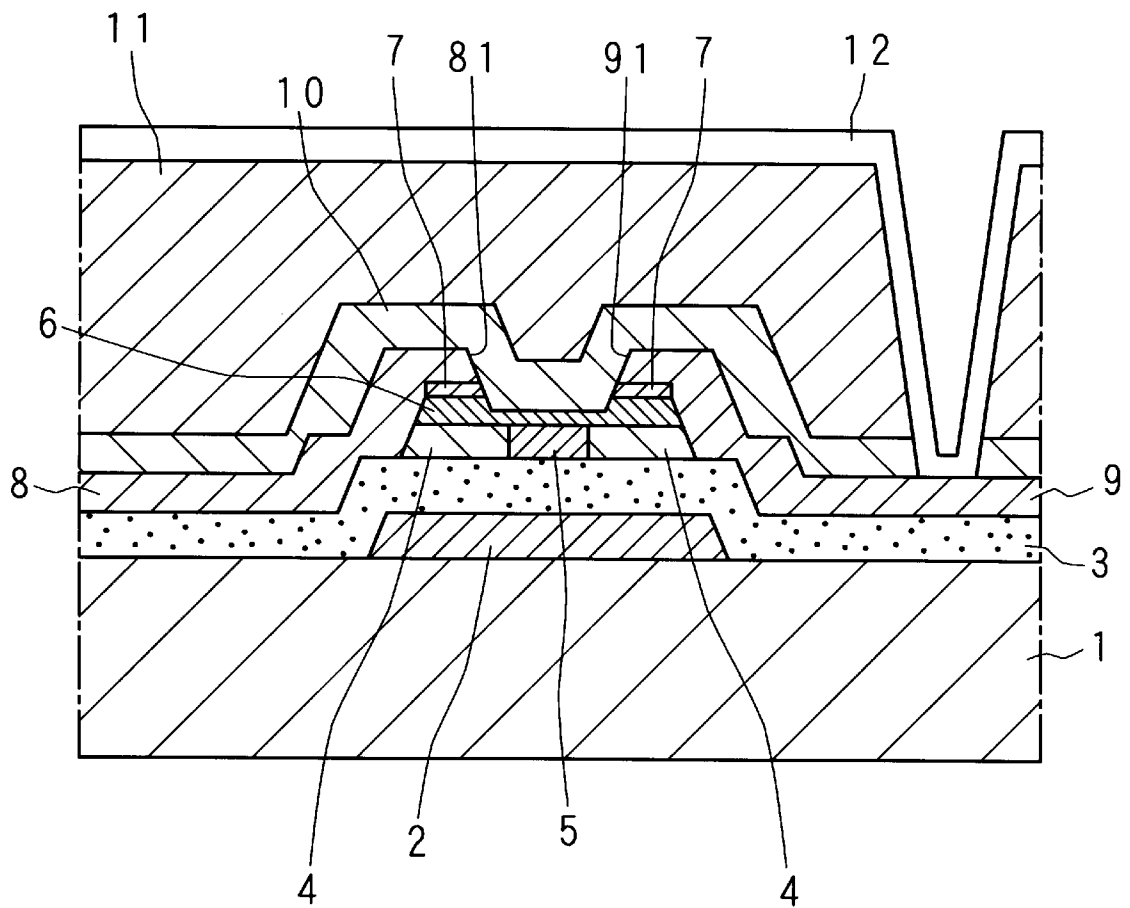
[図8]



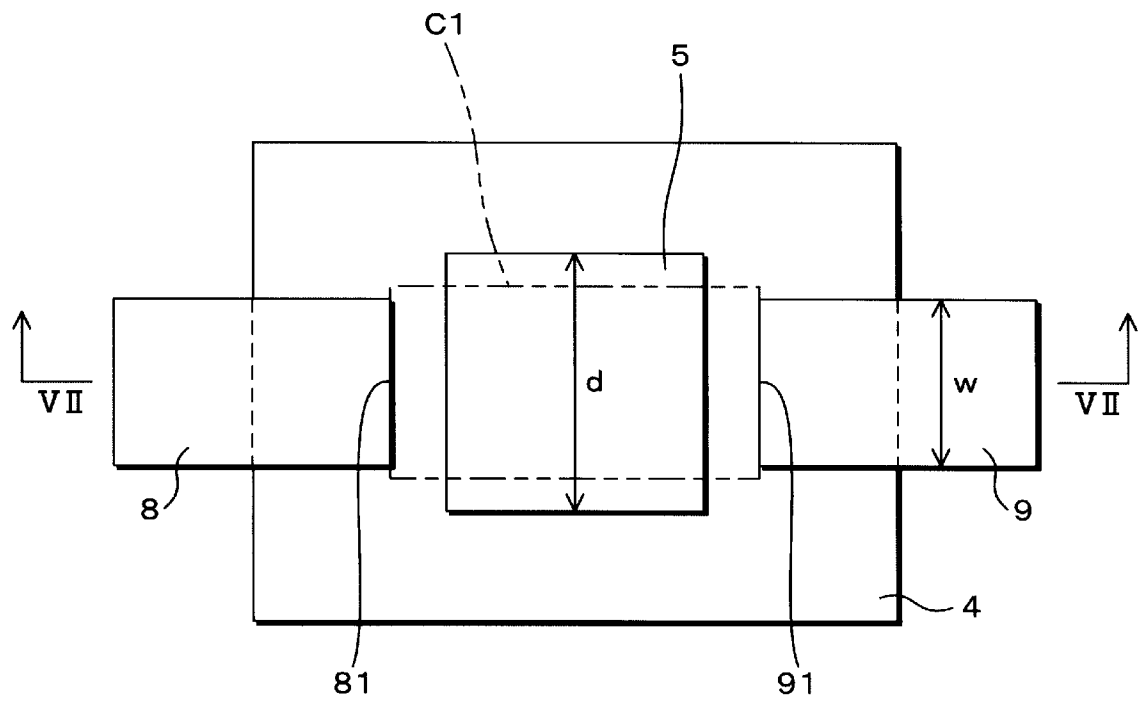
[図9]



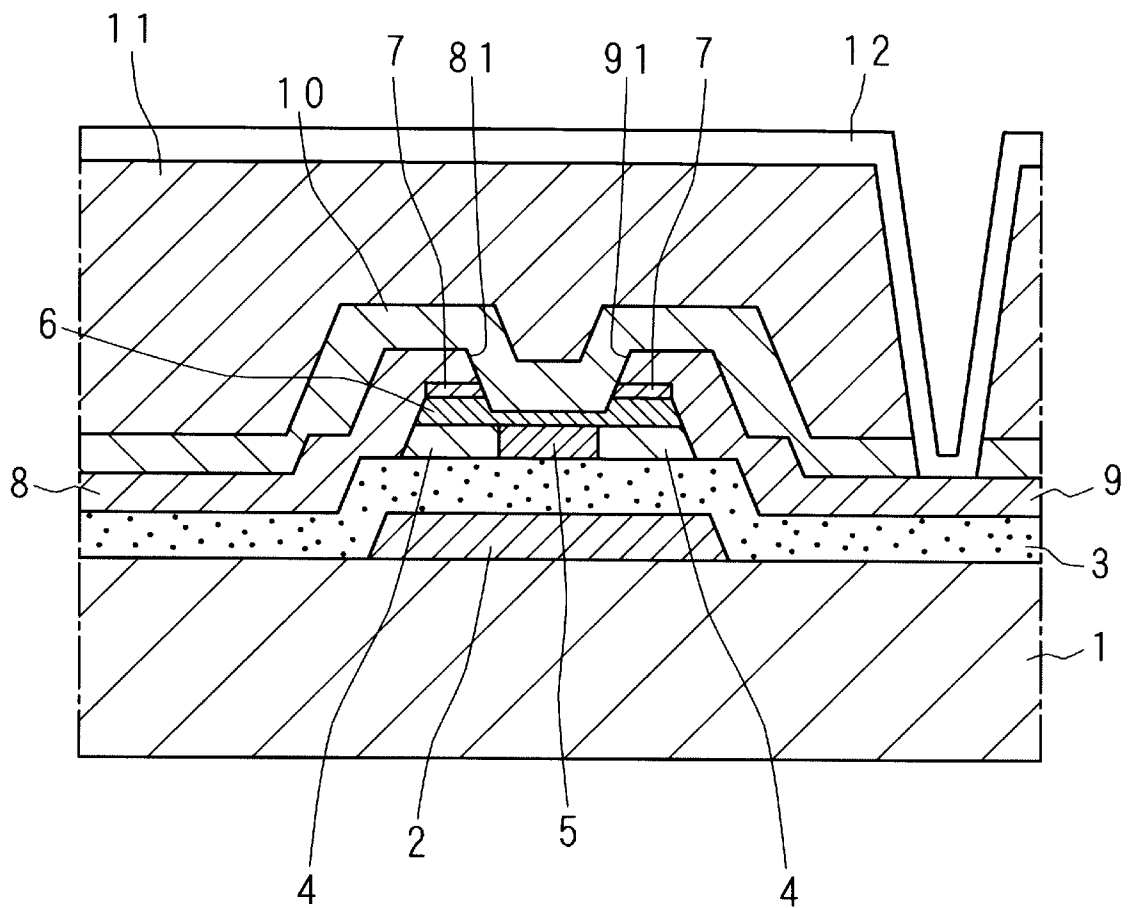
[図10]



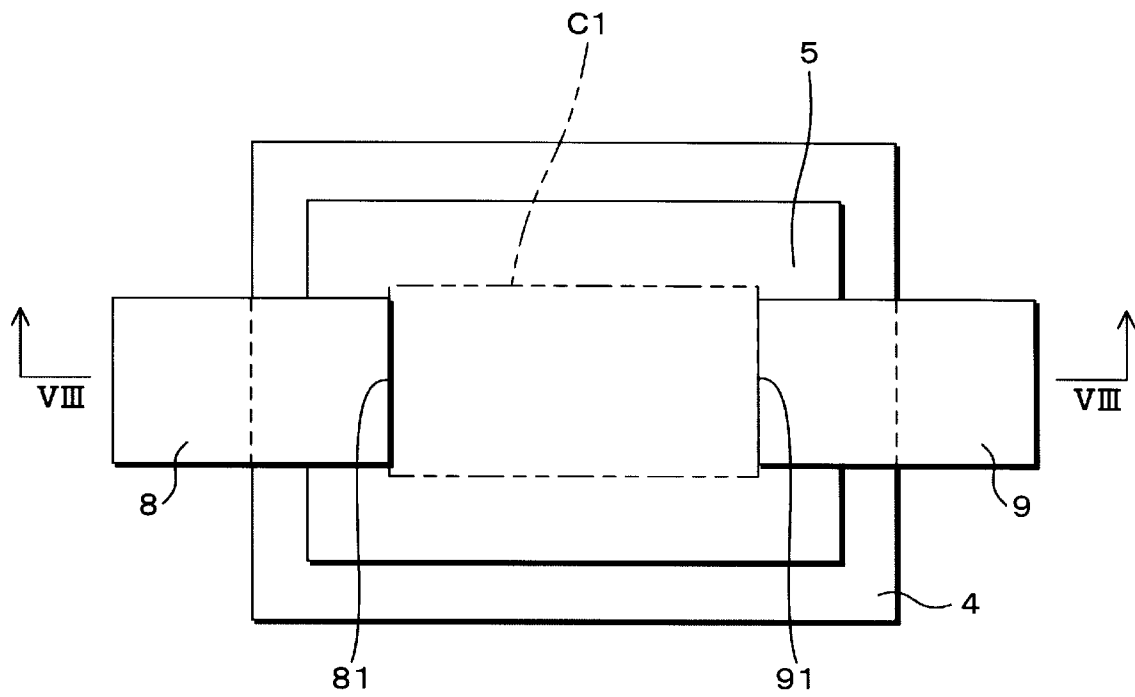
[図11]



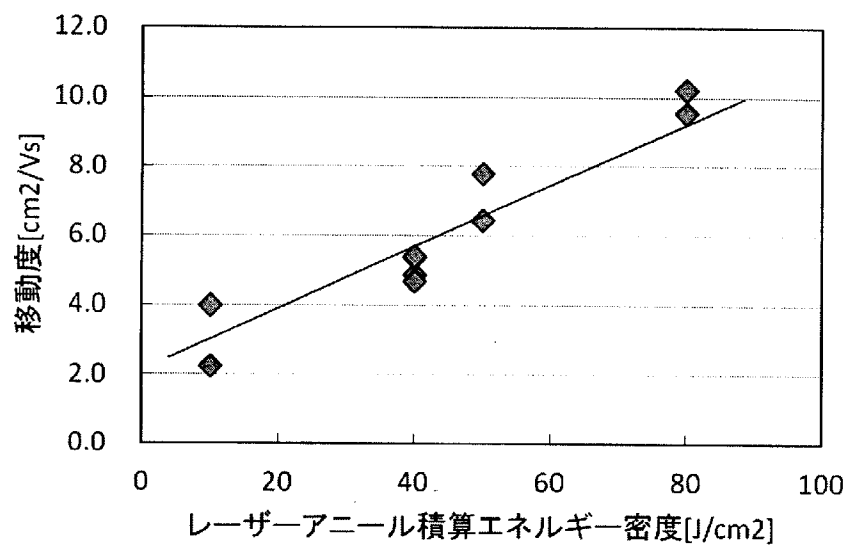
[図12]



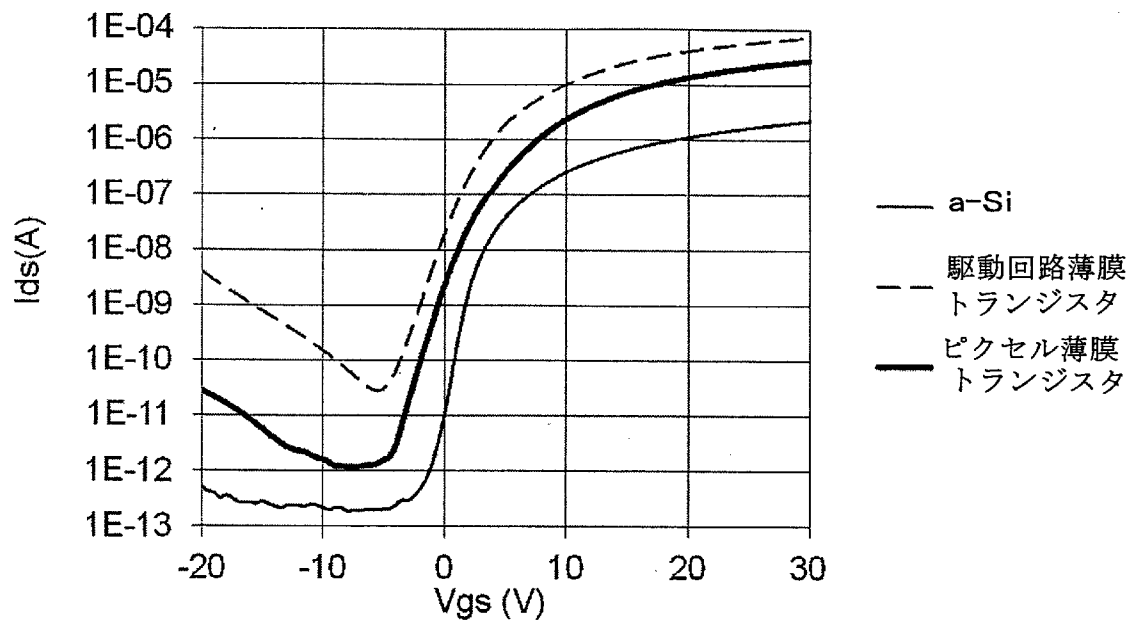
[図13]



[図14]



[図15]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/075759

## A. CLASSIFICATION OF SUBJECT MATTER

G09F9/30(2006.01)i, G09F9/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/30, G09F9/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2015 |
| Kokai Jitsuyo Shinan Koho | 1971-2015 | Toroku Jitsuyo Shinan Koho | 1994-2015 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                        | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y<br>A    | JP 05-226656 A (Hitachi, Ltd.),<br>03 September 1993 (03.09.1993),<br>paragraphs [0024] to [0037]; fig. 1 to 7<br>(Family: none)                                                          | 1-4, 6-9<br>5         |
| Y         | JP 05-055570 A (Hitachi, Ltd.),<br>05 March 1993 (05.03.1993),<br>paragraphs [0019] to [0029]; fig. 1 to 8<br>(Family: none)                                                              | 1-4, 6-9              |
| Y         | JP 2009-099636 A (Hitachi Displays, Ltd.),<br>07 May 2009 (07.05.2009),<br>paragraphs [0032] to [0040]; fig. 7 to 11<br>& US 2009/0095957 A1<br>paragraphs [0051] to [0058]; fig. 7 to 11 | 1-4, 6-9              |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
16 November 2015 (16.11.15)

Date of mailing of the international search report  
24 November 2015 (24.11.15)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/075759

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                       | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 07-038110 A (Toshiba Corp.),<br>07 February 1995 (07.02.1995),<br>paragraphs [0013] to [0024]; fig. 1, 3<br>(Family: none)                                                                                            | 1-4, 6-9              |
| Y         | JP 10-197896 A (Semiconductor Energy<br>Laboratory Co., Ltd.),<br>31 July 1998 (31.07.1998),<br>paragraphs [0109] to [0116]; fig. 5<br>& US 5942856 A<br>column 19, line 57 to column 20, line 61; fig.<br>5             | 1-4, 6-9              |
| Y         | JP 2009-260277 A (Semiconductor Energy<br>Laboratory Co., Ltd.),<br>05 November 2009 (05.11.2009),<br>paragraphs [0031] to [0033], [0046]; fig. 1<br>& US 2009/0236600 A1<br>paragraphs [0053] to [0055], [0068]; fig. 1 | 3                     |
| Y         | JP 2013-161963 A (Panasonic Corp.),<br>19 August 2013 (19.08.2013),<br>paragraphs [0043] to [0105]; fig. 1, 3<br>(Family: none)                                                                                          | 6                     |
| Y         | JP 2007-027202 A (Sharp Corp.),<br>01 February 2007 (01.02.2007),<br>paragraphs [0024] to [0079]; fig. 1 to 3<br>(Family: none)                                                                                          | 7                     |
| Y         | JP 2010-245480 A (Hitachi Displays, Ltd.),<br>28 October 2010 (28.10.2010),<br>paragraphs [0046] to [0063]; fig. 1, 3, 5 to 6<br>& US 2010/0258807 A1<br>paragraphs [0058] to [0080]; fig. 1, 3, 5 to 6                  | 9                     |
| A         | JP 2009-163247 A (Sakae TANAKA),<br>23 July 2009 (23.07.2009),<br>paragraphs [0066] to [0069]; fig. 17 to 26, 54<br>to 57<br>(Family: none)                                                                              | 1-9                   |

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09F9/30(2006.01)i, G09F9/00(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09F9/30, G09F9/00

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 5 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 5 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 5 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                            | 関連する<br>請求項の番号 |
|-----------------|--------------------------------------------------------------------------------------------------------------|----------------|
| Y<br>A          | JP 05-226656 A（株式会社日立製作所）1993.09.03,<br>段落0024-0037, 図1-7（ファミリーなし）                                           | 1-4, 6-9<br>5  |
| Y               | JP 05-055570 A（株式会社日立製作所）1993.03.05,<br>段落0019-0029, 図1-8（ファミリーなし）                                           | 1-4, 6-9       |
| Y               | JP 2009-099636 A（株式会社日立ディスプレイズ）2009.05.07,<br>段落0032-0040, 図7-11<br>& US 2009/0095957 A1, 段落0051-0058, 図7-11 | 1-4, 6-9       |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 1 1 . 2 0 1 5

国際調査報告の発送日

2 4 . 1 1 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小野 博之

2 I

4 0 7 2

電話番号 03-3581-1101 内線 3273

| C (続き) . 関連すると認められる文献 |                                                                                                                          |                |
|-----------------------|--------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                        | 関連する<br>請求項の番号 |
| Y                     | JP 07-038110 A (株式会社東芝) 1995.02.07,<br>段落0013-0024, 図1, 3 (ファミリーなし)                                                      | 1-4, 6-9       |
| Y                     | JP 10-197896 A (株式会社半導体エネルギー研究所) 1998.07.31,<br>段落0109-0116, 図5<br>& US 5942856 A, 第19欄第57行-第20欄第61行, 図5                 | 1-4, 6-9       |
| Y                     | JP 2009-260277 A (株式会社半導体エネルギー研究所) 2009.11.05,<br>段落0031-0033, 0046, 図1<br>& US 2009/0236600 A1, 段落0053-0055, 0068, 図1   | 3              |
| Y                     | JP 2013-161963 A (パナソニック株式会社) 2013.08.19,<br>段落0043-0105, 図1, 3 (ファミリーなし)                                                | 6              |
| Y                     | JP 2007-027202 A (シャープ株式会社) 2007.02.01,<br>段落0024-0079, 図1-3 (ファミリーなし)                                                   | 7              |
| Y                     | JP 2010-245480 A (株式会社日立ディスプレイズ) 2010.10.28,<br>段落0046-0063, 図1, 3, 5-6<br>& US 2010/0258807 A1, 段落0058-0080, 図1, 3, 5-6 | 9              |
| A                     | JP 2009-163247 A (田中 栄) 2009.07.23,<br>段落0066-0069, 図17-26, 54-57<br>(ファミリーなし)                                           | 1-9            |