

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6893971号
(P6893971)

(45) 発行日 令和3年6月23日 (2021.6.23)

(24) 登録日 令和3年6月4日 (2021.6.4)

(51) Int. Cl. F I
G 0 6 F 9/38 (2006.01)
 G 0 6 F 9/38 3 1 0 E
 G 0 6 F 9/38 3 1 0 J

請求項の数 18 (全 18 頁)

(21) 出願番号	特願2019-503302 (P2019-503302)	(73) 特許権者	591016172
(86) (22) 出願日	平成29年7月20日 (2017.7.20)		アドバンスト・マイクロ・ディバイス・
(65) 公表番号	特表2019-521454 (P2019-521454A)		インコーポレイテッド
(43) 公表日	令和1年7月25日 (2019.7.25)		ADVANCED MICRO DEVI
(86) 国際出願番号	PCT/US2017/042981		CES INCORPORATED
(87) 国際公開番号	W02018/017785		アメリカ合衆国 95054 カリフォル
(87) 国際公開日	平成30年1月25日 (2018.1.25)		ニア州、 サンタ クララ、 オーガスティ
審査請求日	令和2年7月14日 (2020.7.14)		ン ドライブ 2485
(31) 優先権主張番号	15/216,094	(74) 代理人	100108833
(32) 優先日	平成28年7月21日 (2016.7.21)		弁理士 早川 裕司
(33) 優先権主張国・地域又は機関	米国 (US)	(74) 代理人	100111615
			弁理士 佐野 良太
		(74) 代理人	100162156
			弁理士 村雨 圭介
早期審査対象出願			

最終頁に続く

(54) 【発明の名称】 非同期パイプラインのステージの動作速度の制御

(57) 【特許請求の範囲】

【請求項 1】

第 1 ステージと、第 2 ステージと、第 3 ステージと、を備える非同期パイプラインであって、前記第 1 ステージは、前記非同期パイプラインにおいて前記第 2 ステージに連続しており、前記第 3 ステージは、前記非同期パイプラインにおいて前記第 1 ステージに連続しており、前記第 2 ステージは、前記第 1 ステージへの入力を提供し、前記第 1 ステージは、前記第 3 ステージへの入力を提供する、非同期パイプラインと、

前記第 1 ステージの完了ステータスと、前記第 2 ステージの完了ステータス及び前記第 3 ステージの完了ステータスと、の比較に基づいて、前記第 1 ステージの動作速度を変更するコントローラと、を備え、

前記第 1 ステージは、前記第 1 ステージの一部に駆動電流を供給するバッファを含み、前記コントローラは、前記第 1 ステージと前記第 2 ステージとの完了ステータスの比較に基づいて、前記駆動電流の強度を調整する、

装置。

【請求項 2】

前記第 2 ステージは、前記第 1 ステージに対する入力データを生成し、前記第 3 ステージは、前記第 1 ステージによって生成された出力データを受信する、

請求項 1 の装置。

【請求項 3】

前記コントローラは、前記第 1 ステージと前記第 2 ステージとの完了ステータスの比較

に基づいて、前記第 1 ステージに印加される動作電圧を変更する、
請求項 1 の装置。

【請求項 4】

前記第 1 ステージ及び前記第 2 ステージの完了ステータスを決定する複数のモジュールをさらに備える、

請求項 1 の装置。

【請求項 5】

前記複数のモジュールは、前記第 1 ステージ及び前記第 2 ステージによるタスクの実行の開始に応じて、前記第 1 ステージ及び前記第 2 ステージによって生成された出力信号を監視することによって、前記第 1 ステージ及び前記第 2 ステージの完了ステータスを決定する、

請求項 4 の装置。

【請求項 6】

前記第 1 ステージのクリティカルパスに対応する第 1 レプリカクリティカルパスと、

前記第 2 ステージに関連する第 2 レプリカクリティカルパスと、をさらに備え、

前記複数のモジュールは、前記第 1 ステージ及び前記第 2 ステージによるタスクの実行の開始と同時に入力信号が前記第 1 レプリカクリティカルパス及び前記第 2 レプリカクリティカルパスに提供されたことに応じて、前記第 1 レプリカクリティカルパス及び前記第 2 レプリカクリティカルパスによって生成された出力信号に基づいて、前記第 1 ステージ及び前記第 2 ステージの完了ステータスを決定するものである、

請求項 4 の装置。

【請求項 7】

異なる命令のタイプ、命令オペコード又は入力データの特性に関する推定完了時間を示す少なくとも 1 つのルックアップテーブルであって、前記第 1 ステージ及び前記第 2 ステージの完了ステータスは、前記第 1 ステージ及び前記第 2 ステージによって実行されたタスクに関連する命令のタイプ、命令オペコード又は入力データの特性のうち少なくとも 1 つによって示される完了時間に基づいて決定される、少なくとも 1 つのルックアップテーブルをさらに備える、

請求項 1 の装置。

【請求項 8】

前記変更は、前記第 1 ステージ及び前記第 2 ステージ内の所定の位置で決定された部分的な完了ステータスに基づいて決定される、

請求項 1 の装置。

【請求項 9】

非同期パイプラインの第 1 ステージの完了ステータスと、前記非同期パイプラインの第 2 ステージ及び第 3 ステージのうち少なくとも 1 つの完了ステータスと、を比較することであって、前記第 1 ステージは、前記非同期パイプラインにおいて前記第 2 ステージに連続しており、前記第 3 ステージは、前記非同期パイプラインにおいて前記第 1 ステージに連続しており、前記第 2 ステージは、前記第 1 ステージへの入力を提供し、前記第 1 ステージは、前記第 3 ステージへの入力を提供する、ことと、

前記比較に基づいて前記第 1 ステージの動作速度を変更することと、

前記比較に基づいて、前記第 1 ステージのバッファの駆動電流の強度を変更することと、を含む、

方法。

【請求項 10】

前記第 2 ステージは、前記第 1 ステージに対する入力データを生成し、前記第 3 ステージは、前記第 1 ステージによって生成された出力データを受信する、

請求項 9 の方法。

【請求項 11】

前記比較に基づいて、前記第 1 ステージに印加される動作電圧の変更を決定することを

10

20

30

40

50

さらに含み、

前記第 1 ステージの動作速度を変更することは、前記第 1 ステージに印加される動作電圧を変更することを含む、

請求項 9 の方法。

【請求項 1 2】

前記第 1 ステージ及び前記第 2 ステージに関連する複数のモジュールを使用して、前記第 1 ステージ及び前記第 2 ステージの完了ステータスを決定することをさらに含む、

請求項 9 の方法。

【請求項 1 3】

前記完了ステータスを決定することは、前記第 1 ステージ及び前記第 2 ステージによるタスクの実行の開始に応じて、前記第 1 ステージ及び前記第 2 ステージによって生成された出力信号を監視することを含む、

請求項 1 2 の方法。

【請求項 1 4】

前記完了ステータスを決定することは、前記第 1 ステージに関連する第 1 レプリカクリティカルパスと、前記第 2 ステージに関連する第 2 レプリカクリティカルパスと、によって生成された出力信号を監視することであって、前記出力信号は、前記第 1 ステージ及び前記第 2 ステージによるタスクの実行の開始と同時に入力信号が前記第 1 レプリカクリティカルパス及び前記第 2 レプリカクリティカルパスに提供されたことに応じて、前記第 1 レプリカクリティカルパス及び前記第 2 レプリカクリティカルパスによって生成される、

請求項 1 2 の方法。

【請求項 1 5】

前記完了ステータスを決定することは、異なる命令のタイプ、命令オペコード又は入力データの特性に関する推定完了時間を示す少なくとも 1 つのルックアップテーブルに記憶された推定完了時間に基づいて前記完了ステータスを決定することを含む、

請求項 1 2 の方法。

【請求項 1 6】

前記変更は、前記第 1 ステージ及び前記第 2 ステージ内の所定の位置で決定された部分的な完了ステータスに基づいて決定される、

請求項 9 の方法。

【請求項 1 7】

第 1 ステージと、第 2 ステージと、第 3 ステージと、を含む複数のステージを含む非同期パイプラインであって、前記第 1 ステージは、前記非同期パイプラインにおいて前記第 2 ステージに連続しており、前記第 3 ステージは、前記非同期パイプラインにおいて前記第 1 ステージに連続しており、前記第 2 ステージは、前記第 1 ステージへの入力を提供し、前記第 1 ステージは、前記第 3 ステージへの入力を提供する、非同期パイプラインと、

前記第 1 ステージ、前記第 2 ステージ及び前記第 3 ステージの完了ステータスの比較に基づいて、前記第 1 ステージ、前記第 2 ステージ及び前記第 3 ステージのうち少なくとも 1 つの動作速度を変更する複数のコントローラと、を備え、

前記第 1 ステージは、前記第 1 ステージの一部に駆動電流を供給するバッファを含み、前記複数のコントローラの何れかは、前記第 1 ステージと前記第 2 ステージとの完了ステータスの比較に基づいて、前記駆動電流の強度を調整する、

装置。

【請求項 1 8】

前記複数のコントローラは、前記第 1 ステージ、前記第 2 ステージ及び前記第 3 ステージのうち少なくとも 1 つに印加される少なくとも 1 つの動作電圧を変更することによって、前記動作速度を変更する、

請求項 1 7 の装置。

【発明の詳細な説明】

【技術分野】

【0001】

(政府のライセンス権)

本発明は、エネルギー省(DOE)により発注された主契約番号DE-AC52-07NA27344、外注番号B609201の下で政府の支援を受けてなされた。政府は本発明において一定の権利を有する。

【背景技術】

【0002】

処理システムは、通常、命令を処理する一連のステージを含むパイプラインアーキテクチャを実装する。各ステージは、入力データを演算して出力データを生成するタスクを実行する。データは、フリップフロップ又はラッチとして実装することができるレジスタによってステージ間で通信される。ステージは、入力レジスタからの入力データにアクセスし、出力データを出力レジスタに提供する。パイプラインのステージの入力レジスタは、パイプラインの前段のステージによって対応する出力レジスタに提供された出力データを、入力データとして受信することができ、当該ステージの出力レジスタは、後段のステージの入力データとすることができる。パイプライン内のステージは、場合によっては複数の入力データのセットを同時に演算する。例えば、単一命令複数データ(SIMD)演算を実施するパイプラインアーキテクチャは、「ウェーブ」又は「計算ウェーブ」と呼ばれる同一の命令複数入力データのセットを同時に実行することができる。ウェーブは、異なる入力データのセットに対応する複数のワークアイテムで構成されている。ワークアイテムの実行時間は、通常、入力データによって異なるため、各ウェーブのワークアイテムは、異なる時間に完了することがある。

【0003】

添付図面を参照することによって、本開示は当業者により良く理解され、その多数の特徴及び利点が明らかになるであろう。異なる図面での同じ参照記号の使用は、類似又は同一のアイテムを示す。

【図面の簡単な説明】

【0004】

【図1】いくつかの実施形態による、非同期パイプラインを含む処理システムのブロック図である。

【図2】いくつかの実施形態による、非同期パイプラインの一部のブロック図である。

【図3】いくつかの実施形態による、レプリカクリティカルパスを含む非同期パイプラインの一部のブロック図である。

【図4】いくつかの実施形態による、非同期パイプラインの一部のブロック図である。

【図5】いくつかの実施形態による、レプリカクリティカルパスにおいて中間完了ステータス検出を実施する非同期パイプラインの一部のブロック図である。

【図6】いくつかの実施形態による、中間完了ステータス検出を実施する非同期パイプラインの一部のブロック図である。

【図7】いくつかの実施形態による、並列処理を実施する非同期パイプラインの一部のブロック図である。

【図8】いくつかの実施形態による、非同期パイプライン内のステージの動作速度を変更する方法のフロー図である。

【発明を実施するための形態】

【0005】

実行パイプラインのステージが同期的である場合であって、ステージ間のレジスタが同じクロック信号を使用してクロックされるか非同期である場合には、パイプラインの各ステージはセルフタイム式であり、これにより、異なるステージが、他のステージから独立して、入力データを読み出し、命令を実行し、出力データを書き込むことができる。何れの場合も、ステージは、当該ステージによって実行される演算のタイプ、当該ステージによって演算されるデータ、及び、当該ステージによって演算される一連のデータ値に応じ

た様々なレイテンシでタスクを完了する。他のステージよりも早くタスクを完了したステージは、他のステージの完了を待つ間アイドル状態に留まるため、パイプラインの全体的なスループットが低下し、アイドル状態のステージで消費される静的電力を浪費する。同期パイプラインのタイミングは、通常、同期パイプラインの動作周波数を最大限に高めようとするために、論理合成中の同期パイプラインの全ステージに亘るクリティカルパスのレイテンシ、及び、同期パイプラインのハードウェアの物理レイアウトに基づいて調整される。しかしながら、同期パイプラインは、通常、同期パイプラインの設計中に使用されるクリティカルパスのレイテンシとは異なるレイテンシを有する様々な異なる演算を実行する。その結果、同期パイプラインのパフォーマンスは、常に最適であるとは限らず、期待される程エネルギー効率が良いとは限らない。

10

【 0 0 0 6 】

非同期パイプラインのパフォーマンス及びエネルギー効率は、非同期パイプライン内の第1ステージの完了ステータスと、少なくとも1つの他の(第2)ステージの完了ステータスと、の比較に基づいて、非同期パイプラインの(第1)ステージの動作速度を変更することによって向上することができる。いくつかの実施形態では、非同期パイプラインの第1ステージの動作速度を変更することは、第1ステージ(若しくは、その一部)に印加される動作電圧を変更すること、又は、第1ステージ内の1つ以上のドライブバッファに印加されるバッファドライブ強度を変更することを含む。例えば、第1ステージの完了ステータスが「完了」に設定された場合には、第1ステージが入力データに対する演算を完了して、その出力データを生成したことを示す。同時に、第1ステージに入力データを提供

隣接ステージと、第1ステージからの出力データを受信する別の隣接ステージと、の完了ステータスが両方とも「処理中」に設定された場合には、両ステージが入力データに対する演算を完了していないことを示す。この場合、第1ステージに対するバッファドライブ強度又は電圧供給は、隣接ステージが処理を完了する間の第1ステージのエネルギーを節約するために減らすことができる。別の例では、第1ステージの完了ステータスが「処理中」である一方で、第1ステージに入力データを提供する隣接ステージと、第1ステージからの出力データを受信する別の隣接ステージと、の完了ステータスが両方とも「完了」である場合には、第1ステージによる処理を加速させてそのレイテンシを短縮し、第2ステージにおけるアイドル時間を短縮するために、第1ステージに対するバッファドライブ強度又は電圧供給を増大することができる。

20

30

【 0 0 0 7 】

第1ステージ及び第2ステージによる計算ウェーブの実行開始に応じて第1ステージ及び第2ステージによって生成される出力信号を監視することにより、第1ステージ及び第2ステージの完了ステータスを決定することができる。いくつかの変形例では、第1ステージ及び第2ステージの完了ステータスは、第1ステージ及び第2ステージにおける計算ウェーブの実行開始と同時に入力信号を第1ステージ及び第2ステージのレプリカクリティカルパスに適用し、次いで、レプリカクリティカルパスの出力において出力信号を検出したことに応じて第1ステージ及び第2ステージが完了したことを判別することによって、決定される。レプリカクリティカルパスは、ステージの回路シミュレーションに基づいて定義される。いくつかの実施形態では、ステージの完了ステータスは、ステージ又はステージの一部についての推定完了時間を示す。例えば、命令のタイプ(命令のオペコードによって示される)及び入力データの特性に基づいて完了時間の推定値を提供するルックアップテーブルを使用して、第1ステージ及び第2ステージの完了ステータスを決定することができる。他の実施形態では、ステージの完了ステータスは、ステージの論理クラウド内の監視信号、又は、アクティビティの出力信号に基づいて決定される。例えば、ステージからの全ての出力信号が暫く変わらない場合、当該ステージがタスクを完了した可能性がある。別の例では、ステージの論理クラウド内の所定の位置における1つ以上の信号が変わらない場合、ステージが特定の割合の演算(例えば、50%の演算等)を完了した可能性がある。

40

【 0 0 0 8 】

50

図 1 は、いくつかの実施形態による、非同期パイプライン 105 を含む処理システム 100 のブロック図である。本明細書で使用される「非同期パイプライン」という用語は、非同期パイプラインのステージが、処理システム 100 内の非同期パイプラインの外部のエンティティによって使用されるグローバルクロック又はタイミング基準と同期しないクロック又はタイミング基準に従って動作することを示す。さらに、非同期パイプライン内の個々のステージは、必ずしも互いに同期しているとは限らず、場合によっては各々の内部クロックに従って動作することができる。非同期パイプライン内のステージは、「セルフタイム式」ステージと呼ばれることもある。よって、本明細書で説明するように、非同期パイプライン内のステージの動作速度は、非同期パイプライン内の他のステージの動作速度とは無関係に変動することができる。

10

【0009】

非同期パイプライン 105 は、本明細書ではまとめて「ステージ 110 ~ 114」と呼ばれる複数のステージ 110, 111, 112, 113, 114 を含む。データは、フリップフロップ、ラッチ又は他の記憶装置を用いて実装することができるパイプラインレジスタ 120, 121, 122, 123, 124, 125 (本明細書ではまとめて「レジスタ 120 ~ 125」と呼ばれる) を使用して、非同期パイプライン 105 内の様々な箇所に記憶される。図示した実施形態では、ステージ 110 は、フリップフロップとして実施することができるレジスタ 120 に記憶された入力データに対して論理演算を実行する。ステージ 110 は、ラッチとして実施することができるレジスタ 121 に記憶される出力データを生成する。ステージ 111 は、レジスタ 121 に記憶された入力データに対して乗算演算を実行し、ラッチとして実施することができるレジスタ 122 に記憶される出力データを生成する。ステージ 112 は、レジスタ 122 に記憶された入力データに対して加算演算を実行し、ラッチとして実施することができるレジスタ 123 に記憶される出力データを生成する。ステージ 113 は、レジスタ 123 に記憶された入力データに対して正規化演算を実行し、ラッチとして実施することができるレジスタ 124 に記憶される出力データを生成する。ステージ 114 は、レジスタ 124 に記憶された入力データに対して丸め演算を実行し、フリップフロップとして実施することができるレジスタ 125 に記憶される出力データを生成する。非同期パイプライン 105 には、5 つのステージ及び対応する数のパイプラインレジスタが示されているが、非同期パイプライン 105 のいくつかの実施形態は、同じ又は異なる演算を実行するより多い又はより少ないステージとともに、より多い又はより少ないパイプラインレジスタを含む。

20

30

【0010】

入力コントローラ 130 は、クロック信号 131 及び有効信号 132 を、レジスタ 120 及びモジュール 135 に提供する。クロック信号 131 は、データをレジスタ 120 に提供する同期ドメインで使用される外部クロック信号と同期している。よって、モジュール 135 は、例えば、同期ドメインからの信号をパイプライン 105 の非同期ドメインに変換することによって、同期ドメインと非同期パイプライン 105 との間の境界として機能する。モジュール 135 は、非同期パイプライン 105 が追加データを処理する準備ができていないか否かを示すフィードバック 133 を提供する。例えば、フィードバック 133 は、論理 110 が追加データを処理する準備ができていないことを示すことができ、次いで、入力コントローラ 130 によってレジスタ 120 にクロックされる。モジュール 140 は、非同期パイプライン 105 から出力される信号を制御するために使用される。モジュール 140 のいくつかの実施形態は、非同期パイプライン 105 の非同期ドメインと、処理システム 100 内の同期ドメインと、の間の境界として機能する。例えば、モジュール 140 は、有効データがレジスタ 125 にクロックされる準備ができていないことを示す有効信号 141 を提供することができる。また、モジュール 140 及びレジスタ 125 は、同期ドメインで使用される外部クロック信号に同期しているクロック信号 145 を受信することができる。

40

【0011】

モジュール 150, 151, 152 (本明細書ではまとめて「モジュール 150 ~ 15

50

2」と呼ばれる)は、モジュール135, 140と共に動作して、ステージ110～114の動作を調整する。例えば、モジュール150は、ステージ111の完了ステータスを示す完了ステータス信号155をステージ111から受信し、レジスタ121に記憶された入力データに対するタスクの実行がステージ111によって開始されたことを示す開始信号156をモジュール135から受信する。モジュール150は、次のステージ112が次のデータセットに対するタスクの実行を開始する準備ができていることを示すフィードバック157と、ステージ111によって提供されるデータのレジスタ122へのラッチを制御するラッチ制御信号158と、レジスタ122からのデータへのステージ112によるアクセスと、を提供する。また、モジュール150は、レジスタ122に記憶されたデータを演算するタスクの実行を開始し、実行が開始されたことを後続のモジュール151に示す開始信号159を提供する。説明を明確にするために、モジュール135, 140, 151, 152は、対応する信号(対応する参照番号によって示されていない)を提供し受信する。

【0012】

ステージコントローラ161, 162, 163, 164(本明細書ではまとめて「ステージコントローラ161～164」と呼ばれる)は、非同期パイプライン105内のステージ111～114の動作を制御するために使用される。ステージコントローラ162のいくつかの実施形態は、ステージ111の完了ステータス情報を示すためにモジュール150によって提供されることを示す信号165と、ステージ113の完了ステータス情報を示すためにモジュール151によって提供される信号166と、に基づいて、ステージ112を制御するように構成されている。ステージコントローラ162は、ステージ112の動作速度を設定又は変更するために使用される制御信号167を提供する。ステージコントローラ162は、ステージ111の完了ステータス、ステージ112の完了ステータス、ステージ113の完了ステータス、又は、これらの組み合わせに基づいて、ステージ112の動作速度(又は、その変更)を決定する。本明細書で説明するように、ステージコントローラ161, 163, 164は、1つ以上の他のステージの完了ステータスに基づいて、対応するステージ111, 113, 114の動作速度を制御することができる。説明を明確にするために、ステージ111, 113, 114によって提供又は受信される全ての対応する信号伝達を示す参照番号は、提供されていない。

【0013】

いくつかの実施形態では、ステージ111～114の動作速度は、ステージ111～114に実装される1つ以上のバッファのドライブ強度、ステージ111～114の動作電圧、又は、これらの組み合わせによって決定される。例えば、ステージコントローラ162は、表1に従って、ステージ111～113の完了ステータスに基づいて、ステージ112の動作速度に対する変更を決定することができる。

【表1】

ステージ111 ステータス	ステージ112 ステータス	ステージ113 ステータス	バッファドライブ 強度制御	電圧供給制御
処理中	処理中	処理中	変更なし	変更なし
処理中	処理中	完了	変更なし	僅かに増大
処理中	完了	処理中	僅かに減少	僅かに減少
処理中	完了	完了	僅かに減少	僅かに減少
完了	処理中	処理中	変更なし	僅かに増大
完了	処理中	完了	大幅に増大	大幅に増大
完了	完了	処理中	大幅に減少	大幅に減少
完了	完了	完了	変更なし	大幅に減少

【0014】

表1の完了ステータスは、対応するステージが現在のタスクを実行中(処理中)であること、又は、対応ステージが現在のタスクの実行を完了しており(完了)、これにより新たなタスクの実行を受け付ける準備ができていることを示す。動作速度は、エネルギーを節約するため又はステージ112による処理を加速するために変更することができる。例えば、ステージ111の完了ステータスが処理中であり、ステージ112の完了ステータ

スが完了であり、ステージ 1 1 3 の完了ステータスが処理中である場合、ステージコントローラ 1 6 2 は、ステージ 1 1 2 によるエネルギー消費を低減するために、ステージ 1 1 2 に提供されるバッファドライブ強度及び電圧供給を減少させる。別の例では、ステージ 1 1 1 の完了ステータスが完了であり、ステージ 1 1 2 の完了ステータスが処理中であり、ステージ 1 1 3 の完了ステータスが完了である場合、ステージコントローラ 1 6 2 は、ステージ 1 1 2 による処理を加速させるために、ステージ 1 1 2 に提供されるバッファドライブ強度及び電圧供給を増大させる。本明細書で説明するように、表 1 のいくつかの実施形態は、ルックアップテーブルに記憶することができる。

【 0 0 1 5 】

ステージ 1 1 1 ~ 1 1 4 への電圧供給を変更することは、ステージ 1 1 1 ~ 1 1 4 内の全てのロジックの動作速度に影響を与える。しかしながら、本明細書で説明するように、いくつかの実施形態では、ステージ 1 1 1 ~ 1 1 4 の一部又は領域に供給される電圧は、別々の一部又は領域の動作速度を制御するために、ステージ 1 1 1 ~ 1 1 4 の他の一部又は領域とは別に変更される。ステージ 1 1 1 ~ 1 1 4 内のバッファのドライブ強度を変更することは、バッファの上流にあるステージ 1 1 1 ~ 1 1 4 の一部又は領域に影響を与える。例えば、各ステージ 1 1 1 ~ 1 1 4 の始め、中間、終わりにおけるバッファのドライブ強度を変更することは、ステージ 1 1 1 ~ 1 1 4 の対応する部分におけるパスの動作速度を変更するために使用することができる。ルーティング遅延を制御するために、構成可能な駆動バッファを、ステージ 1 1 1 ~ 1 1 4 のロジック内の長い配線上に配置することもできる。バッファのドライブ強度を増大させることは、通常、ステージ 1 1 1 ~ 1 1 4 内のパスに沿った信号の伝播時間を短縮させ、これにより、パスに沿った計算時間を短縮させることができる。いくつかの実施形態では、相互接続ロジックを供給するために、別個の電圧源を使用して信号伝播速度が制御される。別個の電圧源は、ステージ 1 1 1 ~ 1 1 4 内のロジックの他の部分に供給するのに使用される他の電圧源とは無関係に制御される。いくつかの変形例では、きめ細かい電圧制御（例えば、1 ナノ秒程度の短い電圧状態間遷移時間で 1 0 ミリボルト（mV）ステップ）で電圧を変更することができる。ステージ 1 1 1 ~ 1 1 4 のロジックの一部の電力ゲーティング又は電圧制御のために、フットランジスタを使用することができる。

【 0 0 1 6 】

処理システム 1 0 0 のいくつかの実施形態は、入力コントローラ 1 3 0 又はステージコントローラ 1 6 1 ~ 1 6 4 に接続されたパイプラインコントローラ 1 7 0 を含む。パイプラインコントローラ 1 7 0 は、パイプラインステージ 1 1 0 ~ 1 1 4 の完了時間を決定する。ステージコントローラ 1 6 1 ~ 1 6 4 は、非同期パイプライン 1 0 5 の全体の完了時間に基づいて、対応するステージ 1 1 0 ~ 1 1 4 の完了時間を調整しようと試みることができる。本明細書で説明するように、調整には、ステージ 1 1 0 ~ 1 1 4 のロジックコンにおける供給電圧の変更及びバッファのドライブ強度の変更が含まれる。例えば、パイプラインコントローラ 1 7 0 は、コンピュータユニットによって実施される非同期の単一命令複数データ（SIMD）パイプラインのレーンにおける命令の非同期実行を制御することができる。コンピュータユニット内の他の回路又はパイプラインは、同期的に動作し、専用バッファを介して非同期 SIMD パイプラインと通信することができる。パイプラインコントローラ 1 7 0 は、非同期 SIMD パイプラインの複数のレーンに亘る単一命令の実行の進行を監視して、タスク完了の速度を（複雑さを最小限に抑えるためにおそらく最後のパイプラインステージ 1 1 4 において）再調整することによって、レーンの相違（すなわち、ウェーブ内の全ての SIMD レーンに亘る命令の完了時間の差異）を排除するのにサポートすることができ、これにより、全てのレーンが同じ命令に対するタスクをほぼ同時に完了する。パイプラインコントローラ 1 7 0 を使用してレーンの相違を制御することによって、（a）SIMD パイプライン内を進むコンシューマ命令にデータをパイパスするロジック、及び、（B）同期ドメイン内の VRF に結果を書き戻すロジックを単純化することができる。いくつかの変形例では、個々のステージコントローラ 1 6 1 ~ 1 6 4 は、より短い全体時間で命令の実行を完了することによって、タイミングを改善し、エ

10

20

30

40

50

エネルギー消費を減らすことを試みる。

【 0 0 1 7 】

図 2 は、いくつかの実施形態による、非同期パイプラインの一部 2 0 0 のブロック図である。一部 2 0 0 は、入力レジスタ 2 1 0 からの入力データにアクセスし、出力データを出力レジスタ 2 1 5 に提供するステージ 2 0 5 を含む。一部 2 0 0 は、図 1 に示す非同期パイプライン 1 0 5 のいくつかの実施形態において使用される。いくつかの変形例では、入力レジスタ 2 1 0 及び出力レジスタ 2 1 5 は、図 1 に示すレジスタ 1 2 1 ~ 1 2 4 のうち 1 つ以上のレジスタを実装するために使用され、ステージ 2 0 5 は、図 1 に示すステージ 1 1 0 ~ 1 1 4 のうち対応するステージを実装するために使用される。ステージ 2 0 5 は、ステージ 2 0 5 に割り当てられたタスクの一部を実行するためのロジックを実装するロジック領域 2 2 0 , 2 2 1 , 2 2 2 (本明細書ではまとめて「ロジック領域 2 2 0 ~ 2 2 2」と呼ばれる)を含む。ロジック領域 2 2 0 ~ 2 2 2 は、一部 2 0 0 内のロジックの上流領域に駆動電流を提供するバッファ 2 2 5 , 2 2 6 , 2 2 7 (本明細書ではまとめて「バッファ 2 2 5 ~ 2 2 7」と呼ばれる)を含む相互接続ネットワークによって接続されている。バッファ 2 2 5 ~ 2 2 7 は、バッファ 2 2 5 ~ 2 2 7 によって受信された制御信号に基づいて決定された可変ドライブ強度で動作することができる構成可能なバッファである。

10

【 0 0 1 8 】

また、一部 2 0 0 は、非同期パイプライン内の他のステージ (図示省略) の完了ステータスに基づいてステージ 2 0 5 (又は、その一部) の動作速度を設定又は変更することができるステージコントローラ 2 3 0 を含む。いくつかの変形例では、ステージコントローラ 2 3 0 は、図 1 に示すステージコントローラ 1 6 1 ~ 1 6 4 の何れかに対応する。ステージコントローラ 2 3 0 のいくつかの実施形態は、ステージ 2 0 5 の動作電圧を変更して、ステージ 2 0 5 の動作速度を変更する。ステージ 2 0 5 全体に印加される動作電圧を変更して、ロジック領域 2 2 0 ~ 2 2 2 の動作速度を変更することができ、又は、ロジック領域 2 2 0 ~ 2 2 2 に印加される動作電圧を個別に変更して、ロジック領域 2 2 0 ~ 2 2 2 のうち 1 つ以上のロジック領域の 1 つ以上の動作速度を変更することができる。ステージコントローラ 2 3 0 のいくつかの実施形態は、バッファ 2 2 5 ~ 2 2 7 のうち 1 つ以上のバッファのドライブ強度を変更して、対応するバッファ 2 2 5 ~ 2 2 7 の下流にあるロジックの動作速度を変更する。例えば、ステージコントローラ 2 3 0 は、バッファ 2 2 5 のドライブ強度を変更して、ロジック領域 2 2 2 及びロジック領域 2 2 1 等の下流ロジックの動作速度を変更することができる。

20

30

【 0 0 1 9 】

一部 2 0 0 のいくつかの実施形態は、ステージコントローラ 2 3 0 に組み込まれるか、ステージコントローラ 2 3 0 がアクセス可能なメモリに記憶されるルックアップテーブル (LUT) 2 3 5 を含む。ルックアップテーブル 2 3 5 は、ステージ 2 0 5 によって実行可能な異なるタイプの命令の完了時間の推定値を含むエントリを含む。例えば、ルックアップテーブル 2 3 5 内の各エントリは、命令オペコード、命令タイプ、入力データ値等によってインデックスされる完了時間の推定値を含む。いくつかの変形例では、完了時間の推定値は、ステージ 2 0 5 の対象となる回路シミュレーション又はランダムな回路シミュレーションを使用して決定される。次に、ステージコントローラ 2 3 0 は、ステージ 2 0 5 によって実行されている命令のオペコード若しくはタイプ、又は、命令によって演算されているデータの値 (例えば、入力レジスタ 2 1 0 に記憶されたデータの値) に基づいて、ステージ 2 0 5 の完了ステータスを推定することができる。例えば、ステージコントローラ 2 3 0 は、ステージ 2 0 5 が命令を含むタスクを実行開始する開始時間を示す信号を、モジュール (例えば、図 1 に示すモジュール 1 3 5 , 1 4 0 , 1 5 0 ~ 1 5 2 の何れか等) から受信することができる。ステージコントローラ 2 3 0 は、現在の時間と、ルックアップテーブル 2 3 5 内のエントリに基づいて決定された推定完了時間を開始時間に加えた時間と、を比較することによって、ステージ 2 0 5 の完了ステータスを推定する。ステージコントローラ 2 3 0 のいくつかの実施形態は、ルックアップテーブル 2 3 5 に記憶さ

40

50

れた情報に基づいて、他のステージ（入力データを入力レジスタ 210 に提供するステージ、又は、出力レジスタ 215 からの出力データにアクセスするステージ等）の完了時間を推定する。

【0020】

図 3 は、いくつかの実施形態による、レプリカクリティカルパスを含む非同期パイプラインの一部 300 のブロック図である。一部 300 は、入力レジスタ 310 からの入力データにアクセスし、出力データを出力レジスタ 315 に提供するステージ 305 を含む。一部 300 は、図 1 に示す非同期パイプライン 105 のいくつかの実施形態において使用される。いくつかの変形形態では、入力レジスタ 310 及び出力レジスタ 315 は、図 1 に示すレジスタ 121 ~ 124 のうち 1 つ以上のレジスタを実装するために使用され、ステージ 305 は、図 1 に示すステージ 110 ~ 114 のうち対応するステージを実装するために使用される。

10

【0021】

ステージ 305 は、ステージ 305 内の 1 つ以上のクリティカルパスのタイミングを複製するように構成されたロジックを含むレプリカクリティカルパス 320 に関連しており、これにより、ステージ 305 内のクリティカルパスが入力データの処理を完了するのに必要な時間に対応する時間間隔の後に、レプリカクリティカルパス 320 が入力データの処理を完了する。例えば、レプリカクリティカルパス 320 は、ステージ 305 のクリティカルパスに沿って実装されたゲートの数と一致する数のゲートを含むことができる。また、レプリカクリティカルパス 320 は、ステージ 305 のクリティカルパスに沿うゲートのファンイン及びファンアウト値と一致するように構成することができる。レプリカクリティカルパス 320 のいくつかの実施形態は、ステージ 305 内のクリティカルパスのロジックと必ずしも同一ではないロジックを含む。代わりに、レプリカクリティカルパス 320 のロジックは、レプリカクリティカルパス 320 に沿った信号のフローの監視を容易にするために、入力信号がレプリカクリティカルパス 320 のゲートを通ると入力信号の値が変わるように構成されている。レプリカクリティカルパス 320 と実際のクリティカルパスとの間のレイテンシは、回路シミュレーションを用いて決定することができる。

20

【0022】

また、一部 300 は、ステージ 305 の完了ステータスを推定するのに使用される信号を提供及び受信するモジュール 325, 330 を含む。モジュール 325, 330 は、図 1 に示すモジュール 120, 125, 150 ~ 152 のいくつかの実施形態を実装するために使用される。モジュール 325 のいくつかの実施形態は、入力データの処理をレプリカクリティカルパス 320 に開始させるための開始信号 335 を提供する。開始信号 335 は、ステージ 305 が入力レジスタ 310 に記憶された入力データの処理を開始するのに使用される開始信号と同時に提供される。モジュール 330 は、開始信号 335 に応じてレプリカクリティカルパス 320 によって生成される出力信号 340 を監視して、レプリカクリティカルパス 320 の完了ステータスを決定する。いくつかの変形例では、モジュール 330 は、出力信号 340 の特定のパターンを検出することによって、又は、レプリカクリティカルパス 320 に関連する出力レジスタに記憶されたデータが定常状態に達したと判別することによって、レプリカクリティカルパス 320 が入力データに対する演算を完了したと判別する。レプリカクリティカルパス 320 に関してモジュール 330 が決定した完了時間にレイテンシを加算又は減算して、ステージ 305 の推定完了時間と実際の完了時間との差を補償することができる。

30

40

【0023】

図 4 は、いくつかの実施形態による、非同期パイプラインの一部 400 のブロック図である。一部 400 は、入力レジスタ 410 からの入力データにアクセスし、出力データを出力レジスタ 415 に提供するステージ 405 を含む。一部 400 は、図 1 に示す非同期パイプライン 105 のいくつかの実施形態において使用される。いくつかの変形例では、入力レジスタ 410 及び出力レジスタ 415 は、図 1 に示すレジスタ 121 ~ 124 のうち 1 つ以上のレジスタを実装するために使用され、ステージ 405 は、図 1 に示すステー

50

ジ 1 1 0 ~ 1 1 4 のうち対応するステージを実装するために使用される。

【 0 0 2 4 】

ステータスモジュール 4 2 0 は、ステージ 4 0 5 によって提供された出力信号を監視するように構成されている。ステータスモジュール 4 2 0 は、出力信号の特性を使用してステージ 4 0 5 の完了ステータスを決定する。例えば、ステータスモジュール 4 2 0 は、ステージ 4 0 5 によって生成された出力信号の変化を監視することができる。ステータスモジュール 4 2 0 は、出力信号の値が変化している場合に、ステージ 4 0 5 が現在のタスクを処理していると判別する。いくつかの変形例では、ステータスモジュール 4 2 0 は、出力信号の値が定常状態である又は閾値未満のレートで変化している場合に、ステージ 4 0 5 が現在のタスクの処理を完了したと判別する。

10

【 0 0 2 5 】

また、一部 4 0 0 は、ステージ 4 0 5 の完了ステータスを推定するのに使用される信号を提供及び受信するモジュール 4 2 5 , 4 3 0 を含む。モジュール 4 2 5 , 4 3 0 は、図 1 に示すモジュール 1 2 0 , 1 2 5 , 1 5 0 ~ 1 5 2 のいくつかの実施形態を実装するために使用される。モジュール 4 2 5 のいくつかの実施形態は、ステージ 4 0 5 が入力レジスタ 4 1 0 に記憶された入力データを使用してタスクの処理を開始したことを示す開始信号 4 3 5 を、ステータスモジュール 4 2 0 に提供する。開始信号 4 3 5 は、ステージ 4 0 5 が入力レジスタ 4 1 0 に記憶された入力データの処理を開始するのに使用される開始信号と同時に提供される。上述したように、モジュール 4 3 0 は、開始信号 4 3 5 に応じてステージ 4 0 5 によって生成された出力信号の監視を開始して、ステージ 4 0 5 の完了ステータスを決定する。ステータスモジュール 4 2 0 は、ステージ 4 0 5 の完了ステータスを示す信号をモジュール 4 3 0 に提供する。例えば、ステータスモジュール 4 2 0 は、ステージ 4 0 5 の完了ステータスが「処理中」である間に論理ロー信号を論理モジュール 4 3 0 にアサートし、次に、ステージ 4 0 5 の完了ステータスが「完了」に移行したことに応じて、論理ハイ信号をモジュール 4 3 0 にアサートすることができる。

20

【 0 0 2 6 】

図 5 は、いくつかの実施形態による、レプリカクリティカルパスにおいて中間完了ステータス検出を実施する非同期パイプラインの一部 5 0 0 のブロック図である。一部 5 0 0 は、入力レジスタ 5 1 0 からの入力データにアクセスし、出力データを出力レジスタ 5 1 5 に提供するステージ 5 0 5 を含む。一部 5 0 0 は、図 1 に示す非同期パイプライン 1 0 5 のいくつかの実施形態において使用される。いくつかの変形例では、入力レジスタ 5 1 0 及び出力レジスタ 5 1 5 は、図 1 に示すレジスタ 1 2 1 ~ 1 2 4 のうち 1 つ以上のレジスタを実装するために使用され、ステージ 5 0 5 は、図 1 に示すステージ 1 1 0 ~ 1 1 4 のうち対応するステージを実装するために使用される。

30

【 0 0 2 7 】

ステージ 5 0 5 は、ステージ 5 0 5 内の 1 つ以上のクリティカルパスのタイミングを複製するように構成されたロジックを含むレプリカクリティカルパス 5 2 0 に関連しており、これにより、レプリカクリティカルパス 5 2 0 は、ステージ 5 0 5 内のクリティカルパスが入力データの処理を完了するのに必要な時間に対応する時間間隔の後に入力データの処理を完了する。レプリカクリティカルパス 5 2 0 は、図 3 に示すレプリカクリティカルパス 3 2 0 といくつかの特徴を共有する。しかしながら、レプリカクリティカルパス 5 2 0 は、レプリカクリティカルパス 5 2 0 の始めと終わりの間の位置での中間完了ステータスを決定するのに使用されるロジック 5 2 5 (レジスタ、フリップフロップ、ラッチ又は他の回路等) を含むことから、レプリカクリティカルパス 3 2 0 とは異なる。例えば、ロジック 5 2 5 は、レプリカクリティカルパス 5 2 0 における処理の実行中の時点でレプリカクリティカルパス 5 2 0 によって生成された結果を記憶するレジスタを含むことができる。

40

【 0 0 2 8 】

また、一部 5 0 0 は、ステージ 5 0 5 の完了ステータスを推定するのに使用される信号を提供及び受信するモジュール 5 3 0 , 5 3 5 を含む。モジュール 5 3 0 , 5 3 5 は、図

50

1 に示すモジュール 1 2 0 , 1 2 5 , 1 5 0 ~ 1 5 2 のいくつかの実施形態を実装するために使用することができる。モジュール 5 3 0 のいくつかの実施形態は、入力データの処理をレプリカクリティカルパス 5 2 0 に開始させるための開始信号 5 4 0 を提供する。開始信号 5 4 0 もロジック 5 2 5 に提供される。開始信号 5 4 0 は、ステージ 5 0 5 が入力レジスタ 5 1 0 に記憶された入力データの処理を開始するのに使用される開始信号と同時に提供される。ロジック 5 2 5 は、例えば、レプリカクリティカルパス 5 2 0 によってロジック 5 2 5 で生成された信号の特性を監視することによって、開始信号 5 4 0 に応じて、レプリカクリティカルパス 5 2 0 の中間完了ステータスを決定することができる。例えば、ロジック 5 2 5 は、ロジック 5 2 5 が受信した信号の特定パターンを検出することによって、又は、ロジック 5 2 5 に関連するレジスタに記憶されたデータが定常状態に達したと判別することによって、レプリカクリティカルパス 5 2 0 が入力データに対する演算を完了したと判別することができる。ロジック 5 2 5 は、レプリカクリティカルパス 5 2 0 の中間完了ステータスを示す信号をモジュール 5 3 5 に提供することができる。本明細書で説明するように、ステージ 5 0 5 の推定中間完了時間と実際の中間完了時間との差を補償するために、レプリカクリティカルパス 5 2 0 に関してロジック 5 2 5 が決定した中間完了時間に対してレイテンシを加算又は減算することができる。

【 0 0 2 9 】

中間完了ステータスは、ステージ 5 0 5 の一部の動作速度を変更するためにステージコントローラ（ステージコントローラ 1 6 1 ~ 1 6 4 等）によって使用される。例えば、ステージコントローラは、ロジック 5 2 5 によって生成された完了ステータスを使用して、ロジック 5 2 5 に先行するステージ 5 0 5 の一部（例えばロジック 5 2 5 の上流にある回路）、又は、ロジック 5 2 5 の後続のステージ 5 0 5 の一部（例えばロジック 5 2 5 の下流にある回路）の動作速度を変更することができる。図 5 には単一のロジック 5 2 5 が示されているが、レプリカクリティカルパス 5 2 0 のいくつかの実施形態は、レプリカクリティカルパス 5 2 0 内の異なる場所に配置することができる追加の完了ステータスロジックを含む。さらに、いくつかの実施形態では、レプリカクリティカルパス 5 2 0 の 1 つ以上の中間完了ステータスを検出するロジックは、図 3 に示すモジュール 3 3 0 に実装されるロジック等のように、レプリカクリティカルパス 5 2 0 の全体の完了ステータスを検出するロジックと組み合わせられる。

【 0 0 3 0 】

図 6 は、いくつかの実施形態による、中間完了ステータス検出を実施する非同期パイプラインの一部 6 0 0 のブロック図である。一部 6 0 0 は、入力レジスタ 6 1 0 からの入力データにアクセスし、出力データを出力レジスタ 6 1 5 に提供するステージ 6 0 5 を含む。一部 6 0 0 は、図 1 に示す非同期パイプライン 1 0 5 のいくつかの実施形態において使用される。いくつかの変形例では、入力レジスタ 6 1 0 及び出力レジスタ 6 1 5 は、図 1 に示すレジスタ 1 2 1 ~ 1 2 4 のうち 1 つ以上のレジスタを実装するために使用され、ステージ 6 0 5 は、図 1 に示すステージ 1 1 0 ~ 1 1 4 のうち対応するステージを実装するために使用される。

【 0 0 3 1 】

ステージ 6 0 5 は、ステージ 6 0 5 に割り当てられたタスクの一部を実行する回路の領域 6 2 0 と、ステージ 6 0 5 に割り当てられたタスクの別の部分を実行する回路の領域 6 2 5 と、を含む。レジスタ 6 3 0 のセットが領域 6 2 0 , 6 2 5 の間に実装されている。レジスタ 6 3 0 は、領域 6 2 0 によって実行された処理の結果を記憶し、ステージ 6 0 5 における追加の処理のために結果を領域 6 2 5 に提供するように構成されている。レジスタ 6 3 0 は、領域 6 2 0 によってレジスタ 6 3 0 に提供される出力信号を監視するように構成されたステータスマニタ 6 3 5 に接続されている。ステータスマニタ 6 3 5 は、レジスタ 6 3 0 に記憶された値の特性を使用して、領域 6 2 0 の完了ステータスを決定する。例えば、ステータスマニタ 6 3 5 は、領域 6 2 0 によって生成された出力信号の変化を監視し、レジスタ 6 3 0 に記憶された出力信号の値が変化している場合に、領域 6 2 0 が現在のタスクを処理中であると判別することができる。また、ステータスマニタ

10

20

30

40

50

ル 6 3 5 のいくつかの変形例は、レジスタ 6 3 0 に記憶された値が定常状態である又は閾値未満の速度で変化している場合に、領域 6 2 0 が現在のタスクの処理を完了したと判別することができる。

【 0 0 3 2 】

また、一部 6 0 0 は、ステージ 6 0 5 の中間完了ステータスを推定するのに使用される信号を提供及び受信するモジュール 6 4 0 , 6 4 5 を含む。モジュール 6 4 0 , 6 4 5 は、図 1 に示すモジュール 1 2 0 , 1 2 5 , 1 5 0 ~ 1 5 2 のいくつかの実施形態を実装するために使用される。モジュール 6 4 0 のいくつかの実施形態は、ステージ 6 0 5 が入力レジスタ 6 1 0 に記憶された入力データを使用してタスクの処理を開始したことを示す開始信号 6 5 0 を、ステータスモジュール 6 3 5 に提供する。開始信号 6 5 0 は、ステージ 6 0 5 が入力レジスタ 6 1 0 に記憶された入力データの処理を開始するのに使用される開始信号と同時に提供される。上述したように、ステータスモジュール 6 3 5 は、開始信号 6 5 0 に応じてレジスタ 6 3 0 に提供された出力信号の監視を開始し、領域 6 2 0 の完了ステータスを決定する。次に、ステータスモジュール 6 3 5 は、領域 6 2 0 の完了ステータスを示す信号 6 5 5 をモジュール 6 4 5 に提供する。例えば、ステータスモジュール 6 3 5 は、領域 6 2 0 の完了ステータスが「処理中」である間に論理ロー信号をモジュール 6 4 5 にアサートし、次に、領域 6 2 0 の完了ステータスが「完了」に移行したことに応じて論理ハイ信号をモジュール 6 4 5 にアサートすることができる。

【 0 0 3 3 】

中間完了ステータスは、ステージ 6 0 5 の領域 6 2 0 , 6 2 5 の動作速度を変更するためにステージコントローラ（図 1 に示すステージコントローラ 1 6 1 ~ 1 6 4 等）によって使用される。例えば、ステージコントローラは、ステータスモジュール 6 3 5 によって生成された完了ステータスを使用して、領域 6 2 0 , 領域 6 2 5 又はこれらの組み合わせの動作速度を変更することができる。図 6 にはレジスタ 6 3 0 の単一のセット及び単一のステータスモジュール 6 3 5 が示されているが、一部 6 0 0 のいくつかの実施形態は、ステージ 6 0 5 内の異なる場所に配置された追加の完了ステータスロジックを含む。さらに、いくつかの実施形態では、領域 6 2 0 , 6 2 5 の 1 つ以上の中間完了ステータスを検出するロジックは、図 4 に示すモジュール 4 2 0 内で実装されるロジック等のように、ステージ 6 0 5 の全体の完了ステータスを検出するロジックと組み合わせられる。

【 0 0 3 4 】

図 7 は、いくつかの実施形態による、並列処理を実施する非同期パイプラインの一部 7 0 0 のブロック図である。一部 7 0 0 は、比較的高いレート又は速度でタスクを完了する高速ステージ 7 0 5 と、比較的低いレート又は速度でタスクを完了する低速ステージ 7 1 0 と、を含む。一部 7 0 0 は、図 1 に示す非同期パイプライン 1 0 5 のいくつかの実施形態において実装される。いくつかの変形例では、図 1 に示すステージ 1 1 0 ~ 1 1 4 の各々は、並列に動作している複数のステージを表す。例えば、ステージ 1 1 1 は、異なる入力データに対する乗算演算を並列に実行するように構成された少なくとも一対のステージを表す。1 つのステージは、比較的高いレート又は速度でタスクを完了することができ、1 つの他のステージは、比較的低いレート又は速度でタスクを完了することができる。

【 0 0 3 5 】

非同期パイプラインは、フォーク 7 1 5 で並列ステージ 7 0 5 , 7 1 0 の実行を開始し、並列ステージ 7 0 5 , 7 1 0 の演算結果がジョイン 7 2 0 で組み合わせられる。並列分岐は、並列ステージ 7 0 5 , 7 1 0 によるタスクの実行が両方とも完了するまでジョイン 7 2 0 を完了することができない。したがって、1 つ以上のステージコントローラ（図 1 に示すステージコントローラ 1 6 1 ~ 1 6 4 等）は、ステージ 7 0 5 , 7 1 0 の動作を、これらの完了ステータスに基づいて調整する。例えば、ステージコントローラは、比較的高速ステージ 7 0 5 の動作速度を下げることで、比較的低速ステージ 7 1 0 の動作速度を上げること、又は、これらの変更の組み合わせを実行することができ、これにより、両ステージ 7 0 5 , 7 1 0 は、並列ステージ 7 0 5 , 7 1 0 の目標完了時間とほぼ等しい時間に完了する。

【 0 0 3 6 】

図 8 は、いくつかの実施形態による、非同期パイプライン内のステージの動作速度を変更する方法 8 0 0 のフロー図である。方法 8 0 0 は、図 1 に示す処理システム 1 0 0 のいくつかの実施形態において実施される。ステージは、左側の隣接ステージによって生成された入力データを受信し、右側の隣接ステージに入力データとして提供される出力データを生成する。ステージのいくつかの実施形態は、図 1 に示すステージ 1 1 2 に対応する。この場合、左側の隣接ステージは図 1 に示すステージ 1 1 1 に対応し、右側の隣接ステージはステージ 1 1 3 に対応する。

【 0 0 3 7 】

ブロック 8 0 5 において、ステージコントローラ（図 1 に示すステージコントローラ 1 6 2 等）は、ステージの完了ステータスを示す情報にアクセスする。完了ステータスは、ステージが実行中のタスクを未だ完了していないことを示す情報を含むことができ、この場合、ステージの完了ステータスは「処理中」である。また、完了ステータスは、ステージがタスクを完了したことを示す情報を含むことができ、この場合、ステージの完了ステータスは「完了」である。さらに、完了ステータスは、本明細書で説明するように、ステージの一部又は領域に関連する中間完了ステータスを示す情報を含むことができる。

【 0 0 3 8 】

ブロック 8 1 0 において、ステージコントローラは、左側の隣接ステージの完了ステータスを示す情報にアクセスする。完了ステータスは、左側の隣接ステージが実行中のタスクを未だ完了していないことを示す情報を含むことができ、この場合、左側の隣接ステージの完了ステータスは「処理中」である。また、完了ステータスは、左側の隣接ステージがタスクを完了したことを示す情報を含むことができ、この場合、左側の隣接ステージの完了ステータスは「完了」である。さらに、完了ステータスは、本明細書で説明するように、左側の隣接ステージの一部又は領域に関連する中間完了ステータスを示す情報を含むことができる。ステージのいくつかの実施形態は、非同期パイプラインの左側の隣接ステージに関連付けられていない。例えば、図 1 に示すステージ 1 1 0 は、左側の隣接ステージに関連付けられておらず、この場合、ブロック 8 1 0 をバイパスすることができる。

【 0 0 3 9 】

ブロック 8 1 5 において、ステージコントローラは、右側の隣接ステージの完了ステータスを示す情報にアクセスする。完了ステータスは、右側の隣接ステージが実行中のタスクを未だ完了していないことを示す情報を含むことができ、この場合、右側の隣接ステージの完了ステータスは「処理中」である。また、完了ステータスは、右側の隣接ステージがタスクを完了したことを示す情報を含むことができ、この場合、右側の隣接ステージの完了ステータスは「完了」である。さらに、完了ステータスは、本明細書で説明するように、右側の隣接ステージの一部又は領域に関連する中間完了ステータスを示す情報を含むことができる。ステージのいくつかの実施形態は、非同期パイプラインの右側の隣接ステージに関連付けられていない。例えば、図 1 に示すステージ 1 1 4 は、右側の隣接ステージに関連付けられておらず、この場合、ブロック 8 1 5 をバイパスすることができる。

【 0 0 4 0 】

ブロック 8 2 0 において、ステージコントローラは、ステージの完了ステータスと、左側の隣接ステージの完了ステータス（利用可能な場合）と、右側の隣接ステージの完了ステータス（利用可能な場合）と、に基づいて、ステージの動作速度を変更する。本明細書で説明するように、ステージ又はステージの一部に印加されるバッファドライブ強度又は電圧を変更することによって、動作速度を変更することができる。

【 0 0 4 1 】

いくつかの実施形態では、図 1 ~ 図 8 を参照して上述した非同期パイプライン等の上述した装置及び技術は、1 つ以上の集積回路（IC）デバイス（集積回路パッケージ又はマイクロチップとも呼ばれる）を備えるシステムで実施される。これらの IC デバイスの設計及び製造には、通常、電子設計自動化（EDA）及びコンピュータ支援設計（CAD）ソフトウェアツールが使用される。これらの設計ツールは、通常、1 つ以上のソフトウェ

10

20

30

40

50

アプログラムとして表される。1つ以上のソフトウェアプログラムは、回路を製造するための製造システムを設計又は適合するための処理の少なくとも一部を実行するように1つ以上のICデバイスの回路を表すコードで動作するようにコンピュータシステムを操作する、コンピュータシステムによって実行可能なコードを含む。このコードは、命令、データ、又は、命令及びデータの組み合わせを含むことができる。設計ツール又は製造ツールを表すソフトウェア命令は、通常、コンピューティングシステムがアクセス可能なコンピュータ可読記憶媒体に記憶される。同様に、ICデバイスの設計又は製造の1つ以上のフェーズを表すコードは、同じコンピュータ可読記憶媒体又は異なるコンピュータ可読記憶媒体に記憶されてもよく、同じコンピュータ可読記憶媒体又は異なるコンピュータ可読記憶媒体からアクセスされてもよい。

10

【0042】

コンピュータ可読記憶媒体は、命令及び/又はデータをコンピュータシステムに提供するために、使用中にコンピュータシステムによってアクセス可能な任意の記憶媒体、又は、記憶媒体の組み合わせを含むことができる。かかる記憶媒体には、限定されないが、光媒体（例えば、コンパクトディスク（CD）、デジタル多用途ディスク（DVD）、ブルーレイ（登録商標）ディスク）、磁気媒体（例えば、フロッピー（登録商標）ディスク、磁気テープ、磁気ハードドライブ）、揮発性メモリ（例えば、ランダムアクセスメモリ（RAM）、キャッシュ）、不揮発性メモリ（例えば、読み出し専用メモリ（ROM）、フラッシュメモリ）、又は、微小電気機械システム（MEMS）ベースの記憶媒体が含まれる。コンピュータ可読記憶媒体は、コンピュータシステム（例えば、システムRAM又はROM）に内蔵されてもよいし、コンピュータシステム（例えば、磁気ハードドライブ）に固定的に取り付けられてもよいし、コンピュータシステム（例えば、光学ディスク又はユニバーサルシリアルバス（USB）ベースのフラッシュメモリ）に着脱可能に取り付けられてもよいし、有線又は無線のネットワークを介してコンピュータシステム（例えば、ネットワークアクセス可能なストレージ（NAS））に接続されてもよい。

20

【0043】

いくつかの実施形態では、上記の技術のいくつかの態様は、ソフトウェアを実行する処理システムの1つ以上のプロセッサによって実装されてもよい。ソフトウェアは、非一時的なコンピュータ可読記憶媒体に記憶され、又は、非一時的なコンピュータ可読記憶媒体上で有形に具現化された実行可能命令の1つ以上のセットを含む。ソフトウェアは、1つ以上のプロセッサによって実行されると、上記の技術の1つ以上の態様を実行するように1つ以上のプロセッサを操作する命令及び特定のデータを含むことができる。非一時的なコンピュータ可読記憶媒体は、例えば、磁気若しくは光ディスク記憶デバイス、例えばフラッシュメモリ等のソリッドステート記憶デバイス、キャッシュ、ランダムアクセスメモリ（RAM）、又は、他の不揮発性メモリデバイス等を含むことができる。非一時的なコンピュータ可読記憶媒体に記憶された実行可能命令は、ソースコード、アセンブリ言語コード、オブジェクトコード、又は、1つ以上のプロセッサによって解釈若しくは実行可能な他の命令フォーマットであってもよい。

30

【0044】

上述したものに加えて、概要説明において説明した全てのアクティビティ又は要素が必要とされているわけではなく、特定のアクティビティ又はデバイスの一部が必要とされない場合があり、1つ以上のさらなるアクティビティが実行される場合があり、1つ以上のさらなる要素が含まれる場合があることに留意されたい。さらに、アクティビティが列挙された順序は、必ずしもそれらが実行される順序ではない。また、概念は、特定の実施形態を参照して説明された。しかしながら、当業者であれば、特許請求の範囲に記載されているような本発明の範囲から逸脱することなく、様々な変更及び変形を行うことができるのを理解するであろう。したがって、明細書及び図面は、限定的な意味ではなく例示的な意味で考慮されるべきであり、これらの変更形態の全ては、本発明の範囲内に含まれることが意図される。

40

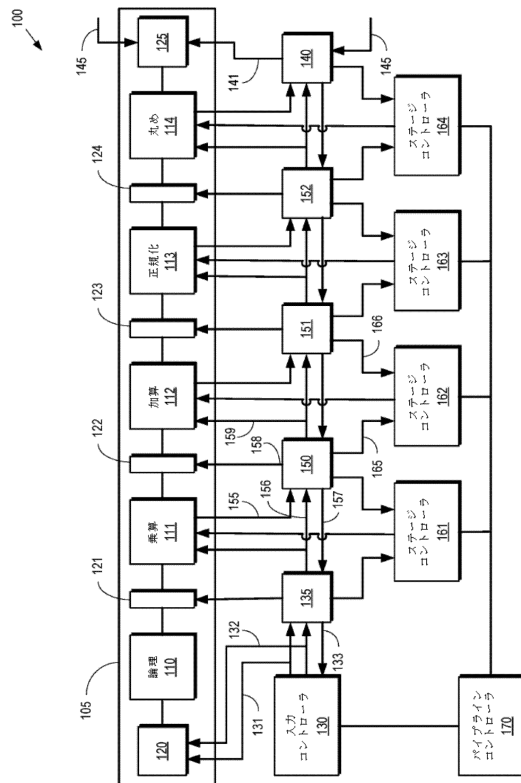
【0045】

50

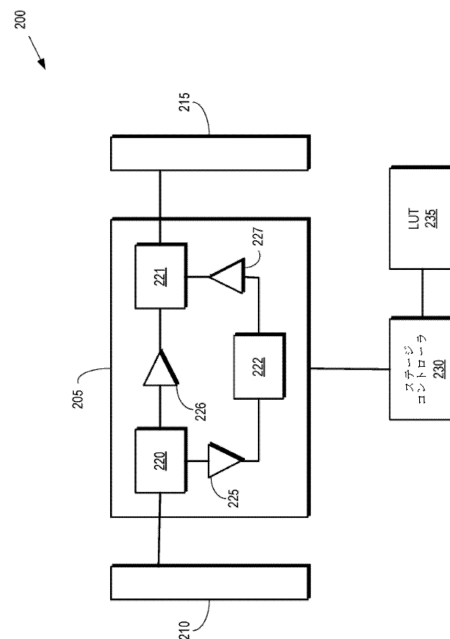
利益、他の利点及び問題に対する解決手段を、特定の実施形態に関して上述した。しかし、利益、利点、問題に対する解決手段、及び、何かしらの利益、利点若しくは解決手段が発生又は顕在化する可能性のある特徴は、何れか若しくは全ての請求項に重要な、必須の、又は、不可欠な特徴と解釈されない。さらに、開示された発明は、本明細書の教示の利益を有する当業者には明らかな方法であって、異なっているが同様の方法で修正され実施され得ることから、上述した特定の実施形態は例示にすぎない。添付の特許請求の範囲に記載されている以外に本明細書に示されている構成又は設計の詳細については限定がない。したがって、上述した特定の実施形態は、変更又は修正されてもよく、かかる変更形態の全ては、開示された発明の範囲内にあると考えられることが明らかである。したがって、ここで要求される保護は、添付の特許請求の範囲に記載されている。

10

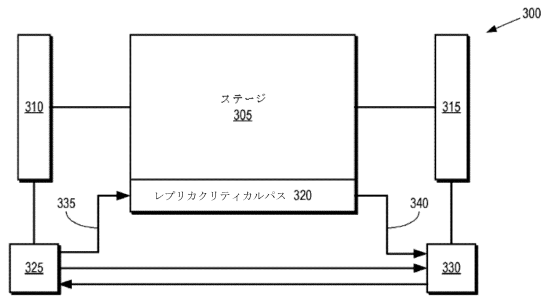
【図 1】



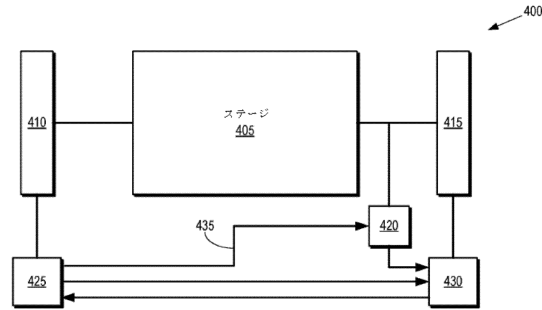
【図 2】



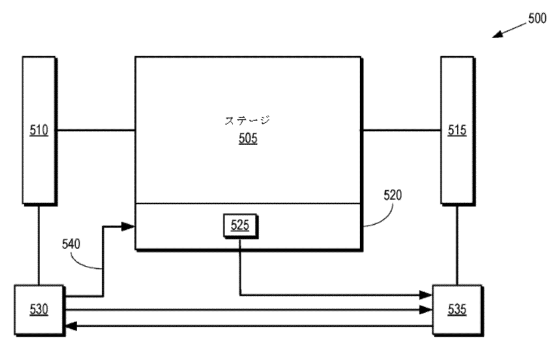
【図 3】



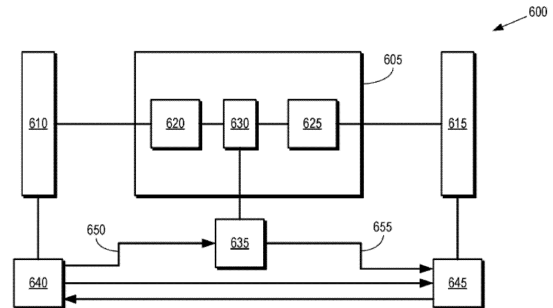
【図 4】



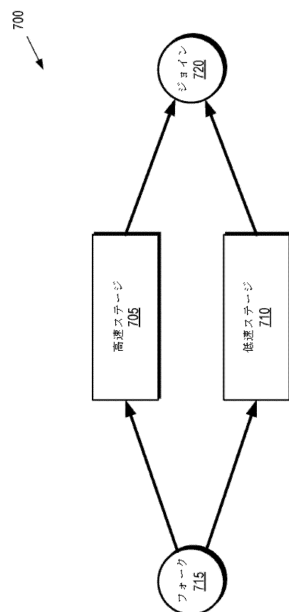
【図 5】



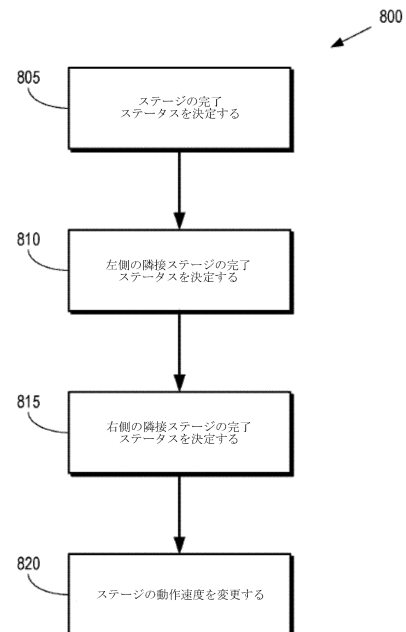
【図 6】



【図 7】



【図 8】



フロントページの続き

- (72)発明者 グレグ サドウスキー
アメリカ合衆国 94088 カリフォルニア州、サニーベール、ワン・エイ・エム・ディ・プレイス
- (72)発明者 ジョン カラマティアノス
アメリカ合衆国 94088 カリフォルニア州、サニーベール、ワン・エイ・エム・ディ・プレイス
- (72)発明者 ショーミ エヌ. ダス
アメリカ合衆国 94088 カリフォルニア州、サニーベール、ワン・エイ・エム・ディ・プレイス

審査官 漆原 孝治

- (56)参考文献 特開2010-141641(JP, A)
特開2010-020598(JP, A)
国際公開第2007/089014(WO, A1)
特表2006-500813(JP, A)
特開2005-310100(JP, A)
特開2002-229690(JP, A)
特開平04-314161(JP, A)
米国特許出願公開第2014/0253189(US, A1)
米国特許出願公開第2002/0002664(US, A1)
米国特許第06502202(US, B1)
清水雅一, 阿部公輝, 局所同期型非同期式回路におけるローカルタイミング信号生成回路の低消費電力設計, 電子情報通信学会技術研究報告, 日本, 社団法人電子情報通信学会, 2003年1月21日, Vol.103, No.480, (DC2003-34~77), pp.259~264
Jayaram Natarajan, Sahil Kapoor, Debesh Bhatta, Abhijit Chatterjee, Adit Singh, "Timing Variation Adaptive Pipeline Design : Using Probabilistic Activity Completion Sensing With Backup Error Resilience, Proceedings of 27th International Conference on VLSI Design and 13th International Conference on Embedded Systems, IEEE, 2014年 1月 5日, pp.122-127
Josep Carmona, Jordi Cortadella, Mike Kinshinevsky, Alexander Taubin, Elastic Circuits, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, IEEE, 2009年 9月18日, Vol.28, No.10, pp.1437-1455
IK Joon Chang, Sang Phill Park, Kaushik Roy, Exploring Asynchronous Design Techniques for Process-Tolerant and Energy-Efficient Subthreshold Operation, IEEE Journal of Solid-State Circuits, IEEE, 2010年 2月 2日, Vol.45, No.2, pp.401-410

(58)調査した分野(Int.Cl., DB名)

G06F 9/38