(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 196 52 870 B4** 2010.01.21

(12) **Patentschrift**

(21) Aktenzeichen: **196 52 870.4**
(22) Anmeldetag: **18.12.1996**
(43) Offenlegungstag: **26.06.1997**
(45) Veröffentlichungstag der Patenterteilung: **21.01.2010**

(51) Int Cl.[8]: ***G11C 7/00*** (2006.01)
G11C 7/10 (2006.01)
G11C 11/4093 (2006.01)
G11C 5/06 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten(§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
53542/95 21.12.1995 KR

(73) Patentinhaber:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

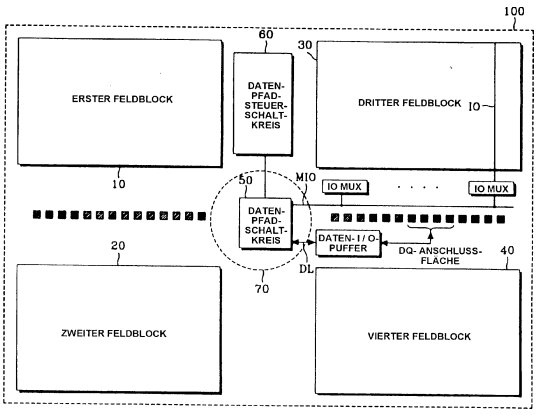
(74) Vertreter:
Grünecker, Kinkeldey, Stockmair & Schwanhäusser, 80802 München

(72) Erfinder:
Cho, Il-Jae, Suwon, KR; Jang, Hyun Soon, Seoul, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
DE 43 16 283 A1

(54) Bezeichnung: **Halbleiterspeichervorrichtung**

(57) Hauptanspruch: Halbleiterspeichervorrichtung, umfassend:
ein Speicherfeld (100) mit einem ersten, zweiten, dritten und vierten Feldblock (10–40), wobei die Feldblöcke in Form einer 2×2-Matrix angeordnet sind und dadurch zwei Zeilen und zwei Spalten von Feldblöcken bilden;
eine Vielzahl von zwischen den Zeilen der Feldblöcke angeordneten Anschlußflächen;
einen in einem Zentrumsbereich (70) des Speicherfelds angeordneten Datenpfadschaltkreis (50, 112, 114, 122, 124, 212, 214, 222, 224):
eine Vielzahl von Datenleitungen (DL), die die Anschlußflächen mit dem Datenpfadschaltkreis verbinden; und
eine Vielzahl von Haupteingangs/Ausgangsleitungen (MIO), die die Feldblöcke mit dem Datenpfadschaltkreis verbinden,
dadurch gekennzeichnet, daß
die Halbleiterspeichervorrichtung ferner einen zwischen den Spalten der Feldblöcke angeordneten Datenpfadsteuerschaltkreis (60) umfaßt; und
die Vielzahl der Haupteingangs/Ausgangsleitungen lediglich zwischen den Zeilen der Feldblöcke angeordnet sind.



Beschreibung

[0001] Die Erfindung bezieht sich auf Halbleiterspeichervorrichtungen, insbesondere auf Halbleiterspeichervorrichtungen, die zum Reduzieren des Abstands geeignet sind, der zwischen einem Datenpfadschaltkreis und Anschlußflächen belegt ist, und zum Minimieren der Länge von Datenleitungen und der Haupteingangs/Ausgangsleitungen, um dadurch eine Betriebsgeschwindigkeit davon zu verbessern.

[0002] Eine Weiterentwicklung der Betriebsgeschwindigkeit wird allgemein als eines der Erfordernisse für Halbleiterspeichervorrichtungen angesehen. Da die Integration der Halbleiterspeichervorrichtung beschleunigt wird, wird allerdings ein Betriebsversorgungsspannungspegel zunehmend niedriger, was eine Schwierigkeit beim Ausführen eines Hochgeschwindigkeitsbetriebs darstellt. Allerdings sind verschiedene Vorgehensweisen vorgeschlagen worden, um einen solchen Hochgeschwindigkeitsbetrieb zu erzielen. Zum Beispiel wird eine Entwicklung spezifischer Speichervorrichtungen, die für einen Hochgeschwindigkeitsbetrieb adäquat sind, wie beispielsweise eine synchrone Speichervorrichtung, fortwährend betrieben, und weiterhin werden verschiedene Moden, die auf ein Vielfach-Bit zugreifen, während eines Zugriffszyklus zu einem Zeitpunkt eingestellt, um dadurch indirekt den Hochgeschwindigkeitsbetrieb zu erhalten. Wie für einen Fachmann auf dem betreffenden Fachgebiet ausreichend bekannt ist, spielen eine optimale Anordnung einer Vielzahl von Schaltkreisen, die in der Halbleiterspeichervorrichtung angeordnet sind, und die Verringerung des Abstands zwischen den Schaltkreisen oder Zwischenvorrichtungen eine große Rolle beim Erreichen eines Hochgeschwindigkeitsbetriebs der Speichervorrichtung.

[0003] Fig. 3 zeigt ein Schaltkreisdiagramm, das eine Schaltkreisanordnung in einer herkömmlichen Halbleiterspeichervorrichtung darstellt. In dem Schaltkreis ist ein Speicherzellenfeldbereich **100** in der Halbleiterspeichervorrichtung allgemein in vier Feldblöcke unterteilt. In dem oberen Bereich davon sind ein erster Feldblock **10** und ein dritter Feldblock **30** positioniert und in dem unteren Bereich davon sind ein zweiter Feldblock **20** und ein vierter Feldblock **40** positioniert. Eine Vielzahl von Anschlußflächen ist in einem Flächenbereich (der nachfolgend als ein ”mittlerer Flächenbereich” bezeichnet ist) zwischen dem ersten und dem dritten Feldblock **10** und **30** und dem zweiten und dem vierten Feldblock **20** und **40** angeordnet. Ein Datenpfad-Schaltkreis **50** (Schaltkreise, wie zum Beispiel für einen Eingangs/Ausgangsleitungs-Erfassungsverstärker, einen Multiplexer, einen Schreibtreiber, usw.) und ein Datenpfad-Steuerschaltkreis **60**, der den Datenpfad-Schaltkreis **50** steuert, sind in einem Flächenbereich (der nachfolgend als ein ”Zentrumsflächenbereich” bezeichnet ist) zwischen dem ersten und dem zweiten Feldblock **10** und **20** und dem dritten und dem vierten Feldblock **30** und **40** angeordnet. Eine Energieversorgungsleitung und eine Busleitung sind in einem Flächenbereich **70** angeordnet, der durch einen Kreis mit unterbrochener Linie angegeben ist (der nachfolgend als ein ”mittlerer Zentrumsflächenbereich” bezeichnet ist), der zu einer Kante jedes des ersten bis vierten Feldblocks **10**, **20**, **30** und **40** hin gerichtet ist. Natürlich sind, gerade obwohl der Datenpfad-Schaltkreis **50** und der Datenpfad-Steuerschaltkreis **60** nur in einem oberen Zentrumsflächenbereich zwischen dem ersten und dem dritten Feldblock **10** und **30** dargestellt sind, sie auch in einem unteren Zentrumsflächenbereich zwischen dem zweiten und dem vierten Block **20** und **40** angeordnet. Jeder der Feldblöcke ist aus einer Vielzahl von Speicherzellen aufgebaut, die zwischen einer Vielzahl von Wortleitungen und einer Vielzahl von Bit-Leitungspaaren verbunden sind. Die Bit-Leitungen sind selektiv mit einer Eingangs/Ausgangsleitung IO gekoppelt. Ein Endanschluß der Eingangs/Ausgangsleitung IO ist mit einem Eingangsanschluß eines Eingangs/Ausgangs-Multiplexers IO MUX verbunden, dessen Ausgangsanschluß dem Datenpfad-Schaltkreis **50** über eine Haupteingangs/Ausgangsleitung MIO zugeordnet ist. Der Ausgangsanschluß des Datenpfad-Steuerschaltkreises **60** ist mit einem Steueranschluß des Datenpfad-Schaltkreises **50** verbunden. Der Datenpfad-Schaltkreis **50** ist mit Eingangs/Ausgangspuffern verbunden, die mit Eingangs/Ausgangsanschlußflächen bzw. -pads verbunden sind.

[0004] In dem Fall eines Ausführens eines Lesevorgangs in der Schaltkreisanordnung, wie sie in Fig. 3 dargestellt ist, werden Daten, die in den Speicherzellen gespeichert sind, zu dem Eingangs/Ausgangs-Multiplexer IO MUX über die Eingangs/Ausgangsleitung IO übertragen, und nach einem Abschluß eines Multiplexbetriebes auf die Haupteingangs/Ausgangsleitung MIO geladen. Die Daten, die auf die Haupteingangs/Ausgangsleitung MIO geladen sind, werden zu dem Datenpfad-Schaltkreis **50** übertragen und zu den Dateneingangs/Ausgangspuffern über eine Datenleitung DL geliefert. Die Dateneingangs/Ausgangspuffer führen einen vorbestimmten, puffernden Betrieb durch und produzieren Ausgangsdaten, die über das Datenausgangsanschlußfeld zu der Außenseite des Chips übertragen werden. Als Folge kann der Datenlesevorgang abgeschlossen werden. Darüber hinaus werden in dem Fall eines Schreibvorgangs Daten, die von außen eingegeben werden, in einer vorgeschriebenen Speicherzelle über Umkehrpfade zu dem vorstehend besprochenen Lesevorgang gespeichert.

[0005] Wie in Fig. 3 dargestellt ist, wird in einer herkömmlichen Halbleiterspeichervorrichtung der Datenpfad-Schaltkreis **50** in dem Zentrumsflächenbereich angeordnet. Unter dieser Struktur ist allerdings

die Länge der Haupteingangs/Ausgangsleitung MIO entsprechend groß und auch wird die Datenleitung DL verlängert. Als eine Folge ist der Abstand zwischen dem Datenpfad-Schaltkreis **50** und den Eingangs/Ausgangsanschlußflächen beträchtlich lang, was bewirkt, daß die Zeitperiode, die dazu erforderlich ist, einen Dateneingangs/Ausgangsbetrieb auszuführen, beträchtlich lang ist, so daß der Hochgeschwindigkeitsbetrieb der Halbleiterspeichervorrichtung nicht möglich sein kann. Zusätzlich sind eine Vielzahl Datenpfad-Schaltkreisen und Datenpfad-Steuerschaltkreisen in dem Zentrumsflächenbereich angeordnet, was das Layout des Zentrumsflächenbereichs stark kompliziert gestaltet, so daß die Integration der Halbleiterspeichervorrichtung nicht erreicht werden kann. Demgemäß ist ein Erfordernis für eine verbesserte Halbleiterspeichervorrichtung vorhanden, die einen Hochgeschwindigkeitsbetrieb ausführen kann.

[0006] Aus der DE 43 16 283 A1 ist eine Halbleiterspeichervorrichtung mit einem Speicherfeld bekannt, das 18 Feldblöcke enthält. Die Feldblöcke sind in vier Gruppen aufgeteilt, von denen jede einem Spaltendekoder zugeordnet ist. In der Mitte der Anordnung ist ein Eingabe/Ausgabeschalter vorgesehen, der mit den Feldblöcken über Datenbusse und ferner mit I/O-Kontaktflächen verbunden ist. Die Datenbusse sind an die Feldblöcke an deren Außenseite angeschlossen.

[0007] Der Erfindung liegt die Aufgabe zugrunde, eine Halbleiterspeichervorrichtung anzugeben, die bei hohen Taktraten betrieben werden kann.

[0008] Diese Aufgabe wird durch die Gegenstände der Patentansprüche 1 und 5 gelöst.

[0009] Die erfindungsgemäße Halbleiterspeichervorrichtung kann eine hohe Integration erzielen.

[0010] Bevorzugte Ausgestaltungen der Erfindung sind durch die Unteransprüche definiert.

[0011] Um die Aufgabe zu lösen, umfasst eine Halbleiterspeichervorrichtung gemäß der Erfindung ein Speicherfeld mit einem ersten, zweiten, dritten und vierten Feldblock, wobei die Feldblöcke in Form einer 2×2-Matrix angeordnet sind und dadurch zwei Zeilen und zwei Spalten von Feldblöcken bilden. Die Halbleiterspeichervorrichtung umfasst ferner eine Vielzahl von zwischen den Zeilen der Feldblöcke angeordneten Anschlussflächen, einen in einem Zentrumsbereich des Speicherfelds angeordneten Datenpfadschaltkreis, eine Vielzahl von Datenleitungen, die die Anschlussflächen mit dem Datenpfadschaltkreis verbinden, und eine Vielzahl von Haupteingangs-/ausgangsleitungen, die die Feldblöcke mit dem Datenpfadschaltkreis verbinden. Die Halbleiterspeichervorrichtung umfasst ferner einen zwischen den Spalten der Feldblöcke angeordneten Datenpfadsteuerschaltkreis. Die Vielzahl der Haupteingangs-/ausgangsleitungen sind lediglich zwischen Zeilen der Feldblöcke angeordnet.

[0012] Ferner wird eine Halbleiterspeichervorrichtung bereitgestellt, die erfindungsgemäß ein Speicherfeld mit vier räumlich getrennten und diskreten Feldblöcken umfasst, einschließlich eines ersten Feldblocks in einem links oben gelegenen Quadranten des Speicherfeldes, eines zweiten Feldblocks in einem links unten gelegenen Quadranten des Speicherfeldes, eines dritten Feldblocks in einem rechts oben gelegenen Quadranten des Speicherfeldes und eines vierten Feldblocks in einem rechts unten gelegenen Quadranten des Speicherfeldes. Die Halbleiterspeichervorrichtung umfasst ferner eine Vielzahl von Anschlussflächen in einem ersten Mittelbereich zwischen dem ersten und zweiten Feldblock und einem zweiten Mittelbereich zwischen dem dritten und vierten Feldblock, einem Datenpfadsteuerschaltkreis in einem ersten Zentrumsbereich zwischen dem ersten und dritten Feldblock und/oder einem zweiten Zentrumsbereich zwischen dem zweiten und vierten Feldblock, einem Datenpfadschaltkreis in einem mittleren Zentrumsbereich des Speicherfeldes zwischen den ersten und zweiten Mittelbereichen und zwischen den ersten und zweiten Zentrumsbereichen, eine Vielzahl von Datenleitungen, die die Anschlussflächen mit dem Datenpfadschaltkreis verbinden, und eine Vielzahl von Haupteingangs-/ausgangsleitungen, die das Speicherfeld mit dem Datenpfadschaltkreis verbinden und lediglich in dem ersten und zweiten Mittelbereich und dem mittleren Zentrumsbereich gelegen sind.

[0013] Ein vollständigeres Verständnis dieser Erfindung und viele der damit verbundenen Vorteile werden leicht erhalten werden, wenn dieselbe unter Bezugnahme auf die nachfolgende, detaillierte Beschreibung verstanden wird, wenn sie in Verbindung mit den beigefügten Zeichnungen gesehen wird, in denen entsprechende Bezugssymbole dieselben oder ähnliche Komponenten angeben, wobei:

[0014] Fig. 1 zeigt ein Schaltkreisdiagramm, das eine Schaltkreisanordnung in einer Haibleiterspeichervorrichtung gemäß der Erfindung darstellt;

[0015] Fig. 2 zeigt ein detailliertes Schaltkreisdiagramm, das den mittleren Zentrumsflächenbereich in Fig. 1 darstellt; und

[0016] Fig. 3 zeigt ein Schaltkreisdiagramm, das eine Schaltkreisanordnung in einer herkömmlichen Halbleiterspeichervorrichtung darstellt.

[0017] Die Erfindung wird nun vollständiger nachfolgend unter Bezugnahme auf die beigefügten Zeichnungen beschrieben werden, in denen bevorzugte

Ausführungsformen der Erfindung dargestellt sind. Diese Erfindung kann allerdings in unterschiedlichen Formen ausgeführt werden und sollte nicht so angesehen werden, daß sie auf die Ausführungsformen, die hier angegeben sind, beschränkt ist.

[0018] Wie die Fig. 1 zeigt, ist dort eine Schaltkreisanordnung einer Halbleiterspeichervorrichtung gemäß der Erfindung dargestellt. Mit dieser Schaltkreisanordnung ist ein Speicherzellenfeldbereich **100** in der Halbleiterspeichervorrichtung in vier Feldblöcke in derselben Art und Weise, wie in Fig. 3, unterteilt. Die vierfache Feldblock-Anordnung ist dieselbe wie diejenige in Fig. 3. Das bedeutet, in dem oberen Bereich davon sind der erste Feldblock **10** und der dritte Feldblock **30** positioniert, und in dem unteren Bereich davon sind der zweite Feldblock **20** und der vierte Feldblock **40** positioniert. Die Vielzahl der Anschlußflächen ist in dem mittleren Flächenbereich zwischen dem ersten und dem dritten Feldblock **10** und **30** und dem zweiten und dem vierten Feldblock **20** und **40** angeordnet. Der Datenpfad-Steuerschaltkreis **60** ist in dem Zentrumsflächenbereich zwischen dem ersten und dem zweiten Feldblock **10** und **20** und dem dritten und dem vierten Feldblock **30** und **40** angeordnet. Der Datenpfad-Schaltkreis **50** ist in dem mittleren Zentrumsflächenbereich **70**, der durch eine unterbrochene Linie angegeben ist, angeordnet, der zu einer Kante jedes des ersten bis vierten Feldblocks **10**, **20**, **30** und **40** hin gerichtet ist. In dem Aufbauprozeß des mittleren Zentrumsflächenbereichs **70** sind die Energieversorgungsleitung und die Busleitung in einer anderen Schicht als der Datenpfad-Schaltkreis **50** gebildet. Jeder der Speicherzellenfeldblöcke ist aus einer Vielzahl von Speicherzellen aufgebaut, die zwischen einer Vielzahl von Wortleitungen und einer Vielzahl von Bit-Leitungspaaren verbunden sind. Die Bit-Leitungen werden selektiv mit einer Eingangs/Ausgangsleitung IO gekoppelt. Ein einzelner Anschluß der Eingangs/Ausgangsleitung IO ist mit einem Eingangsanschluß eines Eingangs/Ausgangs-Multiplexers IO MUX verbunden, dessen Ausgangsanschluß dem Datenpfad-Schaltkreis **50** über die Haupteingangs/Ausgangsleitung MIO zugeordnet ist. Der Ausgangsanschluß des Datenpfad-Steuerschaltkreises **60** ist mit einem Steuerschaltkreis des Datenpfad-Schaltkreises **50** verbunden. Der Datenpfad-Schaltkreis **50** ist mit Eingangs/Ausgangspuffern verbunden, die mit Eingangs/Ausgangs-Anschlußflächen verbunden sind.

[0019] Fig. 2 zeigt ein detailliertes Schaltkreisdiagramm, das den mittleren Zentrumsflächenbereich in Fig. 1 darstellt. Wie die Fig. 2 zeigt, sind in dem Aufbau des mittleren Zentrumsflächenbereichs **70** acht Datenpfad-Schaltkreis in dem untersten Bereich davon angeordnet. Die Datenpfad-Schaltkreise **112** und **114** sind mit dem ersten Feldblock **10** verbunden und die Datenpfad-Schaltkreise **122** und **124** sind mit dem zweiten Feldblock **20** verbunden. Die Datenpfad-Schaltkreise **212** und **214** sind mit dem dritten Feldblock **30** verbunden und die Datenpfad-Schaltkreise **222** und **224** sind mit dem vierten Feldblock **40** verbunden. Als nächstes wird die Anordnung der Energieversorgungsleitungen und der Busleitungen durch Implementieren eines ersten und eines zweiten Metall-Prozesses ausgeführt. In diesem Fall werden der schraffierte Flächenbereich in Fig. 2 durch einen ersten Metall-Prozeß und der punktierte Flächenbereich durch einen zweiten Metall-Prozeß gebildet.

[0020] Zuerst wird in einem ersten Metall-Prozeß eine Hauptleitung **110** für eine positive Leistungszufuhr (VDD) in dem linken Bereich gebildet und eine Hauptleitung **210** einer Referenzleistungszufuhr (VSS) wird in dem rechten Bereich gebildet. Die VSS-Leitungen **230**, **240** und **250**, die mit der VSS-Hauptleitung **210** und den VDD-Leitungen **130**, **140** und **150** verbunden sind, die mit der VDD-Hauptleitung **110** verbunden sind, sind wiederum von dem oberen Bereich zu dem unteren Bereich gebildet. Eine VSS-Leitung **260** ist über die VDD-Hauptleitung **110** der obersten VSS-Leitung **230** gebildet und eine VDD-Leitung **160** ist über die VSS-Hauptleitung **210** der untersten VDD-Leitung **130** gebildet. Demzufolge ist so der erste Metall-Prozeß vervollständigt.

[0021] Als zweites wird in einem zweiten Metall-Prozeß eine VDD-Anschlußfläche **100** auf dem Zentrumsflächenbereich der VDD-Hauptleitung **110** gebildet und eine VSS-Anschlußfläche **200** wird auf dem Zentrumsflächenbereich der VSS-Hauptleitung **210** gebildet. Weiterhin wird eine VSS-Leitung **270**, um die VSS-Leitung **230** mit der VSS-Leitung **260** zu verbinden, und eine VDD-Leitung **170**, um die VDD-Leitung **130** mit der VDD-Leitung **160** zu verbinden, und zwar unter Verwendung eines Verbinders (Jumper), gebildet. Eine Busleitung **300** wird in einer vertikalen Richtung gebildet. Busleitungen **410** bis **440** werden gebildet, um jeden der Datenpfad-Schaltkreise mit Eingangs/Ausgangs-Busleitungen zu verbinden, und Busleitungen **450** und **460** werden gebildet, um die Datenpfad-Schaltkreise mit den Eingangs/Ausgangspuffern zu verbinden. Demzufolge ist so der zweite Metall-Prozeß abgeschlossen.

[0022] Wie zuvor beschrieben ist, kann eine Halbleiterspeichervorrichtung gemäß der Erfindung den Abstand zwischen Datenpfad-Schaltkreisen und Dateneingangs/Ausgangs-Anschlußflächen minimieren und dadurch Abstände zwischen den Datenpfad-Schaltkreisen und den Haupteingangs/Ausgangsleitungen und zwischen Datenleitungen und den Datenpfad-Schaltkreisen reduzieren. Deshalb können Eingangs/Ausgangspfade relativ einfach unter der Schaltkreisanordnung gemäß der Erfindung aufgebaut sein und ein Hochgeschwindigkeitsbetrieb kann ausgeführt werden. Weiterhin sind die Daten-

pfad-Schalkreise nicht in dem Zentrumsflächenbereich, sondern in dem mittleren Zentrumsflächenbereich, angeordnet, so daß das Design des Layouts ebenso wie die Integration der Halbleiterspeichervorrichtung leicht ausgeführt werden können.

Patentansprüche

1. Halbleiterspeichervorrichtung, umfassend:
ein Speicherfeld (**100**) mit einem ersten, zweiten, dritten und vierten Feldblock (**10**–**40**), wobei die Feldblöcke in Form einer 2×2-Matrix angeordnet sind und dadurch zwei Zeilen und zwei Spalten von Feldblöcken bilden;
eine Vielzahl von zwischen den Zeilen der Feldblöcke angeordneten Anschlußflächen;
einen in einem Zentrumsbereich (**70**) des Speicherfelds angeordneten Datenpfadschaltkreis (**50**, **112**, **114**, **122**, **124**, **212**, **214**, **222**, **224**):
eine Vielzahl von Datenleitungen (DL), die die Anschlußflächen mit dem Datenpfadschaltkreis verbinden; und
eine Vielzahl von Haupteingangs/Ausgangsleitungen (MIO), die die Feldblöcke mit dem Datenpfadschaltkreis verbinden,
dadurch gekennzeichnet, daß
die Halbleiterspeichervorrichtung ferner einen zwischen den Spalten der Feldblöcke angeordneten Datenpfadsteuerschaltkreis (**60**) umfaßt; und
die Vielzahl der Haupteingangs/Ausgangsleitungen lediglich zwischen den Zeilen der Feldblöcke angeordnet sind.

2. Halbleiterspeichervorrichtung nach Anspruch 1, gekennzeichnet durch Energiezufuhrleitungen (**110**, **130**, **140**, **150**, **160**, **170**, **210**, **230**, **240**, **250**, **260**, **270**) und Busleitungen (**300**, **410**–**460**) in dem Zentrumsbereich (**70**).

3. Halbleiterspeichervorrichtung nach Anspruch 2, gekennzeichnet durch einen Verbinder, der die Energiezufuhrleitungen und die Busleitungen verbindet.

4. Halbleiterspeichervorrichtung nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß die Energiezufuhrleitungen und die Busleitungen in einer von der des Datenpfadschaltkreises verschiedenen Prozessierungsschicht gebildet sind.

5. Halbleiterspeichervorrichtung umfassend:
ein Speicherfeld (**100**) mit vier räumlich getrennten und diskreten Feldblöcken (**10**–**40**), einschließlich eines ersten Feldblocks (**10**) in einem links oben gelegenen Quadranten des Speicherfeldes, eines zweiten Feldblocks (**20**) in einem links unten gelegenen Quadranten des Speicherfeldes, eines dritten Feldblocks (**30**) in einem rechts oben gelegenen Quadranten des Speicherfeldes und eines vierten Feldblocks (**40**) in einem rechts unten gelegenen Quadranten des Speicherfeldes;
eine Vielzahl von Anschlußflächen in einem ersten Mittelbereich zwischen dem ersten und zweiten Feldblock und einem zweiten Mittelbereich zwischen dem dritten und vierten Feldblock;
einen Datenpfadsteuerschaltkreis (**60**) in einem ersten Zentrumsbereich zwischen dem ersten und dritten Feldblock und/oder einem zweiten Zentrumsbereich zwischen dem zweiten und vierten Feldblock;
einen Datenpfadschaltkreis (**50**, **112**, **114**, **122**, **124**, **212**, **214**, **222**, **224**) in einem mittleren Zentrumsbereich (**70**) des Speicherfeldes zwischen den ersten und zweiten Mittelbereichen und zwischen den ersten und zweiten Zentrumsbereichen;
eine Vielzahl von Datenleitungen (DL), die die Anschlußflächen mit dem Datenpfadschaltkreis verbinden; und
eine Vielzahl von Haupteingangs/Ausgangsleitungen (MIO), die das Speicherfeld mit dem Datenpfadschaltkreis verbinden und lediglich in dem ersten und zweiten Mittelbereich und dem mittleren Zentrumsbereich gelegen sind.

6. Halbleiterspeichervorrichtung nach Anspruch 5, weiterhin Energiezufuhrleitungen (**110**, **130**, **140**, **150**, **160**, **170**, **210**, **230**, **240**, **250**, **260**, **270**) und Busleitungen (**300**, **410**–**460**) in dem mittleren Zentrumsbereich (**70**) umfassend.

7. Halbleiterspeichervorrichtung nach Anspruch 6, wobei die Energiezufuhrleitungen und die Busleitungen in einer von der des Datenpfadschaltkreises verschiedenen Schicht angeordnet sind.

Es folgen 3 Blatt Zeichnungen

Anhängende Zeichnungen

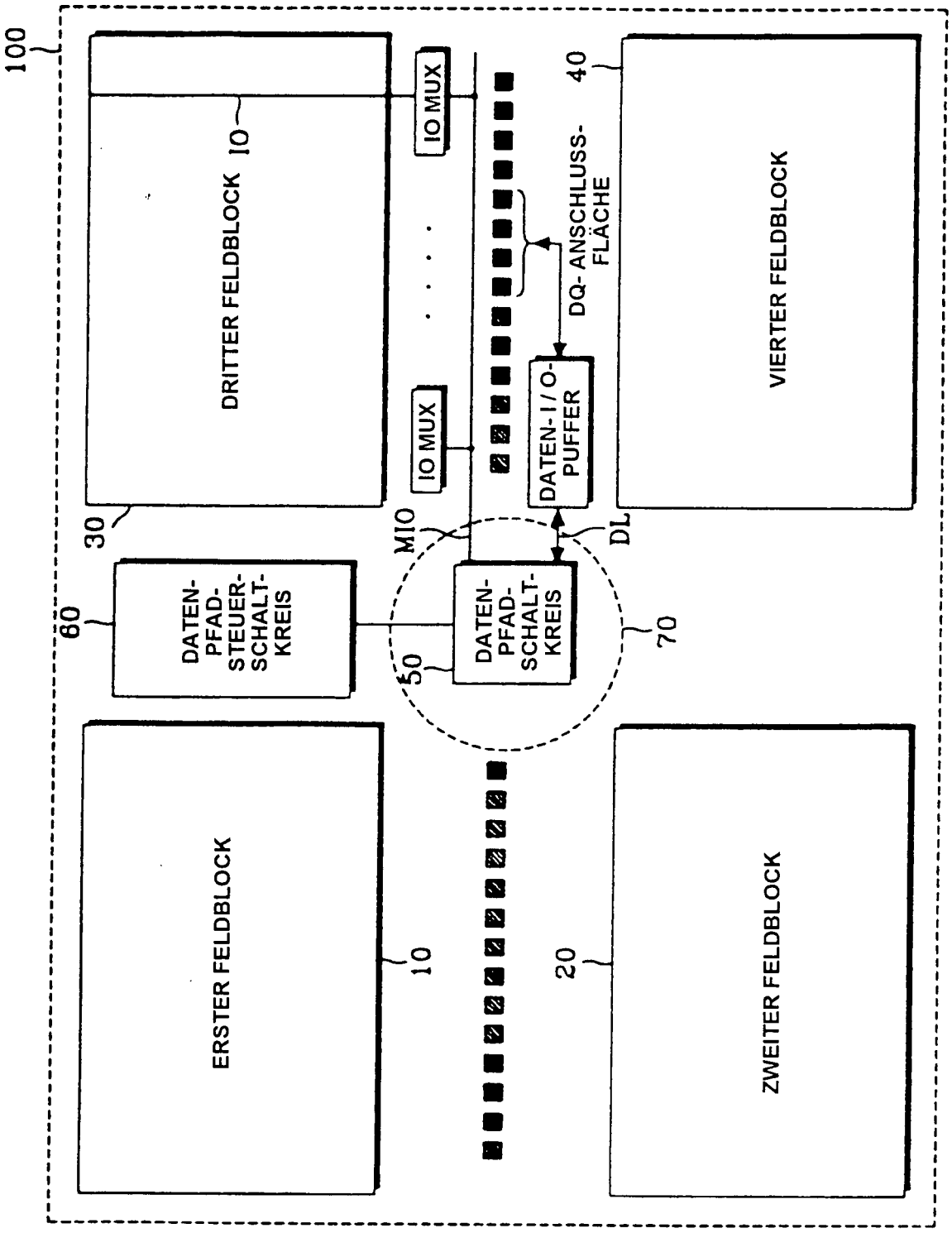


Fig. 1

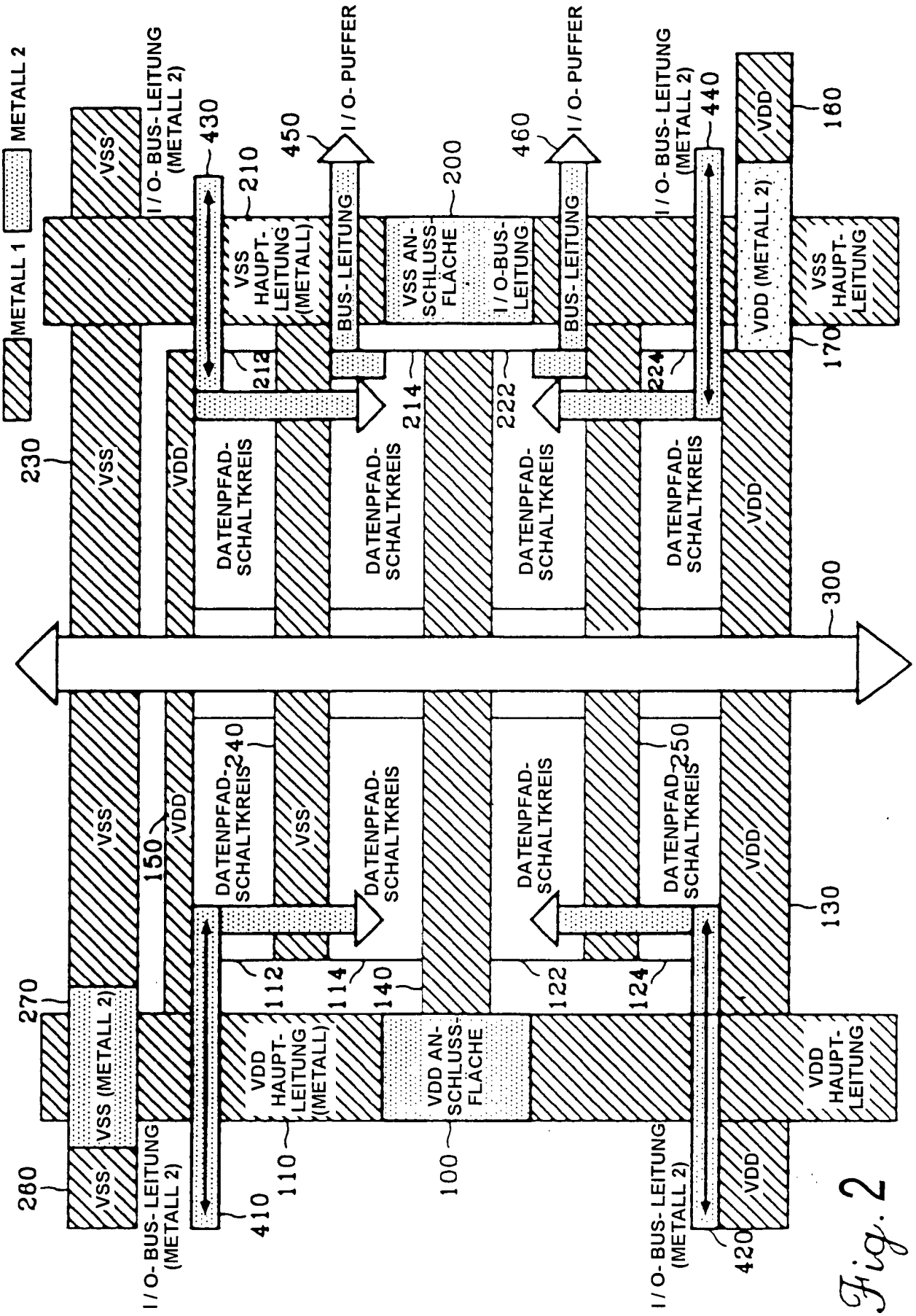

METALL 2
METALL 1
I/O-BUS-LEITUNG (METALL 2)
I/O-PUFFER
BUS-LEITUNG
VSS HAUPT-LEITUNG (METALL)
VSS ANSCHLUSS-FLÄCHE
I/O-BUS-LEITUNG
VDD (METALL 2)
VSS HAUPT-LEITUNG
DATENPFAD-SCHALTKREIS
VSS (METALL 2)
VDD HAUPT-LEITUNG (METALL)
VDD ANSCHLUSS-FLÄCHE
VDD HAUPT-LEITUNG
VSS
VDD
100
110
112
114
120
122
124
130
140
150
160
170
200
210
212
214
220
222
224
230
240
250
270
280
300
410
420
430
440
450
460

Fig. 2

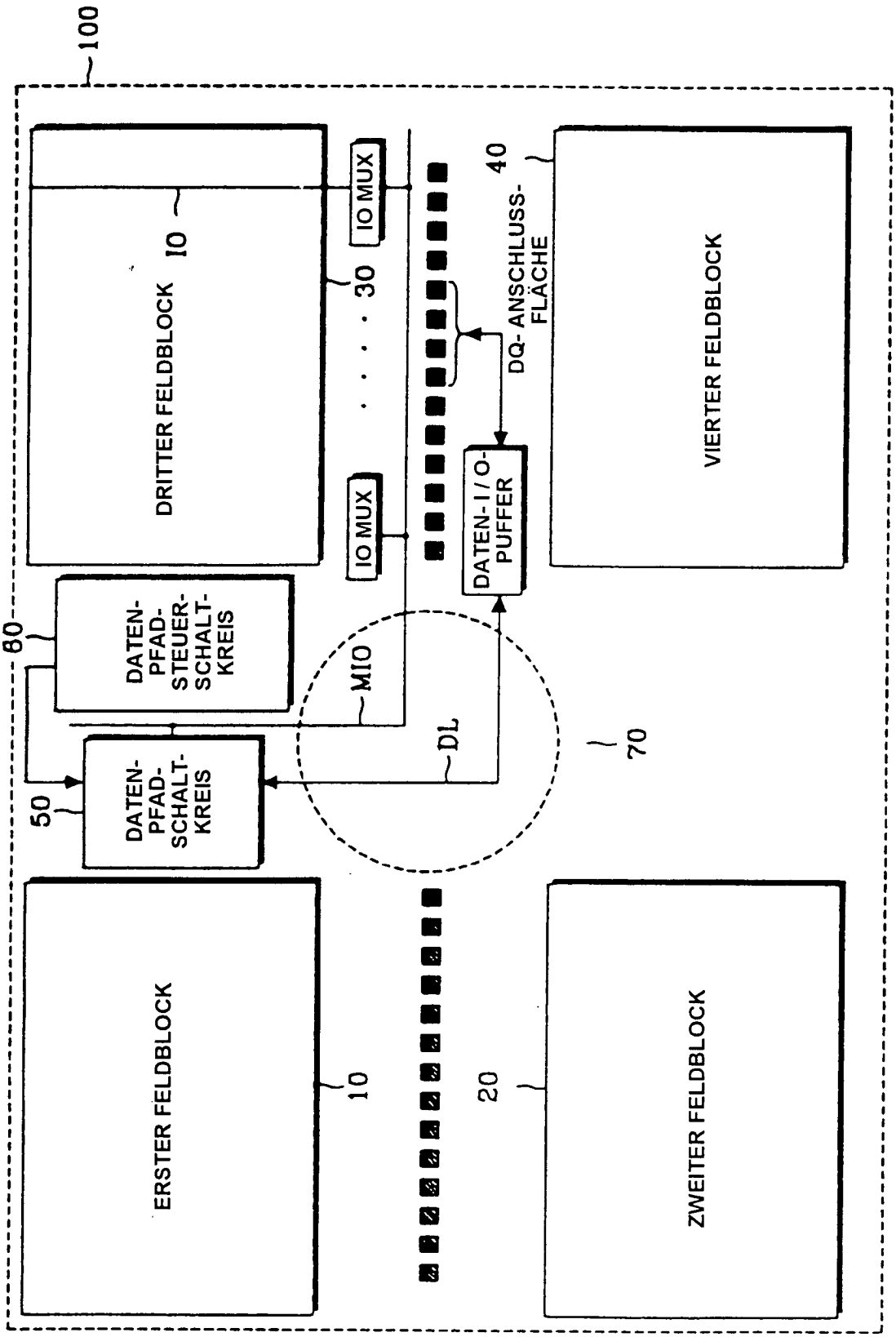

100
ERSTER FELDBLOCK
10
ZWEITER FELDBLOCK
20
DRITTER FELDBLOCK
10
VIERTER FELDBLOCK
40
IO MUX
IO MUX
30
DQ- ANSCHLUSS-FLÄCHE
DATEN-I/O-PUFFER
DATEN-PFAD-STEUER-SCHALT-KREIS
80
DATEN-PFAD-SCHALT-KREIS
50
MIO
DL
70
STAND DER TECHNIK

Fig. 3