

C (45) 11/00 11/10
11/00 11/10
(51) Kv.Ik.⁴/Int.Cl.⁴ G 06 F 11/00, 11/10

SUOMI-FINLAND

(FI)

Patentti- ja rekisterihallitus
Patent- och registerstyrelsen

(21)	Patentihakemus – Patentansöknng	830151
(22)	Hakemispäivä – Ansökningsdag	17.01.83
(24)	Alkupäivä – Giltighetsdag	17.01.83
(41)	Tullut julkiseksi – Blivit offentlig	20.07.83
(44)	Nähtäväksipanon ja kuul.julkaisun pvm. – Ansökan utlagd och utl.skriften publicerad	29.09.89
(86)	Kv. hakemus – Int. ansökan	
(32) (33) (31)	Pyydetty etuoikeus – Begärd prioritet	19.01.82
USA(US) 340611 Toteennäytetty-Styrkt		

(71) Tandem Computers Incorporated, 19333 Vallco Parkway, Cupertino, Cal., USA(US)

(72) Richard Anthony Humphrey, Sunnyvale, Cal.,
Steven Derek Fisher, San Mateo, Cal.,
Steven Warren Wierenga, Sunnyvale, Cal.,
Jon Sjostedt, San Francisco, Cal., USA(US)

(74) Oy Kolster Ab

(54) Muistijärjestelmä - Minnessystem

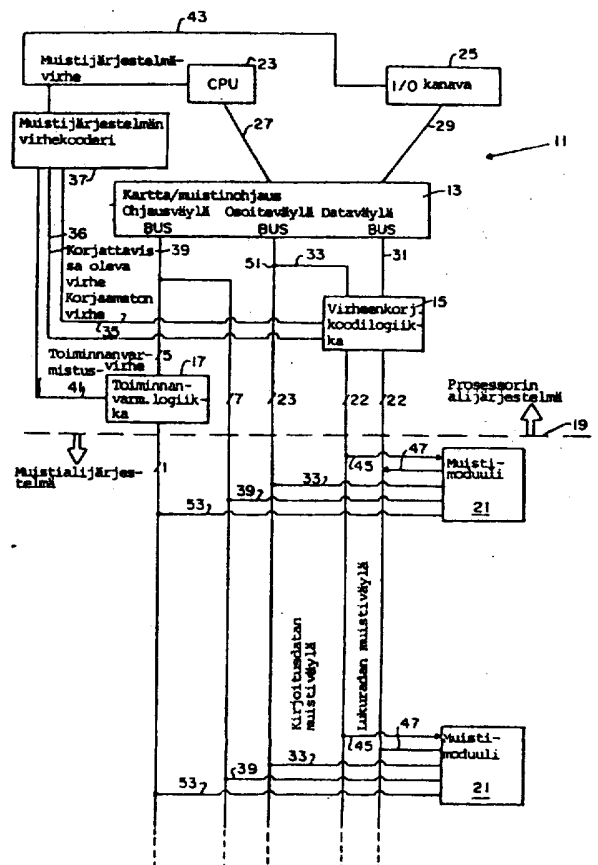
(57) Tiivistelmä

Muistijärjestelmä tietokonetta varten havaitsee datavirheet, osoitevirheet ja toimintavirheet muistijärjestelmään tallennetun datan luotettavuuden lisäämiseksi. Osoitevirheet havaitaan koodaamalla osoitepariteetti-informaatio kunkin muistipaikan datavarmistuskenttään. Kussakin muistimoduulissa (21) kehitetään signaali, joka ilmaisee tämän muistimoduulin toimintatilan ja joka siirretään tietokoneen prosessorin alijärjestelmään verrattavaksi signaaliin, joka ilmaisee prosessorin alijärjestelmän toimintatilan, jolla varmistetaan, että kaikki muistimoduulit ja prosessorin muistinohjaus vastaanottavat samat komennot.

(Kuvio 1)

(57) Sammandrag

Ett minnessystem för en datamaskin detekterar datafel, adressfel och manövreringsfel för ökande av tillförlitligheten hos data som uppbevaras i minnessystemet. Adressfel detekteras genom kodning av adressparitetsinformation in i datakontrollfältet av varje minnesplats. En signal alstras i varje minnesmodul (21) för indikering av drifttillståndet hos denna minnesmodul och denna signal överförs till processorns undersystem i datamaskinen för jämförelse med en signal, vilken indikerar drifttillståndet hos processorns under system för säkerställande av, att samtliga minnesmoduler och minnesstyrningen i processorn mottager samma kommandon.



Muistijärjestelmä

Tämä hakemus liittyy yleisesti sen tyyppisiin muistijärjestelmiin, joita on esitetty US-patenttijulkaisussa 4 228 496 ja siitä jaetussa US-patenttihakemuksessa nro 06/147309, joka on jätetty 6.5.1980.

Tämä keksintö liittyy muistijärjestelmään tietokonetta varten. Se liittyy erityisesti sen tyyppiseen sanoittaiseen, luku-kirjoitus- tai lukuhajasaantimuistiin, jossa on puolijohdesääntiö, jossa on tietokenttä ja tiedon varmistuskenttä kunkin sanan tietovirheiden havaitsemiseksi. Keksintö soveltuu myös muihin muistisääntöihin kuin puolijohdesääntöihin, esimerkiksi sydänmuisti ja muut bitintallennusvälinetyypit. Muistisana voi edustaa useampaa kuin yhtä datasanaa tietyssä tietokoneessa.

Esillä oleva keksintö soveltuu sen tyyppiseen muistijärjestelmään, jossa prosessorimoduuli liittyy yhteen tai useampaan muistimoduuliin.

Esillä olevan keksinnön muistijärjestelmä sallii datavirheiden, osoitevirheiden ja toimintavirheiden havaitsemisen.

Tallennetun tiedon virheet voivat aiheutua yhden tai useamman bitin tarrautumisesta puolijohdemuistiin tallennettuun tietosanaan ja tällaiset virheet voidaan havaita liittämällä tiedonvarmistuskenttä tallennetun sanan tietokenttään. Eri tyyppisiä virheitä voidaan havaita tiedonvarmistuskenttään liittyvillä koodeilla. Esimerkiksi merkkikoodilla, jollainen on esitetty US-patentissa nro 4 228 496, myönnetty 14.10.1980, (ja joka on esillä olevan hakemuksen hakijan nimissä) kaikki yhden bitin datavirheet voidaan havaita ja korjata, kaikki kanden bitin datavirheet voidaan havaita ja jotkin virheet, joihin liittyy useampia kuin kaksi bittiä, voidaan havaita.

Muistijärjestelmän yleisen luotettavuuden lisäämiseksi on toivottavaa havaita osoitevirheet samoin kuin

virheet tallennetussa datassa.

On tunnettua rakentaa itsevarmentava muisti-
osoitedekooderi suoraviivaisella tavalla (kahdentamalla
ja vertaamalla ulostuloja), mutta koko ja kustannukset
5 voivat tulla esteeksi kun muistin koko kasvaa. Siten 20
bitin osoitteessa on kaksi potenssiin 20 dekooderiulos-
tuloa vaatien karkeasti kaksi potenssiin kahdeksantois-
ta (noin 262000) integroitua piiriä vain vertaamiseen.
Lisäksi todellisessa päämuistissa osoitedekoodaus suori-
10 tetaan useilla tasoilla: ensin "moduulivertailu" yhden
useista PC levyistä valitsemiseksi, sitten "rividekoodaus"
yhden sanan valitsemiseksi muistivälineistä, sitten si-
säiset X-Y dekooderit yhden yksittäisen bittialkion va-
litsemiseksi muistivälineistä. Tämä luo lisää ongelmia
15 muodostettaessa muistiosoitteen itsevarmistusoperaatiota.

Tyydyttävän osoitevirheen havaitsemisen aikaan-
saaminen mielekkäällä lukumäärällä integroituja piirejä
on ollut ongelma aikaisemmassa tekniikassa.

Datavirheen havaitseminen ja/tai korjaaminen si-
20 nänsä ei suojaa muistijärjestelmää toimintavirhettä vas-
taan. Esimerkiksi, jos väylän sisältö johtaisi kirjoitus-
käskyn tuottamiseen väärään aikaan, virhejärjestelmä tie-
tokenttään juuttuneiden bittien havaitsemiseksi ei antai-
si suojaa virheellisestä toimintakäskystä johtuvaa muisti-
25 virhettä vastaan.

Korkean luotettavuuden aikaansaamiseksi muistijär-
jestelmälle on suotavaa varmistaa, että kunkin muistimoduu-
lin toiminnot ovat tahdissa siihen liittyvän prosessori-
moduulin toimintojen kanssa.

30 Esillä olevan keksinnön ensisijainen tarkoitus on
havaita osoitevirheet koodaamalla osoitepariteetti-infor-
maatio kunkin muistipaikan tiedonvarmistuskenttään.

Lisäkohteena on havaita osoitevirheet dekodeaus-
tekniikalla, joka ei vaadi osoitteen tallennusta osoite-
35 virheen havaitsemiseksi.

Toinen lisäkohde on lisätä järjestelmätason luotet-

tavuutta oleellisella määrällä, kuten 10-100 kertaiseksi, sisällyttämällä osoitepariteettibittimenetelmä jo olemassa olevaan tiedonvarmennuskoodin kehitysjärjestelmään niin, että osoitevirheen havaitseminen voidaan aikaan-
5 saada oleellisesti ilman kustannuksia.

Esillä olevan keksinnön eräänä muuna kohteena on varmistaa, että kaikki muistimoduulit ja prosessorin muistino-
hjaus saavat samat käskyt.

Lisäkohteena on havaita kaikki toimintosarjan erot
10 prosessorin ja kaikkien muistimodulien välillä ja muodostaa keskeytys prosessorille, jos ero havaitaan.

Lisäkohteena on kehittää kussakin muistimoduulissa signaali, joka ilmaisee tämän muistimoduulin toimintatilan ja siirtää tämä signaali prosessorin toiminnanvarmistus-
15 logiikkaan verrattavaksi prosessorimoduulin toimintojen tilaan.

Esillä olevan keksinnön vielä eräs kohde on yhdistää tietovirheen, osoitevirheen ja toimintavirheen havaitseminen muistijärjestelmässä järjestelmätason luotettavuuden lisäämiseksi.
20

Esillä olevassa keksinnössä prosessorimoduuli liittyy yhteen tai useampaan muistimoduuliin tavalla, joka sallii tietovirheiden, osoitevirheiden ja toimintavirheiden havaitsemisen.

25 Esillä olevan keksinnön muistijärjestelmä sisältää prosessorin alijärjestelmän ja muistin alijärjestelmän.

Prossessorin alijärjestelmä käsittää kartta/muistiohjauksen, virheenkorjauskoodilogiikan, toiminnanvarmennuslogiikan ja muistijärjestelmän virhekodeerin. Kaikki
30 nämä komponentit on sijoitettu fysikaalisesti muistijärjestelmän prosessorin alijärjestelmäosaan. Tämä rakenne varmistaa, että havaitaan kaapeloinnissa ja liittimissä syntyvät osoitevirheet, jotka muutoin saattaisivat jäädä havaitsematta, jos virheenkorjauskoodirakenne olisi si-
35 joitettu muistimoduuleihin.

Kukin muistimoduuli käsittää puolijohdemuistisääntiön, ajoitus- ja ohjauslogiikan, ja väylät muistisääntiön yhdistämiseksi kartta/muistiohjaukseen ja virheenkorjauskoodilogiikkaan ja ajoitus- ja ohjauslogiikan yhdistämiseksi kartta/muistiohjaukseen.

Kullakin muistimoduulilla on myös toimintatila-
väylä, joka on kytkettävissä prosessorimoduulin toiminnan-
varmennuslogiikkaan ja toimintatilakone, joka liittyy toimintatilaväylään ja ajoitus- ja ohjauslogiikkaan signaalin kehittämiseksi, joka indikoi muistimoduulin toimintatilat, ja tämän signaalin siirtämiseksi toiminnanvarmennuslogiikkaan verrattavaksi prosessorimoduulin toimintatilaan.

Esillä olevan keksinnön erityisessä suoritusmuodossa puolijohdemuistisääntiössä on kuusitoista databittiasemaa ja kuusi varmennusbittiasemaa muodostaen kahdenkymmenen kahden bitin muistisanan.

Virheenkorjauskoodi on merkkikoodi, joka soveltuu kaikkien yhden databitin virheiden havaitsemiseen ja korjaamiseen ja kaikkien kahden databitin virheiden havaitsemiseen ja joidenkin databittivirheiden havaitsemiseen, joihin liittyy useampia kuin kaksi bittiä.

Esillä olevassa keksinnössä osoitepariteettinformaatio on koodattu kuuden bitin varmennuskenttään tavalla, joka sallii virheenkorjauskoodilogiikan havaita kaikki yhden bitin osoitevirheet myös yhden bitin datavirheen läsnäollessa.

Esillä olevan keksinnön erityisessä suoritusmuodossa koodaus osoitevirheen havaitsemista varten tehdään vaiheittain. Ensimmäisessä vaiheessa 23 bitin osoitesana koodataan 13 bitin pariteettipuiksi ja 10 bitin pariteettipuiksi kahden pariteettibitin tuottamiseksi erillisillä linjoilla. Nämä kaksi pariteettibittiä koodataan sitten yhdeksän bitin pariteettipuun yhdistyskaavan mukaisesti kuuden bitin varmistuskentäksi. Siten 23 bitin osoite on koodattu kuuden varmistusbitin osana puolijohdemuisti-

sääntiöön syötetyssä 22 bitin datakoodisanassa.

Seuraavassa lukutoiminnassa datakoodisana luetaan muistisääntiöstä ja yhdistetään äskettäin kehitettyihin lukuosoitteen pariteettibitteihin, jotka on siirretty var-
5 mistusbittikomparaattoriin. Varmistusbittikomparaatto-
rissa nämä kaksi osoitepariteettibittiä yhdistetään luet-
tuun datakoodisanaan oireyhtymän kehittämiseksi oireyh-
tymäväylälle, joka osoittaa virheen tyyppin, jos sellai-
nen on.

10 Koska, kuten yllä on mainittu, virheenkorjauskoodi-
sinänsä ei suojaa virheitä vastaan, jotka seuraavat vää-
rystä toiminnasta, kuten esimerkiksi virheellisestä kir-
joituskäskystä, esillä oleva keksintö sisältää toiminta-
tilamekanismin kussakin toimintamoduulissa signaalin ke-
15 hittämiseksi, joka indikoi tämän muistimoduulin toimin-
tatiloja. Tätä kehitettyä signaalia verrataan sitten sig-
naaliin, joka edustaa prosessorimoduulin toimintatiloja
ja toiminnanvarmistuslogiikka havaitsee kaikki erot toi-
mintatiloissa ja muodostaa virhesignaalin, joka johtaa
20 keskeytykseen, jos näiden kahden signaalin välillä on jo-
kin looginen ero.

Muistijärjestelmälaitteet ja menetelmät, jotka si-
sältävät yllä kuvatun rakenteen ja tekniikat ja jotka
ovat toiminnaltaan tehokkaita, kuten yllä on kuvattu,
25 muodostavat muita tämän keksinnön erityisiä kohteita.

Esillä olevan keksinnön toiset ja muut kohteet
ilmenevät seuraavasta selityksestä ja patenttivaatimuksis-
ta ja ne on havainnollistettu oheisissa piirustuksissa,
jotka esimerkinomaisesti esittävät esillä olevan keksin-
30 nön edullisia suoritusmuotoja ja niiden periaatteita ja
niitä tapoja, joiden nyt on harkittu olevan parhaita näi-
den periaatteiden soveltamiseksi. Keksinnön muita suori-
tusmuotoja, jotka edustavat samoja tai samankaltaisia
periaatteita voidaan käyttää ja alan ammattimiehet voi-
35 vat tehdä rakenteellisia muutoksia tarpeen mukaan poikkeaa-
matta esillä olevasta keksinnöstä ja oheisten patentti-
vaatimusten piiristä.

Oheisissa piirustuksissa

kuvio 1 on esillä olevan keksinnön yhden suoritusmuodon mukaisesti konstruoidun muistijärjestelmän lohko-kaavio,

5 kuvio 2 esittää kuviossa 1 esitetyn muistijärjestelmän muistimoduuliosan lisäyksityiskohtia,

 kuvio 3 on esitys kuviossa 1 esitetyn muistijärjestelmän toiminnanvarmistuslogiikkaosan toimintatila-koneesta ja vertailulogiikasta, kuviot 4A-4F ovat tila-
10 konediagrammeja tilakoneille, jotka on sisällytetty kuvion 1 muistin alijärjestelmän toiminnanvarmistuslogiikkaan ja prosessorin alijärjestelmän kartta/muistinhjaukseen,

 kuvio 5 on diagrammi kuviossa 1 esitetyn muistijärjestelmän virheenkorjauskoodilogiikassa 15 käytetystä osoitepariteettibittibeneraattorista ja varmistusbittigeneraattorista. Kuvio 5 esittää myös logiikkayhtälöt kahdelle varmistusbittigeneraattorissa käytetylle 9 bitin pariteettipuulle,

20 kuvio 6 esittää kuviossa 1 esitetyn muistijärjestelmän virheenkorjauskoodiosaan sisällytetyn varmistusbittikomparaattorin,

 kuvio 7 esittää yksityiskohtia kuvion 3 toimintatilakoneesta 67, ja

25 kuvio 8 esittää yksityiskohtia kuvion 2 toimintatilakoneesta.

 Esillä olevan keksinnön yhden suoritusmuodon mukaisesti konstruoitu muistijärjestelmä on merkitty kuviossa 1 yleisesti viitenumerolla 11.

30 Muistijärjestelmä on sisällytetty US-patenttissa nro 4 228 496, joka on myönnetty 14.10.1980 ja on saman hakijan nimissä kuin esillä oleva hakemus, esitetyn kaltaiseen moniprosessorijärjestelmään. Tämä US-patenttijulkaisu nro 4 228 496 esitetään täten tämän hakemuksen
35 viitejulkaisuna ja siihen viitataan jatkossa "viitepatenttina".

Esillä olevan keksinnön muistinohjausjärjestelmällä on erityistä käyttöä viitepatentissa esitetyn kaltaisissa moniprosessorijärjestelmissä, mutta sen käyttö ei rajoitu tällaisiin järjestelmiin. Esillä olevan keksinnön muisti-
5 järjestelmällä on käyttöä myös yksiprosessorijärjestelmäs-
sä.

Esillä olevan keksinnön muistijärjestelmää kuva-
taan nyt viitaten tämän hakemuksen piirustusten kuvioon 1
ja kuvioihin 2-8. Tämän hakemuksen kuvio 1 vastaa yleisesti
10 viitepatentin kuviota 34.

Kuviossa 1 esitetty muistijärjestelmä käsittää kart-
ta/muistinohjauksen 13, virheenkorjauskoodilogiikan 15 ja
toiminnanvarmistuslogiikan 17 ja muistijärjestelmän virhe-
kooderin 37, jotka kaikki on fysikaalisesti sijoitettu
15 muistijärjestelmän prosessorin alijärjestelmäosaan (kuten
on kaaviollisesti ilmaistu katkoviivasta 19 ylöspäin osoit-
tavalla nuolella), ja yhden tai useampia muistimoduuleja
21, jotka on fysikaalisesti sijoitettu muistin alijärjes-
telmään (kuten on kaaviollisesti ilmaistu katkaisuviivasta
20 19 alaspäin osoittavalla nuolella).

Kartta/muistinohjaus 13 on liitetty keskusproses-
soriyksikköön (CPU) 23 väylällä 27, joka käsittää data-,
loogiset osoite-, ja ohjauslinjat, ja prosessorin alijär-
jestelmän sisääntulo/ulostulo-(I/O)-kanavan 25, kuten on
25 esitetty kuviossa 1. I/O-kanava 25 on liitetty kartta/-
muistinohjaukseen 13 väylällä 29, joka myös käsittää data-,
loogiset osoite-, ja ohjauslinjat.

Kuviossa 1 esitettyssä erityisessä suoritusmuodos-
sa keskusprosessoriyksikkö 23 vastaa yleisesti viitepa-
30 tentin kuviossa 34 esitettyä CPU:ta 105 ja kuvion 1 I/O
kanavaa 109.

Virheenkorjauskoodilogiikka 15 liittyy kartta/muis-
tinohjaukseen 13 dataväylällä 31 ja osoiteväylällä 33.
Virheenkorjauskoodilogiikan ulostulolinjat 35 ja 36 on
35 kytketty muistijärjestelmän virhekooderiin 37.

Ulostulolinja 35 merkitsee "korjaamatonta virhettä" kun taas ulostulolinja 36 merkitsee "korjattavissa olevaa virhettä".

Toiminnanvarmistuslogiikka 17 on liitetty kartta/muistinohjaukseen 13 ohjausväylällä 39. Toiminnanvarmistuslogiikka 17 on liitetty myös muistijärjestelmän virhekooderiin 37 toiminnanvarmistusvirhelinjalla 41.

Muistijärjestelmän virhekooderilla 37 on muistijärjestelmän virheulostuloväylä 43, joka on puolestaan liitetty CPU:hun 23 ja sisääntulo/ulostulokanavaan 25, kuten on esitetty kuviossa 1.

Kullakin muistimoduulilla 21 on viisi väyläliittintää, jotka liittävät muistimoduulin 21 kartta/muistinohjaukseen 13, virheenkorjauskoodilogiikkaan 15 ja toiminnonvarmistuslogiikkaan 17. Siten kukin muistimoduuli 21 on liitetty virheenkorjauskoodilogiikkaan 15 kaksisuuntaisella dataväylällä, joka käsittää kaksi yksisuuntaista dataväylää, sisääntulo(kirjoitus)dataväylän 45 ja ulostulo(luku)dataväylän 47.

Kukin muistimoduuli 21 on liitetty kartta/muistinohjaukseen 13 osoiteväylällä 33.

Kullakin muistimoduulilla 21 on toimintatilalinja 53, joka on liitetty toiminnanvarmistuslogiikkaan 17.

Kukin muistimoduuli 21 on liitetty myös kartta/muistinohjaukseen 13 ohjausväylällä 39. Ohjausväylä 39 käsittää seitsemän linjaa. Vain viisi linjoista menee toiminnanvarmistuslogiikkaan 17, kuitenkin kaikki ohjausväylän 39 seitsemän linjaa on liitetty kuhunkin muistimoduuliin 21. Bittien lukumäärä ohjausväylällä 39 ja muilla väylillä, jotka on esitetty piirustusten useissa kuvioissa, on ilmaistu pienillä numeroilla, jotka liittyvät väylälinjoilla oleviin vinoviivoihin.

Kuviossa 1 esitetty muistijärjestelmä sisältää neljä tärkeää toimintoa, jotka toimivat sanaosoitteella saata-
vissa olevien tietojen tallennuksen ja haun perustoimintojen, yksittäisten datavirheiden korjauksen ja kaksoisdata-

virheiden havaitsemisen, kuten on kuvattu viitepatentissa, sen yhteydessä ja lisäksi. Näitä toimintoja kuvataan yksityiskohtaisemmin myöhemmin tässä hakemuksessa.

Ensimmäinen toiminta on osoitevirheen havaitseminen, jonka suorittaa virheenkorjauskoodilogiikka 15 yhdessä muistimoduulin 21 kanssa. Osoitevirheen havaitseminen varmistaa, että havaitaan kaikki virheet osoitteen-siirrosta, vertailusta, ja havaitsemislogiikassa, jotka ilmenevät muistipaikan kirjoittamisen ja lukemisen välillä. Tämän toiminnan suoritettava rakenne on fysikaalisesti sijoitettu prosessorin alijärjestelmään. Tämä rakenne varmistaa, että havaitaan osoitevirheet, jotka lisäksi ilmenevät kaapeloinnissa ja liittimissä ja jotka muutoin saattaisivat jäädä havaitsematta, jos tämä rakenne olisi sijoitettu muistimoduuleihin.

Toinen toiminta on signaalin kehittäminen muistimoduulissa 21, jota signaalia käytetään toimintavirheen havaitsemiseen. Tämä toiminta on muodostettu toimintatilakoneologiikalla, joka on sijoitettu muistimoduuliin 21.

Kolmas toiminta on toimintavirheen havaitseminen, jonka suorittaa toiminnanvarmistuslogiikka 17 yhdessä muistimoduulin 21 kanssa.

Neljäs toiminta on osoitevirheen havaitsemisen ja muistitoimintavirheen havaitsemisen yhdistelmä.

Kuvio 2 esittää lisää yksityiskohtia muistimoduulista 21, joka käsittää puolijohdemuistisääntiön 55 ja ulostulosalvan 57.

Muistimoduuli 21 sisältää myös ajoitus- ja ohjauslogiikan 59 ja toimintatilakoneen 61.

Ajoitus- ja ohjauslogiikka 59 on liitetty toimintatilakoneeseen 61, puolijohdemuistisääntiöön 55 ja ulostulosalpaan 57 välillä 63, joka käsittää ohjaussignaalinjat.

Puolijohdemuistisääntiö 55 liittyy ulostulosalpaan 57 välillä 65, joka käsittää datalinjat.

Viitaten jälleen kuvioon 2 ensimmäinen muisti-
moduulin 21 toiminta on tallennustoiminta; puolijohde-
muistisääntiö 55 yhdessä ulostuloluk kopiirin 57 ja ajoitus- ja ohjauslogiikan 59 kanssa muodostavat tallennus-
5 toiminnan datan tallentamiseksi ja noutamiseksi. Muisti-
moduulin tallennustoiminnan kolme perustoimintaa ovat
luku, kirjoitus ja verestäminen.

Muistimoduulin 21 toinen toiminta, toiminnanvarmistustoiminta, käyttää toimintatilakonetta 61. Jos esiin-
10 tyy (1) unohdettu toiminta, (2) nollatoiminta - ei luku,
ei kirjoitus, ei verestäminen, ja aloitus, (3) monta toimintaa, esimerkiksi luku ja kirjoitus ja aloitus, tai (4)
virheellinen toiminta, esimerkiksi luku kirjoituksen sijasta ja aloitus, niin toimintatilakone 61 muuttaa tilaa
15 järjestyksessä, joka on erilainen kuin toimintatilakoneen
67 järjestys kuvion 3 toimintatilalogiikassa 17.

Tämä toinen toiminta muodostaa signaalit, jotka edustavat toimintatilakoneen 61 tilaa kussakin muistimoduulissa toiminnanvarmistuslogiikkaan 17 muistimoduulin 21 toiminnan varmistamiseksi. Toimintatilakone 61
20 kehittää ajoitus- ja ohjauslogiikan 59 kulloistakin tilaa edustavien signaalien perusteella signaalin, joka indikoi muistimoduulin ajoitus- ja ohjaussignaalien tilaa, (luku-, kirjoitus-, ja verestyssignaalit järjestyksessään) joka
25 siirretään toimintatilalinjaa 53 toiminnanvarmistuslogiikkaan 17 (katso kuvio 1). Linjalla 53 siirretty signaali sallii toiminnanvarmistuslogiikan 17 suorittaa toiminnanvarmistuksen, kuten kuvataan myöhemmin tässä hakemuksessa.

Kuten kuviossa 3 on esitetty, toiminnanvarmistuslogiikka 17 käsittää toimintatilakoneen 67 ja vertailu-
30 logiikan 69. Toimintatilakone 67 on liitetty vertailu-
logiikkaan 69 linjalla 71 vertailutilabitin siirtämiseksi vertailulogiikkaan 69.

Kuten kuviossa 7 on esitetty toimintatilakone 67
35 käsittää logiikkafunktion 68 ja tilarekisterin 70. Ohjausväylä 39 syöttää sisääntulot logiikkafunktioon 68. Väylä

72 yhdistää logiikkafunktion tilarekisteriin 70 ja väylä 74 syöttää takaisin signaalit tilarekisteristä logiikkafunktion 68 sisääntuloon. Linja 76 ohjausväylästä 39 syöttää kellosignaalin tilarekisteriin 70.

- 5 Logiikkafunktio 68 toteuttaa kuvioiden 4A-4F tiladiagrammin seuraavan tilafunktion.

Erityisessä toteutuksessa tilarekisteri käsittää viisi kiikkua vallitsevan tilan tallentamiseksi samalla kun logiikkafunktio 68 laskee seuraavaa tilaa.

- 10 Kuten tiladiagrammeissa 4A-4F on esitetty, seuraava tila missä tahansa kierrossa riippuu vallitsevasta tilasta ja vallitsevan kierron tyypistä. Neljä väylällä 39 olevasta viidestä signaalista määrittää kierron tyypin ja jäljelle jäävä signaali on kello.

- 15 Toimintatilakoneet 67 ja 61 ovat identtisiä. Toimintatilakone 61 eroaa kuitenkin toimintatilakoneesta 67 signaalin suhteen, joka on läsnä vastaavasti sisääntulossa 50 ja 40. Tiettyjen kiertojen yhteydessä (nolla, monikeratyyppi) se on tunnettu virhetila ja tilakone muuttaa tilaa epäsuorasti tilan "C" kautta (katso kuviot 4E ja 4F)
- 20 "lukitus"tilaan, joka säilytetään palautukseen asti. "Lukitus"tiloja on varsinaisesti kaksi A ja B. Jos tilakone on toiminnanvarmistuslogiikassa 17 (MCB 10=1 linjalla 40) tilakone suorittaa siirron tilaan A ja jos se on muistimoduulissa 21 (MEM 10=0 linjalla 50) se menee tilaan B.
- 25 Jos toimintatilakone 67 ja toimintatilakone 61 ovat molemmat vastaavissa lukitustiloissaan niin vertailutilabitti ja toimintatilabitti muistimoduulista eroavat aiheuttaen toiminnanvarmistusvirheen.

- 30 Vertailulogiikka 69 (katso kuv. 3) tarkistaa toimintatilabitin muistimoduulista linjalla 53 vertailutilabittiä vastaan toimintatilakoneesta 67 linjalla 71. Vertailulogiikka 69 kehittää signaalin linjalla 41, joka ilmaisee ovatko linjoilla 53 ja 71 olevat kaksi sisääntulosignaalia
- 35 loogisesti samanlaiset vai eivät. Jos ne eivät ole loogisesti samanlaiset, ulostulosignaali linjalle 41 osoittaa,

että toimintatilakone 67 ei ole yhtä mieltä toimintatila-
koneen 61 kanssa muistimoduulissa 21 (katso kuvio 2) ja
identifioidaan toimintavirhe. Huomaa, että mikä tahansa
toimintavirhe on korjaamaton siten toiminnanvarmistus-
5 virhe saa muistijärjestelmälinjat 43 ilmoittamaan muisti-
järjestelmän virhekooderin 37 kautta, että korjaamaton
muistivirhe on tapahtunut.

Virheettömässä toiminnassa signaalit linjoilla 53
ja 71 eivät ole loogisesti erilaisia. Jos ne kuitenkin
10 ovat loogisesti erilaisia identifioidaan toiminnanvarmis-
tusvirhe ja muistijärjestelmän virhekooderi 37 tuottaa
virhesignaalin. Kuten alla tullaan yksityiskohtaisemmin
kuvaamaan toiminnanvarmistus tiettyä muistimoduulia var-
ten suoritetaan vain tämän muistimoduulin lukujakson aikana.

15 Toimintatilakoneen 61 ja toiminnanvarmistuslogiikan
17 yhdistetty toiminta suojaa useita tekijöitä vastaan mu-
kaanlukien ohjainvirheet, vastaanotinvirheet ja kaapeli-
virheet, jotka aiheuttavat vääriä muistimoduulitoimintoja.
Se suojaa myös muistimoduulihäiriöitä vastaan, jotka estä-
20 vät minkä tahansa moduulitoiminnon.

Kuviot 4A-4F ovat diagrammeja, jotka osoittavat
tilat, joiden kautta prosessorin alijärjestelmän toiminta-
tilakone 67 ja muistimoduulin toimintatilakone 61 kulke-
vat muistin alijärjestelmän sarjassa niihin syötetyistä
25 sisääntulosignaaleista riippuvaisesti. Kuvio 1 4A-4F ovat
tilasiirtymäkerroksia yhdelle tilakoneelle. Ne on esitet-
ty erillään, kuten on esitetty yksityisissä kuvioissa 4A,
4B jne. kunkin erityisen siirtymisen ymmärtämisen helpot-
tamiseksi. Siten esimerkiksi tila 6 on sama kaikille jak-
30 soille ja kaikille kuvioille 4A-4F.

Kuvio 4A esittää verestämisjakson aiheuttamat tila-
siirtymät.

Kuvio 4B esittää tilasiirtymät kirjoitusjaksoa var-
ten.

35 Kuvio 4C esittää tilasiirtymät lukujaksoa varten.

Kuvio 4D esittää tilasiirtymät palautusjaksoa varten.

Kuvio 4E esittää tilasiirtymät muita jaksoja varten, jotka ovat tunnettuja virhetiloja, jos sisääntulo-
5 signaali 40 tai 50 on looginen nolla.

Kuvio 4F esittää tilasiirtymät muita jaksoja varten, jotka ovat tunnettuja virhetiloja, jos sisääntulosignaali 40 tai 50 on looginen ykkönen.

Kuviota 4D katsottaessa palautusjakson jälkeen kaik-
10 ki koneet ovat tilassa nolla. Katsoen nyt kuviota 4A verestysjaksosta riippuvaisesti tilakoneet vaihtaisivat tilaa tilasta nolla tilaan 6.

Jos suoritetaan jatkettuja verestysjaksoja, niin jatkettut tilakonesiirtymät jatkuisivat, kuten on osoitettu
15 tu nuolilla kuviossa 4A. Toisin sanoen seuraava siirtymä olisi tilasta 6 tilaan 10, seuraava siirtymä olisi tilasta 10 tilaan 1 jne. viitaten edelleen kuvioon 4A, jos tilasta nolla aloittamisen ja tilan muuttamisen tilaksi 6
jälkeen (kuten yllä on kuvattu) niin seuraava jakso on kirjoitusjakso (kuten kuviossa 4B on esitetty) niin kaikki
20 tilakoneet muuttavat tilaa tilasta 6 tilaan 9.

Kuviot 4C-4F voidaan tulkita samalla tavoin kuin kuviot 4A ja 4B.

Kuviot 5 ja 6 ovat yksityiskohtaisia kuvia kuviossa
25 1 esitetyn virheenkorjauskoodilogiikan 15 eri osista.

Kuvio 5 esittää yksityiskohtia osoitepariteettibitin kehityksestä ja varmistusbitin kehityksestä generaattoriyksikössä 73.

16 databittiä ja kuusi varmistusbittiä siirretään
30 virheenkorjauskoodilogiikasta 15 muistimoduuleihin 21 väylää 45 pitkin (katso kuvio 1). Tulisi huomata että, vaikka erityisessä kuvattavassa suoritusmuodossa on kuvattu 16 databittiä ja kuusi varmistusbittiä, järjestelmä soveltuu käytettäväksi myös kumpiakin ollessa enemmän tai vähemmän
35 yksittäisen virheen korjauksen ja kaksoisvirheen havaitsemisen merkkikoodien periaatteiden mukaisesti.

Kuvion 5 alemmassa osassa esitetyn varmistusbittigeneraattorin 86 9 bitin pariteettipuut on periaatteessa rakenteeltaan ja toimintatavaltaan samanlaiset kuin viitepatentin kuviossa 38 esitetyt 8 bitin pariteettipuut, paitsi että ylimääräinen sisääntulo on lisätty kuhunkin pariteettipuuhun ja sisällytetty logiikkayhtälöihin. Kuitenkin kuviossa 5 esitetty to-
5 tuustaulukko poissulkevalle TAI toiminnalle pätee sekä 8-bitin että 9-bitin pariteettipuutoteutukselle.

10 Linjoille 81 ja 79 tuotetut vasemmanpuoleisin ja oikeanpuoleisin pariteettibitti perustuvat osoitteeseen. Kuviossa 5 esitetty osoitepariteettibittigeneraattori 84 käsittää 10 bitin pariteettipuun 75 osoitebittejä 1-10 varten ja 13 bitin pariteettipuun 77 osoitebittejä 11-23
15 varten. Pariteettipuu 75 kehittää oikeanpuoleisimman osoitepariteettibitin linjalle 79, joka menee varmistusbittigeneraattoreihin 0, 1 ja 3. 13-bitin pariteettipuu 77 kehittää vasemmanpuoleisimman osoitepariteettibitin linjalle 81 ja tämä linja 81 syöttää tämän bitin varmis-
20 tusbittigeneraattoreihin 2, 4 ja 5.

Generaattori 86 tuottaa kuusi varmistusbittiä väylän 45 osalle 80 tallennettavaksi kuvion 2 muistisääntiöön 35. Näitä varmistusbittejä käytetään yhdessä 16 databitin kanssa kaikkien yksittäis- ja kaksoisbitti-
25 muistivirheiden havaitsemiseksi ja joidenkin kolmen tai useamman bitin muistivirheiden havaitsemiseksi. Kuutta varmistusbittiä käytetään myös 16 databitin yhteydessä yksittäisten databittivirheiden korjaamiseen. Tämä toimintatila on sama kuin viitepatentin kuvion 38 yhtey-
30 dessä kuvattu.

Nämä kaksi linjaa 79 ja 81 käsittävät osoitepariteetti-informaatiota, joka on koodattu kuudeksi varmistusbitiksi kirjoitusoperaatiossa, kuten aiemmin on selitetty. Seuraavan lukutoiminnon aikana linjat 79 ja 81 kä-
35 sittävät osoitepariteetti-informaatiota, joka perustuu osoitteeseen kuuluva LUKU toimintaa varten. Nämä linjat

(79 ja 81) on varmistettu muistimoduuleista luettua, kuudeksi bitiksi koodattua osoitepariteetti-informaatiota vastaan ja jos osoitepariteetti-informaation havaitaan eroavan annetaan korjaamatonta muistivirhettä tarkoittava signaali.

5 Tyypillinen osoitevirhe, jonka tämä keksintö havaitsisi on juuttunut osoitebitti osoiteväylällä 58 (katso kuvio 2) tai juuttunut osoitebitti itse muistimoduulin sisällä. Sana voidaan kirjoittaa paikkaan $\emptyset$ yhdessä
10 osoitepariteetti-informaation kanssa osoitetta $\emptyset$ varten. Jos väylään 58 on juuttunut viimeinen merkitsevä osoitebitti paikkaan $\emptyset$ niin LUKU-operaatio osoitteeseen 1 väylällä 33 siirtäisi osoitteen $\emptyset$ väylällä 58. Luetut kuusi varmistusbittiiä sisältävät koodin $\emptyset$:n osoitepariteettia
15 varten. Virheenkorjauskoodi (ECC) logiikka 15 osoittaa osoitevirheen.

Kuvio 6 esittää kuviossa 1 esitetyn virheenkorjauskoodilogiikan 15 varmistusbittikomparaattorin 83 yksityiskohtia.

20 Varmistusbittikomparaattorissa 83 on kolme sisääntuloa linjat 79 ja 81 (katso kuvio 5) ja lukudataväylä 47. Varmistusbittikomparaattorilla 83 on yksi ulostulo 85, joka on oireyhtymäväylä.

Varmistusbittikomparaattorissa 83 lukudataväylän
25 47 16 databittiiä liitetään pariteettipuihin, kuten on kuvattu ja lukudataväylän 47 kuusi varmistusbittiiä liitetään samalla tavoin pariteettipiiriin kuten on esitetty.

Pariteettipuut 87 toimivat samalla tavoin kuin viitepatentin kuviossa 39 esitetyt pariteettipuut 505 sitä
30 seikkaa lukuunottamatta, että pariteettipuut 87 ovat 10 bitin pariteettipuita kun taas pariteettipuut 505 ovat 9 bitin pariteettipuita.

Esillä olevan keksinnön mukaisesti lukujaksossa linjat 79 ja 81 osoittavat sen osoitteen pariteetin, jota
35 taan. Jos tämä ei ole yhtäpitävä varmistusbitteihin koodatun osoitepariteetin kanssa niin oireyhtymäväylälle 85

kehitetään koodi osoitevirheen ilmaisemiseksi.

Kuviossa 6 esitettyä varmistusbittikomparaattoria 3 käytetään ainoastaan lukujakson aikana. Kuvion 5 osoitepariteettibittigeneraattoria 84 käytetään sekä luku- et-
5 tä kirjoitusjaksojen aikana. Kuviossa 5 esitettyä varmistusbittigeneraattoria 86 käytetään ainoastaan kirjoitusjakson aikana.

Kuviossa 1 esitetty virheenkorjauskoodilogiikka 15 sisältää oireyhtymädekooderin, joka vastaanottaa signaalin oireyhtymäväylältä 85 (katso signaaleja oireyhtymäväylällä 85 kuviossa 6) ja oireyhtymädekooderi on sama kuin viitepatentin kuviossa 40 esitetty oireyhtymädekooderi.

Virheenkorjauskoodilogiikka 15 sisältää myös bittikomplementterin, jota ei ole esitetty tämän hakemuksen piirustuksissa, mutta joka suorittaa saman tehtävän kuin viitepatentin kuviossa 41 esitetty bittikomplementteri.

Oireyhtymäkoodia, joka siirretään oireyhtymäväylällä 83, käytetään esillä olevassa keksinnössä identifioimaan osoitevirheet samoin kuin datavirheet. Kahta monivirheulostuloa, jotka on saatu viitepatentin kuviossa 40 esitetystä oireyhtymädekooderista 485, käytetään nyt esillä olevassa keksinnössä havaitsemaan nämä virheet.

Seuraava taulukko 1 luettelee 6-bitin oireyhtymäkoodin 64 mahdollista arvoa ja antaa esillä olevassa keksinnössä käytetyn tulkinnan kullekin mahdolliselle arvolle.

Taulukko 1
Oireyhtymäkoodit

SO	S1	S2	S3	S4	S5	Virheen sijainti	SO	S1	S2	S3	S4	S5	Virheen sijainti
0	0	0	0	0	0	(ei virhettä)	1	0	0	0	0	0	CO
0	0	0	0	0	1	C5		0		0	0	1	(kaksois)
0	0		0	1	0	C4		0		0	1	0	(kaksois)
0	0		0	1	1	(kaksois)		0		0	1	1	D8
0	0		1	0	0	C3		0		1	0	0	(kaksois)
0	0		1	0	1	(kaksois)		0		1	0	1	D9
0	0		1	1	0	(kaksois)		0		1	1	0	D10
0	0	0	1	1	1	DO		0		1	1	1	(kaksois)
0	0	1	0	0	0	C2	1	0	1	0	0	0	(kaksois)
0	0		0	0	1	(kaksois)		0		0	0	1	D11
0	0		0	1	0	(kaksois)		0		0	1	0	(moni-kaikki-nollia)
0	0		0	1	1	(osoite)		0		0	1	1	(kaksois)
0	0		1	0	0	(kaksois)		0		1	0	0	D12
0	0		1	0	1	D1		0		1	0	1	(kaksois)
0	0		1	1	0	D2		0		1	1	0	(kaksois)
0	0		1	1	1	(kaksois)		0		1	1	1	(moni)
0	1	0	0	0	0	C1	1	1	0	0	0	0	(kaksois)
1	1		0	0	1	(kaksois)		1		0	0	1	D13
1	1		0	1	0	(kaksois)		1		0	1	0	D14
1	1		0	1	1	D3		1		0	1	1	(kaksois)
1	1		1	0	0	(kaksois)		1		1	0	0	(osoite)

Esillä olevan keksinnön mukaisesti konstruoitu datavirheenilmaisu- ja korjausjärjestelmä havaitsee ja korjaa kaikki yhden bitin data- tai varmistusbittivirheet, havaitsee kaikki kahden bitin data- ja varmistusvirheet
5 ja havaitsee jotkin data- ja varmistusvirheet, joihin liittyy useampia kuin kaksi bittiä. Esillä oleva keksintö havaitsee myös kaikki yhden bitin osoitevirheet ja havaitsee jotkin monibittiset osoitevirheet myös yhden bitin data- tai varmistusvirheiden läsnäollessa. Osoitevirheitä ei kor-
10 jata. Toimintavirheet, ts. erot toimintatilakoneen muistimoduulien 21 ja toiminnanvarmistuslogiikan 17 toimintatilakoneen tilojen välillä, havaitaan myös.

Yllä kuvattu muistijärjestelmän 11 toiminta data-
virheiden havaitsemisessa ja korjaamisessa on periaattees-
15 sa sama kuin viitepatentissa kuvatulla ja esitetyllä samanlaisella rakenteella. Katso palstalta 72 riviltä 53 palstalle 78 riville 52. Esillä olevan keksinnön niiden osien yksityiskohtaista kuvausta, jotka vastaavat niitä, jotka on esitetty ja kuvattu viitepatentin tässä osassa,
20 ei toisteta tässä hakemuksessa. Tulisi huomata, että esillä olevassa keksinnössä virheenkorjauskoodilogiikka on sijoitettu prosessorin alijärjestelmään, kuten on esitetty kuviossa 1 virheenkorjauskoodilogiikaksi 15 eikä muistimoduuleihin, kuten on kuvattu viitepatentissa.

25 Esillä olevan keksinnön erityisessä suoritusmuodossa koodaus suoritetaan kahdessa vaiheessa. Ensimmäisessä vaiheessa, kuten kuviossa 5 on esitetty, 23-bitin osoite koodataan 13 bitin pariteettipuuksi 77 ja 10-bitin pariteettipuuksi 75 kahden pariteettibitin tuottamiseksi vastaavasti linjoille 81 ja 79. Nämä kaksi pariteettibittiä linjoilla 81 ja 79 koodataan sitten 9-bitin pariteettipuiden yhdistyskuvion mukaisesti kuuden bitin tarkitusväylässä 81, joka on osa kuviossa 5 esitettyä väylää 45.

Siten 23-bitin osoite koodataan kuuden varmistusbitin
35 osana 22-bitin datakoodisanaksi, joka syötetään väylällä 45

puolijohdemuistisääntiöön 55 (katso kuvio 2). Seuraavassa lukuoperaatiossa datakoodisana luetaan muistisääntiöstä 55 (katso kuvio 2) ja siirretään lukudataväylää 47 (katso kuviot 2 ja 6), missä se yhdistetään äskettäin kehitettyihin lukuosoitepariteettibitteihin, jotka on linjoilla 79 ja 81 siirretty kuviossa 6 esitettyyn varmistusbittikomparaattoriin 83. Varmistusbittikomparaattorissa 83 nämä kaksi osoitepariteettibittiä yhdistetään luettuun datakoodisanaan oireyhtymän kehittämiseksi oireyhtymäväylälle 85, joka oireyhtymä osoittaa virheen tyyppin, jos sellainen esiintyy.

Osoitevirhe ja yksittäinen datavirhe yhdistelmänä havaitaan aina kaksois- tai monivirheena.

Jos havaitaan yksin osoitevirhe se heijastuu toisena oireyhtymäväylällä osoitetusta kahdesta erityisestä koodista (katso taulukko 1 yllä). Havaittu osoitevirhe signaloidaan linjalla 35 (katso kuvio 1) virheenkorjauskoodilogiikasta 15 muistijärjestelmän virhekooderiin 37, jonka kautta signaali kulkee linjoilla 43 CPU:hun 23 ja I/O kanavaan 25. Havaittua osoitevirhettä käsitellään muistijärjestelmän virheenä CPU:n 23 toimesta. CPU 23 käyttää tällöin oireyhtymäväylällä 85 olevaa informaatiota sille tuotetun muistijärjestelmän virheen tyyppin määrittämiseen; jos muistijärjestelmävirhe on osoitevirhe niin CPU 23 hylkää datan. CPU 23 tuottaa tällöin kuuluvan ohjelman keskeytyksen ja informoi operaattoria.

Viitaten kuvioihin 7 ja 8 toimintatilakoneet 61 ja 67 varmistavat (suurella vikapeittotasolla), että kaikki muistimoduulit 21 ja muistinohjaus 13, kunkin yhteistoimintajakson jälkeen muistin alijärjestelmän ja prosessorin alijärjestelmän välillä, vastaanottavat samat käskyt ja suorittavat samat operaatiot. Logiikkafunktio 6f yhdessä tilarekisterin 70 kanssa toteuttaa tilakoneen, kuten on määritetty tiladiagrammilla 4A-4F. Tilarekisteri 70 käsittää viisi kiikkua, jotka tunnetaan yleisesti viitaten jälleen kuvioihin 3 ja 4A-4F tilabittilinjalla 71 ja tilabittilin-

jalla 52, koska ne edustavat koodatussa muodossa niitä vastaavien toimintatilakoneiden tilaa, käytännössä koodaavat ohjauslinjatilojen sarjan kaikissa aikaisemmissa jaksoissa johtuen järjestelmän aikaisemmasta palautuksesta.

5 Tilakoneen 67 tila (katso kuvio 3) on tuotettu linjalle 71. Tilakoneen 61 tila (katso kuvio 2) on tuotettu linjalle 53. Vertailulogiikka 69 (katso kuvio 3) havaitsee kaikki erot näillä kahdella linjalla esitetyssä tilassa. Tämä vertailu tehdään ainoastaan lukujaksojen aikana. Muistimoduulin luvun aikana, jonka moduulin on valinnut fysikaalinen osoite väylällä 33, kolmitilainen portti 54 viritetään (katso kuvio 2); muutoin portti on virittämätön ts. suuri-impedanssisessa tilassa. Siten muistimoduuli syöttää toimintatilabitin linjalla 53. Jos vertailulogiikka 69 havaitsee eron tilassa vertailulogiikka 69
10 tuottaa signaalin toiminnanvarmistusvirhelinjalle 41, joka signaali syötetään muistijärjestelmään virhekooderiin 37 (katso kuvio 1) ja muistijärjestelmän virhekooderi 37 puolestaan aikaansaa korjaamatonta virhettä osoittavan signaalin tuottamisen väylälle 43. Kun CPU 23 on vastaanottanut tämän signaalin väylältä 43, se tuottaa ohjelmakeskeytyksen toimivalle järjestelmäohjelmalle. CPU 23 lukee myös oireyhtymäkoodin oireyhtymäväylällä 85. Oireyhtymäkoodi osoittaa, että virhe ei ole muistidata- tai osoitevirhe
15 osoittaen siten, että virhe on toiminnanvarmistus tässä hakemuksessa käsitellyn keksinnön erityisesti suoritusmuodossa. Tämä signaali (signaali toiminnanvarmistusvirhelinjalla 41) voitaisiin tuottaa myös riippumattomasti. Siinä tapauksessa CPU:hun 23 siirretty virhe voitaisiin luokitella pikemminkin toiminnanvarmistuskeskeytykseksi kuin korjaamatoman virhekeskeytyksen yleiseksi luokaksi, kuten yllä on kuvattu.

 Vaikka on kuvattu ja selitetty keksinnön edullisia suoritusmuotoja on ymmärrettävää, että niitä voidaan vaihdella ja muunnella eikä näin ollen haluta rajoittua esitettyihin tarkkoihin yksityiskohtiin vaan halutaan säilyttää mahdollisuus tällaisiin muutoksiin ja vaihteluihin seuraavien patenttivaatimusten puitteissa.

Patenttivaatimukset:

1. Muistitoimintojen virheenilmaisulaite virheellisen muistitoiminnan ilmaisemiseksi muistijärjestelmässä
5 datan tallentamiseksi muistijärjestelmän toimintaa ohjaavan piirivälineen antamista komentosignaaleista riippuvaisesti, t u n n e t t u siitä, että se käsittää

ensimmäisen ja toisen toimintatilakonevälineen, joista ensimmäinen liittyy muistijärjestelmään ja toinen
10 piirivälineeseen useista ennalta määrätyistä digitaalisista tiloista yksilöllisten tilojen peräkkäistä omaksumista varten riippuvaisesti komentosignaaleista, jolloin kukin omaksuttu digitaalinen tila on määrätty ainakin osittain antamalla komentosignaali välittömästi edeltävän omaksutun
15 digitaalisen tilan aikana, jotka molemmat ensimmäinen ja toinen toimintatilakoneväline sisältävät välineet toimintatilasignaalin muodostamiseksi, joka ilmaisee vallitsevan omaksutun digitaalisen tilan ja

vertailuvälineet, jotka on kytketty vastaanottamaan
20 toimintatilasignaalit ja tuottamaan toimintavarmistuksen virhesignaali, joka ilmaisee virheellisen muistitoiminnan.

2. Patenttivaatimuksen 1 mukainen laite, t u n n e t t u siitä, että komentosignaalit vastaavat useita muistijärjestelmän toimintotyyppejä.

3. Laite virheellisen muistitoiminnan ilmaisemiseksi muistijärjestelmässä datasignaalien tallennusta ja nou-
25 toa varten muistijärjestelmän toimintaa ohjaavan komentovälineen kehittämistä komentosignaaleista riippuvaisesti, t u n n e t t u siitä, että se käsittää

30 ensimmäisen tilakonevälineen, joka liittyy muistijärjestelmään ja on kytketty vastaanottamaan komentosignaalit useiden digitaalisten tilojen peräkkäistä omaksu-
mista varten,

toisen tilakonevälineen, joka liittyy komentoväli-
35 neeseen ja on kytketty vastaanottamaan komentosignaalit

useiden ennalta määrättyjen digitaalisten tilojen peräkkäistä omaksumista varten, jolloin kutkin ensimmäisten ja toisten tilakonevälineiden omaksumat digitaaliset tilat ovat identtisiä keskenään, kun suoritetaan oikea muistijärjestelmätoiminto ja kutkin omaksutut digitaaliset tilat ovat määräytyneet komentosignaalien saneleman toiminnan perusteella välittömästi ennen omaksuttua digitaalista tilaa ja mainitun aiemmin omaksutun digitaalisen tilan aikana ja

10 piirivälineen kytkettynä ensimmäiseen ja toiseen tilakonevälineeseen kummankin omaksuman digitaalisen tilan vertaamiseksi virheellisen muistitoiminnan määrittämiseksi niistä.

4. Patenttivaatimuksen 3 mukainen laite, t u n -
15 n e t t u siitä, että ensimmäinen ja toinen tilakoneväline sisältävät molemmat logiikkafunktiovälineen kytkettynä vastaanottamaan komentosignaalit vallitsevan digitaalisen tilan tuottamiseksi niistä.

5. Patenttivaatimuksen 4 mukainen laite, t u n -
20 n e t t u siitä, että ensimmäinen ja toinen tilakoneväline sisältävät molemmat tilarekisterivälineet vallitsevan digitaalisen tilan, jonka logiikkafunktioväline on tuottanut, vastaanottamiseksi ja pitämiseksi.

6. Patenttivaatimuksen 4 mukainen laite, t u n -
25 n e t t u siitä, että logiikkafunktioväline sisältää välineen ennalta omaksutun digitaalisen tilan vastaanottamiseksi vallitsevan digitaalisen tilan aikaansaamiseksi yhdessä vastaanotettujen komentosignaalien kanssa.

7. Patenttivaatimuksen 5 mukainen laite, t u n -
30 n e t t u siitä, että logiikkafunktioväline on kytketty tilarekisterivälineeseen ennalta omaksutun digitaalisen tilan vastaanottamiseksi vallitsevan digitaalisen tilan tuottamiseksi yhdessä komentosignaalien kanssa.

8. Menetelmä muistijärjestelmän toiminnan tarkkailemiseksi, joka toimii riippuvaisesti ohjaussignaaleista,
35

jotka on vastaanotettu käsittely-yksiköltä, t u n n e t-
t u siitä, että menetelmä käsittää vaiheet, joissa

tuotetaan ensimmäinen ja toinen digitaalinen tila-
signaali, joista ensimmäinen liittyy käsittely-yksikköön

5 ja toinen muistijärjestelmään ja jotka molemmat ovat
tunnusomaisia (1) ohjaussignaaleille, jotka käsittely-yk-
sikkö on tuottanut ja jotka muistijärjestelmä on vastaan-
ottanut ja (2) aiemmin tuotetuille digitaalisille tilasig-
naaleille ja

10 verrataan ensimmäistä ja toista digitaalista tila-
signaalia virhesignaalin tuottamiseksi niistä, joka ilmai-
see virheellisen toiminnan.

Patentkrav

1. Minnesfunktioners feldetekteringsanordning för
detektering av fel minnesfunktion i ett minnessystem för
5 lagring av data beroende av instruktionssignaler, som ett
kretsmedel som styr minnessystemets funktion, ger, k ä n -
n e t e c k n a d därav, att den omfattar
ett första och ett andra funktionstillståndsmaskin-
medel, av vilka det första ansluts till minnessystemet och
10 det andra till nämnda kretsmedel för successivt antagande
av individuella tillstånd bland ett flertal förutbestämda
digitala tillstånd beroende av instruktionssignalerna,
varvid varje antaget digitalt tillstånd bestäms åtminstone
delvis genom att en instruktionssignal ges under ett
15 omedelbart föregående antaget digitalt tillstånd, varvid
både det första och det andra funktionstillståndsmaskinmed-
let innefattar medel för alstrande av en funktionstill-
ståndssignal, som indikerar ett rådande antaget digitalt
tillstånd och
20 jämförelsemedel, vilka är kopplade att mottaga
funktionstillståndssignalerna och alstra en felsignal för
funktionskontroll, vilken signal indikerar fel minnesfunk-
tion.
2. Anordning enligt patentkravet 1, k ä n n e -
25 t e c k n a d därav, att instruktionssignalerna motsvarar
ett flertal funktionstyper i minnessystemet.
3. Anordning för detektering av fel minnesfunktion
i ett minnessystem för lagring och uppsökning av datasig-
naler beroende av instruktionssignaler, som ett instruk-
30 tionsmedel som styr minnessystemets funktion alstrat,
k ä n n e t e c k n a d därav, att den omfattar
ett första tillståndsmaskinmedel, som ansluts till
minnessystemet och är kopplat att mottaga instruktionssig-
naler för successivt antagande av ett flertal digitala
35 tillstånd,
ett andra tillståndsmaskinmedel, som ansluts till

instruktionsmedlet och är kopplat att mottaga instruktions-
signalerna för successivt antagande av ett flertal förut-
bestämda digitala tillstånd, varvid alla digitala tillstånd,
som det första och andra tillståndsmidlet antagit, är

5 identiska med varandra, då en riktig minnessystemfunktion
utförs och alla antagna digitala tillstånd har bestämts på
grund av funktionen som instruktionssignalerna dikterat
omedelbart innan ett antaget digitalt tillstånd och under
nämnda tidigare antagna digitala tillstånd och

10 ett kretsmedel kopplat till det första och andra
tillståndsmaskinmedlet för att jämföra det digitala till-
ståndet som vardera har antagit för bestämning av fel
minnesfunktion därav.

4. Anordning enligt patentkravet 3, k ä n n e -
15 t e c k n a d därav, att det första och andra tillstånds-
maskinmedlet innefattar vardera ett logikfunktionsmedel
kopplat att mottaga instruktionssignalerna för att därav
alstra det rådande digitala tillståndet.

5. Anordning enligt patentkravet 4, k ä n n e -
20 t e c k n a d därav, att det första och andra tillstånds-
maskinmedlet innefattar vardera tillståndsregistermedel
för att mottaga och behålla det rådande digitala till-
ståndet, som logikfunktionsmedlet har alstrat.

6. Anordning enligt patentkravet 4, k ä n n e -
25 t e c k n a d därav, att logikfunktionsmedlet innefattar
ett medel för mottagning av det tidigare antagna digitala
tillståndet för att åstadkomma det rådande digitala till-
ståndet tillsammans med de mottagna instruktionssignalerna.

7. Anordning enligt patentkravet 5, k ä n n e -
30 t e c k n a d därav, att logikfunktionsmedlet är kopplat
till tillståndsregistermedlet för mottagning av de tidigare
antagna digitala tillståndet för att alstra det rådande
digitala tillståndet tillsammans med instruktionssignalerna.

8. Förfarande för kontroll av ett minnessystems
35 funktion, vilket fungerar beroende av styrsignaler, vilka
har mottagits från en behandlingsenhet, k ä n n e t e c k -

n a t därav, att förfarandet omfattar stegen, där
en första och andra digital tillståndssignal alstras,
vilka den första ansluts till behandlingsenheten och den
andra till minnessystemet och vilka vardera är känneteck-
5 nande för (1) styrsignalerna, vilka behandlingsenheten
alstrat och vilka minnessystemet mottagit, och (2) tidigare
alstrade digitala tillståndssignaler och
den första och andra digitala tillståndssignalen
jämförs för att alstra en felsignal därav, vilken detekterar
10 fel funktion.

Viitejulkaisuja-Anförda publikationer

Hakemusjulkaisuja:-Ansökningspublikationer: Saksan liittotasavalta-
Föbundsrepubliken Tyskland(DE) 2 655 653 (G 06 F 11/10).

Patenttijulkaisuja:-Patentskrifter: USA(US) 3 231 852 (340-146.1),
3 982 111 (G 11 C 29/00), 3 818 199 (G 06 F 11/04), 3 833 930
(G 06 K 17/00), 4 035 766 (G 06 F 11/10), 4 228 496 (G 06 F 15/16).

FIG. 1

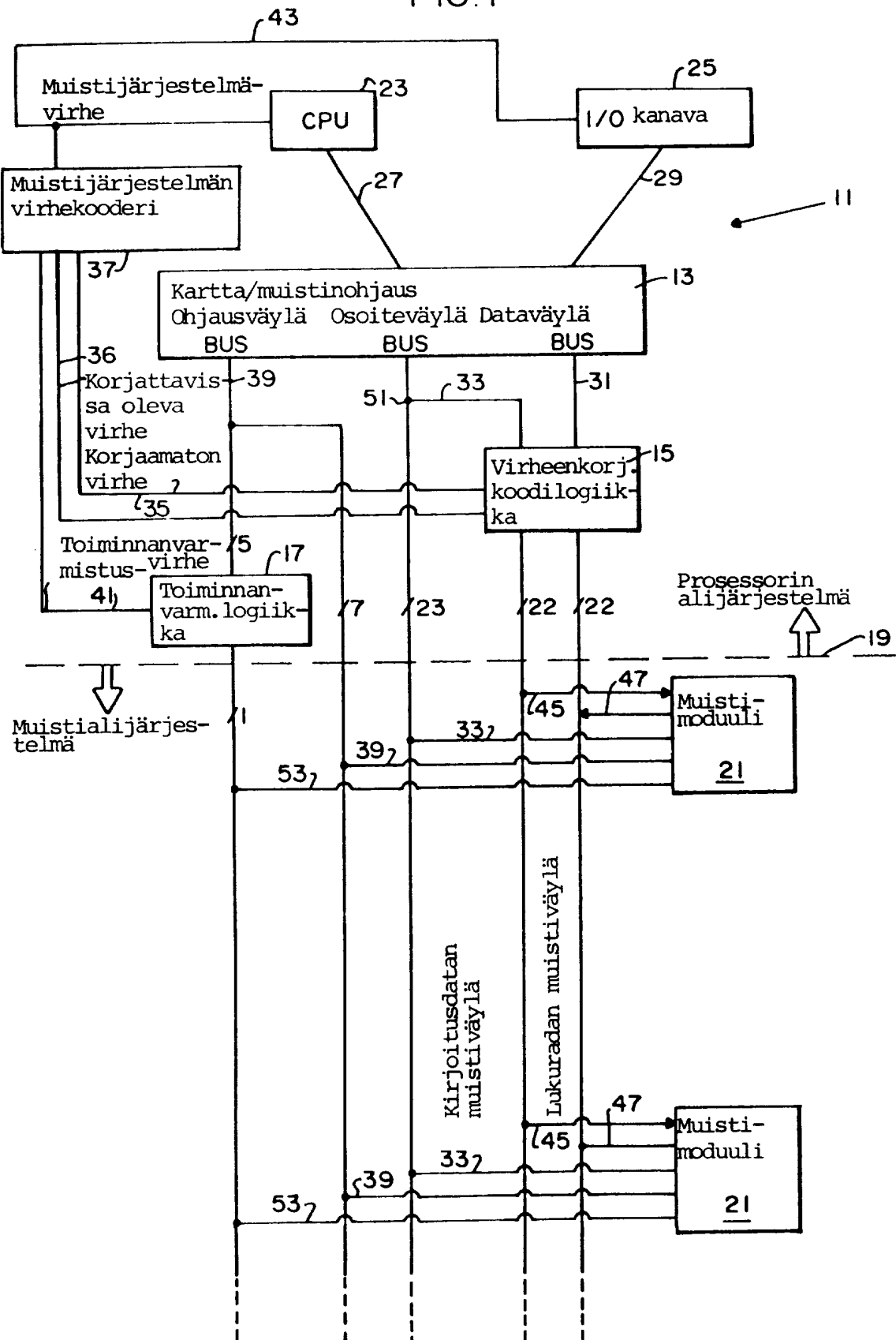


FIG. 2

Puolijohdemuistimoduuli

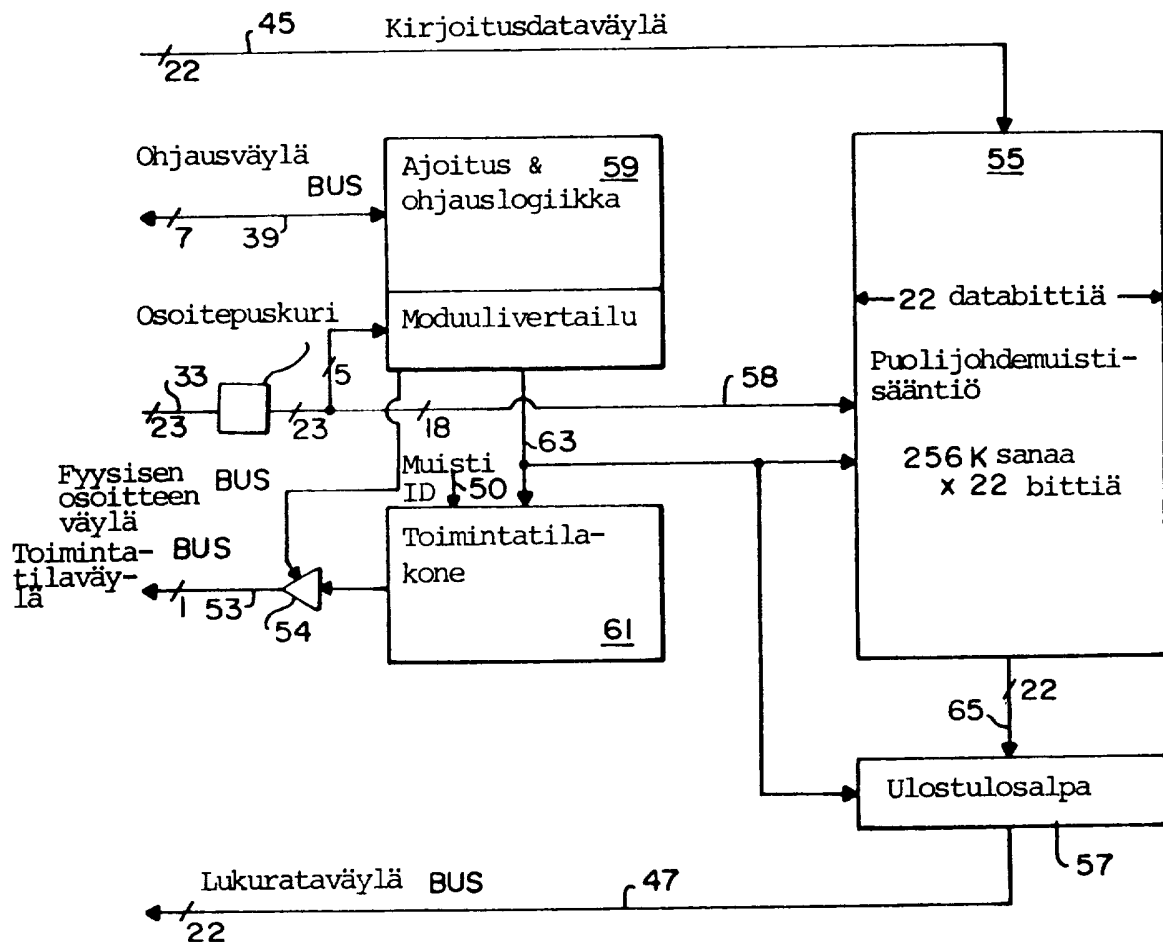
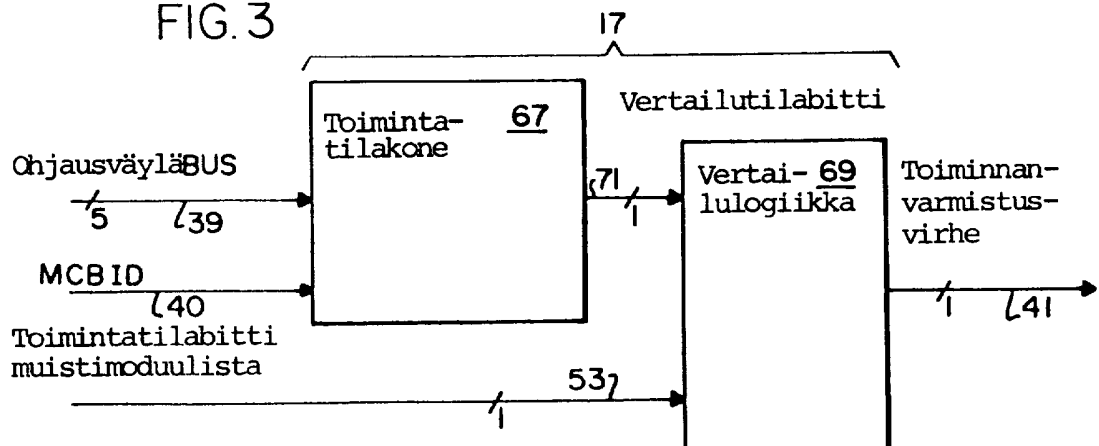


FIG. 3



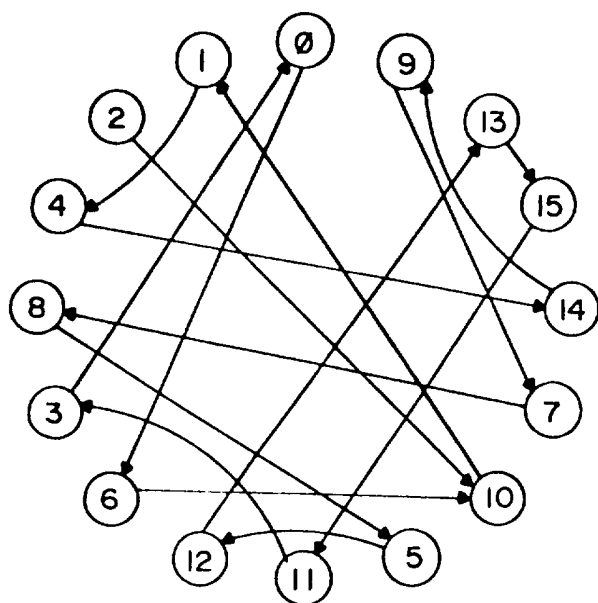


FIG. 4-A

-verestys

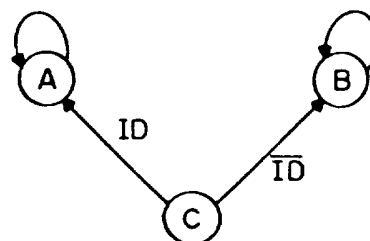


FIG. 4-B

-kirjoitus

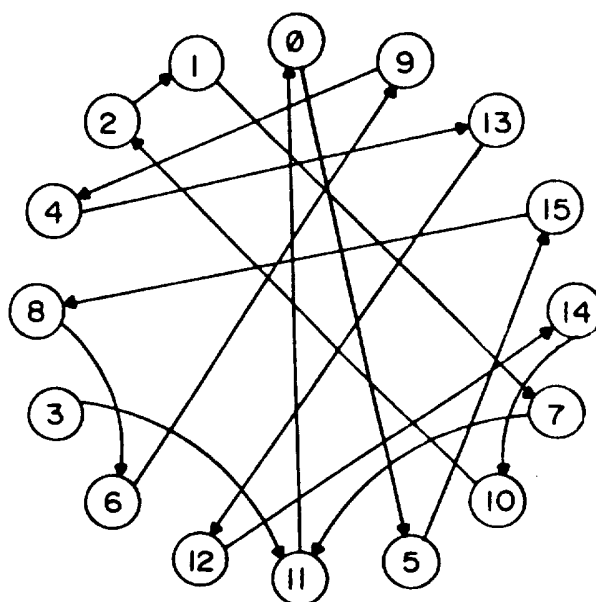
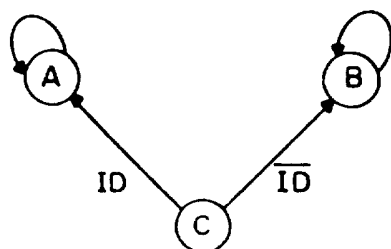
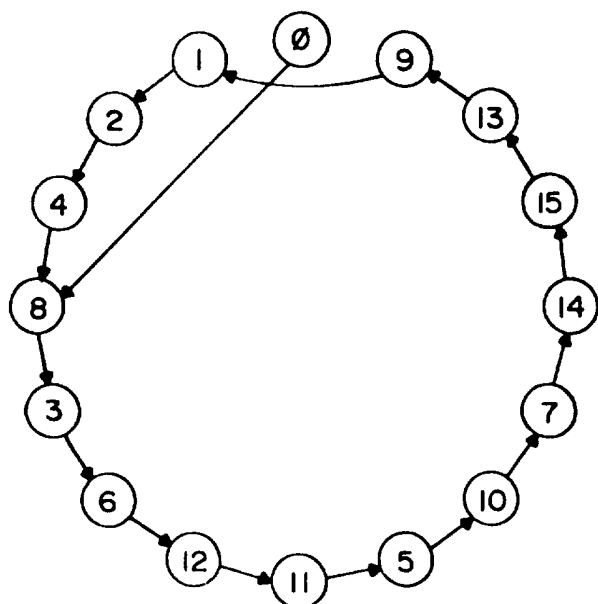
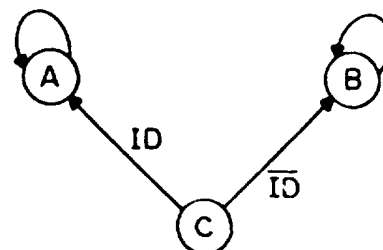


FIG. 4-C

-luku



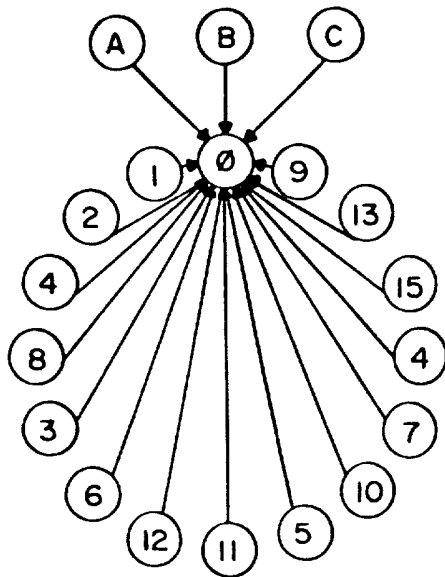


FIG. 4-D
-palautus

$$ID \left[\frac{(luku \cdot verestys \cdot kirjoitus) + (luku \cdot verestys) + (luku \cdot kirjoitus) + (kirjoitus \cdot verestys)}{tys} \right]$$

FIG. 4-E

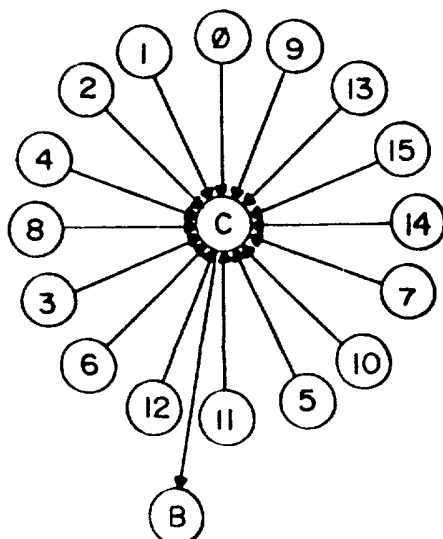
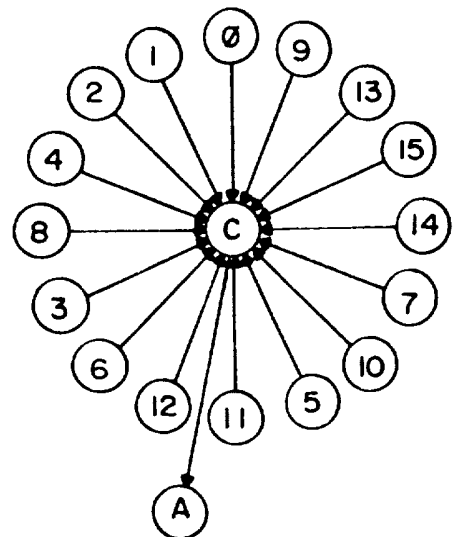
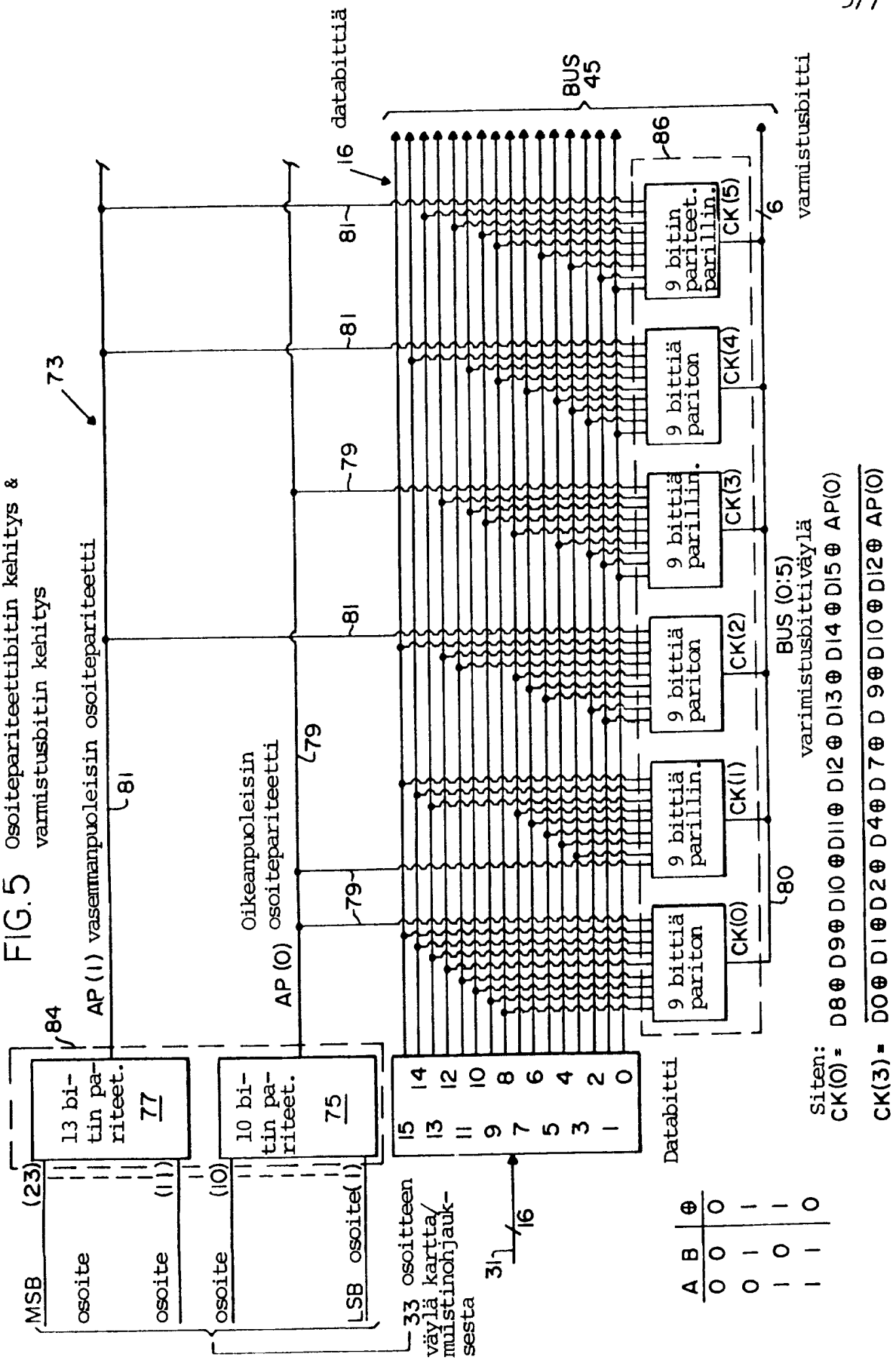


FIG. 4-F

$$\overline{ID} \left[\frac{(luku \cdot verestys \cdot kirj.) + (luku \cdot verestys) + (luku \cdot kirjoitus) + (kirjoitus \cdot verestys)}{tys} \right]$$

FIG. 5 Osoitepariteettibitin kehitys & varmistusbitin kehitys



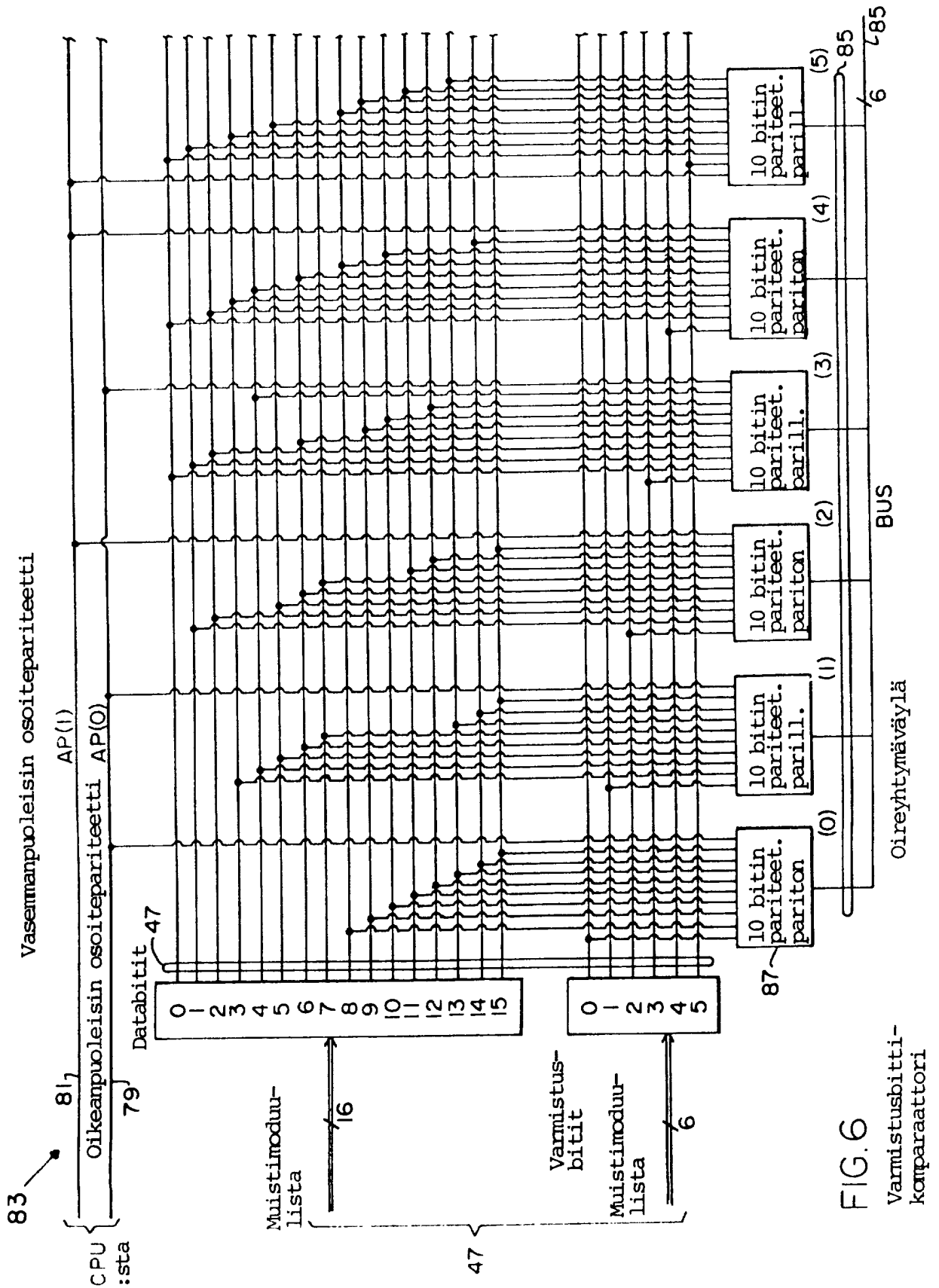


FIG. 6

FIG. 7

Toimintatilakone

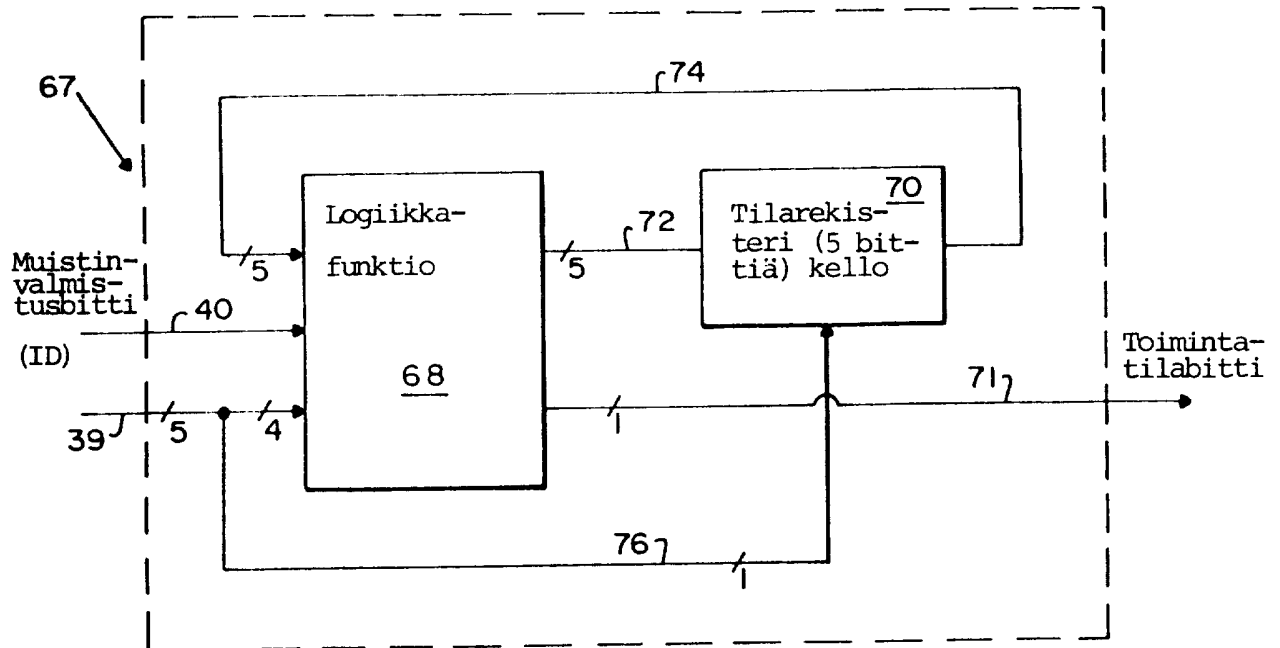


FIG. 8

Toimintatilakone

