

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3763258号
(P3763258)

(45) 発行日 平成18年4月5日(2006.4.5)

(24) 登録日 平成18年1月27日(2006.1.27)

(51) Int. Cl.

F I

H O 1 L 21/66 (2006.01)

H O 1 L 21/66 B

G O 1 R 1/073 (2006.01)

G O 1 R 1/073 E

G O 1 R 31/26 (2006.01)

G O 1 R 31/26 J

G O 1 R 31/28 (2006.01)

G O 1 R 31/28 K

請求項の数 2 (全 10 頁)

(21) 出願番号 特願2000-321204 (P2000-321204)
 (22) 出願日 平成12年10月20日(2000.10.20)
 (65) 公開番号 特開2002-134571 (P2002-134571A)
 (43) 公開日 平成14年5月10日(2002.5.10)
 審査請求日 平成16年6月21日(2004.6.21)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100110858
 弁理士 柳瀬 睦肇
 (74) 代理人 100110777
 弁理士 宇都宮 正明
 (74) 代理人 100095728
 弁理士 上柳 雅普
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 田村 良平
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 プローブカード及びそれを用いたチップ領域ソート方法

(57) 【特許請求の範囲】

【請求項1】

ウェハ上で複数の入力端子の配列と前記入力端子より狭ピッチの複数の出力端子の配列とが隣り合う複数のチップ領域に対向させ信号の授受を担う回路基材であって、

前記回路基材において前記チップ領域それぞれに対応して設けられた対向接続領域と、

前記対向接続領域それぞれに関し、前記チップ領域における前記入力端子全部かつ互いに隣り合う箇所を除いた前記出力端子に対応する位置まで伸び、前記回路基材と前記ウェハを接近させることで前記チップ領域の各端子に接触させる複数の電氣的接続部材とを具備し、

前記対向接続領域の一つにおける前記電氣的接続部材と前記対向接続領域の別の一つにおける前記電氣的接続部材とは、接触すべき前記出力端子の互いに隣り合う箇所を補完し合う配置関係にあることを特徴とするプローブカード。

10

【請求項2】

ウェハ上で複数の入力端子の配列と前記入力端子より狭ピッチの複数の出力端子の配列とが隣り合う複数のチップ領域に対向させ信号の授受を担うプローブカードの各チップ領域へのソートに関し、

前記プローブカードは前記チップ領域各々に対応してそれぞれ周縁に電氣的接続部材が配列する対向接続領域を有し、前記電氣的接続部材は前記対向接続領域それぞれに関し、前記チップ領域における前記入力端子全部かつ互いに隣り合う箇所を除いた前記出力端子に対応する位置まで伸び、前記対向接続領域の一つにおける前記電氣的接続部材と前記対

20

向接続領域の別の一つにおける前記電氣的接続部材とは、接触すべき前記出力端子の互いに隣り合う箇所を補完し合う配置関係にあって、

前記チップ領域における各端子全てに対し前記電氣的接続部材の接触が満足されるまでそれぞれ異なる前記対向接続領域を各チップ領域へ接近、接続させるように移動制御されること、

を特徴とするプローブカードを用いたチップ領域ソート方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ウェハ状態におけるＬＳＩチップのパッドに探針を機械的に接触させて電氣的特性を測定するプローブカード及びそれを用いたチップ領域ソート方法に関する。

10

【0002】

【従来の技術】

プローブカードは、ＬＳＩ製造の組立工程前におけるウェハ状態での試験に用いられるものである。プローブカードは、被測定ＬＳＩチップ領域のボンディングパッドそれぞれに対応して接触させる探針を有する。この探針からＬＳＩチップに試験信号または試験パターンを入力する。

【0003】

プローブカードは、テストに接続されテストシステムを構築する一部となる。テストは、プローブカードを介し、ＬＳＩからの出力値を期待値と比較してＬＳＩの機能の良否を判定したり、入出力信号、電源部分の電圧、電流などのアナログ値等の測定をする。このようなウェハプロービング試験を経て良品として選別されたＬＳＩが組立工程へと回される。

20

【0004】

近年、ウェハの大口径化が進み、ウェハあたりのチップ取得数も多くなる傾向にある。これに伴い、上記のようなウェハプロービング試験に費やされる時間が増大し、高効率化が望まれている。

【0005】

そこで、可能な限り複数個のチップを同時に試験できるように、複数個取りのプローブカードが使用されるようになってきた。特にセンターパッド方式のＬＳＩチップや、パッド数が比較的少ないタイプのＬＳＩチップに対して複数個取りのプローブカードが使用される。

30

【0006】

【発明が解決しようとする課題】

ＬＳＩチップの多様化は著しく、データの入出力数は多くなっている。これに伴いチップ１個あたりのパッド数は増大し、チップ周囲に狭いピッチで配列されるものも少なくない。こうなると、プローブカードの各探針を全パッド（あるいはバンク）それぞれに当てるのが困難になってくる。

【0007】

プローブカードの各探針について伸長元を多層にする工夫は一般に知られている技術である。これにより、例えば接触領域（パッド、バンク等）の配列ピッチが探針線材径（母材径）より小さい場合でも各探針の接触は可能になる。

40

【0008】

しかしながら、接触領域（パッド、バンク等）のさらなる狭ピッチ化が進む場合、上記技術だけでは信頼性の懸念は解消され難い。測定対象の各接触領域全てに探針を当てる構成は、測定における探針各々の圧力差、位置ずれが許容できない状態になり易く、隣接間ショートなどの危険性をいっそう増大させる。

【0009】

本発明は上記のような事情を考慮してなされたもので、測定対象となる接触領域（パッド、バンク等）が狭ピッチの場合に探針配列の密集を軽減しつつ、高信頼性を維持しやす

50

いプローブカード及びそれを用いたチップ領域ソート方法を提供しようとするものである。

【0010】

【課題を解決するための手段】

本発明に係るプローブカードは、ウェハ上で複数の入力端子の配列と前記入力端子より狭ピッチの複数の出力端子の配列とが隣り合う複数のチップ領域に対向させ信号の授受を担う回路基材であって、前記回路基材において前記チップ領域それぞれに対応して設けられた対向接続領域と、前記対向接続領域それぞれに関し、前記チップ領域における前記入力端子全部かつ互いに隣り合う箇所を除いた前記出力端子に対応する位置まで伸び、前記回路基材と前記ウェハを接近させることで前記チップ領域の各端子に接触させる複数の電

10

【0011】

上記本発明に係るプローブカードによれば、複数の入力端子の配列と入力端子より狭ピッチの複数の出力端子の配列とが隣り合っている複数のチップ領域が測定対象となる。チップ領域一つに配された狭ピッチの出力端子について複数回に分けた測定とする。接続を分担すれば、狭ピッチで隣り合う端子への接続をその時点では間引くことができる。これにより、出力端子が著しく狭ピッチの配列である場合にも、より安定した電氣的接続部材の接続が可能になる。

20

【0012】

本発明に係るプローブカードを用いたチップ領域ソート方法は、ウェハ上で複数の入力端子の配列と前記入力端子より狭ピッチの複数の出力端子の配列とが隣り合う複数のチップ領域に対向させ信号の授受を担うプローブカードの各チップ領域へのソートに関し、前記プローブカードは前記チップ領域各々に対応してそれぞれ周縁に電氣的接続部材が配列する対向接続領域を有し、前記電氣的接続部材は前記対向接続領域それぞれに関し、前記チップ領域における前記入力端子全部かつ互いに隣り合う箇所を除いた前記出力端子に対応する位置まで伸び、前記対向接続領域の一つにおける前記電氣的接続部材と前記対向接続領域の別の一つにおける前記電氣的接続部材とは、接触すべき前記出力端子の互いに隣り合う箇所を補完し合う配置関係にあって、前記チップ領域における各端子全てに対し前

30

【0013】

上記本発明に係るプローブカードを用いたチップ領域ソート方法によれば、プローブカードはチップ領域各々に対応してそれぞれ周縁に電氣的接続部材が配列する対向接続領域を有する。しかも、電氣的接続部材は、対向接続領域それぞれに関し、チップ領域における入力端子全部かつ互いに隣り合う箇所を除いた出力端子に対応する位置まで伸び、対向接続領域の一つにおける電氣的接続部材と対向接続領域の別の一つにおける電氣的接続部材とは、接触すべき出力端子の互いに隣り合う箇所を補完し合う配置関係にある。これにより、各対向接続領域で設けられる電氣的接続部材で役割が分担され、各対向接続領域の

40

【0014】

【発明の実施の形態】

図1(a)、(b)は、それぞれ本発明の第1実施形態に係るプローブカードの要部構成を示しており、(a)は上面からの概観図、(b)は横からの任意の断面を示す概略図である。

【0015】

プローブカードを構成する回路基材10は、ウェハWF上の複数のチップ領域CHIP

50

に対向させて信号の授受を担うものである。回路基材 10 は、例えば図示しないテストヘッドに繋がるプローバに装着される。ウェハ WF 及びチップ領域 CHIP は破線で示されている。

【0016】

チップ領域 CHIP には外部端子、ここではパンプ電極 BMP が設けられている。このチップ領域 CHIP は、例えば入力端子の配列 DIN と、出力端子の配列 DOUT が区分されており、入力端子の配列 DIN に比べ出力端子の配列 DOUT 側が狭ピッチのパンプ配列となっている。

【0017】

回路基材 10 には開口部 11 が設けられている。この開口部 11 にはチップ領域 CHIP 10 P に応じた対向接続領域 111, 112 が設けられている。これら対向接続領域 111, 112 それぞれに関し、開口部 11 の周縁部からチップ領域 CHIP における所定の外部端子（ここではパンプ電極 BMP）の位置まで伸びる探針 101, 102 が設けられている。図 1（b）に示すように、探針 101, 102 の伸長元は多層（ここでは 2 層）になる部分を有する。これら探針 101, 102 は、回路基材 10 とウェハ WF を接近させることで測定対象のチップ領域 CHIP における所定のパンプ電極 BMP に接触させる構成となっている。

【0018】

この実施形態において、対向接続領域 111 における探針 101 と対向接続領域 112 における探針 102 は、パンプ電極 BMP が狭ピッチで配列された出力端子の配列 DOUT に対応する領域において、配置が異なっている。図 1（a）に示すように探針 101 と 102 は、チップ領域 CHIP の出力端子の配列 DOUT に対応する領域で、互いに隣り合うパンプ電極 BMP を除いて対応するように配設されている。

【0019】

すなわち、探針 101 と探針 102 とは、出力端子側のパンプ電極 BMP 群に対応する領域に関し、隣り合う接触を補完し合う配置関係にある。なお、比較的狭ピッチとならない入力端子の配列 DIN 側のパンプ電極 BMP 群については、測定時は常に全パンプ探針が接触される。すなわち、探針 101 と 102 において、入力端子の配列 DIN 側に対応する領域については同じ配列である。

【0020】

これにより、一つのチップ領域 CHIP について、対向接続領域 111 及び 112 をそれぞれ対向、接近させることで、チップ領域 CHIP におけるパンプ電極 BMP 群全てについて探針の接触、電気的特性試験が満足される。すなわち、非常に狭ピッチで、測定を分けても支障のない出力系のパンプ配列の探針接触について適用されたものである。

【0021】

上記実施形態の構成によれば、測定箇所を対向接続領域 111 における探針 101 と対向接続領域 112 における探針 102 とで分担する。これにより、接触すべき端子部が著しく狭ピッチの配列である場合に有効である。

【0022】

すなわち、本発明によれば、狭ピッチの端子配列に全て 1 対 1 で対応させるような探針のレイアウトを必ずしも必要としない技術が提供できるといえる。この結果、プローブカードは、測定において探針各々の圧力差、位置ずれが許容できない状態には極めてなり難く、かつ、隣接間ショートなどの危険性を回避しやすい構成を実現することができる。

【0023】

図 2 は、図 1 の構成のプローブカードを用いたチップ領域ソート方法の一例を示す概略図である。ウェハ WF のチップ領域 CHIP 毎に配された図示しない複数の端子部に対し測定対象とする接続を分担しつつソートする。

【0024】

すなわち、チップ領域 CHIP 一つにおける図示しない端子部全てに対し探針（101, 102）の接触が満足されるまでそれぞれ異なる対向接続領域 111, 112 を各チッ

10

20

30

40

50

プ領域C H I Pへ接近、接続させるように移動制御する。

【0025】

図2において、各チップ領域C H I Pは、方向Rでは対向接続領域112→111の順により、方向Lでは対向接続領域111→112の測定順により、各チップ領域C H I Pの端子部に対し全ての探針(101, 102)の接触が順次満足される。

【0026】

上記実施形態のプローブカードを用いたチップ領域ソート方法によれば、測定の分担化により測定対象とする接続に余裕を持たせることができる。すなわち、幾つかの対向接続領域(ここでは111, 112の二つ)の対向、接近(接続)によって、各チップ領域における端子部全てについて、確度の高い探針の接触が実現される。

10

【0027】

なお、上記対向接続領域111, 112のセットは複数設けてもよい。これにより、同時側定数の向上が望める。また、対向接続領域111, 112のレイアウトは他にも考えられる。また、上記実施形態では対向接続領域111, 112を一つの開口部11内に設けたプローブカードの構成を示したが、対向接続領域111, 112それぞれを別々の開口部で構成するプローブカードであってもよい。

【0028】

図3は、本発明の第2実施形態に係るプローブカードの要部構成を示す概観図である。上記第1実施形態の構成に比べて対向接続領域それぞれを別々の開口部で構成している。

【0029】

20

この実施形態では、プローブカードを構成する回路基材30に設けられた対向接続領域311, 312とし、それぞれ上記第1実施形態の対向接続領域111, 112と同様の関係にあるものとした。対向接続領域311, 312それぞれに関し、その周縁部からチップ領域C H I Pにおける所定の外部端子(ここではバンプ電極B M P)の位置まで伸びる探針301, 302が設けられている。探針301, 302の伸長元は図示しないが単層でも多層でもよく、様々考えられる。

【0030】

その他、測定対象のチップ領域C H I Pの端子配列については上記第1実施形態と同様に構成される。これら探針301, 302は、回路基材30とウェハW Fを対向、接近させることで測定対象のチップ領域C H I Pにおける所定のバンプ電極B M Pに接触させる構成となっている。

30

【0031】

この実施形態においても、対向接続領域311における探針301と対向接続領域312における探針302は、バンプ電極B M Pが狭ピッチで配列されている出力端子の配列D O U Tに対応する領域において、異なった配置を有する。探針301と302は、チップ領域C H I Pの出力端子の配列D O U Tに対応する領域で、互いに隣り合うバンプ電極B M Pを除いて対応するように配設されている。

【0032】

すなわち、探針301と探針302とは、出力端子側のバンプ電極B M P群に対応する領域に関し、隣り合う接触を補完し合う配置関係にある。なお、入力端子の配列D I N側のバンプ電極B M P群については、測定時は常に全バンプ探針が接触される。すなわち、探針301と302において、入力端子の配列D I N側に対応する領域については同じ配列である。

40

【0033】

これにより、一つのチップ領域C H I Pについて、対向接続領域311及び312をそれぞれ対向、接近させることで、チップ領域C H I Pにおけるバンプ電極B M P群全てについて探針の接触、測定が満足される。

【0034】

上記実施形態の構成によれば、測定箇所を対向接続領域311における探針301と対向接続領域312における探針302とで分担する。これにより、接触すべき端子部が著

50

しく狭ピッチの配列である場合に有効である。すなわち、狭ピッチの端子配列に全て1対1で対応させるような探針のレイアウトを必ずしも必要としない技術が提供できるといえる。この結果、プローブカードは、測定において探針各々の圧力差、位置ずれが許容できないような状態には極めてなり難く、かつ、隣接間ショートなどの危険性を回避しやすい構成を実現することができる。

【0035】

図4は、図3の構成のプローブカードを用いたチップ領域ソート方法の一例を示す概略図である。ウェハWFのチップ領域CHIP毎に配された図示しない複数の端子部に対し測定対象とする接続を分担しつつソートする。

【0036】

すなわち、チップ領域CHIP一つにおける図示しない端子部全てに対し探針(301, 302)の接触が満足されるまでそれぞれ異なる対向接続領域311, 312を各チップ領域CHIPへ接近、接続させるように移動制御する。

【0037】

図4において、各チップ領域CHIPは、方向R、L共に対向接続領域311, 312のどちらか一方を用いて先に1列分が順次測定され、折り返しソートする際に、他方の対向接続領域(311, 312いずれか)を用いて1列分が重複するように順次測定される。これにより、各チップ領域CHIPの端子部において全ての探針(301, 302)の接触が満足される。

【0038】

なお、上記対向接続領域311, 312のセットは複数設けてもよい。これにより、同時側定数の向上が望める。また、対向接続領域311, 312のレイアウトは他にも考えられる。特に回路基材における個々の開口部で対向接続領域を構成する場合、本発明の特徴である探針の間引き構造によってレイアウトの自由度が得られる。

【0039】

図5(a)~(d)は、それぞれ同時側定数の向上を目的としたプローブカードに関し、ウェハのチップ領域への回路基材における対向接続領域の構成例を示した概略図である。各々対向接続領域には図示しない探針配列が設けられる。

【0040】

図5(a)において、対向接続領域A1とA2は、図示しない探針配列が、ある特定領域において、チップ領域で接触すべき隣り合う端子部に対応する箇所を補完し合う配置関係にある。上記特定領域とは、対応するチップ領域で接触すべき端子部が狭ピッチである領域が挙げられる。また、検査測定の分担に伴ない、接触を間引いても検査測定に支障ないことが重要である。

【0041】

ウェハの各チップ領域に対する検査測定は、同じ探針配列の対向接続領域が並ぶ方向でチップ領域2つ分重複させながら順次ソートされ、達成される。さらに同時測定数を増やしたければ対向接続領域A1とA2のセットを増やせばよい。その際、各対向接続領域のレイアウトは限定されるものではない。

【0042】

図5(b)において、対向接続領域B1とB2は、図示しない探針配列が、ある特定領域において、チップ領域で接触すべき隣り合う端子部に対応する箇所を補完し合う配置関係にある。上記特定領域とは、対応するチップ領域で接触すべき端子部が狭ピッチである領域が挙げられる。また、検査測定の分担に伴ない、接触を間引いても検査測定に支障ないことが重要である。

【0043】

ウェハの各チップ領域に対する検査測定は、同じ探針配列の対向接続領域が並ぶ方向でチップ領域2つ分重複させながら順次ソートされ、達成される。さらに同時測定数を増やしたければ対向接続領域B1とB2のセットを増やせばよい。その際、各対向接続領域のレイアウトは限定されるものではない。

10

20

30

40

50

【 0 0 4 4 】

図 5 (c) において、対向接続領域 C 1 と C 2 は、図示しない探針配列が、ある特定領域において、チップ領域で接触すべき隣り合う端子部に対応する箇所を補完し合う配置関係にある。上記特定領域とは、対応するチップ領域で接触すべき端子部が狭ピッチである領域が挙げられる。また、検査測定 of 分担に伴ない、接触を間引いても検査測定に支障ないことが重要である。

【 0 0 4 5 】

ウェハの各チップ領域に対する検査測定は、同じ探針配列の対向接続領域が並ぶ方向でチップ領域 2 つ分重複させながら順次ソートされ、達成される。さらに同時測定数を増やしたければ対向接続領域 C 1 と C 2 のセットを増やせばよい。その際、各対向接続領域のレイアウトは限定されない。

10

【 0 0 4 6 】

図 5 (d) は、図 5 (c) の変形例である。同時側定数の向上を目的とした構成で探針の配列に困難性がある場合の構成である。対向接続領域 C 1 と C 2 のセットをチップ領域 1 つ分離間させてもう 1 セット設ける。このようにすれば、探針の配線引き回しに余裕が得られる。このような構成のソートにおいても 2 重に測定されないよう制御する。前記図 5 (a) や図 5 (b) の対向接続領域のセットもこのような工夫が容易に考えられる。

【 0 0 4 7 】

さらに、上記各実施形態によれば、一つのチップ領域に対し二つの対向接続領域で電気的測定を分担する構成を示したが、これに限らない。一つのチップ領域に対し二つ以上の多数の対向接続領域で電気的測定を分担する構成を実現してもよい。これにより、個々の対向接続領域における探針配列の精度に関するマージンを大きくすることができる。この結果、プローブカードは、測定において探針各々の圧力差、位置ずれが許容できない状態には極めてなり難く、また隣接間ショートなどの危険性を軽減することができる。

20

【 0 0 4 8 】

以上のような各実施形態におけるプローブカード及びチップ領域のソート方法によれば、プローブカードは探針の密集は許容できる程度に抑えられ、かつ、なるべく多くの同時測定数を確保することも可能となる。また、探針の配列ピッチの縮小化、伸長元の多層化が抑えられるので、メンテナンスも容易になり高信頼性を維持しやすい多数個取りのプローブカードの構成が実現できる。また、ソートにおいて 2 重に測定されない制御はもちろんのこと、多数個取りにより、ウェハプロービング試験に費やされる時間がより減少し、高効率化が達成できる。

30

【 0 0 4 9 】

【 発明の効果 】

以上説明したように本発明によれば、プローブカードは、対向させるチップ領域一つに配された複数の端子部に対し測定対象とする接続を分担するようにしたので、探針配列の精度、信頼性への配慮に伴う構成、その負担を軽減することができる。

【 0 0 5 0 】

そして、多数個取りの構成を実現すれば、ウェハの大口径化に対してもウェハプロービング試験時間の減少、信頼性を伴った高効率化に寄与する。この結果、修理、メンテナンスも容易で高信頼性を維持しやすい高効率の多数個取りのプローブカード及びを用いたチップ領域ソート方法を提供することができる。

40

【 図面の簡単な説明 】

【 図 1 】 (a) , (b) は、それぞれ本発明の第 1 実施形態に係るプローブカードの要部構成を示しており、(a) は上面からの概観図、(b) は横からの任意の断面を示す概略図である。

【 図 2 】 図 1 の構成のプローブカードを用いたチップ領域ソート方法の一例を示す概略図である。

【 図 3 】 本発明の第 2 実施形態に係るプローブカードの要部構成を示す概観図である。

【 図 4 】 図 3 の構成のプローブカードを用いたチップ領域ソート方法の一例を示す概略図

50

である。

【図5】(a)～(d)は、それぞれ同時側定数の向上を目的としたプローブカードに関し、ウェハのチップ領域への回路基材における対向接続領域の構成例を示した概略図である。

【符号の説明】

10, 30 ... 回路基材 (プローブカード)

11 ... 開口部

111, 112, 311, 312, A1, A2, B1, B2, C1, C2 ... 対向接続領域

101, 102, 301, 302 ... 探針

BMP ... パンプ電極

WF ... ウェハ

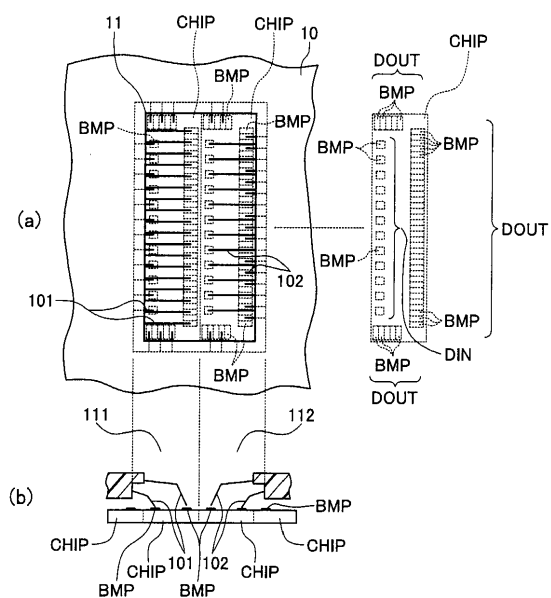
CHIP ... チップ領域

DIN ... 入力端子の配列

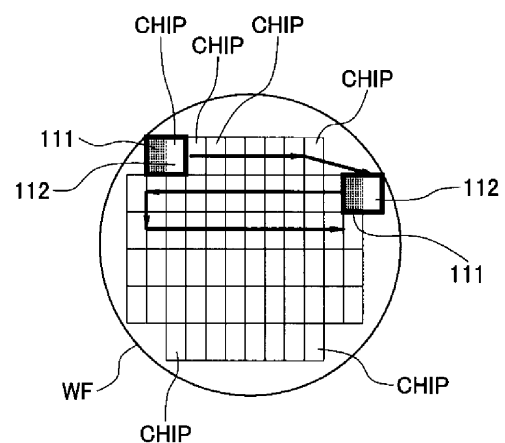
DOU ... 出力端子の配列

10

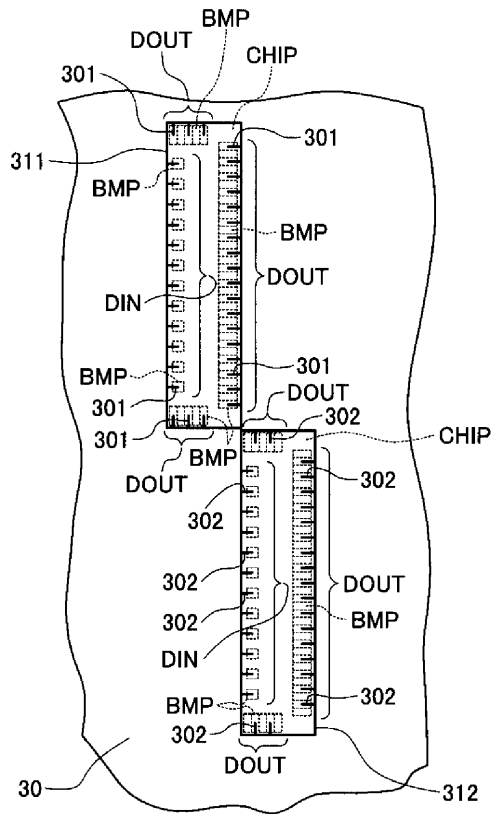
【図1】



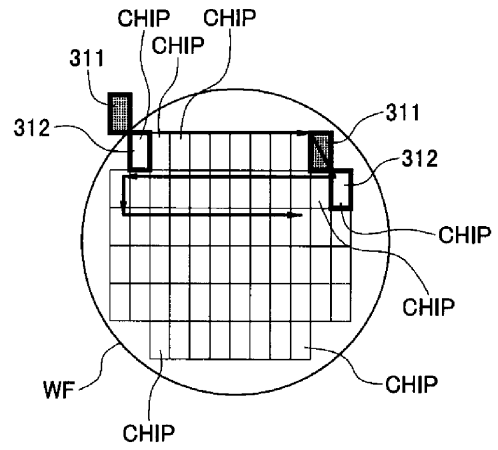
【図2】



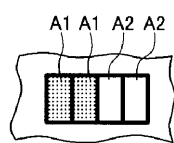
【 図 3 】



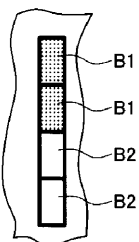
【 図 4 】



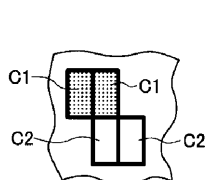
【 図 5 】



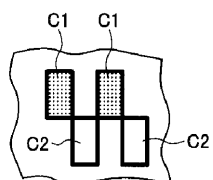
(a)



(b)



(c)



(d)

フロントページの続き

審査官 河本 充雄

(56)参考文献 特開平09-172143(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H01L 21/66

G01R 1/073

G01R 31/26

G01R 31/28