

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 9 月 18 日(18.09.2014)



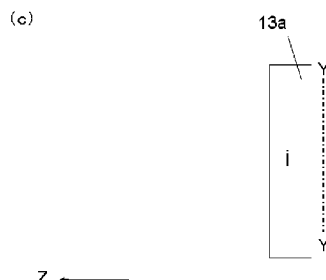
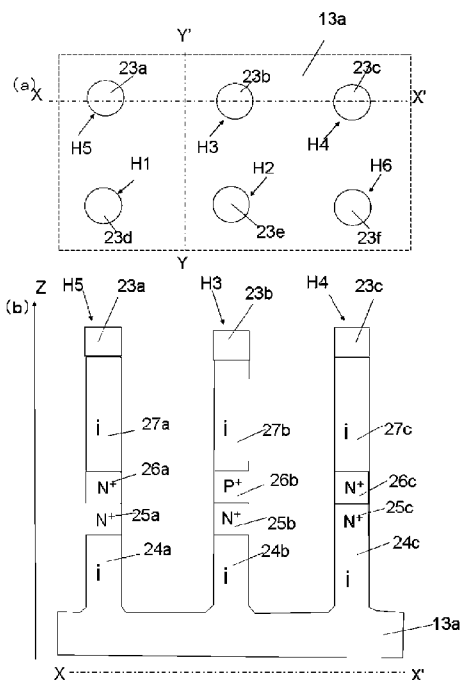
(10) 国際公開番号

WO 2014/141485 A1

- (51) 国際特許分類:
H01L 27/10 (2006.01) H01L 27/092 (2006.01)
H01L 21/8238 (2006.01)
- (21) 国際出願番号: PCT/JP2013/057558
- (22) 国際出願日: 2013 年 3 月 15 日(15.03.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ
サンティス エレクトロニクス シンガポール
プライベート リミテッド(UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Singapore (SG).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 舩岡 富士雄(MAS-
UOKA Fujio) [JP/JP]; 〒1020073 東京都千代田区九
段北1-15-2 九段坂パークビル4F S
emicon Consulting株式会社
Tokyo (JP). 原田 望(HARADA Nozomu) [JP/JP];
〒1020073 東京都千代田区九段北1-15-2
九段坂パークビル4F S emicon Co
nsulting株式会社内 Tokyo (JP).
- (74) 代理人: 木村 満(KIMURA Mitsuru); 〒1010054 東
京都千代田区神田錦町二丁目7番地 協販ビル
2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE HAVING SGT

(54) 発明の名称: SGTを有する半導体装置の製造方法



(57) Abstract: The present invention provides a method for manufacturing a semiconductor device having SGT, in which a preformed N⁺ region (25a, 25b, 25c, 26a, 26b, 26c) and a preformed P⁺ region are formed in the top and bottom locations of a Si column (H5, H3, H4) in the center portions of the Si columns (H5, H3, H4), and the N⁺ regions and the P⁺ regions are used as an impurity layer. The Si columns (H5, H3, H4) are formed on an i layer substrate (13a) using a SiO₂ layer (23a, 23b, 23c) as an etching mask. The impurity layer constitutes a source and a drain.

(57) 要約: SiO₂層(23a、23b、23c)をエッチングマスクとして用いてi層基板(13a)上に形成されたSi柱(H5、H3、H4)の中央部に、予め形成しておいたN⁺領域(25a、25b、25c、26a、26b、26c)、P⁺領域を、Si柱(H5、H3、H4)の上下の位置に形成し、それらN⁺領域、P⁺領域をソース又はドレインを構成

する不純物層とするSGTを有する半導体装置の製造方法。

WO 2014/141485 A1

明 細 書

発明の名称： S G Tを有する半導体装置の製造方法

技術分野

[0001] 本発明はS G T (Surrounding Gate MOS Transistor) を有する半導体装置の製造方法に関する。

背景技術

[0002] 近年、S G Tは、高集積半導体装置を提供する半導体素子としてますますその用途が拡大しつつある。これに伴い、S G Tを有する半導体装置の更なる高集積化が求められている。

[0003] 図12に、代表的なMOSトランジスタを有するCMOSインバータ回路を示す。図12に示すように、この回路はNチャネル型MOSトランジスタ100aとPチャネル型MOSトランジスタ100bとから構成される。Nチャネル型MOSトランジスタ100aのゲート101aとPチャネル型MOSトランジスタ100bのゲート101bが入力端子Viに接続される。Nチャネル型MOSトランジスタ100aのソース102aとPチャネル型MOSトランジスタ100bのソース102bが出力端子Voに接続される。Pチャネル型MOSトランジスタ100bのドレイン103bは電源端子Vddに接続され、Nチャネル型MOSトランジスタ100aのドレイン103aはグランド端子Vssに接続される。この回路では、入力端子Viに“1”又は“0”に相当する入力電圧が印加されると、反転する“0”又は“1”に相当する出力電圧が出力端子Voから取り出される。

このようなCMOSインバータ回路はマイクロプロセッサなどの多くの回路チップに用いられており、CMOSインバータ回路の高集積化は直接的にマイクロプロセッサなどの回路チップの縮小化に繋がる。そして、この回路チップの縮小化は、この回路チップの低コスト化に繋がる。

[0004] 図13に、従来例のプレーナ (Planer) 型CMOSインバータ回路の断面構造図を示す。図13に示すように、P型半導体基板104 (以下、アクセ

プタ不純物を含む半導体基板を「P型半導体基板」と称する。)にNウエル領域105(以下、ドナー不純物を含むPチャネルMOSトランジスタを形成する半導体領域を「Nウエル領域」とする。)が形成される。Nウエル領域105の表層部とP型半導体基板104の表層部との間に、素子分離用絶縁層106a、106bが形成される。さらに、P型半導体基板104の表面上、及びNウエル領域105の表面上にPチャネルMOSトランジスタ用ゲート酸化膜107aとNチャネルMOSトランジスタ用ゲート酸化膜107bとが形成される。これらゲート酸化膜107a、107b上にPチャネルMOSトランジスタ用ゲート導体層108aとNチャネルMOSトランジスタ用ゲート導体層108bとが形成される。PチャネルMOSトランジスタ用ゲート導体層108aの左右両側において、Nウエル領域105の表面上にドレインP⁺領域109a(以下、アクセプタ不純物を多く含む半導体領域を「P⁺領域」とする。)とソースP⁺領域109bとが形成される。同様に、NチャネルMOSトランジスタ用ゲート導体層108bの両側において、P型半導体基板104の表面上にドレインN⁺領域110b(以下、ドナー不純物を多く含む半導体領域を「N⁺領域」とする。)とソースN⁺領域110aとが形成される。さらに第1の層間絶縁層111が形成され、この第1の層間絶縁層111であって、P⁺領域109a、109b及びN⁺領域110a、110bの上にコンタクトホール112a、112b、112c、112dが形成される。これらコンタクトホール112a、112b、112c、112dを介して、第1の層間絶縁層111上に形成された電源配線金属層V_{dd}とP型MOSトランジスタ・ドレインP⁺領域109aとが接続され、第1の層間絶縁層111上に形成された出力配線金属層V_oとPチャネルMOSトランジスタのソースP⁺領域112b、及びNチャネルMOSトランジスタのソースN⁺領域110aとが接続され、グランド配線金属層V_{ss}とNチャネルMOSトランジスタのドレインN⁺領域110bとが接続される。さらに、第2の層間絶縁層113が形成され、この第2の層間絶縁層113に、PチャネルMOSトランジスタ用ゲート導体層108aとNチャ

ネルMOSトランジスタ用ゲート導体層108bとの上にコンタクトホール114a、114bが形成される。さらに、コンタクトホール114a、114bを介して、第2の層間絶縁層113上に形成された入力配線金属層ViとPチャネルMOSトランジスタ用ゲート導体層108aとNチャネルMOSトランジスタ用ゲート導体層108bとが接続される。

[0005] 本実施形態において、プレナー型CMOSインバータ回路の表面占有面積を縮小するには、P、NチャネルMOSトランジスタのゲート導体層108a、108b、ソース、ドレインN⁺領域110a、110b P⁺領域109a、109b、コンタクトホール112a、112b、112c、112d、114a、114b、配線金属層108a、108bのP型半導体基板104の表面を上方から見た場合の2次元寸法を小さくすることが必要である。これには、更に加工寸法を小サイズ化するためのリソグラフィ技術やエッチング技術などの高精細な加工技術が必要である。

[0006] プレナー型MOSトランジスタでは、P、NチャネルMOSトランジスタのチャネルはソース、ドレイン間のP型半導体基板104及びNウエル領域105の表面に沿った水平方向にある。これに対し、SGTのチャネルは半導体基板表面に対して垂直方向にある（例えば、特許文献1、特許文献2、非特許文献1を参照）。

[0007] 図14Aに、NチャネルSGTの構造模式図を示す。

図14Aに示すように、P型又はi型（真性型）のSi柱115（以下、シリコン半導体柱を「Si柱」という。）の上下の位置に、一方がソースの場合に、他方がドレインとなり、一方がドレインの場合に、他方がソースとなるN⁺領域116a、116bが形成されている。ソース、ドレインN⁺領域116a、116b間のSi柱115がチャネル領域117となる。このチャネル領域117を囲むようにゲート絶縁層118が形成され、このゲート絶縁層118を囲むようにゲート導体層119が形成されている。SGTではソース、ドレインN⁺領域116a、116b、チャネル領域117、ゲート絶縁層118、ゲート導体層119が、単一のSi柱115に形成され

る。このため、SGTの表面占有面積は、見かけ上、プレーナMOSトランジスタの単一のソース又はドレインN⁺領域面積に相当するようになる。そのため、SGTを有する回路チップは、プレーナ型MOSトランジスタを有するものと比較して、更なるチップサイズの縮小化が実現可能である。

[0008] 図14Bに、SGTを用いたインバータ回路の断面図を示す（例えば、特許文献2を参照）。

図14Bに示すように、絶縁層基板120上にi層121（「i層」は真性型Si層を示す。以下、「i層」と呼ぶ。）が形成され、このi層121上にPチャネルSGT用Si柱SP1とNチャネルSGT用Si柱SP2とが形成される。

PチャネルSGT用Si柱SP1の下部に繋がるi層121に、PチャネルSGTのソースP⁺領域122が、i層121と同層に、かつSi柱SP1の下部を囲むように形成され、NチャネルSGTのソースN⁺領域123が、i層121であって、かつSi柱SP2下部を囲むように形成される。

さらに、PチャネルSGT用Si柱SP1の上部にPチャネルSGTのドレインP⁺領域124が形成され、NチャネルSGT用Si柱SP2の上部にNチャネルSGTのドレインN⁺領域125が形成される。

Si柱SP1、SP2を囲むようにゲート絶縁層126a、126bが形成され、ゲート絶縁層126a、126bを囲むようにPチャネルSGTのゲート導体層127aとNチャネルSGTのゲート導体層127bが形成されている。

これらゲート導体層127a、127bを囲むように絶縁層128a、128bが形成されている。

PチャネルSGTのソースP⁺領域122とNチャネルSGTのソースN⁺領域123とはシリサイド層129bを介して接続される。PチャネルSGTのドレインP⁺領域124上にシリサイド層129aが形成され、NチャネルSGTのドレインN⁺領域125上にもシリサイド層129cが形成される。Si柱SP1の上下の位置にあるP⁺領域122、124間のi層130a

がPチャネルSGTのチャネルとなり、Si柱SP2の上下の位置にあるN⁺領域123、125間のi層130bがNチャネルSGTのチャネルとなる。

[0009] 続いて、CVD (Chemical Vapor deposition) 法を用いて、絶縁層基板120、i層121、Si柱SP1、SP2を覆うようにSiO₂層131を形成し、このSiO₂層131にコンタクトホール132a、132b、132cをSi柱SP1、SP2及びPチャネル及びNチャネルSGTのソースP⁺領域122、N⁺領域123上に形成する。

コンタクトホール132a、132b、132cを介して、SiO₂層131上に形成された電源配線金属層VddとPチャネルSGTのドレインP⁺領域124、シリサイド層129aとが接続され、コンタクトホール132bを介してSiO₂層131上に形成された出力配線金属層VoとPチャネルSGTのソースP⁺領域122、NチャネルSGTのソースN⁺領域123、シリサイド層129bとが接続される。さらに、コンタクトホール132cを介して、SiO₂層131上に形成されたグランド配線金属層VssとNチャネルSGTのドレインN⁺領域125、シリサイド層129cとが接続される。

さらに、PチャネルSGTのゲート導体層127aとNチャネルSGTのゲート導体層127bは、互いに接続され、入力配線金属層（図示せず）に繋がっている。このSGTを有するインバータ回路ではPチャネルSGTとNチャネルSGTとが、それぞれSi柱SP1、SP2内に形成されるため、垂直方向からみた場合の回路面積が縮小される結果、従来例のプレナー型MOSトランジスタを有するインバータ回路と比較してさらに回路の縮小化が可能となる。

[0010] 更なるSGTを有する回路チップサイズの縮小化が求められる。これに対し、図15の構造模式図に示すような単一のSi柱SPaに2個のSGTを形成することによって、垂直方向からみた場合の回路面積が縮小できることが推定されている（例えば、非特許文献3を参照）。

図15に示すように、Si柱SPaの下方にNチャネルSGT133aが形成され、このNチャネルSGT133a上にPチャネルSGT133bが形成されたCMOSインバータ回路が形成されている。Si柱SPaの下部にNチャネルSGT133aのドレインN⁺領域134aが形成されており、グランド端子Vssに接続される。このドレインN⁺領域134a上に、チャネルi層136aが形成される。このチャネルi層136aの外周部にゲート絶縁層137aが形成され、このゲート絶縁層137aの外周部にNチャネルSGT用ゲート導体層138aが形成される。

さらに、チャネルi層136a上にソースN⁺領域134bが形成されている。このソースN⁺領域134bに接する状態で、ソースN⁺領域134b上にPチャネルSGT133bのソースP⁺領域135aが形成される。ソースP⁺領域135a上に、チャネルi層136bが形成される。チャネルi層136bの外周部にゲート絶縁層137bが形成され、このゲート絶縁層137bの外周部にPチャネルSGT133bに使用されるゲート導体層138bが形成される。

さらに、チャネルi層136b上のSi柱SPaの頂部にドレインP⁺領域135bが形成される。このドレインP⁺領域135bは電源端子Vddに接続される。N、PチャネルSGT133a、133bのゲート導体層138a、138bは入力端子Viに接続される。そして、NチャネルSGT133aのソースN⁺領域134bとPチャネルSGT133bのソースP⁺領域135aとは出力端子Viに接続される。

[0011] 図15を参照して、SGTインバータ回路を単一のSi柱SPa内に形成する場合には、製造上の困難さが問題となる。PチャネルSGT133bのソースP⁺領域135aとNチャネルSGT133aのソースN⁺領域134bとは、Si柱SPaの中間にあって、かつP⁺領域135aとN⁺領域134bとが接して形成されることが必要となる。図13に示す従来例のプレナー型MOSトランジスタ回路を製造する場合には、従来例のホトリソグラフィ技術を用いて形成されたホトレジスト層をマスクとして用い、P基板10

4の上部表面から加速されたドナー及びアクセプタ不純物イオンを注入するイオン注入方法を用いてN⁺領域110a、110b、P⁺領域109a、109bを形成することができる。また、図14Bに示すSGTを有するインバータ回路を形成する場合でも、ホトリソグラフィ技術により形成されたホトレジスト層をマスクとして用い、絶縁基板120の上部表面から加速されたドナー及びアクセプタ不純物イオンを注入するイオン注入方法により、N⁺領域123、P⁺領域122を形成することができる。これに対して、図15を参照して、単一のSi柱SPaにインバータ回路を形成する場合では、従来例のイオン注入方法によってはN⁺領域134b、P⁺領域135aを形成することができない。この原因は、従来例のイオン注入法ではSi柱の側面に水平方向からイオンを注入できないことにある。これに代えて、ドナー又はアクセプタ不純物を含む、例えばポリSi又はSiO₂膜からSi柱SPaの中間付近に位置する側面に、ドナー又はアクセプタ不純物をSi柱SPa内に拡散する方法が考えられる。そのため、Si柱SPa全体を拡散ストップパ膜で覆い、続いて拡散する部分の拡散ストップパ膜を除去し、その後の不純物拡散膜を堆積させて、熱処理を行って、N⁺領域134bとP⁺領域135aを形成する。この場合、N⁺領域134bとP⁺領域135aとを同時に形成することができないことから、このN⁺領域134b、P⁺領域135aを別々に形成することが必要となる。このため、このN⁺領域134b、P⁺領域135aを垂直方向に精度良く形成することが困難となる。

[0012] さらに、例えば図16Aに示すような単一のSi柱SPbに、下方にPチャンネルSGT139aを形成し、その上にNチャンネルSGT136bを形成された構造、又は図16Bに示すような単一のSi柱SPcに下方にNチャンネルSGT140aを形成し、さらにその上に同じ構造のNチャンネルSGT140bを形成する場合のような、下方にN、PチャンネルSGTが混在し、上方にさらにN、PチャンネルSGTが混在する構造を有するSGT回路を製造することは、製造上の困難性を増加させる。

先行技術文献

特許文献

- [0013] 特許文献1：特開平2－188966号公報
特許文献2：特開平7－99311号公報
特許文献3：米国特許第8212311号明細書

非特許文献

- [0014] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguch, and Fujio Masuoka : IEE E Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)
非特許文献2：Hyoungiun Na and Tetsuo Endoh : "A New Compact SRAM cell by Vertical MOSFET for Low-power and Stable Operation", Memory Workshop (IMW)-2011 3rd IEEE International Digest P1-P4 2011
非特許文献3：Tadashi Shibata, Susumu Kohyama and Hisakazu Iizuka : "A New Field Isolation Technology for High Density MOS LSI", Japanese Journal of Applied Physics, Vol. 18, pp.263-267 (1979)

発明の概要

発明が解決しようとする課題

- [0015] 以上、図15、図16A、図16Bを参照して説明したように、単一のSi柱に、SGTを縦方向に重なり合うように形成し、垂直方向の上下の位置にあるNチャネル、PチャネルSGTの組み合わせが異なるSi柱を複数個形成するSGTを有する半導体装置の製造方法においては、Si柱の中間の位置に、ドナー又はアクセプタ不純物を含むN⁺領域、P⁺領域を所定の位置に精度良く形成することが困難となる。

課題を解決するための手段

- [0016] 本発明の半導体装置の製造方法は、
半導体基板の表層部における同一の層内に、ドナー不純物を含む第1の不純物領域及びアクセプタ不純物を含む第2の不純物領域のいずれか一方又は両方を形成する第一の不純物領域形成工程と、

前記半導体基板の上方に第1の半導体層を形成する第1の半導体層形成工程と、

前記第1の半導体層の表層部における同一の層内に、ドナー不純物を含む第3の不純物領域とアクセプタ不純物を含む第4の不純物領域のいずれか一方又は両方を形成する第二の不純物領域形成工程と、

前記第1の半導体層の上方に、第2の半導体層を形成する第2の半導体層形成工程と、

前記第2の半導体層の上面から、前記第2の半導体層と、前記第1の半導体層と、前記半導体基板とをエッチングすることで、前記半導体基板と、前記第1の半導体層と、前記第2の半導体層とからなり、かつ、前記第1の不純物領域と前記第2の不純物領域とが、前記第3の不純物領域と前記第4の不純物領域とのいずれかと、前記半導体基板の表面に対して垂直方向に重なり合う複数の第1の島状半導体を形成する島状半導体形成工程と、

前記第1の不純物領域を有する第1の島状半導体の底部にドナー不純物を含む第5の不純物領域を形成し、前記第2の不純物領域を有する第1の島状半導体の底部にアクセプタ不純物を含む第6の不純物領域を形成する第三の不純物領域形成工程と、

前記第1の島状半導体を囲むようにゲート絶縁層を形成するゲート絶縁層形成工程と、

前記ゲート絶縁層を囲むようにゲート導体層を形成するゲート導体層形成工程と、

前記ゲート絶縁層、前記ゲート導体層よりも上方に位置し、前記第3の不純物領域を有する前記第1の島状半導体の頂部に、ドナー不純物を含む第7の不純物領域を形成し、前記第4の不純物領域を有する第1の島状半導体にはアクセプタ不純物を含む第8の不純物領域を形成する第四の不純物領域形成工程と、を有し、

前記第1の不純物領域と前記第5の不純物領域との一方をソース、他方をドレインとし、前記第1の島状半導体の前記半導体基板をチャンネルとし、前

記ゲート導体層をゲートとする第1のSGT (Surrounding Gate MOS Transistor) と、前記第2の不純物領域と前記第6の不純物領域との一方をソース、他方をドレインとし、前記第1の島状半導体の前記半導体基板をチャンネルとし、前記ゲート導体層をゲートとする第2のSGTとのいずれか一方、又は両方を前記第1の島状半導体の下部側に形成し、

前記第3の不純物領域及び前記第7の不純物領域の内の一方をソース、他方をドレインとし、前記第1の島状半導体の前記第2の半導体層をチャンネルとし、前記ゲート導体層をゲートとする第3のSGTと、前記第4の不純物領域と前記第8の不純物領域との一方をソース、他方をドレインとし、前記第1の島状半導体の前記第2の半導体層をチャンネルとし、前記ゲート導体層をゲートとする第4のSGTのいずれか一方、又は両方を前記第1の島状半導体の上部側に形成する、

ことを特徴とする。

[0017] 前記島状半導体形成工程の直後において、

前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、前記第4の不純物領域、前記第5の不純物領域、前記第6の不純物領域、前記第7の不純物領域、及び前記第8の不純物領域のいずれもが、前記第1の島状半導体の側面から露出していない、ことが好ましい。

[0018] 前記ゲート絶縁層形成工程の直前において、

前記第1の不純物領域、前記第2の不純物領域、前記第3の不純物領域、前記第4の不純物領域、前記第5の不純物領域、前記第6の不純物領域、前記第7の不純物領域、及び前記第8の不純物領域のいずれもが、前記第1の島状半導体の側面から露出していない、ことが好ましい。

[0019] 前記第一の不純物領域形成工程において、

前記第3の不純物領域と前記第4の不純物領域とが、前記第1の不純物領域と前記第2の不純物領域とに接していない、ことが好ましい。

[0020] 前記第1の不純物領域と前記第2の不純物領域とを前記半導体基板において当該半導体基板の表面よりも内部に形成し、続いて、前記第1の半導体層

を形成する、ことが好ましい。

[0021] 前記第3の不純物領域と前記第4の不純物領域とを前記第1の半導体層において当該第1の半導体層の表面よりも内部に形成し、続いて、前記第2の半導体層を形成する、ことが好ましい。

[0022] 前記半導体基板の深さ方向に対して、内部にドナー又はアクセプタ不純物を含む第9の不純物領域を形成する工程と、

前記半導体基板の表層部に、前記第9の不純物領域と同じ導電型の第10の不純物領域を形成する工程と、

その後に、前記第1の半導体層を形成する工程と、

前記第9の不純物領域を前記第1の島状半導体の底部に位置させる工程と、を有する、

ことが好ましい。

[0023] 前記第1の不純物領域と前記第5の不純物領域のソース、ドレイン間の前記半導体基板をチャンネルとする前記第1のSGTと、前記第2の不純物領域と前記第6の不純物領域とのソース、ドレイン間の前記半導体基板をチャンネルとする前記第2のSGTとの、前記第1のSGTと前記第2のSGTとの第1のチャンネル長と、

前記第3の不純物領域と前記第7の不純物領域とのソース、ドレイン間の前記半導体基板をチャンネルとする前記第3のSGTと、前記第4の不純物領域と前記第8の不純物領域のソース、ドレイン間の前記半導体基板をチャンネルとする前記第4のSGTとの、前記第1のSGTと前記第2のSGTの第2のチャンネル長とが、互いに異なるように形成する、ことが好ましい。

[0024] 前記第1の島状半導体、又は、前記第1の島状半導体とは別に第2の島状半導体を形成し、前記第2の島状半導体に、前記第1のSGT又は前記第2のSGTを形成し、前記第1のSGT、前記第2のSGTのいずれかの前記ゲート導体層を、電氣的に浮遊させるか、又は、グランド電位になるように形成し、前記第1のSGT又は前記第2のSGTのいずれかが回路上に存在しないように形成する、ことが好ましい。

[0025] 前記第2の島状半導体に形成された、電氣的に浮遊する前記ゲート導体層を有する、いずれかの前記第1のSGT又は前記第2のSGTの、前記第2の島状半導体の底部又は頂部に、ソース又はドレインとなる不純物領域を形成しない、ことが好ましい。

[0026] 前記第1の不純物領域と、前記第3の不純物領域と、前記第5の不純物領域と、第7の不純物領域とからなる前記第1のSGTと前記第2のSGTで形成された前記第1の島状半導体、又は、前記第2の不純物領域と、

前記第4の不純物領域と、前記第6の不純物領域と、第8の不純物領域とからなる前記第1のSGTと、前記第2のSGTで形成された前記第1の島状半導体の内のいずれか、又は両方とを形成し、

前記第1のSGTと前記第2のSGTとの前記ゲート導体層を接続して形成する、

ことが好ましい。

発明の効果

[0027] 本発明によれば、単一の半導体柱に縦方向に複数のSGTを形成する回路を製造するにあたり、SGTのソース又はドレインを構成する、ドナー又はアクセプタ不純物を含むN⁺領域又はP⁺領域を、SGT間における所定の位置に高精度に形成することが可能となる。

図面の簡単な説明

[0028] [図1A]本発明の第1実施形態に係るSRAMセル回路図である。

[図1B]第1実施形態に係るSRAMセル回路が4個のSi柱で形成された場合の構造模式図である。

[図1C]第1実施形態に係るSRAMセル回路のSi柱の配置を示す平面図である。

[図2A]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2B]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2C]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2D]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2E]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2F]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2G]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2H]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2I]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2J]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2K]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2L]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2M]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2N]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2O]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2P]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2Q]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2R]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2S]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2X]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2Y]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2Z]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図2W]第1実施形態に係るSGTを有する半導体装置の製造方法を説明するためのSRAMセルの平面図と断面構造図である。

[図3A]本発明の第2実施形態に係るSRAMセルの平面図と断面構造図である。

[図3B]第2実施形態に係るSRAMセルの平面図と断面構造図である。

[図3C]第2実施形態に係るSRAMセルの平面図と断面構造図である。

[図3D]第2実施形態に係るSRAMセルの平面図と断面構造図である。

[図4]第2実施形態に係るSRAMセルの平面図と断面構造図である。

[図5]本発明の第3実施形態に係るSRAMセルの平面図と断面構造図である。

[図6A]本発明の第4実施形態に係るSRAMセルの平面図と断面構造図である。

[図6B]第4実施形態に係るSRAMセルの平面図と断面構造図である。

[図7A]本発明の第5実施形態に係るSRAMセルの平面図と断面構造図である。

[図7B]第5実施形態に係るSRAMセルの平面図と断面構造図である。

[図8A]本発明の第6実施形態に係るSRAMセルの平面図と断面構造図である。

[図8B]第6実施形態に係るSRAMセルの平面図と断面構造図である。

[図9A]本発明の第7実施形態に係るSRAMセル回路図である。

[図9B]第7実施形態に係るSRAMセルの平面図と断面構造図である。

[図9C]第7実施形態に係るSRAMセルの平面図と断面構造図である。

[図10A]本発明の第8実施形態に係るSGTを有する半導体装置の製造方法を説明するための断面構造図である。

[図10B]第8実施形態に係るSGTを有する半導体装置の製造方法を説明するための断面構造図である。

[図11]本発明の第9実施形態に係るSGTを有する半導体装置の製造方法を説明するための断面構造図である。

[図12]従来例のCMOSインバータ回路図である。

[図13]従来例のプレナー型CMOSインバータ回路の断面図である。

[図14A]従来例のSGTを示す模式構造図である。

[図14B]従来例のSGTを有するCMOSインバータ回路の断面構造図である。

[図15]従来例の単一のSi柱に、下方にNチャネルSGTを、上方にPチャネルSGTが形成された構造を示す模式構造図である。

[図16A]従来例の単一のSi柱に、下方にPチャネルSGTを、上方にNチャネルSGTが形成された構造を示す模式構造図である。

[図16B]従来例の単一のSi柱に、上方及び下方共にNチャネルSGTが形成された構造を示す模式構造図である。

発明を実施するための形態

[0029] 以下、本発明の実施形態に係るSGTを有する半導体装置の製造方法について、図面を参照しながら説明する。

[0030] (第1実施形態)

図1A～図1C、図2A～図2Wに本発明の第1実施形態に係るSGTを

有する半導体装置の製造方法を示す。

[0031] 図1Aに本実施形態のSRAM (Static Random Access Memory) セルの回路図を示す。図1Aに示すように、本SRAMセルは2個のインバータ回路IV1、IV2を含む。インバータ回路IV1は負荷トランジスタとしてのPチャネルSGT_P1と、駆動トランジスタとしての並列に接続された2個のNチャネルSGT_N11、N12と、から構成されている。インバータ回路IV2は負荷トランジスタとしてのPチャネルSGT_P2と、駆動トランジスタとしての、並列に接続された2個のNチャネルSGT_N21、N22と、から構成されている。インバータ回路IV1のPチャネルSGT_P1が、NチャネルSGT_N11、N12のゲートに繋がっており、インバータ回路IV2のPチャネルSGT_P2のソースがNチャネルSGT_N21、N22のソースに接続されている。これと同様にして、PチャネルSGT_P2がNチャネルSGT_N21、N22のゲートに繋がっており、インバータ回路IV1のPチャネルSGT_P1のソースがNチャネルSGT_N11、N12のソースに接続されている。

[0032] PチャネルSGT_P1、P2のドレインは電源電圧配線Vddに接続されている。そして、NチャネルSGT_N11、N12、N21、N22のドレインはグランド配線Vssに接続されている。インバータ回路IV1、IV2の両側に選択NチャネルSGT_SN1、SN2がある。選択NチャネルSGT_SN1、SN2のゲートはワード線配線金属層WLに接続されている。選択NチャネルSGT_SN1のソース、ドレインはNチャネルSGT_N11、N12、PチャネルSGT_P1のソースと反転ビット線配線金属層BLBに接続されている。選択NチャネルSGT_SN2のソース、ドレインはNチャネルSGT_N21、N22、PチャネルSGT_P2のソースとビット線配線金属層BLに接続されている。このように、本実施形態のSRAM回路は、2個のPチャネルSGT_P1、P2と、6個のNチャネルSGT_N11、N12、N21、N22、SN1、SN2との合計8個のSGTとから構成されている。

[0033] 図1Bに、図1Aに示すSRAMセル回路が、4個のSi柱H1、H2、H3、H4に形成されている場合の構造模式図を示す。

図1Bに示すように、Si柱H1の下部にインバータ回路IV1の駆動NチャネルSGT_N11が形成され、Si柱H1の上部に選択NチャネルSGT_SN1が形成されている。Si柱H2の下部にインバータ回路IV1の駆動NチャネルSGT_N12が形成され、Si柱H2の上部に負荷PチャネルSGT_P1が形成されている。Si柱H3の下部にインバータ回路IV2の駆動NチャネルSGT_N22が形成され、Si柱H3の上部に負荷PチャネルSGT_P2が形成されている。Si柱H4の下部に駆動NチャネルSGT_N21が形成され、Si柱H4の上部に選択NチャネルSGT_SN2が形成されている。

[0034] Si柱H1の下部に形成された駆動NチャネルSGT_N11では、Si柱H1の下方から上方に亘ってドレインN⁺領域1a、チャネルi層2a、ソースN⁺領域3aがこの順で繋がるように形成され、チャネルi層2aを囲むようにゲート絶縁層4aが形成されている。さらに、ゲート絶縁層4aを囲むようにゲート導体層5aが形成されている。

Si柱H1の上部に形成された選択NチャネルSGT_SN1では、下方から上方に亘ってドレインN⁺領域6a、チャネルi層7a、ソースN⁺領域8aがこの順で繋がるように形成され、チャネルi層7aを囲むようにゲート絶縁層9aが形成されている。さらに、ゲート絶縁層9aを囲むようにゲート導体層10aが形成されている。Si柱H2の下部に形成された駆動NチャネルSGT_N12では、Si柱H2の下方から上方に亘ってドレインN⁺領域1b、チャネルi層2b、ソースN⁺領域3bがこの順で繋がるように形成され、チャネルi層2bを囲むようにゲート絶縁層4bが形成されている。さらに、ゲート絶縁層4bを囲むようにゲート導体層5bが形成されている。Si柱H2の上部に形成された負荷PチャネルSGT_P1では、下方から上方に亘ってソースP⁺領域6b、チャネルi層7b、ドレインP⁺領域8bが繋がるように形成され、チャネルi層7bを囲むようにゲート絶縁層9

bが形成されている。さらに、ゲート絶縁層9bを囲むようにゲート導体層10bが形成されている。

[0035] 図1Bに示すように、Si柱H3の下部に形成された駆動NチャネルSGT_N22では、Si柱H3の下方から上方に亘ってドレインN⁺領域1c、チャネルi層2c、ソースN⁺領域3cがこの順で繋がるように形成されている。さらに、チャネルi層2cを囲むようにゲート絶縁層4cが形成され、ゲート絶縁層4cを囲むようにゲート導体層5cが形成されている。Si柱H3の上部に形成された負荷PチャネルSGT_P2では、下方から上方に亘ってソースP⁺領域6c、チャネルi層7c、ドレインP⁺領域8cがこの順で繋がるように形成され、チャネルi層7cを囲むようにゲート絶縁層9cが形成されている。さらに、ゲート絶縁層9cを囲むようにゲート導体層10cが形成されている。Si柱H4の下部に形成された駆動NチャネルSGT_N21では、Si柱H4の下方から上方に亘ってドレインN⁺領域1d、チャネルi層2d、ソースN⁺領域3dが繋がって形成され、チャネルi層2dを囲むようにゲート絶縁層4dが形成されている。さらに、ゲート絶縁層4dを囲むようにゲート導体層5dが形成されている。Si柱H4の上部に形成された選択NチャネルSGT_SN2は、下方側から上方に亘ってソースN⁺領域6d、チャネルi層7d、ドレインN⁺領域8dがこの順で繋がるように形成されている。さらに、チャネルi層7dを囲むようにゲート絶縁層9dが形成され、ゲート絶縁層9dを囲むようにゲート導体層10dが形成されている。

[0036] インバータ回路IV1の負荷PチャネルSGT_P1は、NチャネルSGT_N11、N12のゲート導体層10b、5b、5aに繋がっており、ゲート導体層10b、5b、5aは、負荷PチャネルSGT_P2のソースP⁺領域6bと駆動NチャネルSGT_N21、N22のソースN⁺領域3d、3dとに接続されている。同様にして、負荷PチャネルSGT_P2は駆動NチャネルSGT_N21、N22のゲート導体層10c、5b、5dに繋がっており、負荷PチャネルSGT_P1のソースP⁺領域6bと駆動NチャネルSGT_N

N 1 1、N 1 2のソースN⁺領域3 a、3 bとに接続されている。

[0037] 負荷PチャネルSGT_P 1、P 2のドレインP⁺領域8 b、8 cは電源電圧配線V d dに接続されている。さらに、駆動NチャネルSGT_N 1 1、N 1 2、N 2 1、N 2 2のドレインN⁺領域1 a、1 b、1 c、1 dはグランド配線V s sに接続されている。選択NチャネルSGT_S N 1、S N 2のゲート導体層1 0 a、1 0 dはワード線配線金属層WLに接続されている。選択NチャネルSGT_S N 1のN⁺領域6 aはNチャネルSGT_N 1 1、N 1 2のソースN⁺領域3 a、3 b及び負荷PチャネルSGT_P 1のソースP⁺領域6 bに接続されている。選択NチャネルSGT_S N 2のN⁺領域6 dは駆動NチャネルSGT_N 2 1、N 2 2のソースN⁺領域3 c、3 dに接続されている。さらに、選択NチャネルSGT_S N 1のN⁺領域8 aは反転ビット線配線金属層BL Bに接続され、選択NチャネルSGT_S N 2のN⁺領域8 dはビット線配線金属層BLに接続されている。本実施形態では、以上のようにして、SRAMセルを構成する8個のSGTが4つのS i柱H 1、H 2、H 3、H 4に形成されている。

[0038] 図1 Cは、図1 Bに示すSRAMセル回路の構造模式図に示されるS i柱H 1、H 2、H 3、H 4の平面配置図である。図1 Cに示すように、S i柱H 1、H 2、H 3、H 4を含む破線領域1 1内に単一のSRAMセルが形成されている。S i柱H 1、H 2を含む2点鎖線領域1 2 a内にインバータ回路I V 1と選択NチャネルSGT_S N 1が形成され、S i柱H 3、H 4を含む2点鎖線領域1 2 b内にインバータ回路I V 2と選択NチャネルSGT_S N 2とが形成されている。S i柱H 5、H 6は、垂直方向に隣接するSRAMセルの駆動NチャネルSGTと選択NチャネルSGTとからなるS i柱である。S i柱H 1、H 2、H 6とS i柱H 5、H 3、H 4とはそれぞれ水平方向の直線上に配置されている。さらに、S i柱H 1、H 5とS i柱H 2、H 3とS i柱H 6、H 4とがそれぞれ垂直方向の直線上に配置されている。そして、このようなSRAM装置においては、点線領域1 1のSRAMセルが基板上に2次元状に配置されている。

[0039] 図2Aに、SRAMセル回路の製造方法の最初の製造工程を説明するために、図1Cに示すSi柱H1～H6が配置された領域の平面図と断面構造図とを示す。図2Aにおいて、(a)は平面図であり、(b)はX-X'線(図1CにおけるX-X'線と対応している。)に沿った断面構造図を示し、(c)はY-Y'線(図1CにおけるY-Y'線と対応している。)に沿った断面構造図を示す。以下の説明で用いる各図面においても、(a)、(b)、(c)の関係は同じである。

[0040] 以下、図2A～図2Wを参照しながら、図1A、図1B、図1Cに示すSRAMセル回路の製造方法について説明する。

まず、図2Aに示すように、i層基板13上にSiO₂層14を例えば熱酸化法で形成する。このSiO₂層14上から砒素イオン(As⁺)をイオン注入し、i層基板13の表層部にN⁺領域15を形成する。

[0041] 続いて、図2Bに示すように、SiO₂層14を除去し、N⁺領域15上に、例えば低温エピタキシャル成長法を用いてi層16を形成する。さらに、i層16上に、例えばCVD法を用いてSiO₂層17を形成する。続いて、SiO₂層17上において、Si柱H5、H1、H4、H6が形成される領域を覆うようにレジスト層18a、18bを形成する。さらに、i層基板13の上面からアクセプタ不純物イオンであるボロンイオン(B⁺)をイオン注入し、レジスト層18a、18bが覆われていないi層16中にP⁺領域19を形成する。

[0042] 続いて、図2Cに示すように、レジスト層18a、18bを除去し、SiO₂層17上のSi柱H2、H3が存在する領域を覆うようにレジスト層20を形成する。そして、i層基板13上面からドナー不純物である砒素イオン(As⁺)をイオン注入し、i層16にN⁺領域21a、21bを形成する。

[0043] 続いて、図2Dに示すように、SiO₂層17を除去し、それにより露出するN⁺領域21a、21bとP⁺領域19上に、例えば低温Siエピタキシャル成長法を用いてi層22を形成する。

[0044] 続いて、図2Eに示すように、SiO₂層23a、23b、23cをエッチ

ングマスクとして、例えばR I E (Reactive Ion Etching) 法によって、i 層2 2、N⁺領域2 1 a、2 1 b、P⁺領域1 9、N⁺領域1 5、i 層基板1 3をそれぞれエッチングすることでS i 柱H 1～H 6を形成する。これによって、S i 柱H 5において、i 層基板1 3 aよりも上方にi 層2 4 a、N⁺領域2 5 a、N⁺領域2 6 a、i 層2 7 a、S i O₂層2 3 aが形成される。S i 柱H 3においては、i 層基板1 3 aよりも上方にi 層2 4 b、P⁺領域2 5 b、N⁺領域2 6 b、i 層2 7 b、S i O₂層2 3 bが形成される。S i 柱H 4においては、i 層基板1 3 aよりも上方にi 層2 4 c、N⁺領域2 5 c、N⁺領域2 6 c、i 層2 7 c、S i O₂層2 3 cが形成される。

[0045] 続いて、図2 Fに示すように、i 層基板1 3 a、S i 柱H 1～H 6上にC V D法を用いてS i O₂層を堆積し、続いて、このS i O₂層全体を等方性プラズマエッチ法を用いてエッチングし、これによって、S i 柱H 1～H 6の側面のS i O₂層を除去し、i 層基板1 3 a上にS i O₂層2 8 a、2 8 b、2 8 c、2 8 dを残存させる。ここでは、S i O₂層2 8 a、2 8 b、2 8 c、2 8 dは、C V D法で堆積すると、S i 柱H 1～H 6の側面に薄く堆積され、i 層基板1 3 a上には厚く堆積される現象を利用している。さらに、熱酸化法によって、S i 柱H 1～H 6の外周部にS i O₂層2 9 a、2 9 b、2 9 c、2 9 d、2 9 e、2 9 fを形成する。

[0046] 続いて、図2 Gに示すように、i 層基板1 3 aの上面に垂直方向からドナー不純物砒素イオン (A s⁺) をイオン注入し、S i 柱H 1～H 6間のi 層基板1 3 aの表層部にN⁺領域3 0 a、3 0 b、3 0 c、3 0 dを形成する。これらN⁺領域3 0 a、3 0 b、3 0 c、3 0 dはS i 柱H 1～H 6の外側に位置するi 層基板1 3 aの表層部によって互いに繋がっている。

[0047] 続いて、図2 Hに示すように、S i 柱H 1～H 6の外周部のS i O₂層2 9 a、2 9 b、2 9 c、2 9 d、2 9 e、2 9 fを除去した後、新たにS i 柱H 1～H 6の外周部に熱酸化法を用いてゲートS i O₂層3 4 a、3 4 b、3 4 cを形成し、続いて、全体に例えばA L D (Atomic Layer Deposition) 法によるゲート金属層である窒化チタン (T i N) 層3 2と、C V D法による

S i O₂層 3 5 とを形成する。

[0048] 続いて、図 2 I に示すように、リソグラフィ法と R I E エッチング法を用いて、S i 柱 H 3、H 4 を覆うとともに、互いに繋がる T i N 層 3 2 b、S i O₂層 3 5 b を形成する。また、それと同時に、S i 柱 H 5 を覆うように T i N 層 3 2 a、S i O₂層 3 5 a が形成される。(a) の平面における S i 柱 H 1、H 2、H 6 においても、それと同様に T i N 層 3 2 c、3 2 d、S i O₂層 3 5 c、3 5 d が形成される。

[0049] 続いて、図 2 J に示すように、S i 柱 H 1 ~ H 6 の下部の i 層基板 1 3 a 上に、例えば窒化 S i (S i N) 層 3 6 を形成する。ここで、S i N 層 3 6 の表面は S i 柱 H 1 ~ H 6 の N⁺領域 2 5 a、2 5 b、2 5 c が形成されている垂直方向の幅内に位置させる。

[0050] 続いて、図 2 K に示すように、S i N 層 3 6 上に、レジスト層 3 7 を形成する。続いて、例えば約 2 0 0 °C の熱処理を行うことでレジスト層 3 7 の平坦化を行う。ここで、レジスト層 3 7 の表面は N⁺領域 2 6 a、2 6 c、P⁺領域 2 6 b が形成されている垂直方向の幅内に位置させる。その後、弗酸 (H F) ガスを全体に供給する。この H F ガスはレジスト層 3 7 内に拡散され、レジスト層 3 7 内にある水分と反応して液体 H F が形成される、この液体 H F はレジスト層 3 7 に接している S i O₂層 3 5 a、3 5 b をエッチングする。そして、レジスト層 3 7 を除去する (エッチングのメカニズムについては非特許文献 3 を参照)。

[0051] 続いて、図 2 L に示すように、レジスト層 3 7 と接している S i O₂層 3 5 a、3 5 b がエッチングされ、T i N 層 3 2 a、3 2 b の露出領域 3 8 a、3 8 b、3 8 c が S i 柱 H 5、H 3、H 4 の外周部に出現するようになる。それと同時に、S i 柱 H 1、H 2、H 6 の外周部においても、レジスト層 3 7 と接する位置の T i N 層 3 2 c、3 2 d が露出するようになる。これにより、S i 柱 H 5 においては、S i O₂層 3 5 a の下部が分離されて S i O₂層 3 5 e が形成され、H 3 においては、S i O₂層 3 5 b の下部が分離されて S i O₂層 3 5 f が形成され、S i 柱 H 4 においては、S i O₂層 3 5 b の上部

が分離されて SiO_2 層35iが形成される。それと同様に、Si柱H1、H2の下部に SiO_2 層35eが形成され、Si柱H6の下部に SiO_2 層35hが形成される。

[0052] 続いて、図2Mに示すように、 SiO_2 層35a、35b、35i、35e、35fをエッチングマスクとして用い、TiN層32a、32b、32c、32dをエッチングする。このエッチングによって、Si柱H5においては、TiN層32aの下部が分離されてTiN層32eが形成され、H3においては、TiN層32bの下部が分離されTiN層32fが形成される。さらに、Si柱H4においては、TiN層32bの上部が分離されTiN層32iが形成される。それと同様に、Si柱H1、H2の下部にTiN層32gが形成され、Si柱H6の下部にTiN層32hが形成される。以上の処理によって、(a)に示すように、上面から観察すると、Si柱H1～H6において、TiN層32e、32f、32g、32hが配置された状態となる。さらに(b)に示すようにTiN層32a、32b、32i、32e、32fをエッチングマスクにしてゲート SiO_2 層34a、34b、34cをエッチングする。ここで、 SiO_2 層35a、35bの膜厚をゲート SiO_2 層34a、34b、34cの膜厚よりも厚くしておくことで、ゲート SiO_2 層34a、34b、34cのエッチング後において、 SiO_2 層35a、35b、35iを残存させる。ゲート SiO_2 層34a、34b、34cはSi柱H5、H3、H4の上下に分離され、下部がゲート SiO_2 層34d、34e、34fとなる。

[0053] 続いて、図2N(b)に示すように、TiN層32a、32b、32i、32e、32fの露出部分を酸化させ、酸化Ti(TiO)層40a、40b、40c、41a、41b、41cを形成する。さらにその後、全体にCVD法によって SiO_2 層42を形成する。ここでは、 SiO_2 層42はSi柱H1～H6の側面では薄く、Si柱H1～H6の頂部及びSiN層36の表面上では厚く堆積される。

[0054] 続いて、図2Oに示すように、前述したレジスト層37を形成する方法と

同じ形成方法を用いて、レジスト層43を形成する。レジスト層43の上面位置は、Si柱H5、H3、H4のN⁺層26a、26c、P⁺領域26bの垂直方向の幅内に位置させる。そして、HFガスをSi柱H1～H6の上面から供給する。このようにして、図2Kと同様に、レジスト層43にHFガスが拡散され、レジスト層43内の水分と反応して液体HFが形成され、この液体HFによってレジスト層43に接しているSiO₂層42がエッチングされる。

[0055] 続いて、図2Pに示すように、レジスト層43を除去すると、レジスト層43に接していたSiO₂層42がエッチングされ、Si柱H5、H3、H4のN⁺領域25a、25b、25c、26a、26cとP⁺領域26bの側面の露出領域44a、44b、44cとが得られる。ここで、SiO₂層42の内、SiN層36上に堆積されたSiO₂層42dはレジスト層43に接しているが、Si柱H1～H6の側面のSiO₂層42a、42b、42cよりも膜厚が厚いため、SiN層36上に残存するようになる。

[0056] 続いて、図2Qに示すように、例えばポリSi層をシリサイド化させた導体層45a、45b、45c、45dをN⁺領域25a、25b、25c、26a、26cとP⁺領域26bとに接続して形成する。導体層45bは、Si柱H3のN⁺領域25b、P⁺領域26bと、Si柱H4のN⁺領域25c、26cとを繋ぐことで形成される。隣のSRAMセルのSi柱H5のN⁺領域25a、26aは導体層45aに接続されている。また、導体層45cは、Si柱H1、H2において接続されている。そして、導体層45dは、隣のSRAMセルのSi柱H6において接続されている。

[0057] 続いて、図2Rに示すように、例えばSiN層46を、その表面位置がSi柱H1～H6の上部i領域27a、27b、27cの中央部近傍に位置するように形成する。

[0058] 続いて、図2Sに示すように、図2K、図2Oで説明した方法と同じくレジスト層を形成し、その後HFガスをそのレジスト層の上面から供給し、Si柱H5、H3、H4の側面のSiO₂層35a、35b、35c、42a、

4 2 b、4 2 c をエッチングし、さらに図 2 Q で説明した方法で導体層 4 7 a、4 7 b、4 7 c、4 7 d を形成する。導体層 4 7 a は S i 柱 H 5 の上部 T i N 層 3 2 a と接続され、導体層 4 7 b は S i 柱 H 3 の上部 T i N 層 3 2 b と接続され、導体層 4 7 d は S i 柱 H 4 の上部 T i N 層 3 2 i と接続される。さらに、図 2 S (a) に示すように、導体層 4 7 a は S i 柱 H 5、H 1 に繋げて形成され、導体層 4 7 d は S i 柱 H 4、H 6 に繋げて形成される。

[0059] 続いて、図 2 X に示すように、レジスト層 4 8 を、その表面位置が S i 柱 H 1 ～ H 6 頂部よりも低い位置になるように形成する。

[0060] 続いて、図 2 Y に示すように、レジスト層 4 8 をエッチングマスクとして用い、S i O₂ 層 4 2 a、4 2 b、4 2 c、3 5 a、3 5 b、3 5 c、T i N 層 3 2 a、3 2 b、3 2 i、ゲート S i O₂ 層 3 4 a、3 4 b、3 4 c をエッチングし、さらに、レジスト層 4 8 を除去する。続いて、S i O₂ 層 4 2 a、4 2 b、4 2 c、3 5 a、3 5 b、3 5 c、T i N 層 3 2 a、3 2 b、3 2 i、ゲート S i O₂ 層 3 4 a、3 4 b、3 4 c をイオン注入ストップ層とするイオン注入法によって S i 柱 H 1、H 4、H 5、H 4、H 6 の頂部に N⁺領域 4 9 a、4 9 c、4 9 d、4 9 f を形成し、S i 柱 H 3、H 2 の頂部に P⁺領域 4 9 b、4 9 e を形成する。

[0061] 続いて、図 2 Z に示すように、C V D 法を用いて全体に S i O₂ 層 5 0 を形成し、S i 柱 H 5 の頂部にある N⁺領域 4 9 a 上にコンタクトホール 5 1 a を形成し、S i 柱 H 3 の外周部に繋がる下部 T i N 層 3 2 e (下部 T i N 層 3 2 e の上部に導体層 4 7 b が形成されている。) 上にコンタクトホール 5 1 b を形成する。続いて、S i 柱 H 3 の頂部にある P⁺領域 4 9 b 上にコンタクトホール 5 1 c を形成し、導体層 4 5 b 上にコンタクトホール 5 1 d を形成し、S i 柱 H 4 の頂部の N⁺領域 4 9 c 上にコンタクトホール 5 1 e を形成する。続いて、S i 柱 H 1 の頂部の N⁺領域 4 9 d 上にコンタクトホール 5 1 f を形成し、導体層 4 5 c 上にコンタクトホール 5 1 g を形成し、S i 柱 H 2 の頂部の P⁺領域 4 9 e 上にコンタクトホール 5 1 h を形成する。続いて、下部 T i N 層 3 2 f (上部に導体層 4 7 c が形成される。) 上にコンタクトホ

ール5 1 i を形成し、S i 柱H 6 の頂部のN⁺領域4 9 f 上にコンタクトホール5 1 j を形成する。

[0062] その後、コンタクトホール5 1 a を介してS i 柱H 5 の頂部のN⁺領域4 9 a と繋がったビット線配線金属層BL a を形成し、コンタクトホール5 1 f を介してS i 柱H 1 の頂部のN⁺領域4 9 d と繋がった反転ビット線配線金属層BL B a を形成する。続いて、コンタクトホール5 1 b、5 1 g を介してS i 柱H 3 の下部T i N 層3 2 e、導体層4 7 b と導体層4 5 c を繋げた金属配線層5 2 a を形成し、コンタクトホール5 1 c、5 1 h を介してS i 柱H 3、H 2 の頂部のP⁺領域4 9 b、4 9 e を接続した電源線金属配線層V d d を形成し、コンタクトホール5 1 d、5 1 i を介してS i 柱H 2 の下部T i N 層3 2 g、導体層4 7 c と導体層4 5 b を繋げた金属配線層5 2 b を形成する。続いて、コンタクトホール5 1 e を介してS i 柱H 4 の頂部のN⁺領域4 9 c と繋がるビット線金属配線層BL b を形成し、コンタクトホール5 1 j を介してS i 柱H 6 の頂部のN⁺領域4 9 f と繋がった反転ビット線配線金属層BL B b を形成する。

[0063] 続いて、図2 W に示すように、C V D 法を用いてS i O₂ 層5 3 を形成し、導体層4 7 a、4 7 d 上にコンタクトホール5 4 a、5 4 b を形成し、コンタクトホール5 4 a、5 4 b を介して導体層4 7 a、4 7 d を繋げたワード線配線金属層WL を形成する。

[0064] 以上のとおり、図2 A ～図2 W に示す製造方法によって、図1 A の回路図、図1 B の模式構造図、図1 C のS i 柱配置図に示すS R A M セル回路が形成される。

[0065] 上述した第1 実施形態に係る半導体装置の製造方法によれば、図1 B におけるS G T のソース又はドレインとなるN⁺領域3 a、3 b、3 c、3 d、6 a、6 b、6 c、6 d は、図2 A ～図2 D に示すように、S i 柱H 1 ～H 6 を形成する前に、i 層基板1 3 とi 層2 2 に挟まれて積層に形成される。これによって、例えば図2 J ～図2 M に示すS G T のソース又はドレイン不純物層になる領域を、S i O₂ 層3 2、T i N 層3 2 a、3 2 b、ゲートS i O

₂層34a、34b、34cをエッチングした後で、ドナー又はアクセプタ不純物を拡散させて形成することが不要となる。

[0066] 図2Eに示す、Si柱H1～H6の下部のN⁺領域25a、25b、25cは、図2Aに示すように、砒素イオンを注入することにより、同じ深さに同じ不純物濃度分布を持ったN⁺領域15により、均一な状態に形成される。同様に、上部N⁺領域26a、26c、P⁺領域26bは、図2B及び図2Cに示すように、砒素の注入、続くボロンイオンの注入によって、同じ深さ位置に同じ不純物濃度分布を有するN⁺領域21a、21b、P⁺領域19によって、均一な状態に形成される。これにより、Si柱H1～H6のN⁺領域25a、25b、25c、26a、26c、P⁺領域26bが、Si柱H1～H6の柱構造の内部に垂直方向に、高精度に、かつ容易に形成される。

[0067] (第2実施形態)

以下、図3A～図3D、図4を用いて、第2実施形態に係るSGTを有する半導体装置の製造方法について説明する。

第1実施形態の図2Eにおいては、SiO₂層23a、23b、23cをエッチングマスクとして、例えばRIE (Reactive Ion Etching) 法を用い、i層22、N⁺領域21a、21b、P⁺領域19、N⁺領域15、i層基板13をエッチングすることでSi柱H1～H6を形成する。そしてこれにより、Si柱H1～H6の側面からドナー及びアクセプタ不純物を多く含むN⁺領域25a、25b、25c、26a、26cとP⁺領域26bとの表面を露出させる。第1実施形態では、続いて、図2Fに示すように、熱酸化法にてSiO₂層29a、29b、29cを形成する際に、表面が外部に露出しているN⁺領域25a、25b、25c、26a、26cとP⁺領域26bとからドナー及びアクセプタ不純物が外部に侵出して、SGTのチャンネルになるi領域24a、24b、24c、27a、27b、27cに再拡散させている。このような構成では、SGTの特性が不十分になったり、SGTの特性にバラツキが生じることがあった。本実施形態に示す製造方法によればこのような問題が解消されるようになる。

[0068] 図3Aに示すように、 i 層基板13上に SiO_2 層14を例えば熱酸化法で形成する。この SiO_2 層14上に形成されたレジスト層60をマスクとして用い、 i 層基板13の上方から砒素イオン(As^+)のイオン注入を行い、 i 層基板13の表層部に N^+ 領域61a、61b、61c、61d、61e、61fを形成する。

[0069] 続いて、図3Bに示すように、 SiO_2 層14を除去し、 N^+ 領域61a、61b、61c、61d、61e、61f及び i 層基板13上に、例えば低温エピタキシャル成長法を用いて i 層16を形成する。そして、 i 層16上に、例えばCVD法を用いて SiO_2 層17を形成する。その後、 N^+ 領域61a、61c、61d、61fと垂直方向に重なり合うように、 i 層16内に N^+ 領域63a、63b、63c、63dを、レジスト層62をマスクとして用いた砒素イオン注入によって形成する。

[0070] 続いて、図3Cに示すように、レジスト層62を除去し、新たなレジスト層64を形成し、このレジスト層64をマスクとして用い、ボロンイオン注入を行い、 N^+ 領域61b、61eと垂直方向に重なり合う i 層16内に P^+ 領域65a、65bを形成する。

[0071] 続いて、図3Dに示すように、図2D、図2Eに示す製造方法を用いて、 Si 柱H1～H6を形成する。ここでは、 N^+ 領域61a、61b、61c、63a、63b、63c、63dと P^+ 領域65a、65bとの側面が Si 柱H1～H6の内部に位置するように形成される。その後、図2F～図2Wに示す製造方法によって製造する。図2Wの工程に至るまでに途中で行う熱工程によって、ドナー及びアクセプタ不純物の熱拡散が行われ、 N^+ 領域61a、61b、61c、63a、63bと P^+ 領域65a、65bとが導体層45a、45b、45c、45d(図2Q参照)に接続される。

[0072] 本実施形態の製造方法によれば、図3Dに示す状態から、 Si 柱H1～H6の表面及び i 層基板13aの表面を酸化させる工程では、 N^+ 領域61a、61b、61c、63a、63bと P^+ 領域65a、65bが Si 柱H1～H6の側面から露出していないので、 N^+ 領域61a、61b、61c、63a

、63bとP⁺領域65a、65bからドナー及びアクセプタ不純物が外部に侵出するようになり、SGTのチャネルになるi領域24a、24b、24c、27a、27b、27cに再拡散されることはない。これによってSGTの特性低下や、バラツキが生じる問題が解消される。

[0073] また、図4に示すように、第1実施形態の図2Hに至る工程において、即ち、Si柱H1～H6の外周部にゲートSiO₂層34a、34b、34c、TiN層32、SiO₂層35を形成した後において、N⁺領域61a、61b、61c、63a、63bとP⁺領域65a、65bとがSi柱H1～H6の内側に位置するように形成する。これにより、少なくともゲートSiO₂層34a、34b、34cを形成する以前では、Si柱H1～H6の表面が露出することがあっても、N⁺領域61a、61b、61c、63a、63bとP⁺領域65a、65bがSi柱H1～H6の側面から露出していないので、ドナー及びアクセプタ不純物が外部に出ることが防止される。

[0074] (第3実施形態)

以下、図5を参照しながら、第3実施形態に係る半導体装置の製造方法を説明する。

[0075] 図5に示すように、i層基板13の表層部に砒素イオン注入によってN⁺領域67を形成し、このN⁺領域67上に例えば低温Siエピタキシャル成長によってi層68を形成し、このi層68上にSiO₂層69を形成する。そして、図2B、図2Cに示す方法によって、i層68の表層部にN⁺領域70a、70c、P⁺領域70bを砒素及びボロンのイオン注入によって形成する。これにより、i層68の下部に砒素、ボロンがイオン注入されていないi層71を形成する。第1実施形態における断面構造（図2C参照）との相違点は、レジスト層20を除去した段階で、図5ではi層71が存在するのに対して、図2Cではi層71に対応する層が存在しないことにある。

[0076] 図2Cに示すN⁺領域15、21a、21bとP⁺領域19とには、SGTの低い抵抗値のソース又はドレインが求められる。このため、砒素及びボロン原子がSiの固溶限界に近い高濃度になるようにイオン注入される。そし

て、その後の熱工程において、N⁺領域 15 と、N⁺領域 15 に接する N⁺領域 21 a、21 b と P⁺領域 19 の境界において、急速に砒素及びボロンが高濃度の状態で混合するようになる。この場合では、この境界部分において結晶欠陥が発生し易くなる。このように結晶欠陥が発生すると、この結晶欠陥が、SGT のチャネルになる 24 a、24 b、24 c、27 a、27 b、27 c まで伸びることで、SGT の特性を劣化させる可能性が生じる。これに対して、本実施形態の製造方法によれば、N⁺領域 67 と上部の N⁺領域 70 a、70 c、P⁺領域 70 b の間に i 層 71 が存在するため、これ以後の熱工程では、最初の段階では低濃度の砒素とボロンの相互拡散が生じるようになるので、上記のような結晶欠陥の発生が抑制される。

[0077] (第4実施形態)

以下、図 6 A、図 6 B を参照しながら、第 4 実施形態に係る SGT を有する半導体装置の製造方法について説明する。

[0078] 図 6 A に示すように、i 層基板 13 の表層近傍の領域に砒素イオン注入によって N⁺領域 67 a を形成し、i 層 13 表層部に i 層 71 a を形成する。i 層 71 a の形成は砒素イオン注入による i 層基板 13 の深さ方向での砒素不純物分布が N⁺領域 67 a 中に存在するように加速電圧を調整することで行う。i 層 71 a 上に例えば低温 Si エピタキシャル成長によって i 層 68 a を形成し、i 層 68 a 上に SiO₂ 層 69 a を形成する。そして、i 層 68 a に、図 2 B、図 2 C で示すものと同様な N⁺領域 70 a、70 c、P⁺領域 70 b を砒素及びボロンのイオン注入によって形成する。

[0079] 図 6 A に示す半導体装置の断面構造は図 5 に示すものと同じであるが、図 5 における i 層 71 は N⁺層 67 上に直接、低温 Si エピタキシャル法を用いて形成しているため、i 層 71 内に結晶欠陥が発生しやすい。これに対し、図 6 A に示す製造方法においては、砒素不純物を高濃度に含んでいない i 層 71 a 上に i 層 68 a を低温 Si エピタキシャル法によって形成するので、i 層 68 a 内での結晶欠陥の発生が抑制される。

[0080] また、図 6 B に示すように、i 層 71 a 上に Si エピタキシャル成長法に

よって形成させた i 層 68c において、その表層部に i 層 72 を残存させ、下部に図 6A と同じようにイオン注入によって N^+ 領域 70a、70c、 P^+ 領域 70b を形成させる。そして、 SiO_2 層 69a を除去した後、図 2D で示すように、 i 層 22 を低温エピタキシャル法を用いて形成させる。このようにして、ドナー又はアクセプタ不純物を高濃度に含まない i 層 72 上に i 層 22 を低温 Si エピタキシャル法を用いて形成するので、 i 層 72 との境界付近での i 層 22a における結晶欠陥の発生が抑制される。

[0081] (第 5 実施形態)

以下、図 7A、図 7B を参照しながら、第 5 実施形態に係る SGT を有する半導体装置の製造方法について説明する。

[0082] 図 7A に示すように、 i 層基板 13b 上に、例えば低温 Si エピタキシャル法を用いて N^+ 領域 73 と i 層 13c を連続して形成し、続いて層 13c 表層に N^+ 領域 15 を形成する。続いて、図 2D に示すように、 N^+ 領域 15 上に N^+ 領域 21a、21b、 P^+ 領域 19 を形成し、この上に i 層 22 を形成する。それ以後は、図 2G に示す N^+ 領域 30a、30b、30c、30d を形成する工程を行うことなく、図 2E～図 2W に示す工程と同じ工程を行う。

[0083] これによって、図 7B に示すように、 i 層基板 13b 上にあって、かつ Si 柱 H1～H6 の下部に繋がって N^+ 領域 73a が形成される。図 2G の製造方法においては、加速された砒素イオンを i 層基板 13a 上方からイオン注入して N^+ 領域 30a、30b、30c、30d を形成する。この場合、 i 層基板 13a の表面で反射された砒素イオンが Si 柱 H1～H6 の SGT のチャネルになる i 領域 24a、24b、24c、27a、27b、27c に注入される可能性が生じる。これによって、 Si 柱 H1～H6 に形成された SGT の特性が劣化する。これに対して、本実施形態の製造方法では、 Si 柱 H1～H6 を形成する以前から、 N^+ 領域 73 が形成されているため、このような特性低下を防ぐことができる。

[0084] (第 6 実施形態)

以下、図 8 A、図 8 B を参照しながら、第 6 実施形態に係る SGT を有する半導体装置の製造方法について説明する。

- [0085] 従来例の、1 個の Si 柱に 1 個の SGT を形成する SGT を有する半導体装置の製造方法では、同じ高さの複数の Si 柱を基板上に形成し、これら Si 柱の上下の位置にチャネル領域を挟んでソース又はドレインとなるドナー又はアクセプタ不純物層を形成した。このため、従来例の 1 個の Si 柱に 1 個の SGT を形成する SGT を有する半導体装置では、別の工程を追加しない限り、基板上に作られた N チャネル及び P チャネル SGT のチャネル長は等しくなってしまう。このため、回路設計において N チャネル、P チャネル SGT のチャネル長を変更することができない。これに対し、本実施形態では 1 個の Si 柱の上下の位置にそれぞれ SGT を形成するので、この 1 個の Si 柱の上下の位置にある各々の SGT のチャネル長が設計要求に基づいて容易に変更可能となる。
- [0086] 本実施形態では、図 8 A に示すように、Si 柱 H1～H6 の中央部にある N⁺領域 25 a、25 b、25 c は同じ高さ位置に、かつ同時に形成され、これら N⁺領域 25 a、25 b、25 c 上の N⁺領域 26 a、26 b、26 c も同じ高さ位置に形成される。Si 柱 H1～H6 の高さはいずれも L1 となるが、i 層基板 13 a の表面から N⁺領域 25 a、25 b、25 c と N⁺領域 26 a、26 c、P⁺領域 26 b との境界までの垂直方向の長さ L2 と、N⁺領域 25 a、25 b、25 c の垂直方向の長さ L3 と、N⁺領域 26 a、26 c、P⁺領域 26 b の垂直方向の長さ L4 と、図 2 Y に示す Si 柱 H1～H6 の頂部に形成された N⁺領域 49 a、49 c、P⁺領域 49 b の垂直方向の長さ L5 と、を設定することにより、Si 柱 H1～H6 の上下の位置に形成する SGT のチャネル長を変更することができる。
- [0087] 図 8 B に示すように、上記した製造方法によって、Si 柱 H1～H6 の下部にある N⁺領域 73 a と N⁺領域 25 a、25 b、25 c との間に位置する i 層 24 a、24 b、24 c の垂直方向の長さで決定されるチャネル長 Ld と、Si 柱 H1～H6 の上部 N⁺領域 49 a、49 c、P⁺領域 49 b と N⁺領

域26a、26c、P+領域26bとの間に位置するi層27a、27b、27cの垂直方向の長さで決定されるチャネル長 L_u を設計要求に基づく所定の長さとすることができる。そして、本実施形態の製造方法では、従来のプレーナ型MOSトランジスタのようにチャネル幅を広げることによる回路面積の増大はなく、Si柱H1～H6の上下の位置に形成されたSGTのチャネル長 L_d 、 L_u を変更することで、CMOSトランジスタに設計要求に基づく所要の駆動能力が設定可能となる。

[0088] また、図14Bに示す、従来例の単一のSi柱に1個のSGTを形成する製造方法では、全てのNチャネル、PチャネルSGTのチャネル長が同じになるため、Nチャネル、PチャネルSGTのチャネル長を設計要求に基づいて変更することができないが、本実施形態ではチャネル長 L_d 、 L_u を設計要求に基づいて所定の長さに設定することが容易である。

[0089] (第7実施形態)

以下、図9A～図9Cを参照しながら、第7実施形態に係るSGTを有する半導体装置の製造方法について説明する。

[0090] 図9Aに示すSRAMセル回路図は、図1Aに示すSRAMセル回路図において駆動用NチャネルSGT N_{11} 、 N_{21} が存在しないSRAMセルである。

[0091] 本実施形態では、図9Bに示すように、Si柱H3の底部に、i層基板13aにN+領域75を形成し、Si柱H5、H4の底部にはN+領域を形成しない。同様に、Si柱H2の底部のi層基板13a上にN+領域を形成し、Si柱H1、H6の底部にはN+領域を形成しない。そして、図2WではSi柱H3、H4の底部で繋がっていたゲート導電層であるTiN層32eを分離し、Si柱H4の下部に電氣的に浮遊するTiN層32jを形成する。同様にSi柱H5でも分離されたTiN層32kを形成する。Si柱H1、H2、H6においても同様にTiN層の分離が行われる。これによって、Si柱H5、H4、H1、H6の下部のSGTは電流が流れることがなく、電氣的に浮遊するSGTになるため、図9Bに示すSRAMセル回路が実現される。

。

[0092] また、図9Cに示すように、図9Bで用いたi層基板13bの代わりに、SiO₂基板76上にi層77a、77b、77cを形成し、これらi層77a、77b、77c上にSi柱H5、H3、H4を形成し、Si柱H5、H4の底部にはN⁺領域を形成せず、Si柱H3、H4の底部で繋がるゲート導電層であるTiN層32eを分離して、Si柱H4の下部に電氣的に浮遊するTiN層32jを形成する。Si柱H1、H2、H6においても、Si柱H5、H3、H4と同様に形成する。これによっても、図9Bに示すSRAMセル回路が実現される。

[0093] また、図9Bにおいて、Si柱H5、H4、H1、H6の底部にN⁺領域を形成しても、SGTをエンファンス型にして、Si柱H5、H4、H1、H6の下部のSGTのTiN層32k、32jを電氣的に浮遊させるか、TiN層32k、32jをグランド金属配線に接続する。Si柱H1、H2、H6においても、Si柱H5、H3、H4と同様に形成する。これによっても上記構成と同様な効果が得られる。

[0094] 図9B(b)に示すように、Si柱H5、H4の下部にはN⁺領域が形成されていないが、i層基板13aによって繋がったSi柱H3の底部にあるN⁺領域75が、ソース又はドレインの不純物領域になる。この場合、高い抵抗のi層基板13aによって、よりチャネルであるi層24a、24cにより、流れる電流が抑制される。また、図9C(b)に示すようにSiO₂基板76を有する場合は、このような電流は発生しないので、更に効率的にSi柱H5、H4の下部SGTが回路上に存在しない状態を実現することができる。この図9Cにおいては、Si柱H5、H4の底部にN⁺領域を形成した場合でも、このN⁺領域を電氣的に浮遊させることで、上記構成と同様の効果が得られる。

[0095] 以上のように、本実施形態によれば、半導体装置の設計要求に従って、Si柱に形成されたSGTが回路上に存在しないように形成することができる。

。

[0096] (第8実施形態)

以下、図10A、図10Bを参照しながら、第8実施形態に係る、SGTを有する半導体装置の製造方法について説明する。

[0097] 図10Aは、本実施形態において、第1実施形態の図2Dに対応する工程を行った後の半導体装置の断面構造図である。図2Dでは、i層基板13の表層部に単一のN⁺領域15を形成するのに対して、本実施形態においては、このN⁺領域15と同層にP⁺領域80、N⁺領域81a、81bを形成する。このP⁺領域80、N⁺領域81a、81bは、図2B、2Cと同じく、砒素(A_s)、ボロン(B)のイオン注入により形成する。そして、図2Dと同じく、i層16内にあって、P⁺領域80上にN⁺領域21a、N⁺領域81a上に19、N⁺領域81b上にN⁺領域21bを形成する。そして、N⁺領域21a、P⁺領域19、N⁺領域21b上に、例えば低温エピタキシャル成長法を用いて、i層22を形成する。

[0098] 図10Bは、本実施形態において、第1実施形態の図2E～図2Zに対応する工程を行った後の断面構造図である。図2Gでは、i層基板13aの上面に、砒素(A_s)イオン注入によりN⁺領域30a、30b、30c、30dを形成するのに対し、本実施形態においては、Si柱H5の下部のi層基板13aの上面にP⁺領域82a、Si柱H3、H4下部のi層基板13aの上部にN⁺領域82bを形成し、P⁺領域82aとN⁺領域82b間のi層基板13a上部にアイソレーション用絶縁層85を形成する。これによって、Si柱H5の下部にP⁺領域82a、83aをソース又はドレインとするPチャネルSGTが形成され、Si柱H3の下部にN⁺領域82b、83bをソース又はドレインとするNチャネルSGTが形成され、Si柱H4の下部にN⁺領域82b、83cをソース又はドレインとするNチャネルSGTが形成される。

[0099] このように、本実施形態に係る半導体装置の製造方法によれば、1つのSi柱の上下のSGTを、SRAMセル回路の存在の有無に依らず、設計要求に応じて、NチャネルSGTとPチャネルSGTを形成することができる。

[0100] (第9実施形態)

以下、図面を参照しながら、第9実施形態に係る、SGTを有する半導体装置の製造方法について説明する。

[0101] 第8実施形態の図10Bでは、導体層45bがSi柱H3、H4に繋がって形成されているのに対して、本実施形態では、導体層が、図11に示すように、Si柱H3のN⁺領域83b、P⁺領域26bに接続された導体層84aと、Si柱H10（図10BにおけるSi柱H4に対応する。）のN⁺領域83c、26cに接続された導体層84bと、に分かれて形成されている。そして、Si柱H10の上下の位置に形成されたSGTのゲート導体層32e、32iを接続し、Si柱H3の中間に位置するN⁺領域83c、26cに接続された導体層84bを電氣的に浮遊させることで、Si柱の上下の位置にある2個のSGTを、単一のSGTとすることができる。

[0102] また、上記第1～8実施形態に係る本発明の技術思想は、SRAMセル回路の存在の有無に依らず、Si柱の中間に不純物領域を有する他の回路の製造方法にも適用可能なことは言うまでもない。

[0103] 図2Cにおいて、N⁺領域21a、21b、P⁺領域19をi層16全体に形成しているが、イオン注入された砒素又はボロンイオンがi層基板13の表層部に形成されたN⁺領域15に到達している、いないに依らず、図1WのSGT回路製造の最終段階において、Si柱H1～H6の中間位置に形成されるSGTのソース又はドレインの機能を損なうものでない限り許容される。このことは、本発明に係るその他の実施形態においても同様である。

[0104] また、図2Cにおいては、N⁺領域21a、21b、P⁺領域19をイオン注入で形成しているが、例えば、SiO₂層17の所定の場所に孔を空け、ボロン又は砒素原子をi層16上に吸着させて、その後に熱処理を行うことによってN⁺領域21a、21b、P⁺領域19を形成することもできる。これによって、ボロン又は砒素不純物原子を高濃度を含むN⁺領域21a、21b、P⁺領域19を安定して形成することができる。また、このボロン又は砒素原子の吸着と、例えばALD法によるSi層とによる多層積層膜を使用してN⁺

領域 2 1 a、2 1 b、P⁺領域 1 9 を形成してもよい。これによって、より一層安定して高濃度不純物原子を含む N⁺領域 2 1 a、2 1 b、P⁺領域 1 9 を形成することができる。この方法は、N⁺領域 1 5 を形成する場合や、本発明に係るその他の実施形態においても同様である。

[0105] 図 5 における i 層 7 1、図 6 A における i 層 7 1 a、図 6 B における i 層 7 2 は、ドナー又はアクセプタ不純物が含まれない真性型の半導体層としてゐるが、本発明が提供する効果が得られる限りにおいて、ドナー又はアクセプタ不純物を含む層であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0106] 図 2 A における N⁺領域 1 5 は i 層基板 1 3 上にドナー不純物を含む S i エピタキシャル成長を用いて形成することもできる。

[0107] 図 2 C、図 2 D において、i 層 1 6、2 2 を例えば低温エピタキシャル成長法を用いて形成しているが、例えば A L D (Atomic Layer Deposition) 法などの他の方法で形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0108] なお、図 2 A において N⁺領域 1 5 はイオン注入で形成したが、全面に同じ N⁺領域 1 5 を形成する場合は、この N⁺領域 1 5 をエピタキシャル成長、A L D などの同じ導電型を有する S i 層堆積によって形成しても良い。それと同様に図 2 C に示す工程においても、N⁺領域 2 1 a、2 1 b、P⁺領域 1 9 が同じ導電型で構成される場合に、エピタキシャル成長、A L D 法などを用いて、同じ導電型を有する S i 層堆積によって形成することもできる。

[0109] 図 2 G において、i 層基板 1 3 a の上面から砒素イオン注入によって S i 柱 H 1 ~ H 6 間の i 層基板 1 3 a の表層部に N⁺領域 3 0 a、3 0 b、3 0 c、3 0 d を形成しているが、例えば図 2 K の工程を終えた後に、i 層基板 1 3 a の表層部に N⁺領域 3 0 a、3 0 b、3 0 c、3 0 d を形成しても、S i 柱底部に S G T のソース、又はドレインになる N⁺領域 3 0 a、3 0 b、3 0 c、3 0 d を形成することができる。

[0110] また、N⁺領域 1 5、2 1 a、2 1 b、P⁺領域 1 9 に G e などの不純物原

子を取り込むことによって、N⁺領域15、21a、21b、P⁺領域19の内部応力制御を行い、Si柱H1～H6に形成するSGTの移動度が向上する。

[0111] 図2Hでは、ゲート導電層としてTiNを例として説明したが、他の金属層であってもよい。また、この金属層と例えばポリSi層などの多層構造とによってゲート導電層を形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0112] 本実施形態では、i層基板13、13a、13bの代わりにSOI基板を用いることができることは言うまでもない。

[0113] 図9B、図9Cにおいては、回路上に存在しないSGTをSi柱H5、H4、H1、H6の下部に設けた例について説明したが、他の回路において、上部のSGTのゲート導電層を電氣的に浮遊させ、Si柱の頂部のソース又はドレイン不純物領域を電氣的に浮遊させることでも、設計要求に基づき、回路上にSGTが存在しないように形成することができる。

[0114] 上記実施形態では、単一のSi柱に2個のSGTを形成したが、2個を超えるSGTを形成する場合にも、同様の製造方法を追加すればよいので、本発明の技術的思想が適用可能であることは言うまでもない。この場合には、Si柱H1～H6の頂部に、さらにSGTが形成されることになる。

[0115] 本発明の技術思想は、Si柱において、下層、及び上層の不純物領域が、同一の導電性を有する不純物領域である場合にも適用可能である。

[0116] 図2A～図2Wにおいては、i層基板13、及びその他の層をSi層から形成したが、その他の半導体材料層を有する場合にも本発明は適用可能である。このことは、本発明のその他の実施形態においても同様である。

[0117] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成の一部を除いても本発明の技術的思

想の範囲内となる。

産業上の利用可能性

[0118] 本発明に係る半導体装置の製造方法によれば、SGTを有する、高集積度な半導体装置が実現できる。

符号の説明

[0119] IV1、IV2 インバータ回路

P1、P2 PチャネルSGT

N1、N2、N11、N12、N21、N22 NチャネルSGT

SN1、SN2 選択NチャネルSGT

1a、1b、1c、1d、3a、3b、3c、3d、6a、6d、8a、8b、8c、8d、15、21a、21b、25a、25b、25c、26a、26c、30a、30b、30c、30d、49a、49c、61a、61c、63a、63b、73、73a N⁺領域

6b、6c、8b、8c、19、26b、49b、65、67b P⁺領域

H1、H2、H3、H4、H5、H6 Si柱

13、13a、13b i層基板

2a、2b、2c、2d、7a、7b、7c、7d i層

4a、4b、4c、4d、9a、9b、9c、9d、34a、34b、34c、34d、34e、34f ゲートSiO₂層

14、17、23a、23b、23c、28a、28b、28c、28d、29a、29b、29c、35a、35b、35c、35d、50、53

SiO₂層

32、32a、32b、32c、32d、32e、32f、32g TiN層

36、46 SiN層

40a、40b、40c、41a、41b、41c TiO層

18a、18b、20、37、43、48、60、62、64 レジスト層

45a、45b、45c、45d、47a、47b、47c、47d 導体

層

5 1 a、5 1 b、5 1 c、5 1 d、5 4 a、5 4 b コンタクトホール

WL ワード線配線金属層

BL、BL a、BL b ビット線配線金属層

BL B、BL B a、BL B b 反転ビット線配線金属層

請求の範囲

[請求項1]

半導体基板の表層部における同一の層内に、ドナー不純物を含む第1の不純物領域及びアクセプタ不純物を含む第2の不純物領域のいずれか一方又は両方を形成する第一の不純物領域形成工程と、

前記半導体基板の上方に第1の半導体層を形成する第1の半導体層形成工程と、

前記第1の半導体層の表層部における同一の層内に、ドナー不純物を含む第3の不純物領域とアクセプタ不純物を含む第4の不純物領域のいずれか一方又は両方を形成する第二の不純物領域形成工程と、

前記第1の半導体層の上方に、第2の半導体層を形成する第2の半導体層形成工程と、

前記第2の半導体層の上面から、前記第2の半導体層と、前記第1の半導体層と、前記半導体基板とをエッチングすることで、前記半導体基板と、前記第1の半導体層と、前記第2の半導体層とからなり、かつ、前記第1の不純物領域と前記第2の不純物領域とが、前記第3の不純物領域と前記第4の不純物領域とのいずれかと、前記半導体基板の表面に対して垂直方向に重なり合う複数の第1の島状半導体を形成する島状半導体形成工程と、

前記第1の不純物領域を有する第1の島状半導体の底部にドナー不純物を含む第5の不純物領域を形成し、前記第2の不純物領域を有する第1の島状半導体の底部にアクセプタ不純物を含む第6の不純物領域を形成する第三の不純物領域形成工程と、

前記第1の島状半導体を囲むようにゲート絶縁層を形成するゲート絶縁層形成工程と、

前記ゲート絶縁層を囲むようにゲート導体層を形成するゲート導体層形成工程と、

前記ゲート絶縁層、前記ゲート導体層よりも上方に位置し、前記第3の不純物領域を有する前記第1の島状半導体の頂部に、ドナー不純

物を含む第 7 の不純物領域を形成し、前記第 4 の不純物領域を有する第 1 の島状半導体にはアクセプタ不純物を含む第 8 の不純物領域を形成する第四の不純物領域形成工程と、を有し、

前記第 1 の不純物領域と前記第 5 の不純物領域との一方をソース、他方をドレインとし、前記第 1 の島状半導体の前記半導体基板をチャネルとし、前記ゲート導体層をゲートとする第 1 の S G T (Surrounding Gate MOS Transistor) と、前記第 2 の不純物領域と前記第 6 の不純物領域との一方をソース、他方をドレインとし、前記第 1 の島状半導体の前記半導体基板をチャネルとし、前記ゲート導体層をゲートとする第 2 の S G T とのいずれか一方、又は両方を前記第 1 の島状半導体の下部側に形成し、

前記第 3 の不純物領域及び前記第 7 の不純物領域の内の一方をソース、他方をドレインとし、前記第 1 の島状半導体の前記第 2 の半導体層をチャネルとし、前記ゲート導体層をゲートとする第 3 の S G T と、前記第 4 の不純物領域と前記第 8 の不純物領域との一方をソース、他方をドレインとし、前記第 1 の島状半導体の前記第 2 の半導体層をチャネルとし、前記ゲート導体層をゲートとする第 4 の S G T のいずれか一方、又は両方を前記第 1 の島状半導体の上部側に形成する、

ことを特徴とする、S G T を有する半導体装置の製造方法。

[請求項2]

前記島状半導体形成工程の直後において、

前記第 1 の不純物領域、前記第 2 の不純物領域、前記第 3 の不純物領域、前記第 4 の不純物領域、前記第 5 の不純物領域、前記第 6 の不純物領域、前記第 7 の不純物領域、及び前記第 8 の不純物領域のいずれもが、前記第 1 の島状半導体の側面から露出していない、

ことを特徴とする、請求項 1 記載の半導体装置の製造方法。

[請求項3]

前記ゲート絶縁層形成工程の直前において、

前記第 1 の不純物領域、前記第 2 の不純物領域、前記第 3 の不純物領域、前記第 4 の不純物領域、前記第 5 の不純物領域、前記第 6 の不

純物領域、前記第 7 の不純物領域、及び前記第 8 の不純物領域のいずれもが、前記第 1 の島状半導体の側面から露出していない、

ことを特徴とする、請求項 1 記載の半導体装置の製造方法。

[請求項 4]

前記第一の不純物領域形成工程において、

前記第 3 の不純物領域と前記第 4 の不純物領域とが、前記第 1 の不純物領域と前記第 2 の不純物領域とに接していない、

ことを特徴とする、請求項 1 記載の半導体装置の製造方法。

[請求項 5]

前記第 1 の不純物領域と前記第 2 の不純物領域とを前記半導体基板において当該半導体基板の表面よりも内部に形成し、続いて、前記第 1 の半導体層を形成する、

ことを特徴とする、請求項 1 記載の半導体装置の製造方法。

[請求項 6]

前記第 3 の不純物領域と前記第 4 の不純物領域とを前記第 1 の半導体層において当該第 1 の半導体層の表面よりも内部に形成し、続いて、前記第 2 の半導体層を形成する、

ことを特徴とする、請求項 1 記載の半導体装置の製造方法。

[請求項 7]

前記半導体基板の深さ方向に対して、内部にドナー又はアクセプタ不純物を含む第 9 の不純物領域を形成する工程と、

前記半導体基板の表層部に、前記第 9 の不純物領域と同じ導電型の第 10 の不純物領域を形成する工程と、

その後に、前記第 1 の半導体層を形成する工程と、

前記第 9 の不純物領域を前記第 1 の島状半導体の底部に位置させる工程と、を有する、

ことを特徴とする、請求項 1 記載の半導体装置の製造方法。

[請求項 8]

前記第 1 の不純物領域と前記第 5 の不純物領域のソース、ドレイン間の前記半導体基板をチャネルとする前記第 1 の S G T と、前記第 2 の不純物領域と前記第 6 の不純物領域とのソース、ドレイン間の前記半導体基板をチャネルとする前記第 2 の S G T との、前記第 1 の S G T と前記第 2 の S G T との第 1 のチャネル長と、

前記第3の不純物領域と前記第7の不純物領域とのソース、ドレイン間の前記半導体基板をチャンネルとする前記第3のSGTと、前記第4の不純物領域と前記第8の不純物領域のソース、ドレイン間の前記半導体基板をチャンネルとする前記第4のSGTとの、前記第1のSGTと前記第2のSGTの第2のチャンネル長とが、互いに異なるように形成する、

ことを特徴とする、請求項1記載の半導体装置の製造方法。

[請求項9]

前記第1の島状半導体、又は、前記第1の島状半導体とは別に第2の島状半導体を形成し、前記第2の島状半導体に、前記第1のSGT又は前記第2のSGTを形成し、前記第1のSGT、前記第2のSGTのいずれかの前記ゲート導体層を、電氣的に浮遊させるか、又は、グランド電位になるように形成し、前記第1のSGT又は前記第2のSGTのいずれかが回路上に存在しないように形成する、

ことを特徴とする、請求項1記載の半導体装置の製造方法。

[請求項10]

前記第2の島状半導体に形成された、電氣的に浮遊する前記ゲート導体層を有する、いずれかの前記第1のSGT又は前記第2のSGTの、前記第2の島状半導体の底部又は頂部に、ソース又はドレインとなる不純物領域を形成しない、

ことを特徴とする、請求項9記載の半導体装置の製造方法。

[請求項11]

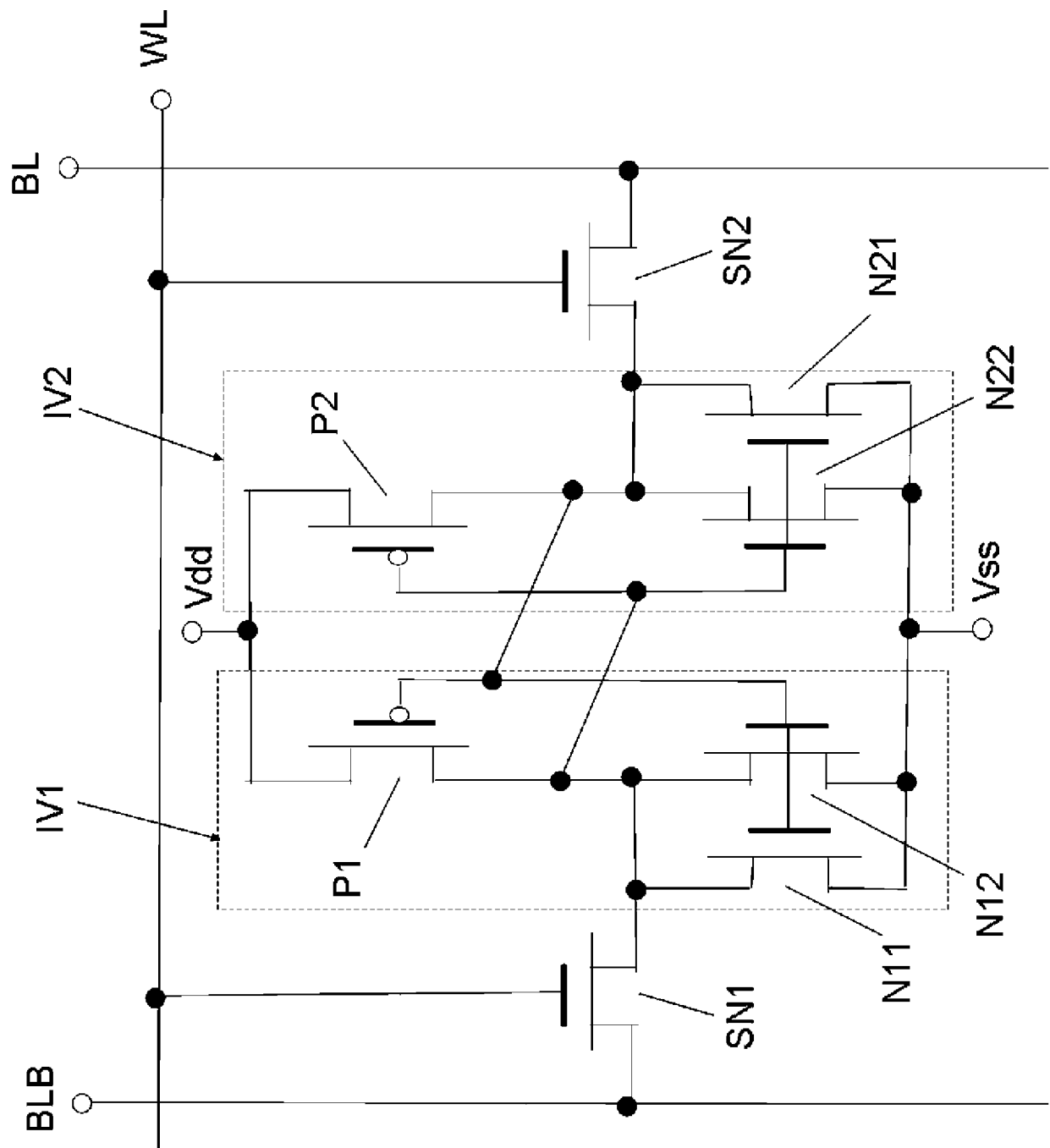
前記第1の不純物領域と、前記第3の不純物領域と、前記第5の不純物領域と、第7の不純物領域とからなる前記第1のSGTと前記第2のSGTで形成された前記第1の島状半導体、又は、前記第2の不純物領域と、

前記第4の不純物領域と、前記第6の不純物領域と、第8の不純物領域とからなる前記第1のSGTと、前記第2のSGTで形成された前記第1の島状半導体の内のいずれか、又は両方とを形成し、

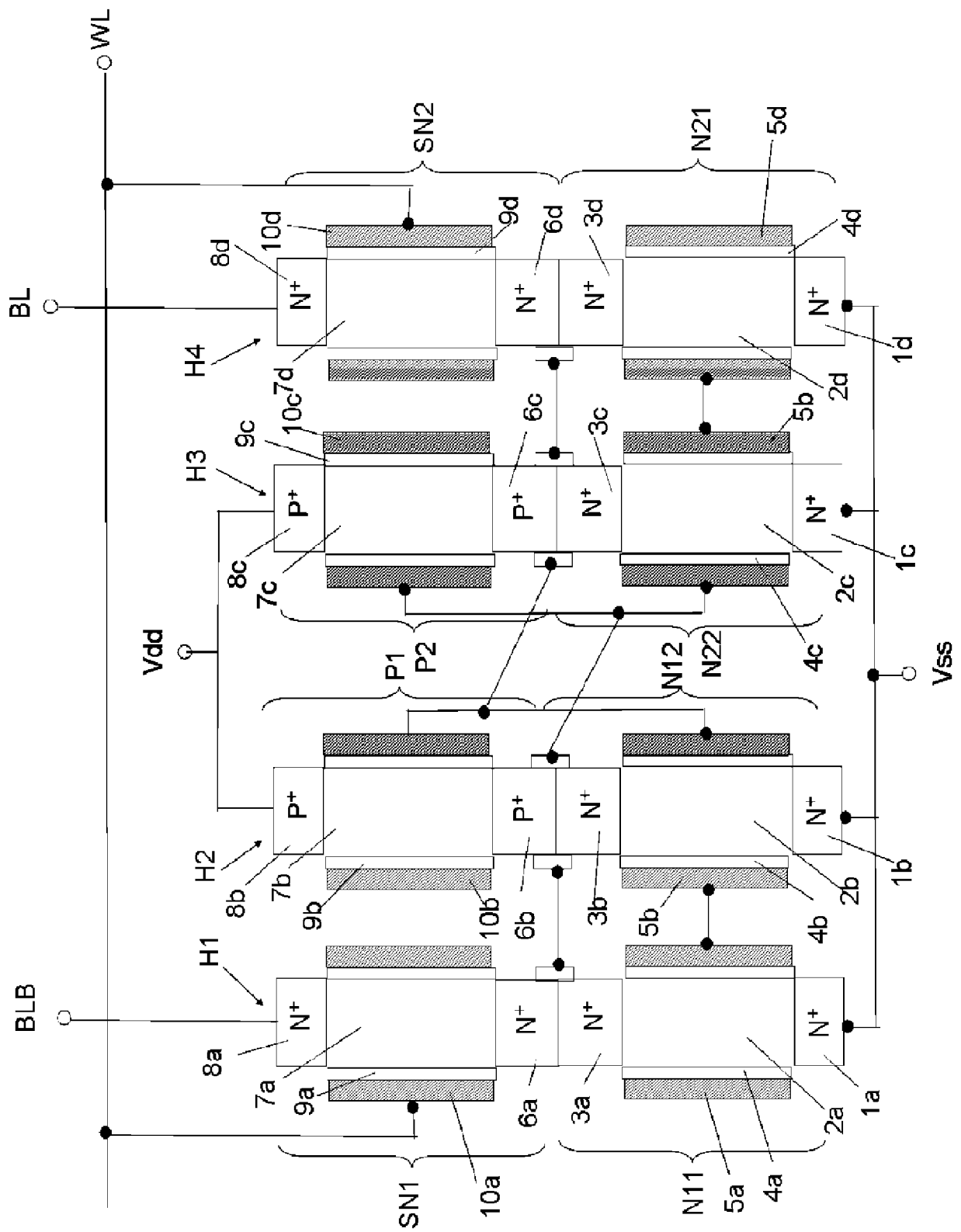
前記第1のSGTと前記第2のSGTとの前記ゲート導体層を接続して形成する、

ことを特徴とする、請求項 1 記載の半導体装置の製造方法。

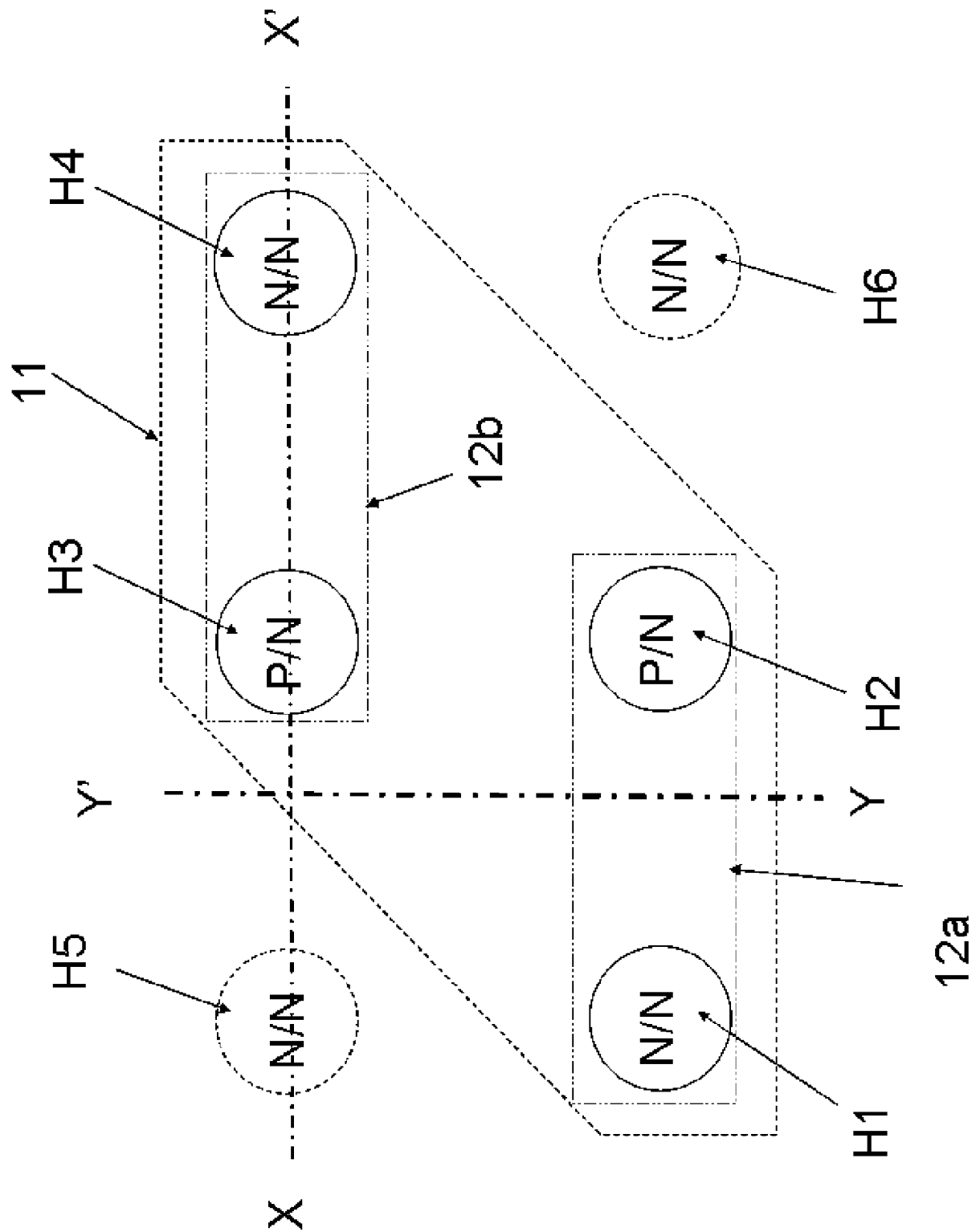
[図1A]



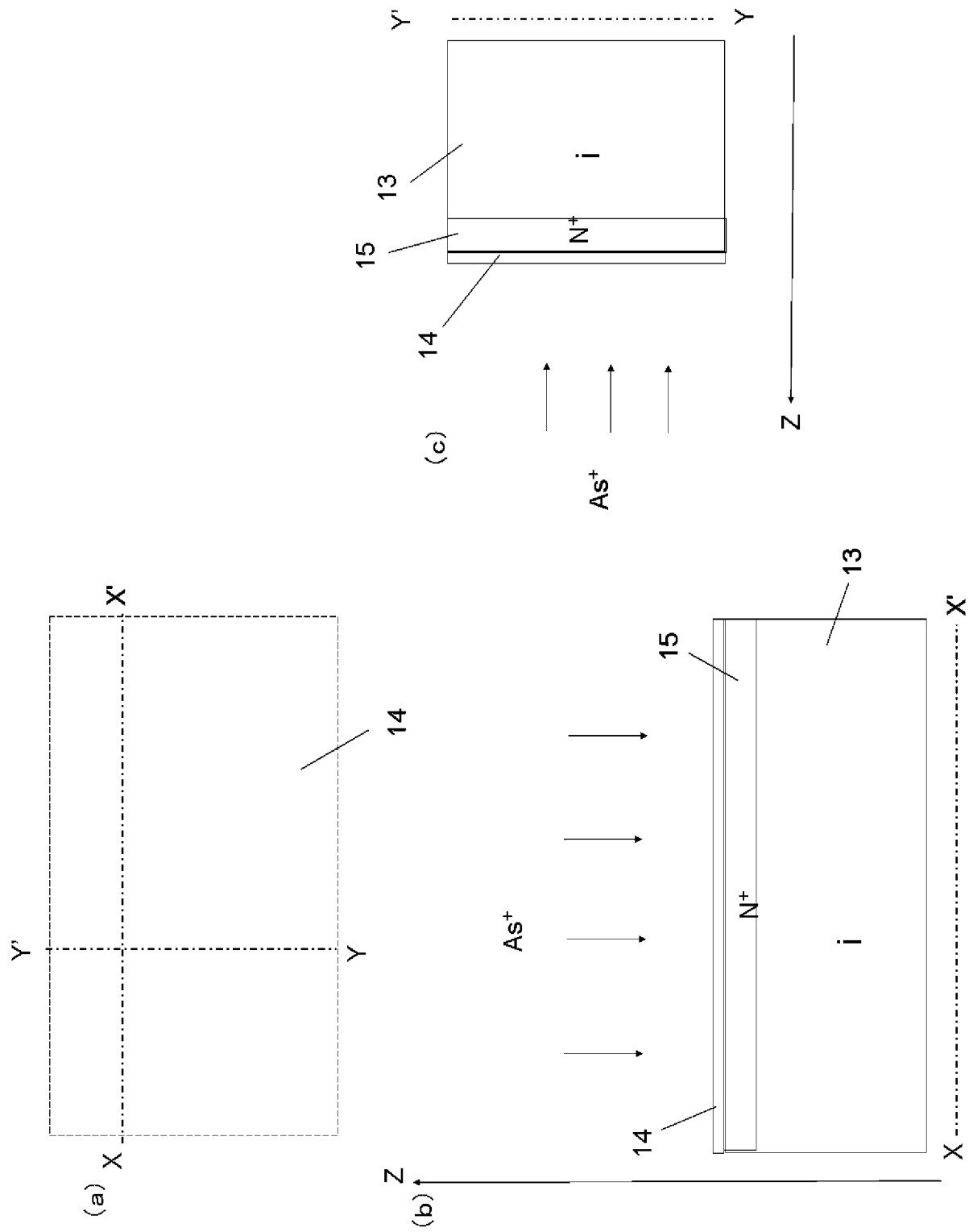
[図1B]



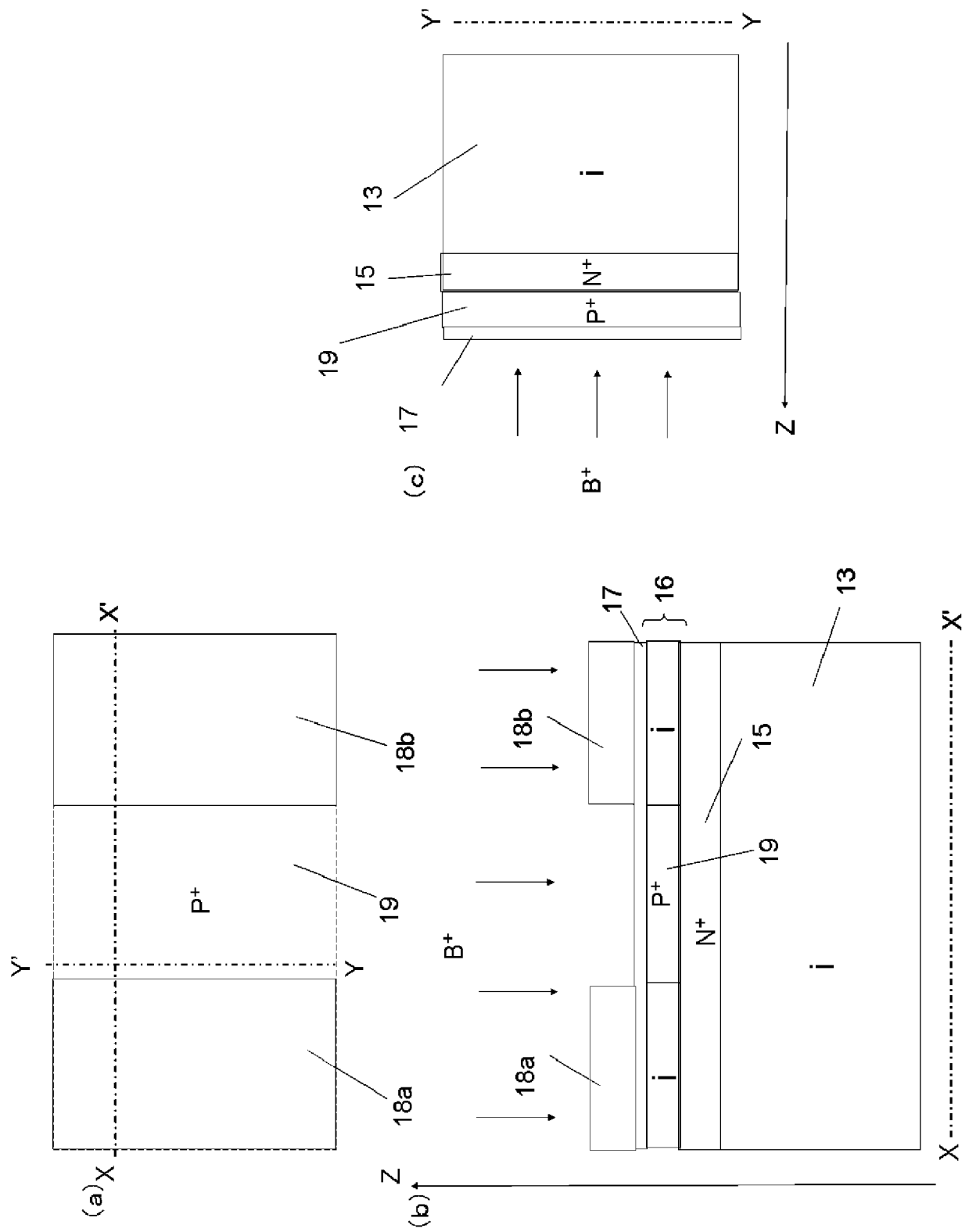
[図1C]



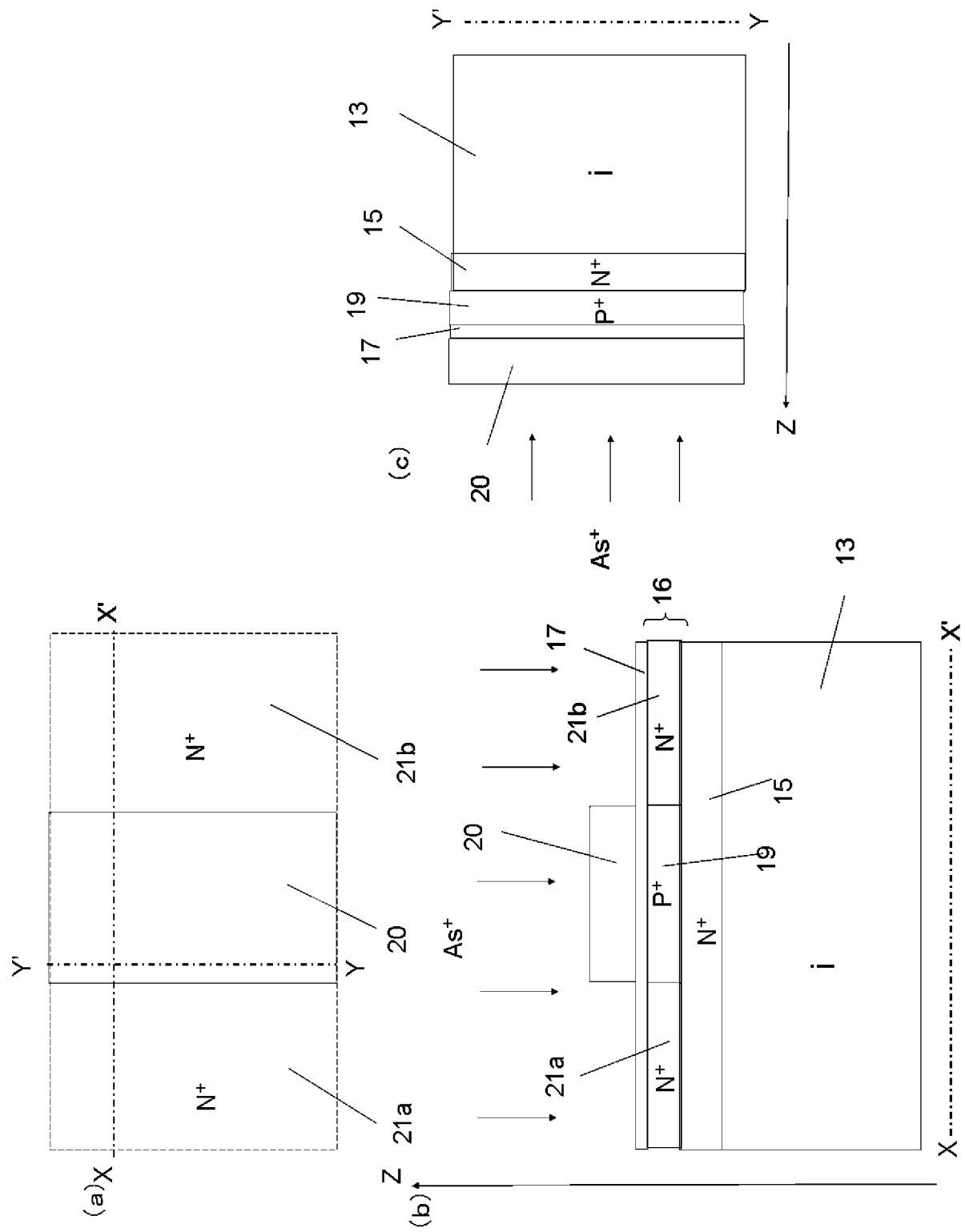
[図2A]



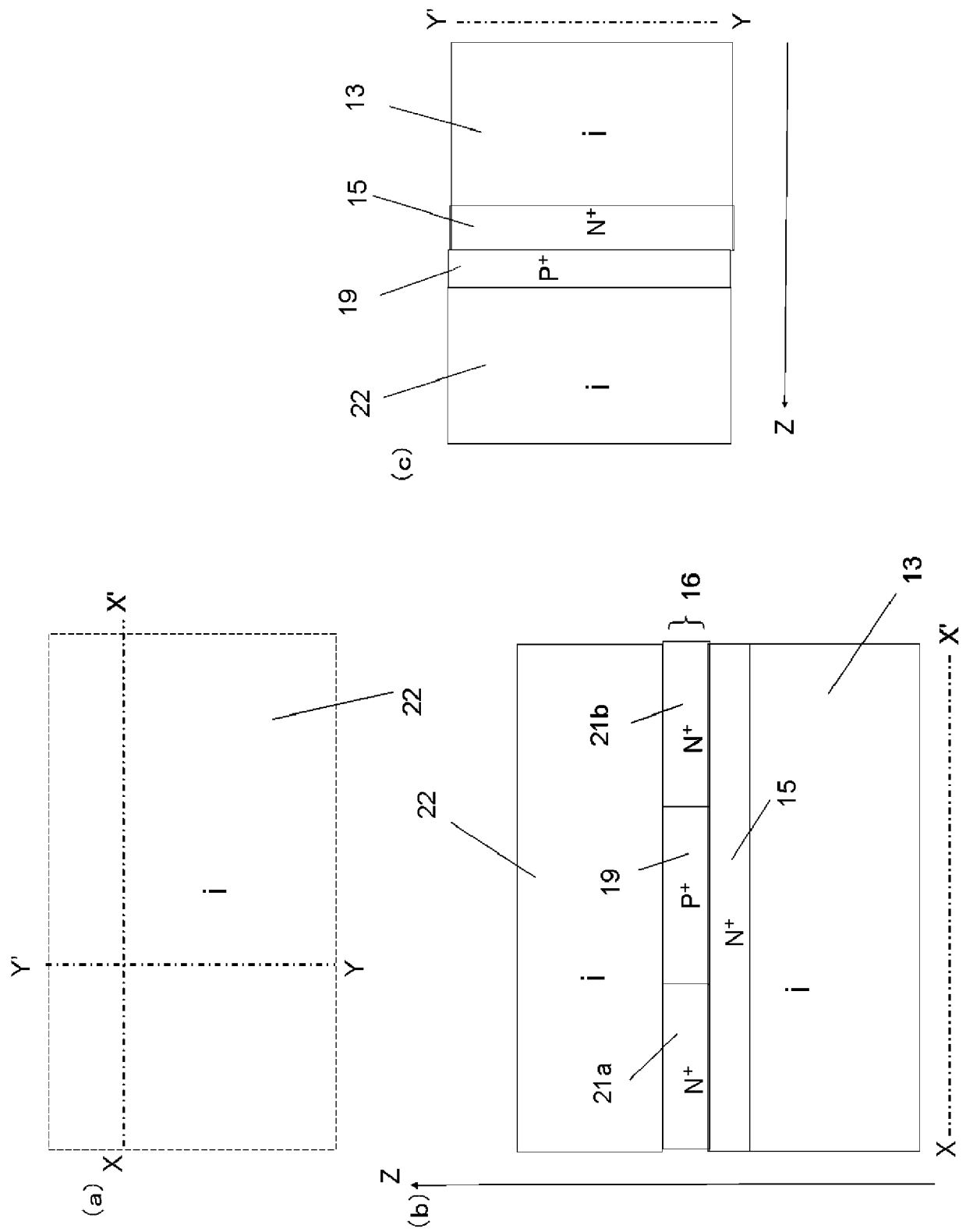
[図2B]



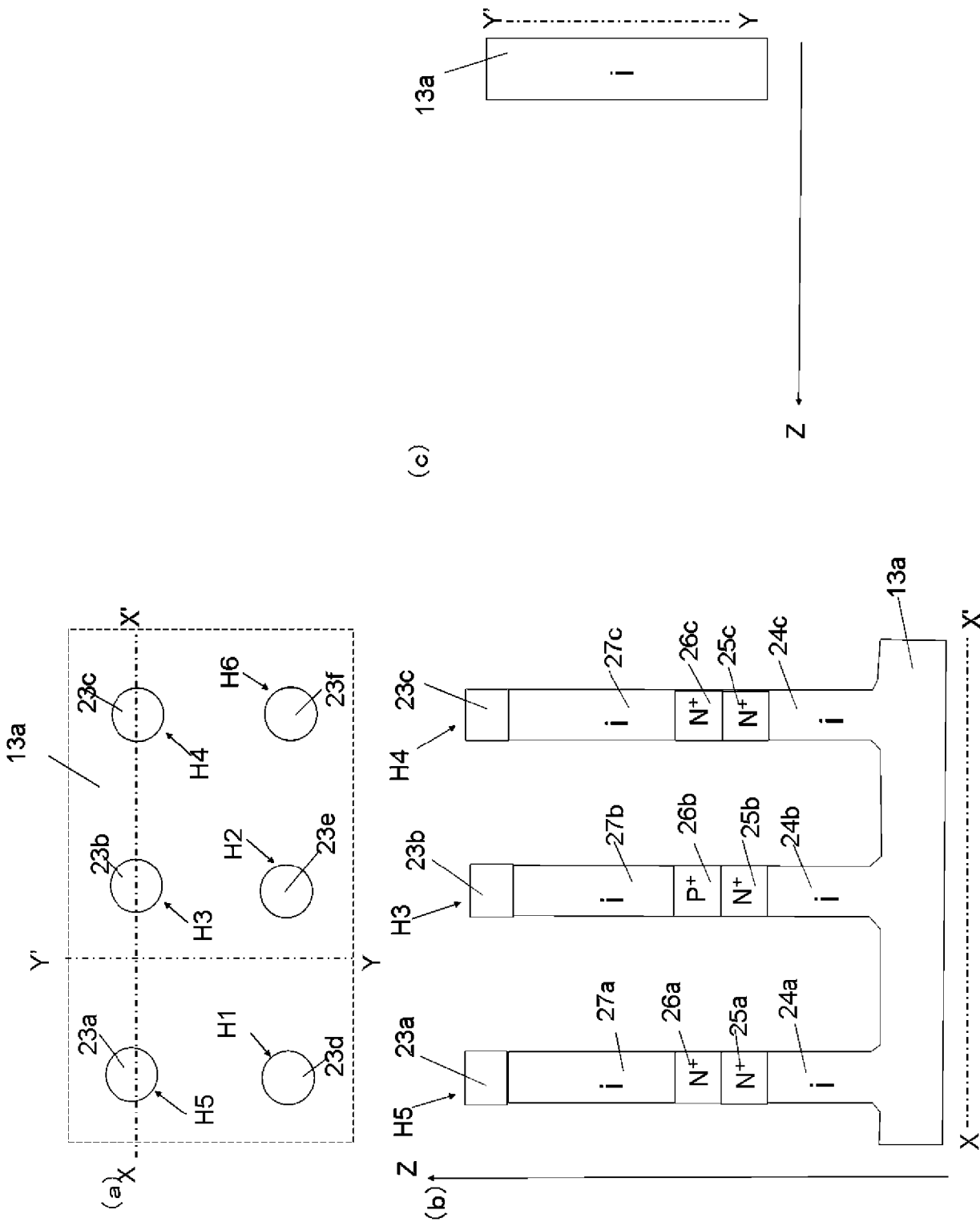
[図2C]



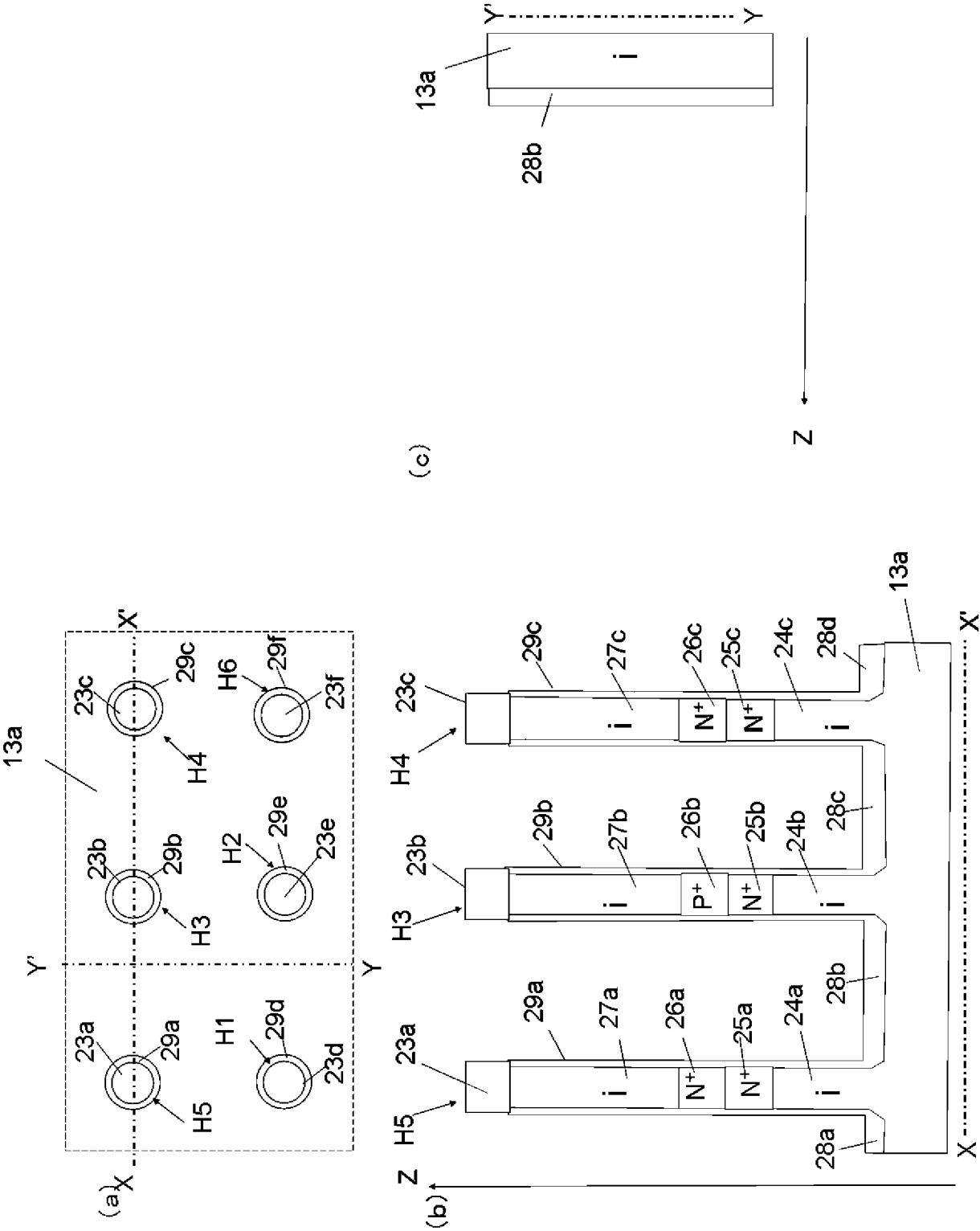
[図2D]



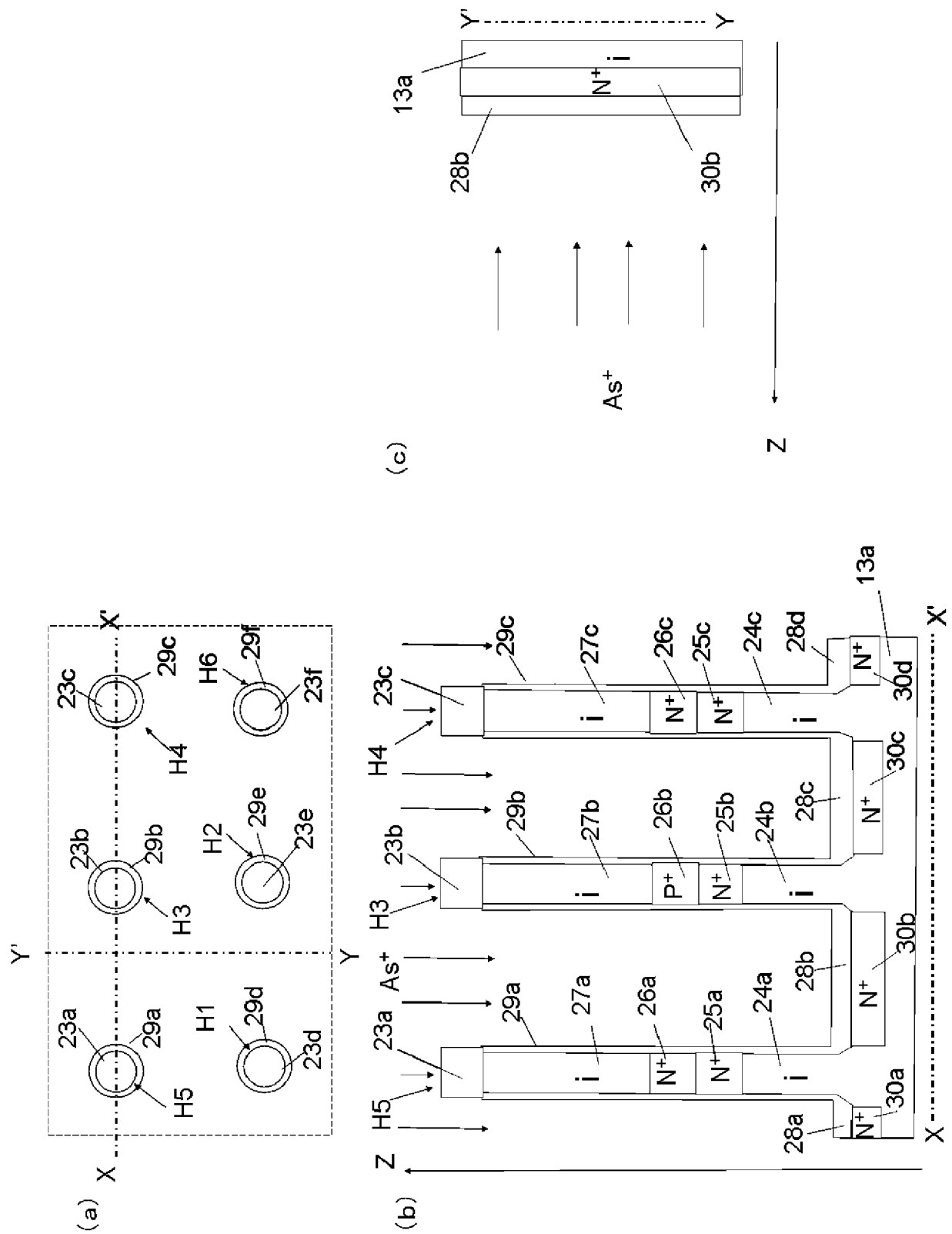
[図2E]



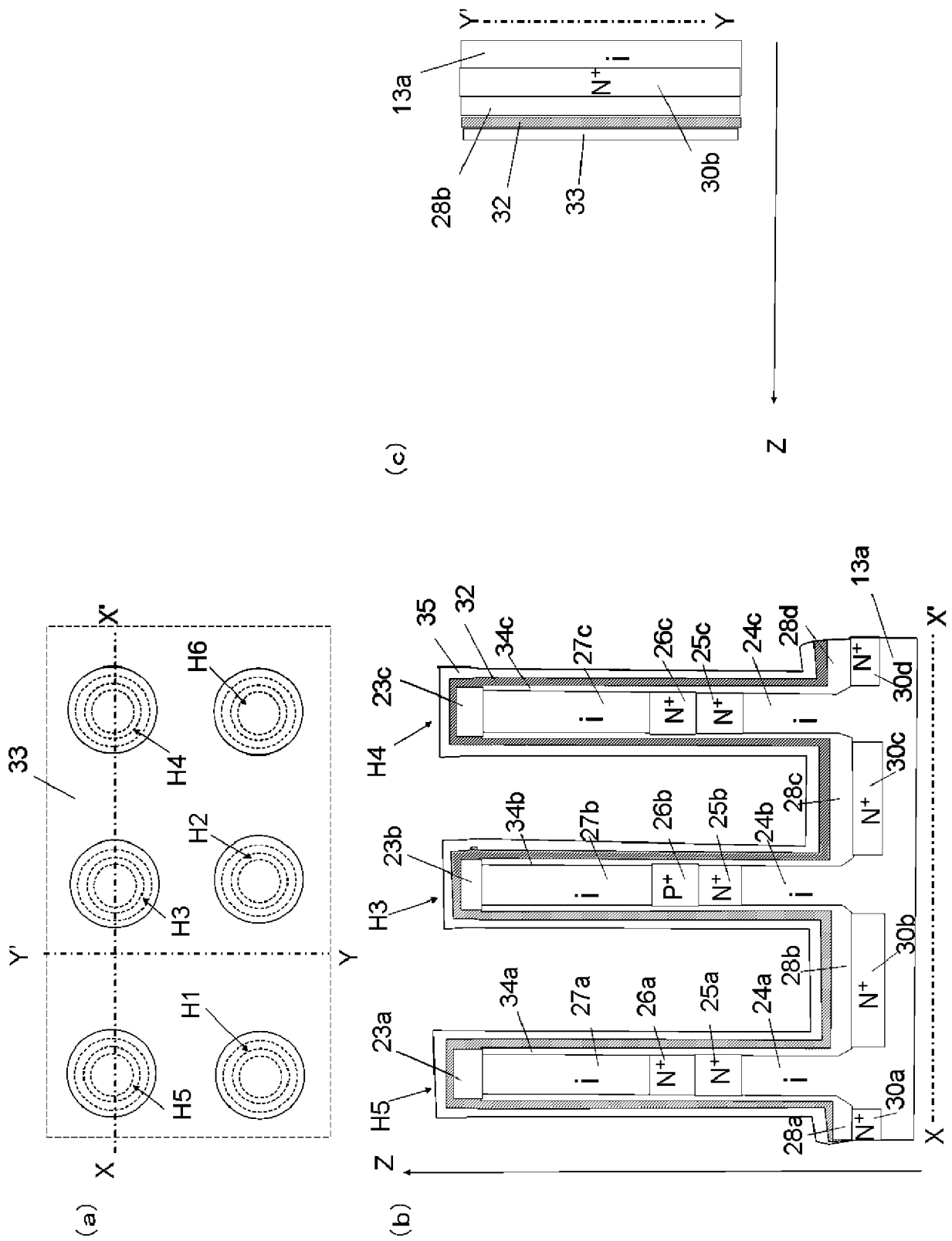
[図2F]



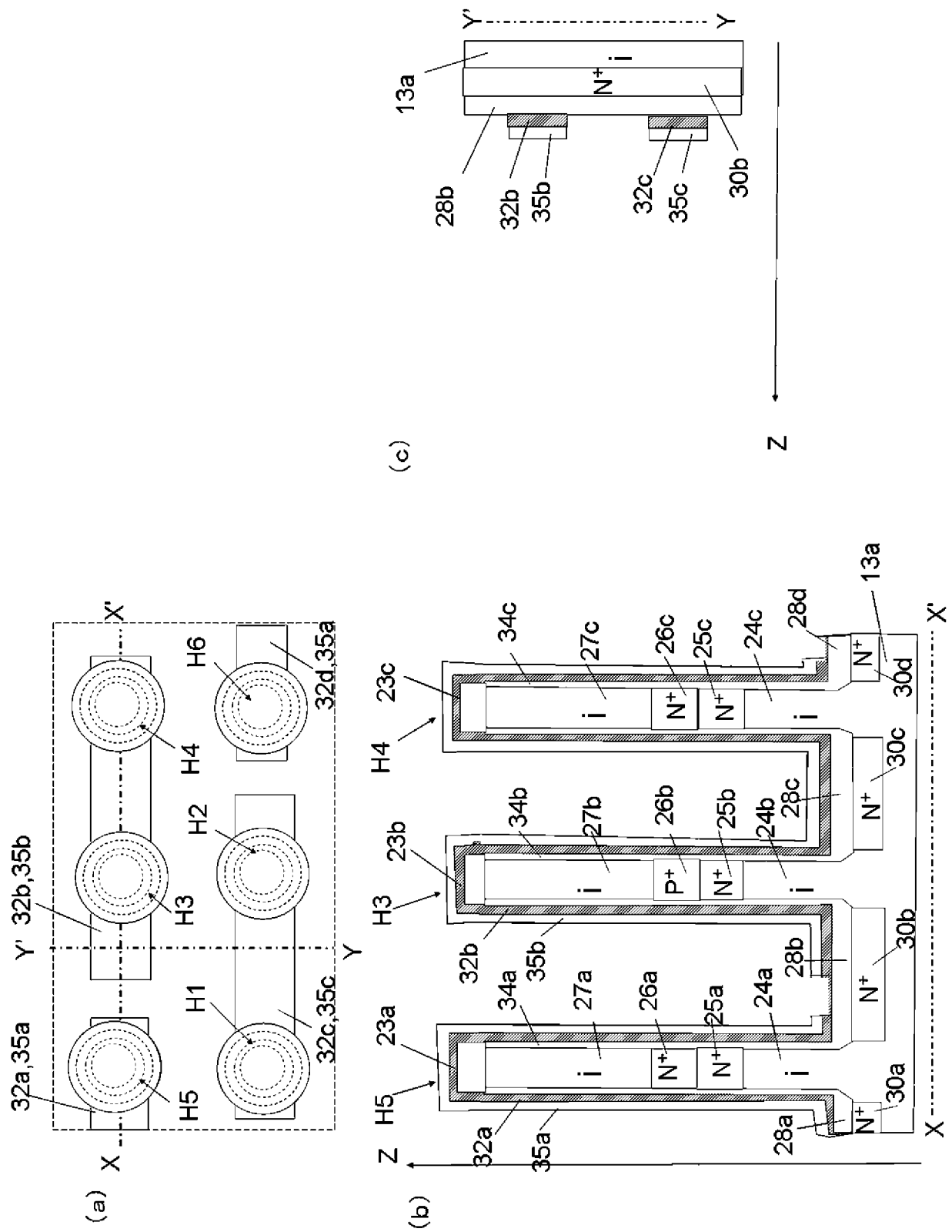
[図2G]



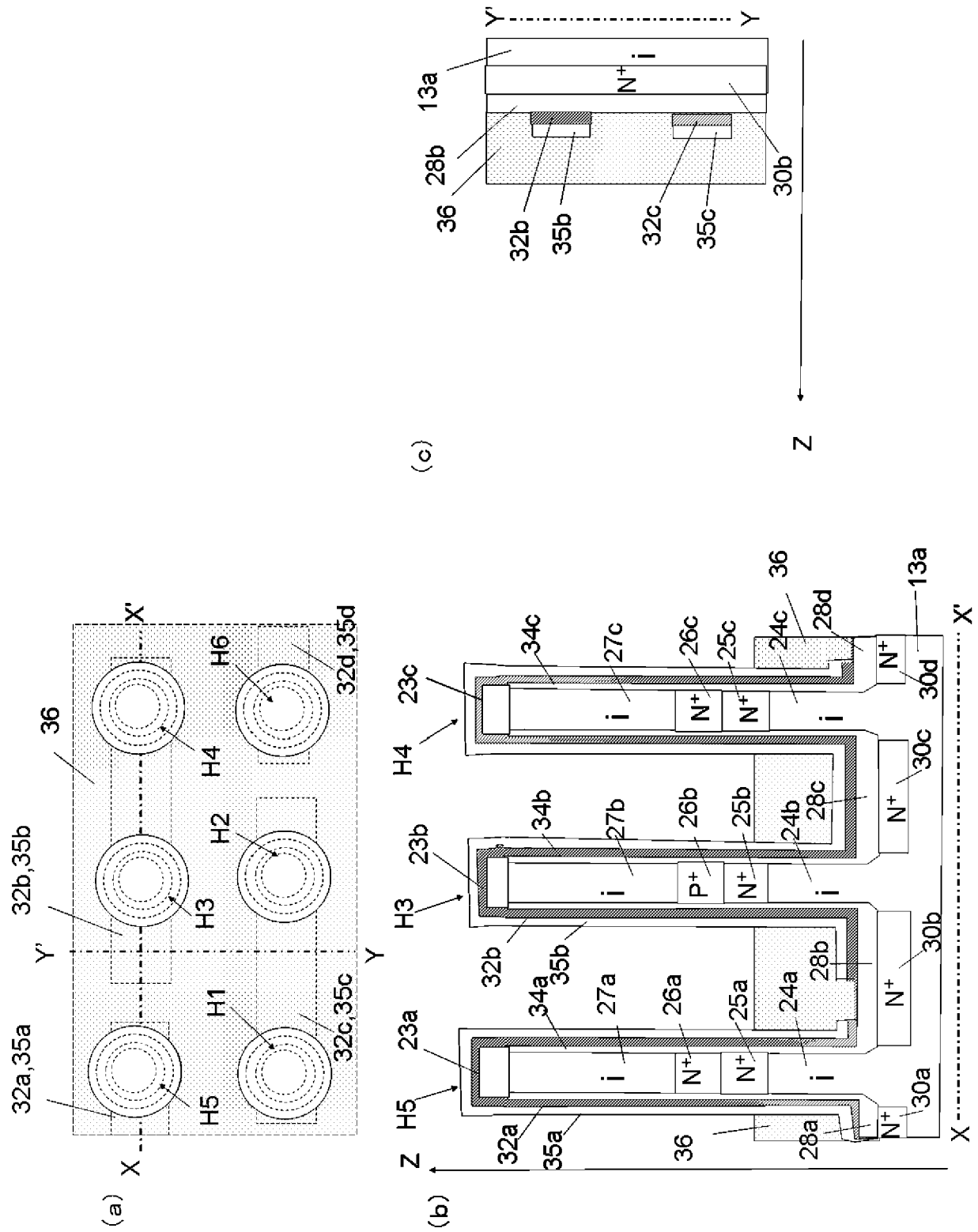
[図2H]



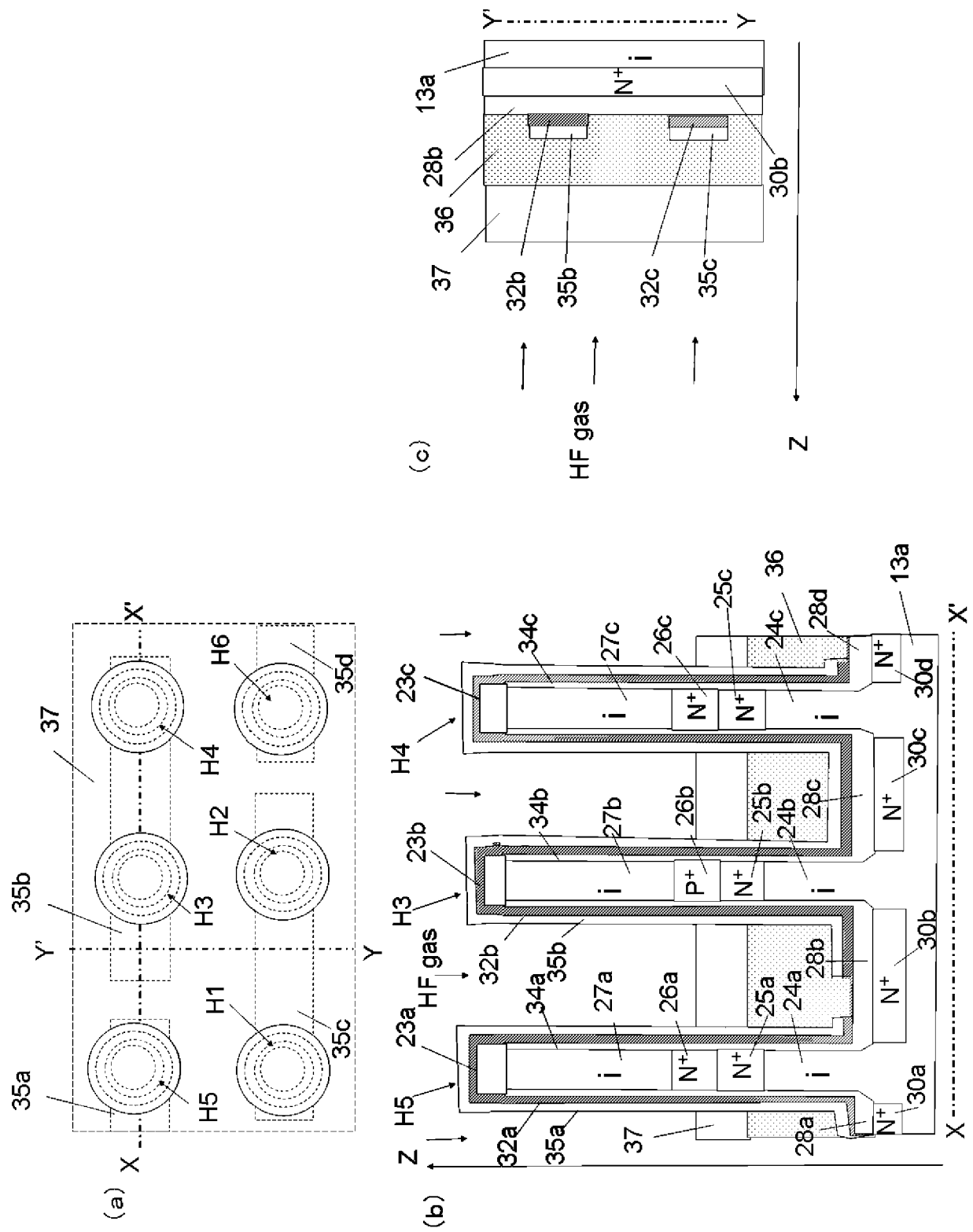
[図2I]



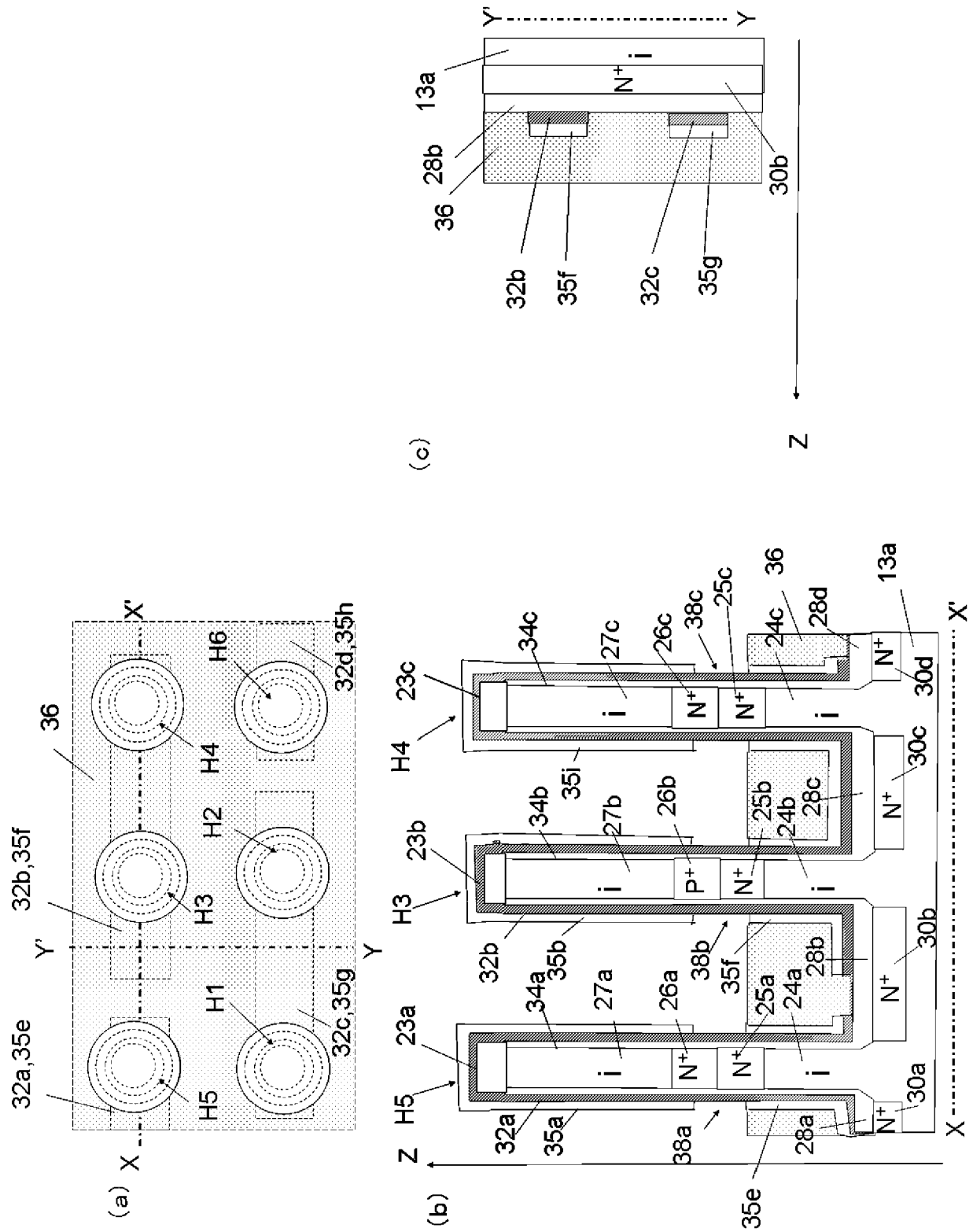
[図2J]



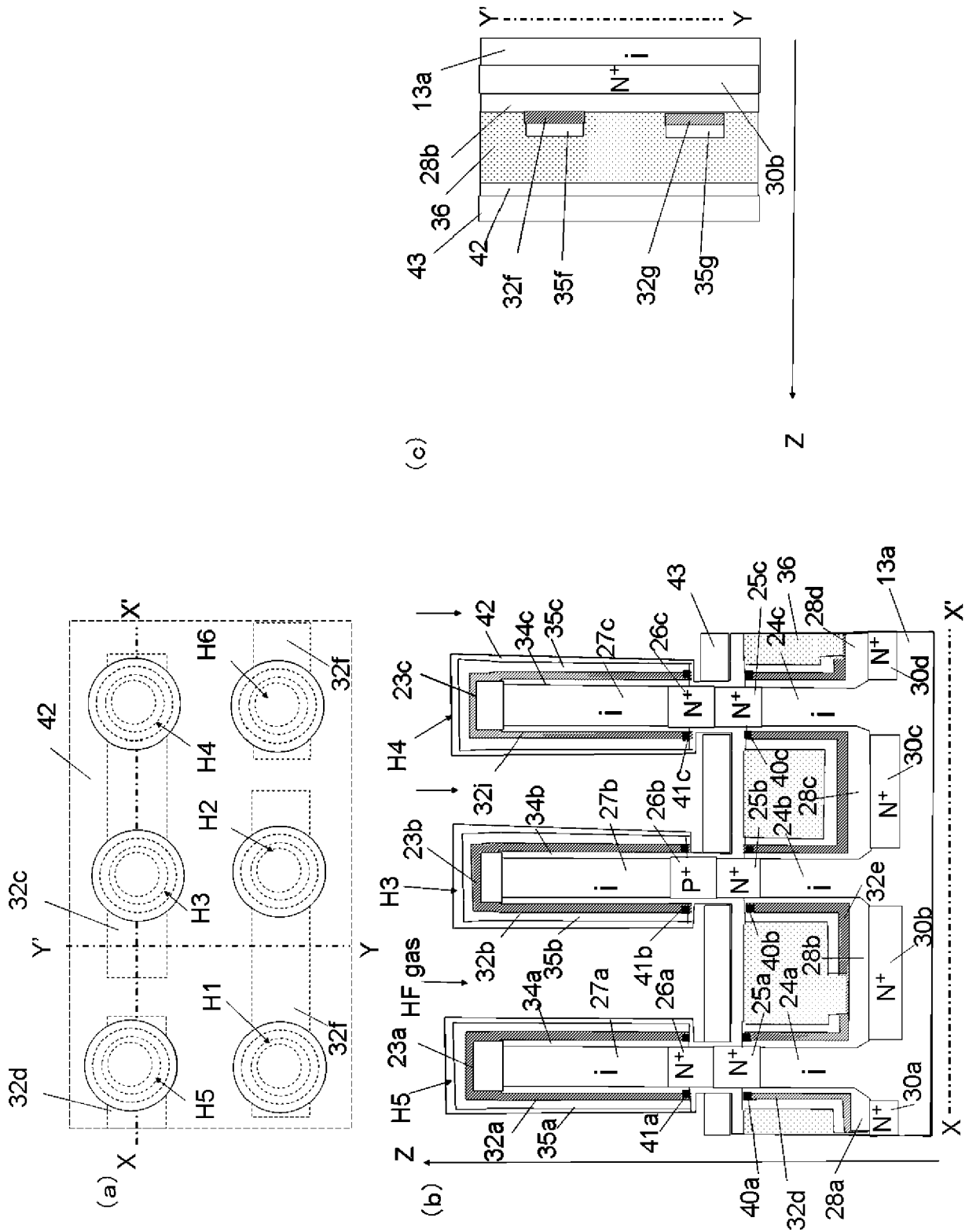
[図2K]

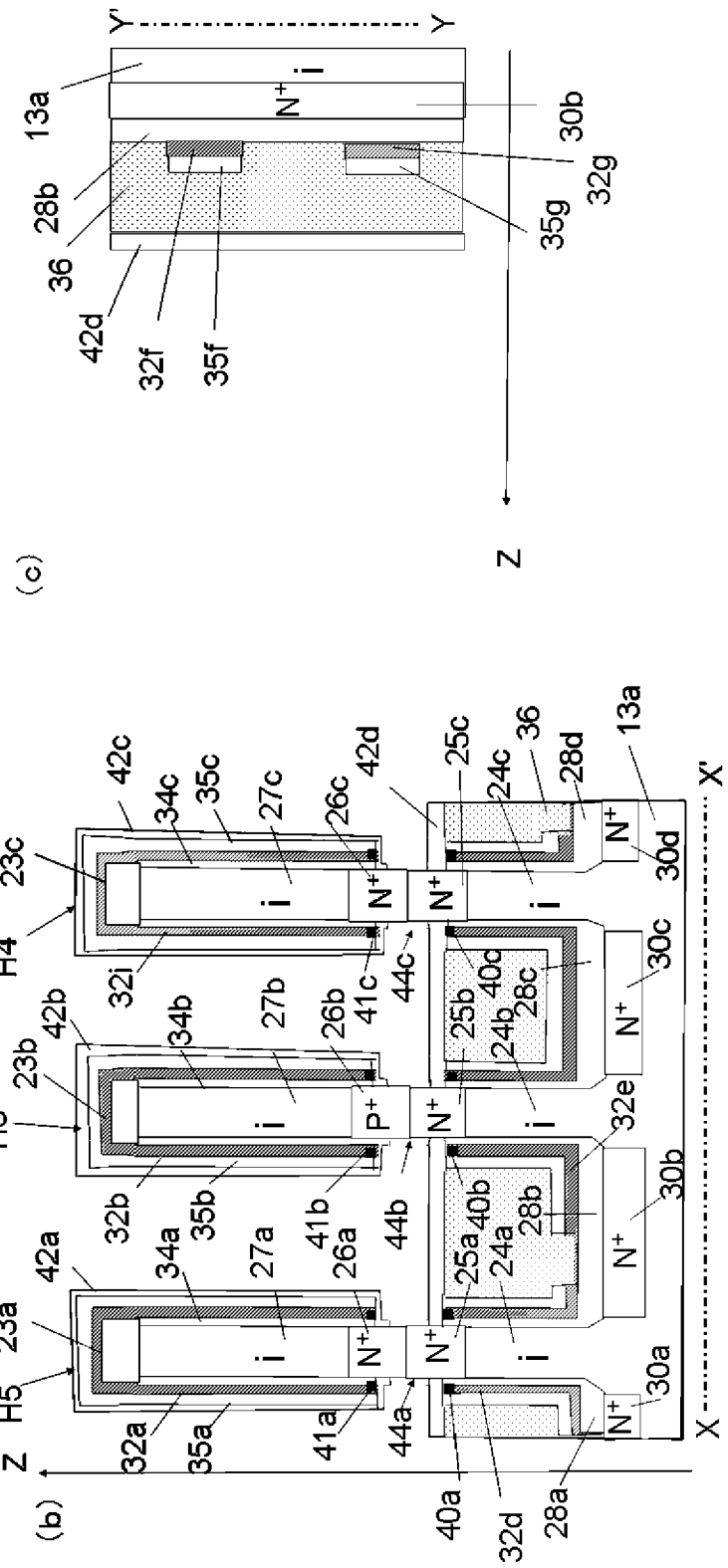


[図2L]

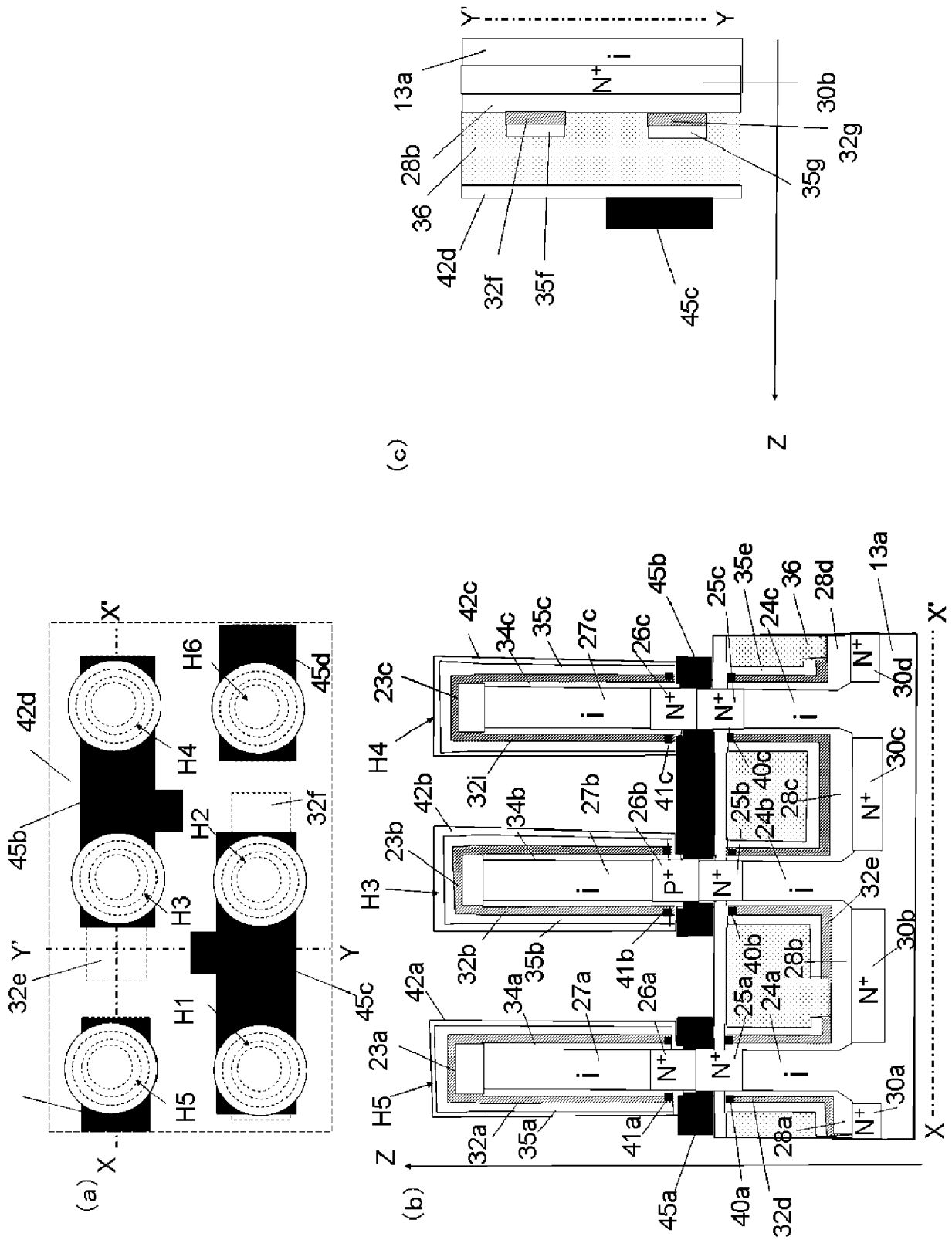


[図20]

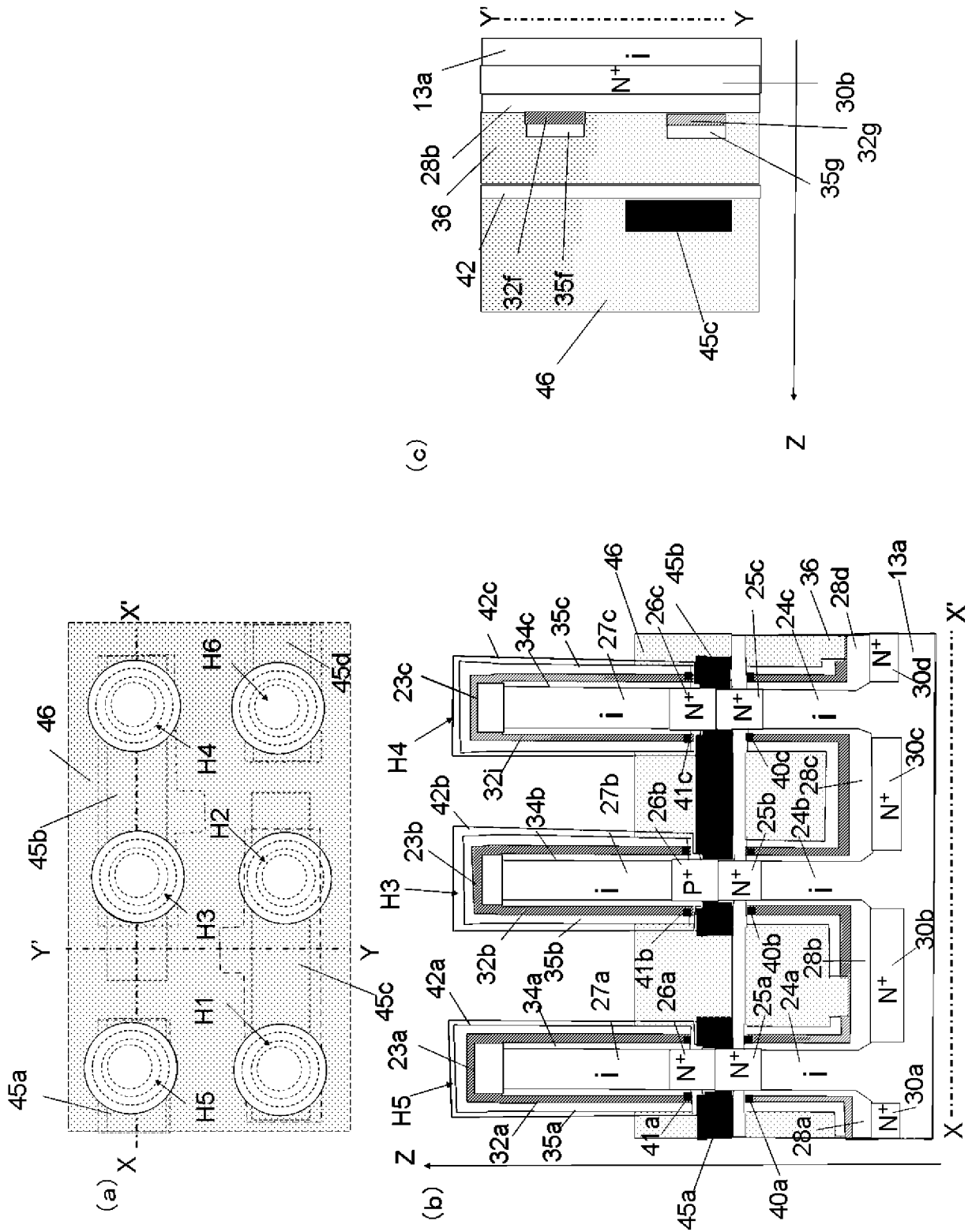




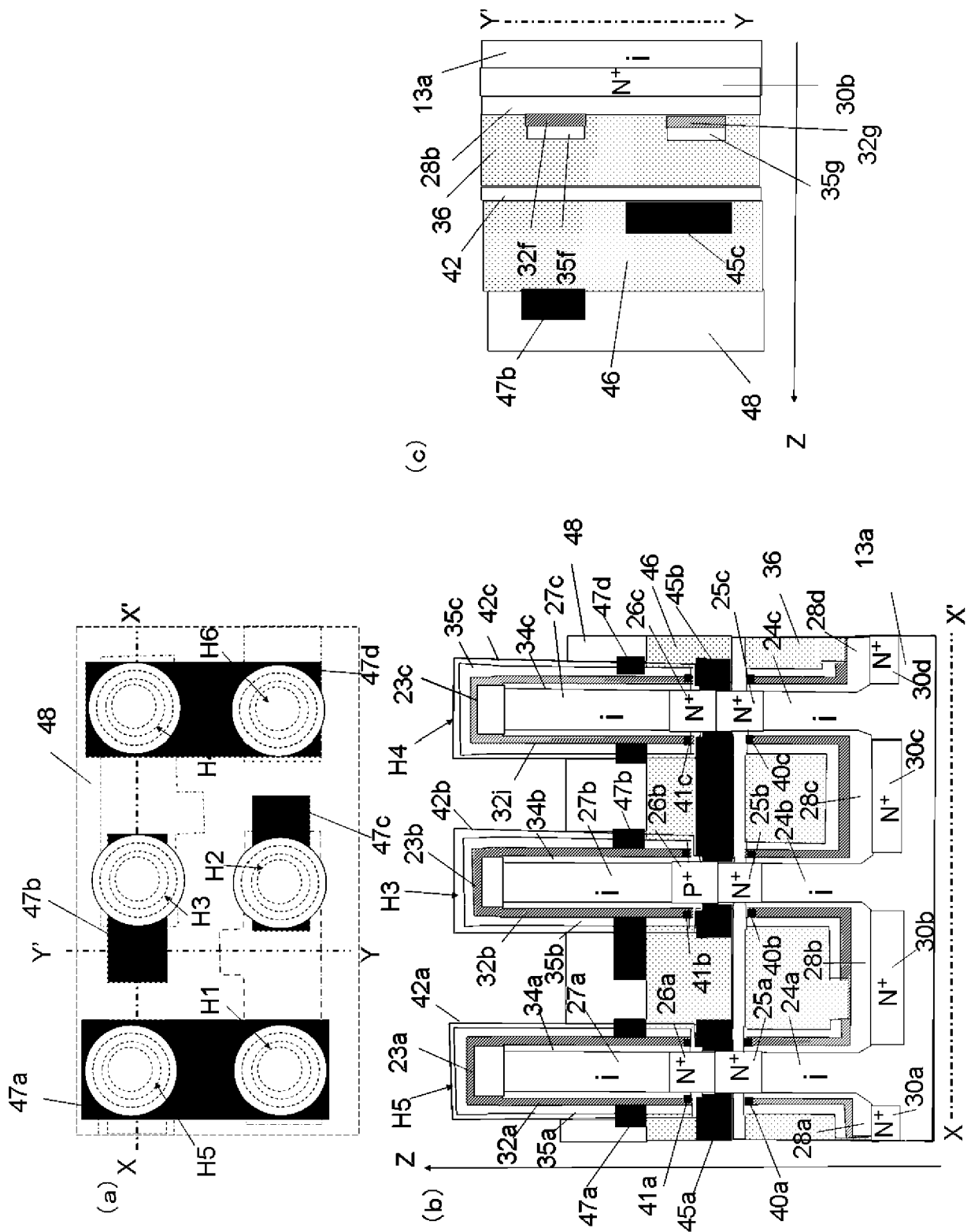
[図2Q]



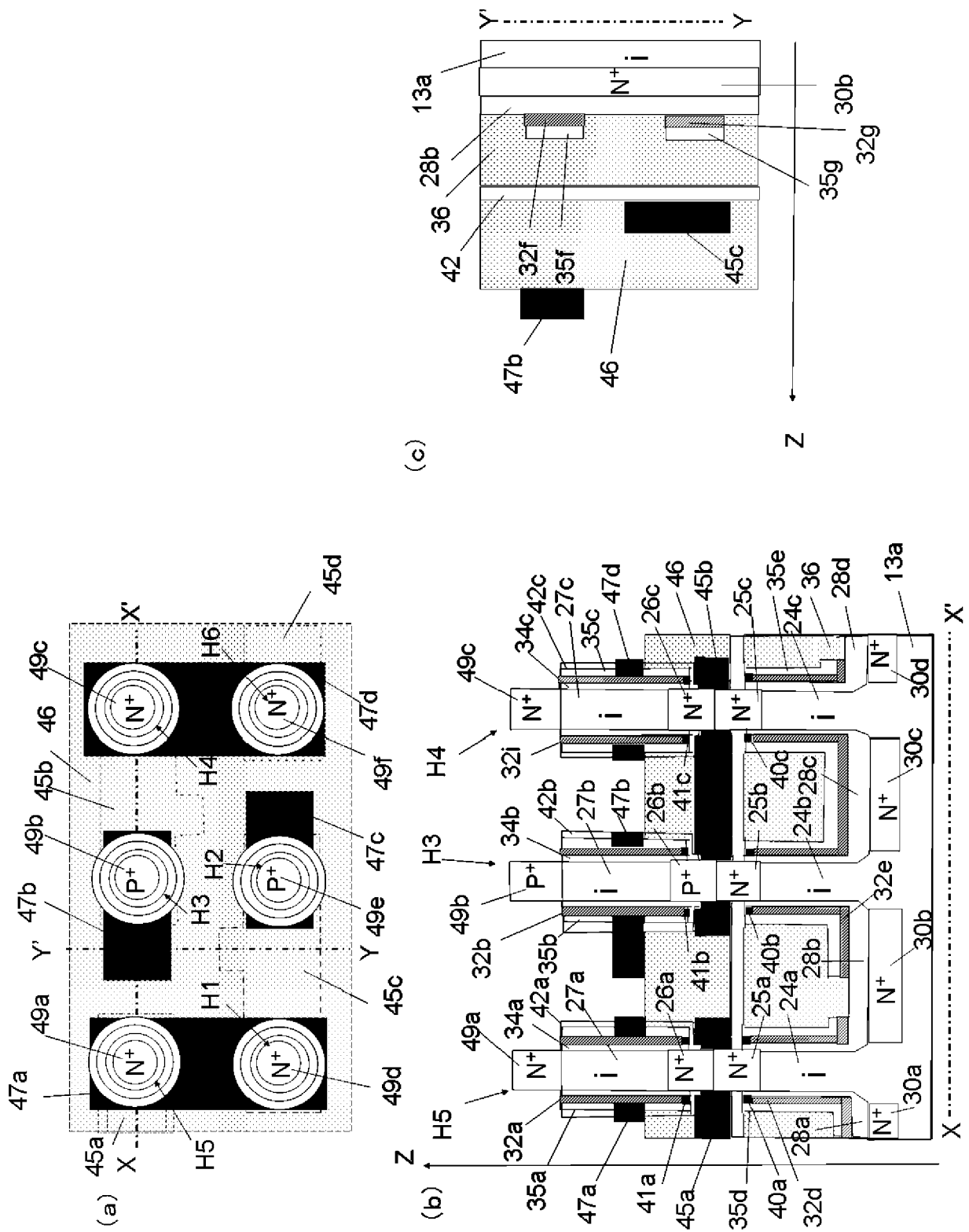
[図2R]



[図2X]



[図2Y]



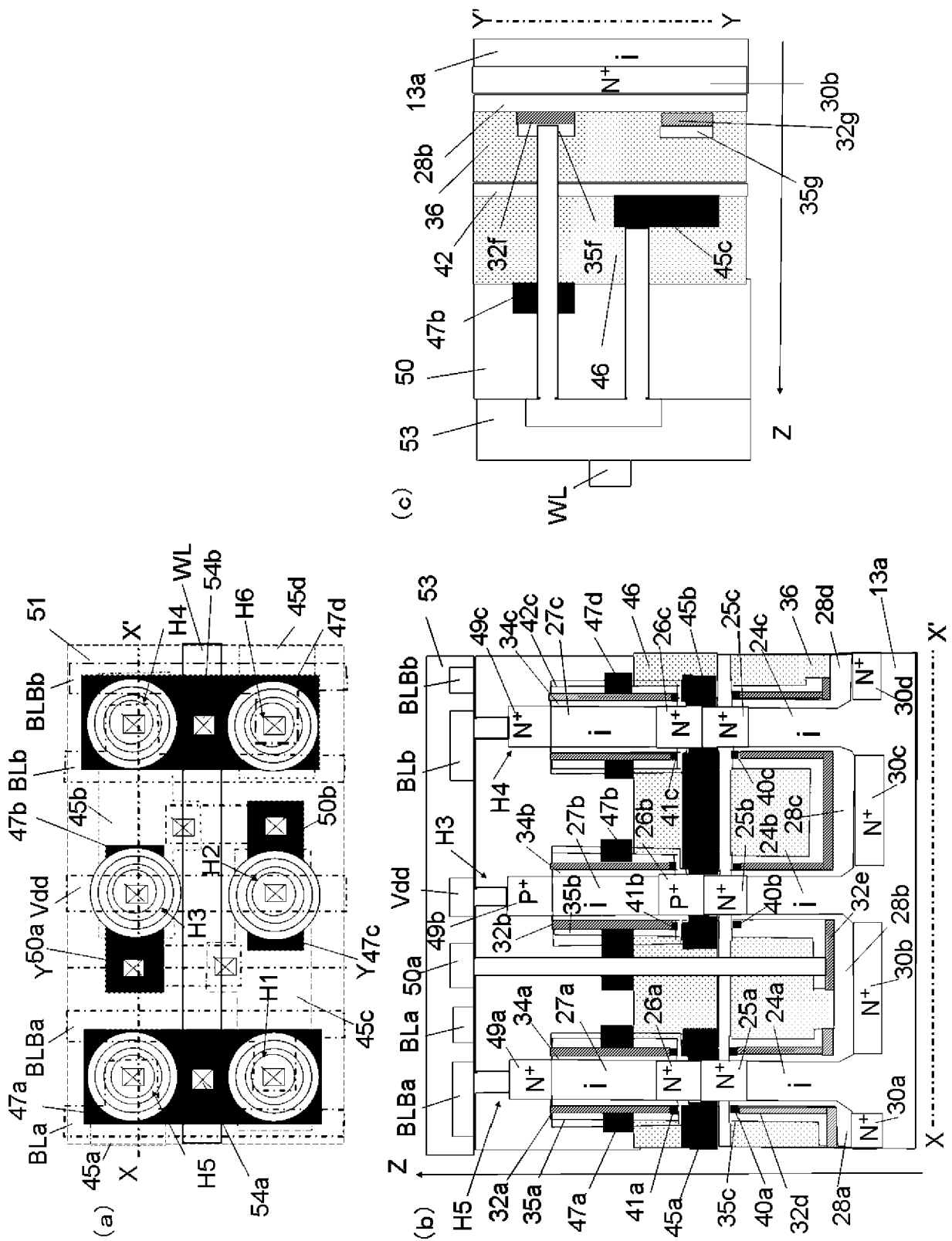
(b)

Diagram (b) is a cross-sectional view of a semiconductor device along the X-X' line. It shows a complex structure with multiple layers and regions. The layers are labeled with alphanumeric codes: 30a, 30b, 30c, 30d, 32a, 32b, 32c, 32d, 32e, 34a, 34b, 34c, 34d, 35a, 35b, 35c, 35d, 36, 37a, 37b, 37c, 37d, 37e, 37f, 37g, 37h, 37i, 37j, 37k, 37l, 37m, 37n, 37o, 37p, 37q, 37r, 37s, 37t, 37u, 37v, 37w, 37x, 37y, 37z, 37aa, 37ab, 37ac, 37ad, 37ae, 37af, 37ag, 37ah, 37ai, 37aj, 37ak, 37al, 37am, 37an, 37ao, 37ap, 37aq, 37ar, 37as, 37at, 37au, 37av, 37aw, 37ax, 37ay, 37az, 37ba, 37bb, 37bc, 37bd, 37be, 37bf, 37bg, 37bh, 37bi, 37bj, 37bk, 37bl, 37bm, 37bn, 37bo, 37bp, 37bq, 37br, 37bs, 37bt, 37bu, 37bv, 37bw, 37bx, 37by, 37bz, 37ca, 37cb, 37cc, 37cd, 37ce, 37cf, 37cg, 37ch, 37ci, 37cj, 37ck, 37cl, 37cm, 37cn, 37co, 37cp, 37cq, 37cr, 37cs, 37ct, 37cu, 37cv, 37cw, 37cx, 37cy, 37cz, 37da, 37db, 37dc, 37dd, 37de, 37df, 37dg, 37dh, 37di, 37dj, 37dk, 37dl, 37dm, 37dn, 37do, 37dp, 37dq, 37dr, 37ds, 37dt, 37du, 37dv, 37dw, 37dx, 37dy, 37dz, 37ea, 37eb, 37ec, 37ed, 37ee, 37ef, 37eg, 37eh, 37ei, 37ej, 37ek, 37el, 37em, 37en, 37eo, 37ep, 37eq, 37er, 37es, 37et, 37eu, 37ev, 37ew, 37ex, 37ey, 37ez, 37fa, 37fb, 37fc, 37fd, 37fe, 37ff, 37fg, 37fh, 37fi, 37fj, 37fk, 37fl, 37fm, 37fn, 37fo, 37fp, 37fq, 37fr, 37fs, 37ft, 37fu, 37fv, 37fw, 37fx, 37fy, 37fz, 37ga, 37gb, 37gc, 37gd, 37ge, 37gf, 37gg, 37gh, 37gi, 37gj, 37gk, 37gl, 37gm, 37gn, 37go, 37gp, 37gq, 37gr, 37gs, 37gt, 37gu, 37gv, 37gw, 37gx, 37gy, 37gz, 37ha, 37hb, 37hc, 37hd, 37he, 37hf, 37hg, 37hh, 37hi, 37hj, 37hk, 37hl, 37hm, 37hn, 37ho, 37hp, 37hq, 37hr, 37hs, 37ht, 37hu, 37hv, 37hw, 37hx, 37hy, 37hz, 37ia, 37ib, 37ic, 37id, 37ie, 37if, 37ig, 37ih, 37ii, 37ij, 37ik, 37il, 37im, 37in, 37io, 37ip, 37iq, 37ir, 37is, 37it, 37iu, 37iv, 37iw, 37ix, 37iy, 37iz, 37ja, 37jb, 37jc, 37jd, 37je, 37jf, 37jg, 37jh, 37ji, 37jj, 37jk, 37jl, 37jm, 37jn, 37jo, 37jp, 37jq, 37jr, 37js, 37jt, 37ju, 37jv, 37jw, 37jx, 37jy, 37jz, 37ka, 37kb, 37kc, 37kd, 37ke, 37kf, 37kg, 37kh, 37ki, 37kj, 37kk, 37kl, 37km, 37kn, 37ko, 37kp, 37kq, 37kr, 37ks, 37kt, 37ku, 37kv, 37kw, 37kx, 37ky, 37kz, 37la, 37lb, 37lc, 37ld, 37le, 37lf, 37lg, 37lh, 37li, 37lj, 37lk, 37ll, 37lm, 37ln, 37lo, 37lp, 37lq, 37lr, 37ls, 37lt, 37lu, 37lv, 37lw, 37lx, 37ly, 37lz, 37ma, 37mb, 37mc, 37md, 37me, 37mf, 37mg, 37mh, 37mi, 37mj, 37mk, 37ml, 37mm, 37mn, 37mo, 37mp, 37mq, 37mr, 37ms, 37mt, 37mu, 37mv, 37mw, 37mx, 37my, 37mz, 37na, 37nb, 37nc, 37nd, 37ne, 37nf, 37ng, 37nh, 37ni, 37nj, 37nk, 37nl, 37nm, 37nn, 37no, 37np, 37nq, 37nr, 37ns, 37nt, 37nu, 37nv, 37nw, 37nx, 37ny, 37nz, 37oa, 37ob, 37oc, 37od, 37oe, 37of, 37og, 37oh, 37oi, 37oj, 37ok, 37ol, 37om, 37on, 37oo, 37op, 37oq, 37or, 37os, 37ot, 37ou, 37ov, 37ow, 37ox, 37oy, 37oz, 37pa, 37pb, 37pc, 37pd, 37pe, 37pf, 37pg, 37ph, 37pi, 37pj, 37pk, 37pl, 37pm, 37pn, 37po, 37pp, 37pq, 37pr, 37ps, 37pt, 37pu, 37pv, 37pw, 37px, 37py, 37pz, 37qa, 37qb, 37qc, 37qd, 37qe, 37qf, 37qg, 37qh, 37qi, 37qj, 37qk, 37ql, 37qm, 37qn, 37qo, 37qp, 37qq, 37qr, 37qs, 37qt, 37qu, 37qv, 37qw, 37qx, 37qy, 37qz, 37ra, 37rb, 37rc, 37rd, 37re, 37rf, 37rg, 37rh, 37ri, 37rj, 37rk, 37rl, 37rm, 37rn, 37ro, 37rp, 37rq, 37rr, 37rs, 37rt, 37ru, 37rv, 37rw, 37rx, 37ry, 37rz, 37sa, 37sb, 37sc, 37sd, 37se, 37sf, 37sg, 37sh, 37si, 37sj, 37sk, 37sl, 37sm, 37sn, 37so, 37sp, 37sq, 37sr, 37ss, 37st, 37su, 37sv, 37sw, 37sx, 37sy, 37sz, 37ta, 37tb, 37tc, 37td, 37te, 37tf, 37tg, 37th, 37ti, 37tj, 37tk, 37tl, 37tm, 37tn, 37to, 37tp, 37tq, 37tr, 37ts, 37tt, 37tu, 37tv, 37tw, 37tx, 37ty, 37tz, 37ua, 37ub, 37uc, 37ud, 37ue, 37uf, 37ug, 37uh, 37ui, 37uj, 37uk, 37ul, 37um, 37un, 37uo, 37up, 37uq, 37ur, 37us, 37ut, 37uu, 37uv, 37uw, 37ux, 37uy, 37uz, 37va, 37vb, 37vc, 37vd, 37ve, 37vf, 37vg, 37vh, 37vi, 37vj, 37vk, 37vl, 37vm, 37vn, 37vo, 37vp, 37vq, 37vr, 37vs, 37vt, 37vu, 37vv, 37vw, 37vx, 37vy, 37vz, 37wa, 37wb, 37wc, 37wd, 37we, 37wf, 37wg, 37wh, 37wi, 37wj, 37wk, 37wl, 37wm, 37wn, 37wo, 37wp, 37wq, 37wr, 37ws, 37wt, 37wu, 37wv, 37ww, 37wx, 37wy, 37wz, 37xa, 37xb, 37xc, 37xd, 37xe, 37xf, 37xg, 37xh, 37xi, 37xj, 37xk, 37xl, 37xm, 37xn, 37xo, 37xp, 37xq, 37xr, 37xs, 37xt, 37xu, 37xv, 37xw, 37xx, 37xy, 37xz, 37ya, 37yb, 37yc, 37yd, 37ye, 37yf, 37yg, 37yh, 37yi, 37yj, 37yk, 37yl, 37ym, 37yn, 37yo, 37yp, 37yq, 37yr, 37ys, 37yt, 37yu, 37yv, 37yw, 37yx, 37yy, 37yz, 37za, 37zb, 37zc, 37zd, 37ze, 37zf, 37zg, 37zh, 37zi, 37zj, 37zk, 37zl, 37zm, 37zn, 37zo, 37zp, 37zq, 37zr, 37zs, 37zt, 37zu, 37zv, 37zw, 37zx, 37zy, 37zz, 37aa, 37ab, 37ac, 37ad, 37ae, 37af, 37ag, 37ah, 37ai, 37aj, 37ak, 37al, 37am, 37an, 37ao, 37ap, 37aq, 37ar, 37as, 37at, 37au, 37av, 37aw, 37ax, 37ay, 37az, 37ba, 37bb, 37bc, 37bd, 37be, 37bf, 37bg, 37bh, 37bi, 37bj, 37bk, 37bl, 37bm, 37bn, 37bo, 37bp, 37bq, 37br, 37bs, 37bt, 37bu, 37bv, 37bw, 37bx, 37by, 37bz, 37ca, 37cb, 37cc, 37cd, 37ce, 37cf, 37cg, 37ch, 37ci, 37cj, 37ck, 37cl, 37cm, 37cn, 37co, 37cp, 37cq, 37cr, 37cs, 37ct, 37cu, 37cv, 37cw

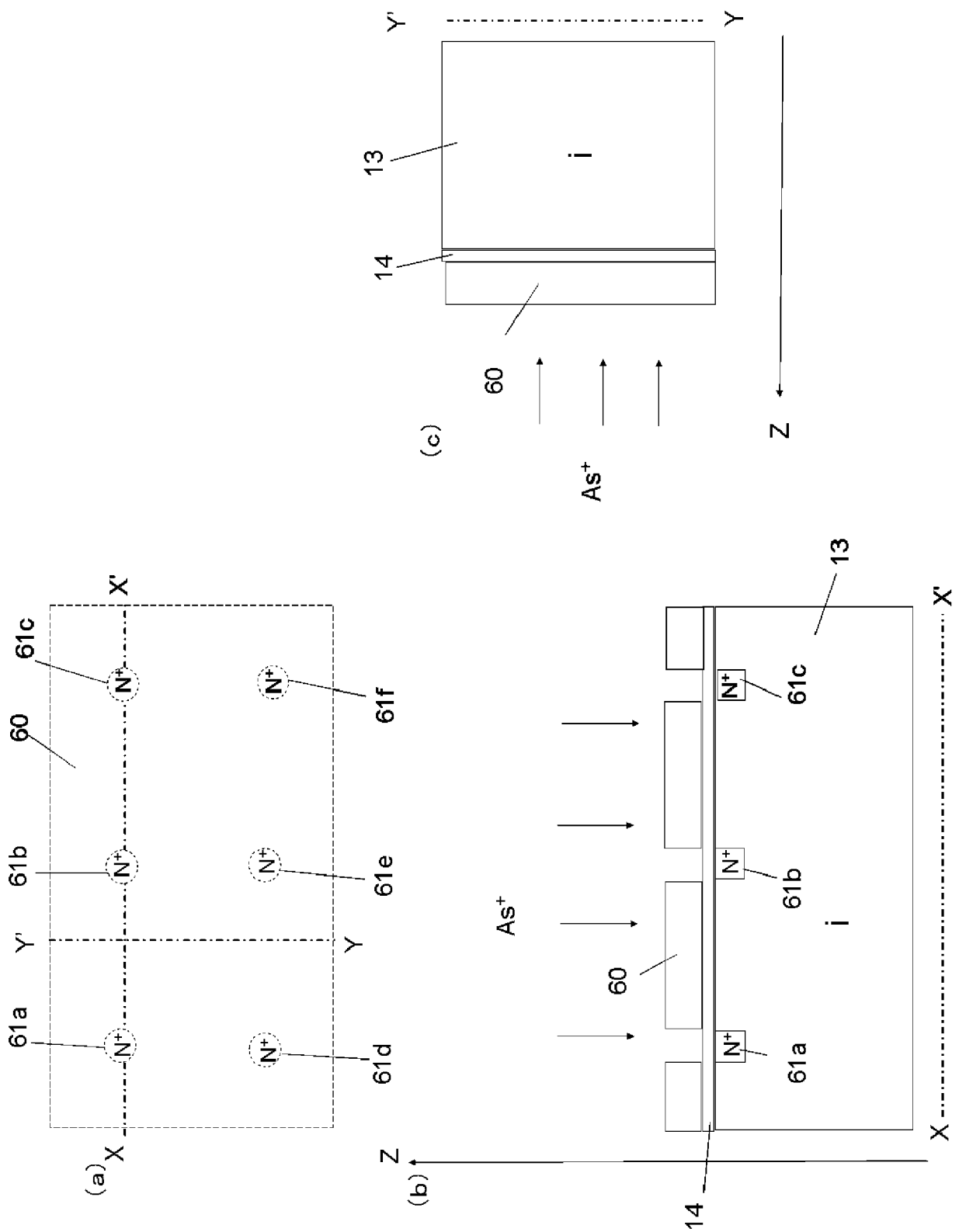
(c)

Diagram (c) shows a cross-sectional view of a semiconductor device. The structure consists of several layers and regions. At the top, a dashed line indicates the Y-Y plane. The layers are labeled as follows: 13a (topmost layer), 28b (layer below 13a), 36 (layer below 28b), 42 (layer below 36), 47b (layer below 42), 51b (layer below 47b), 52a (layer below 51b), 50 (layer below 52a), 30b (layer below 50), 32g (layer below 30b), 35g (layer below 32g), 45c (layer below 35g), 46 (layer below 45c), 51g (layer below 46), and 32f (layer below 51g). A Z-axis arrow is shown at the bottom, pointing downwards.

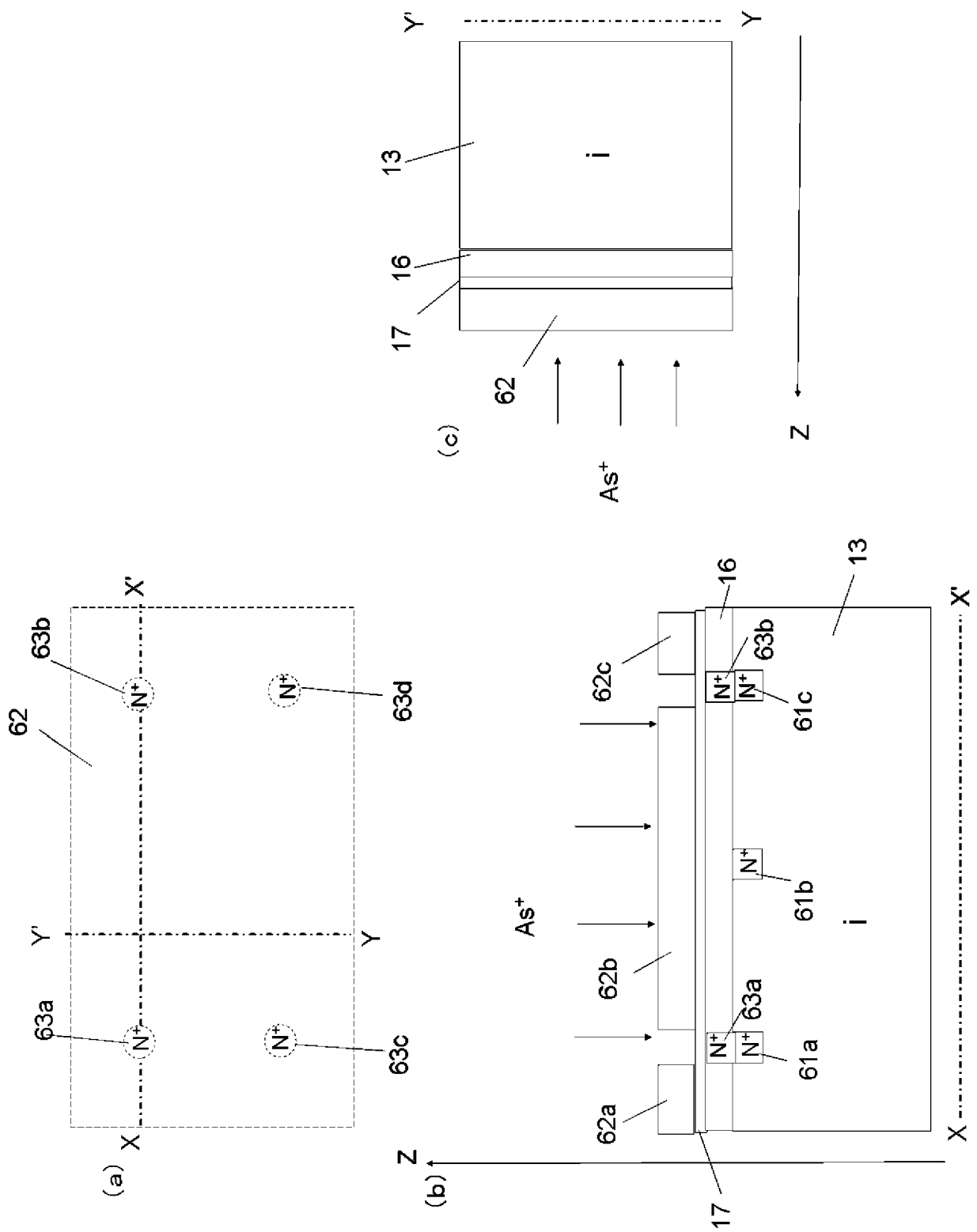
[図2W]



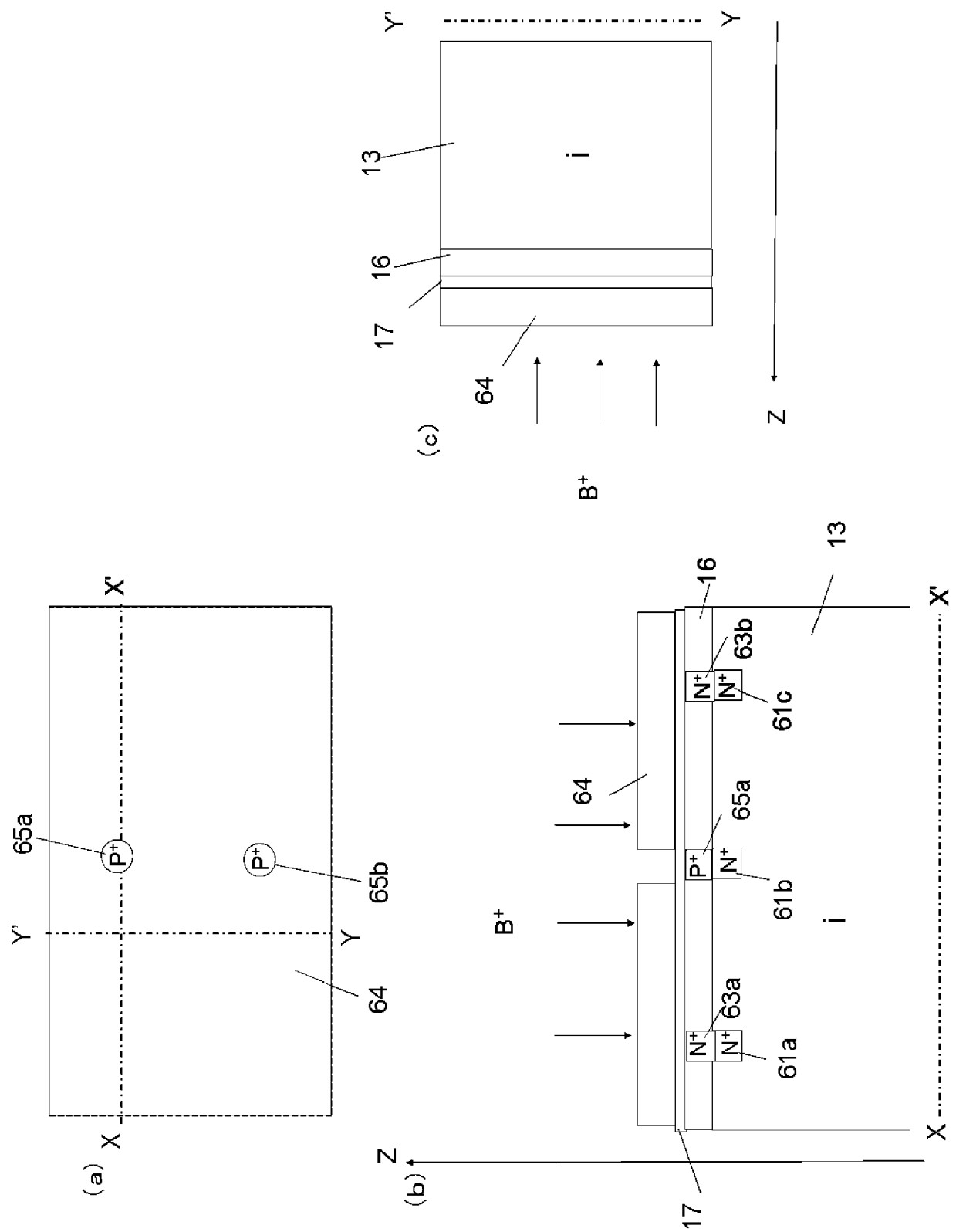
[図3A]



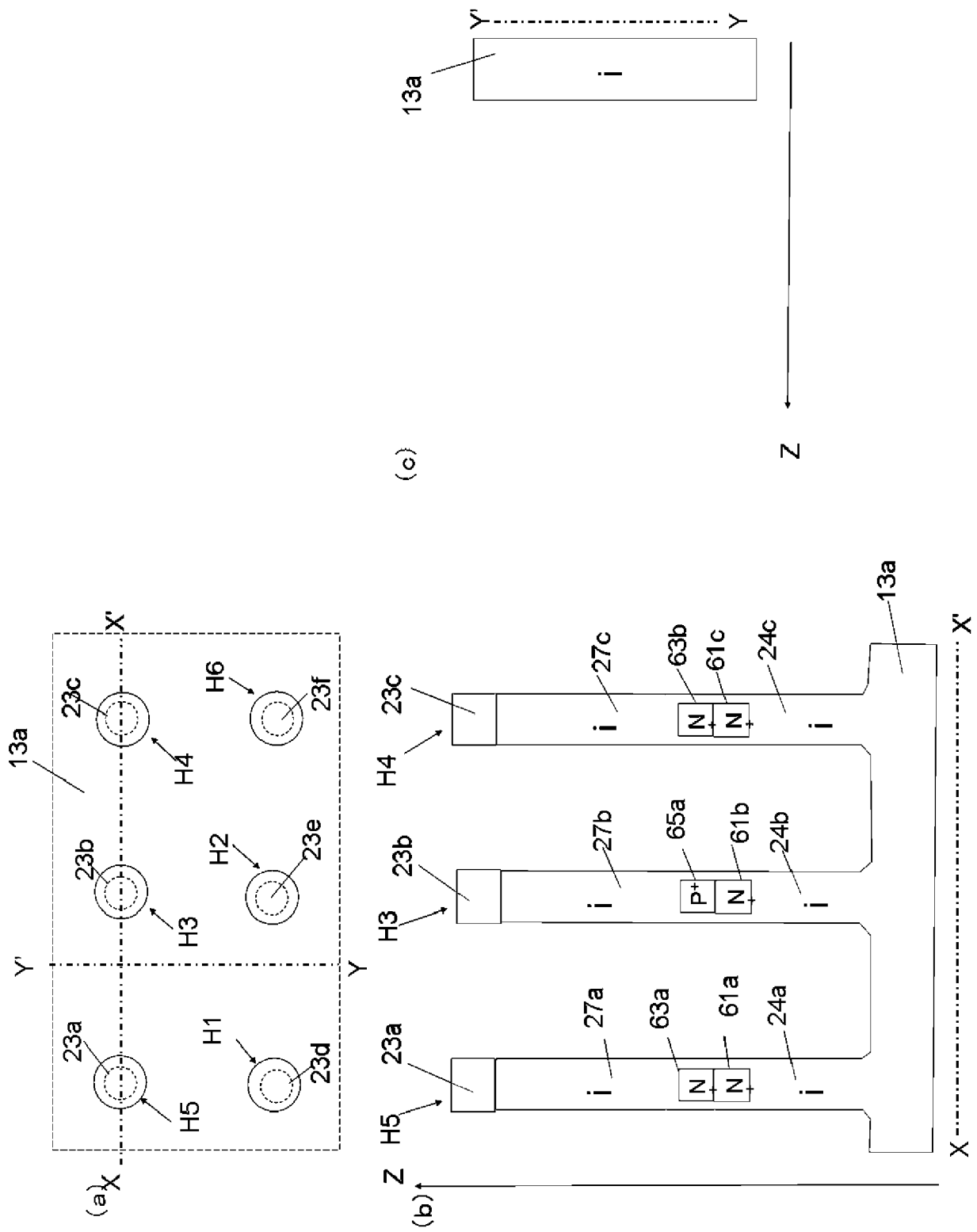
[図3B]



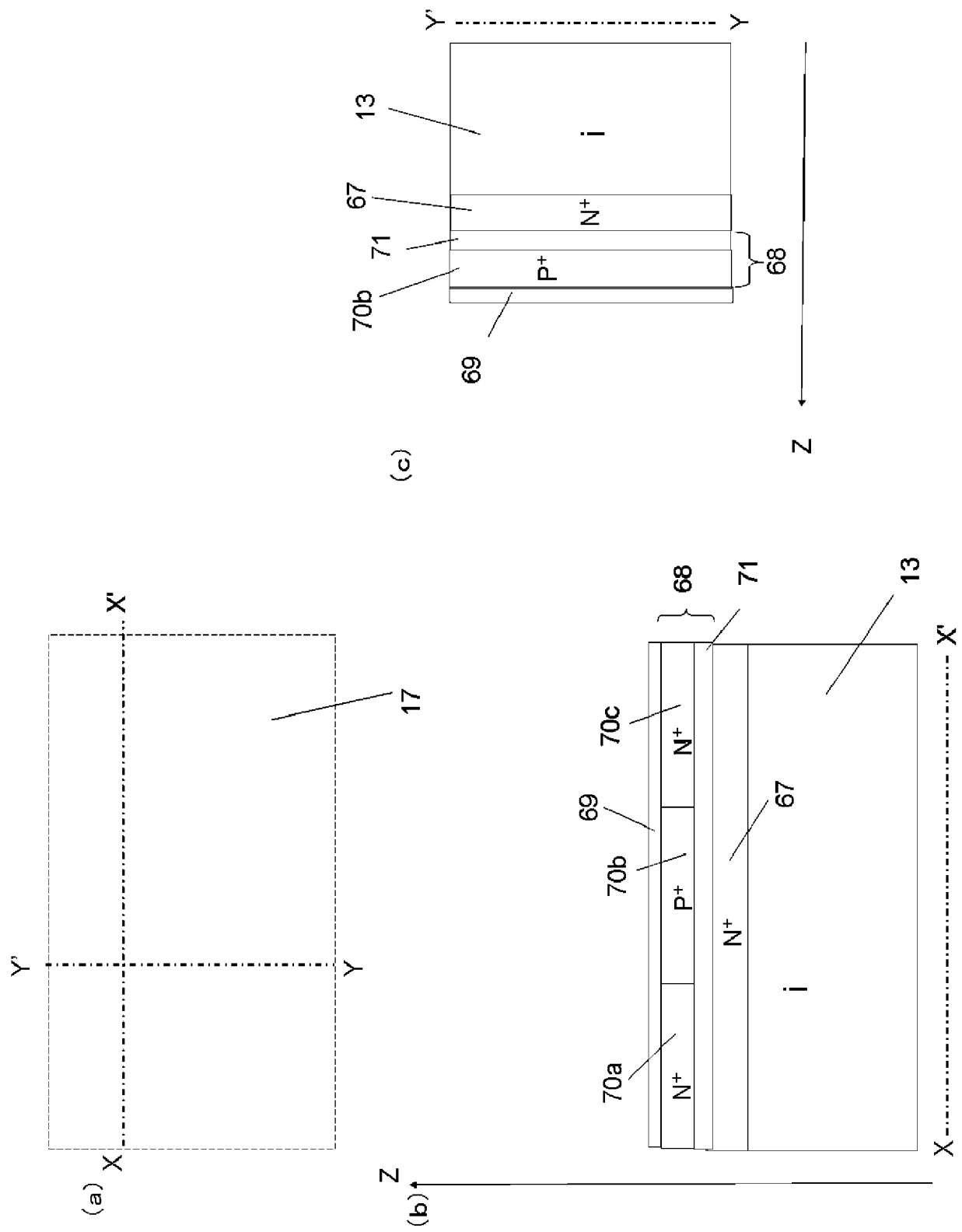
[図3C]



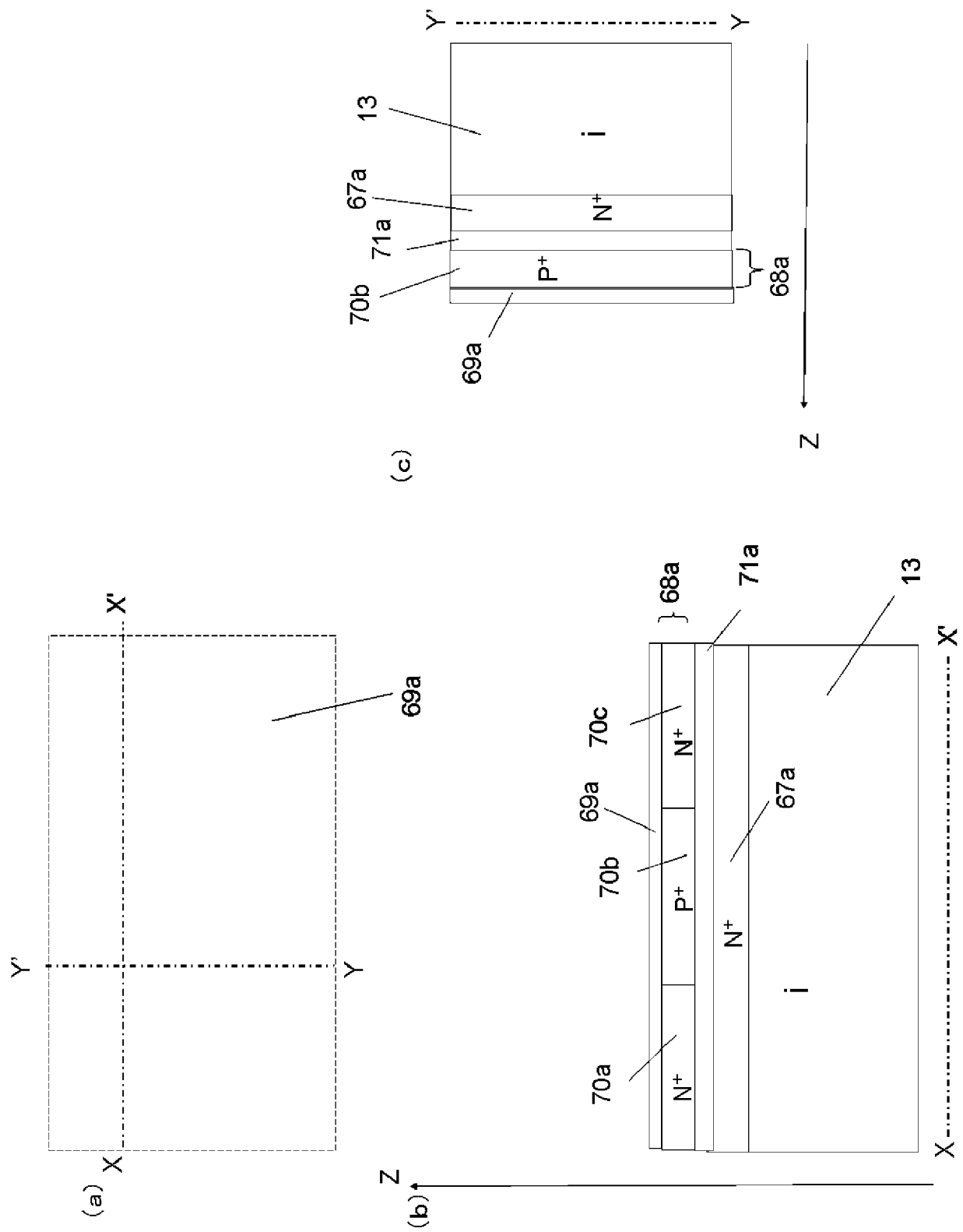
[図3D]



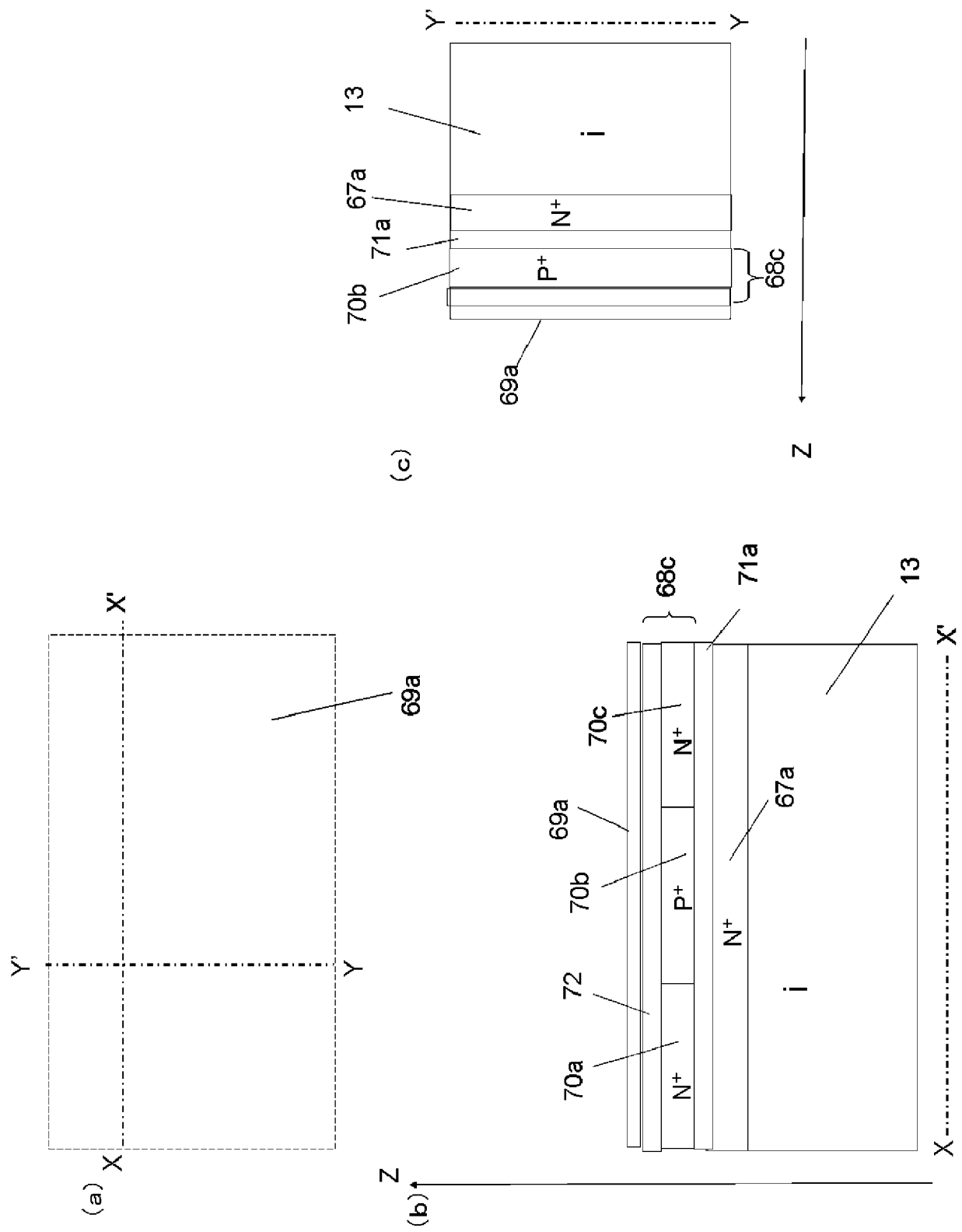
[図5]



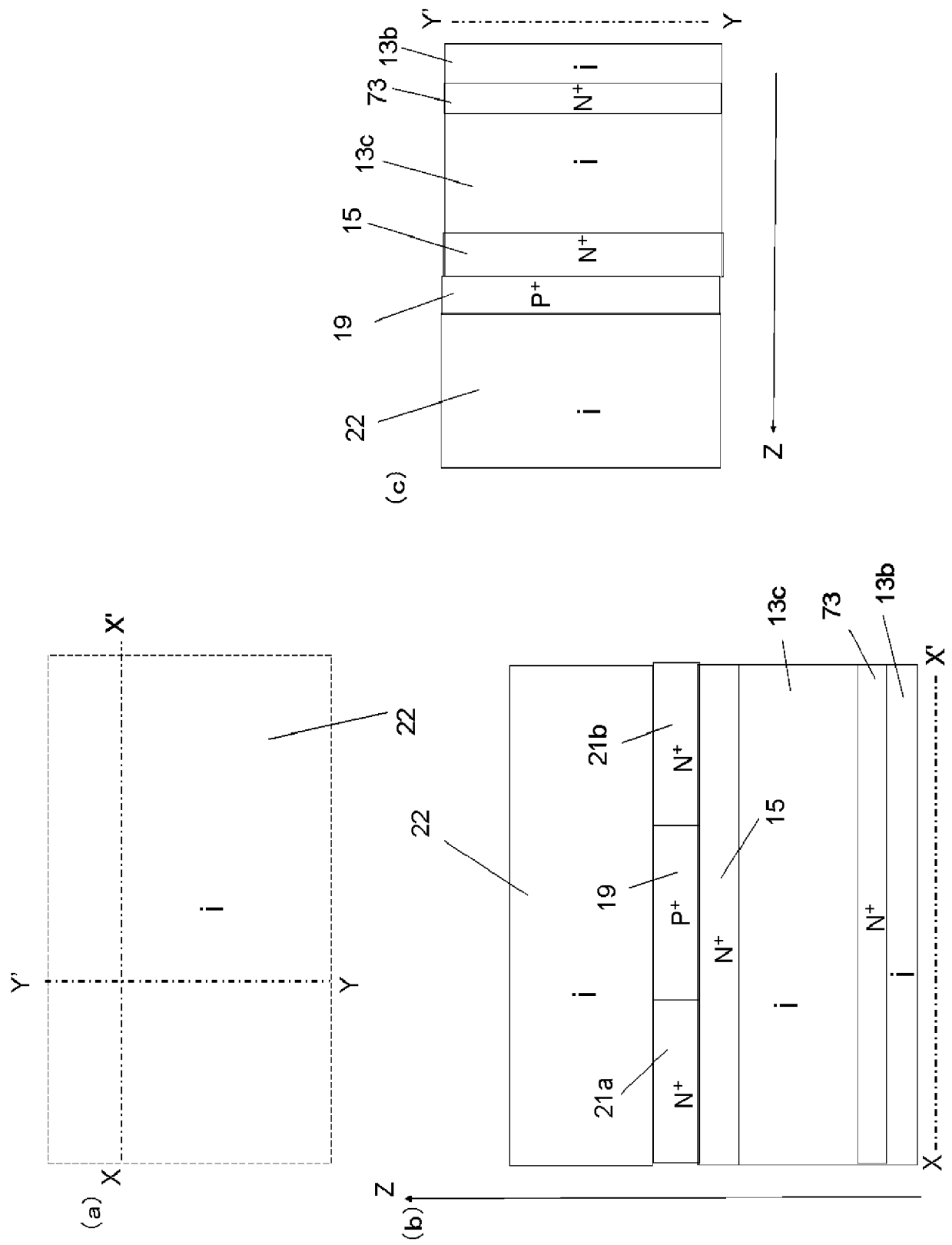
[図6A]



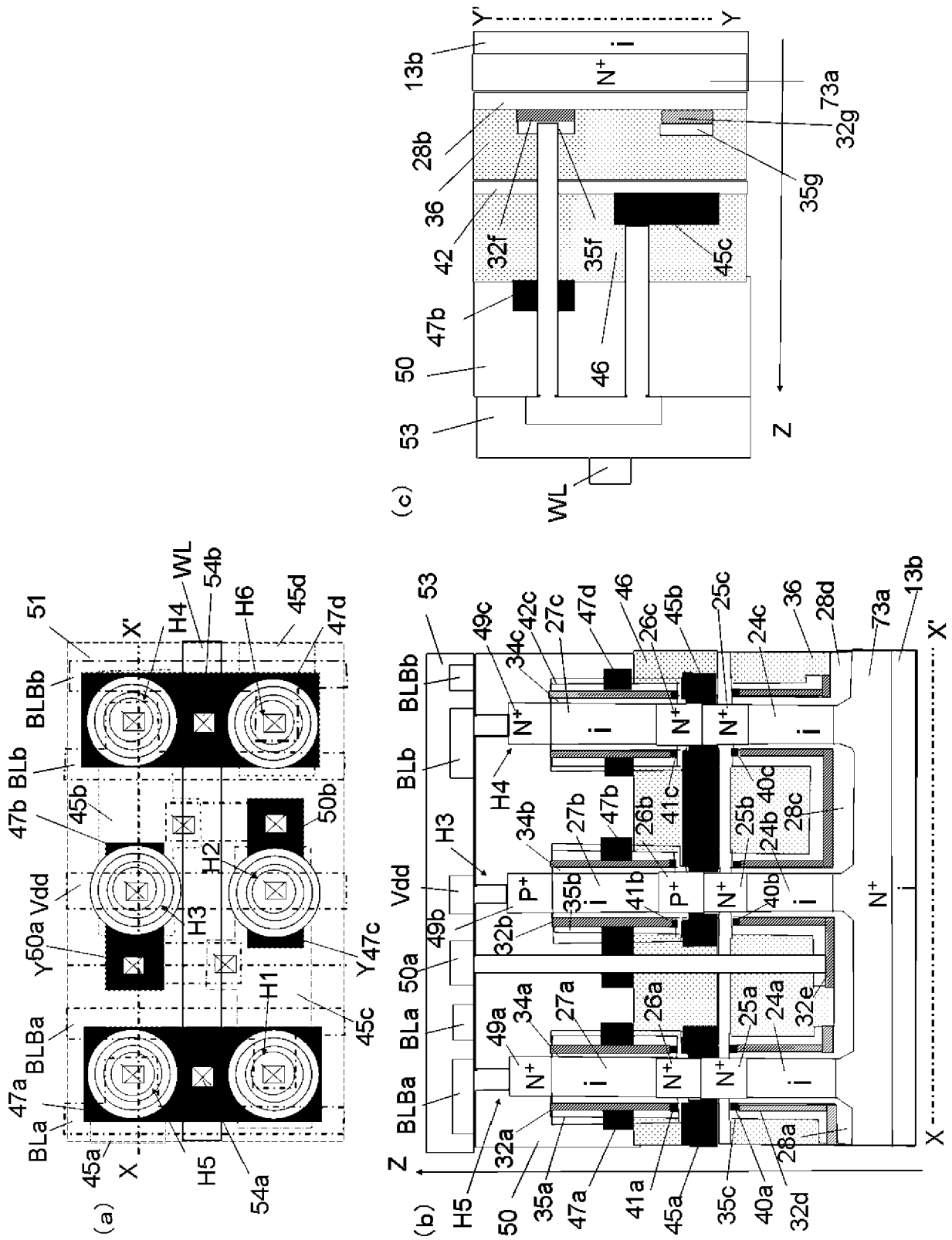
[図6B]



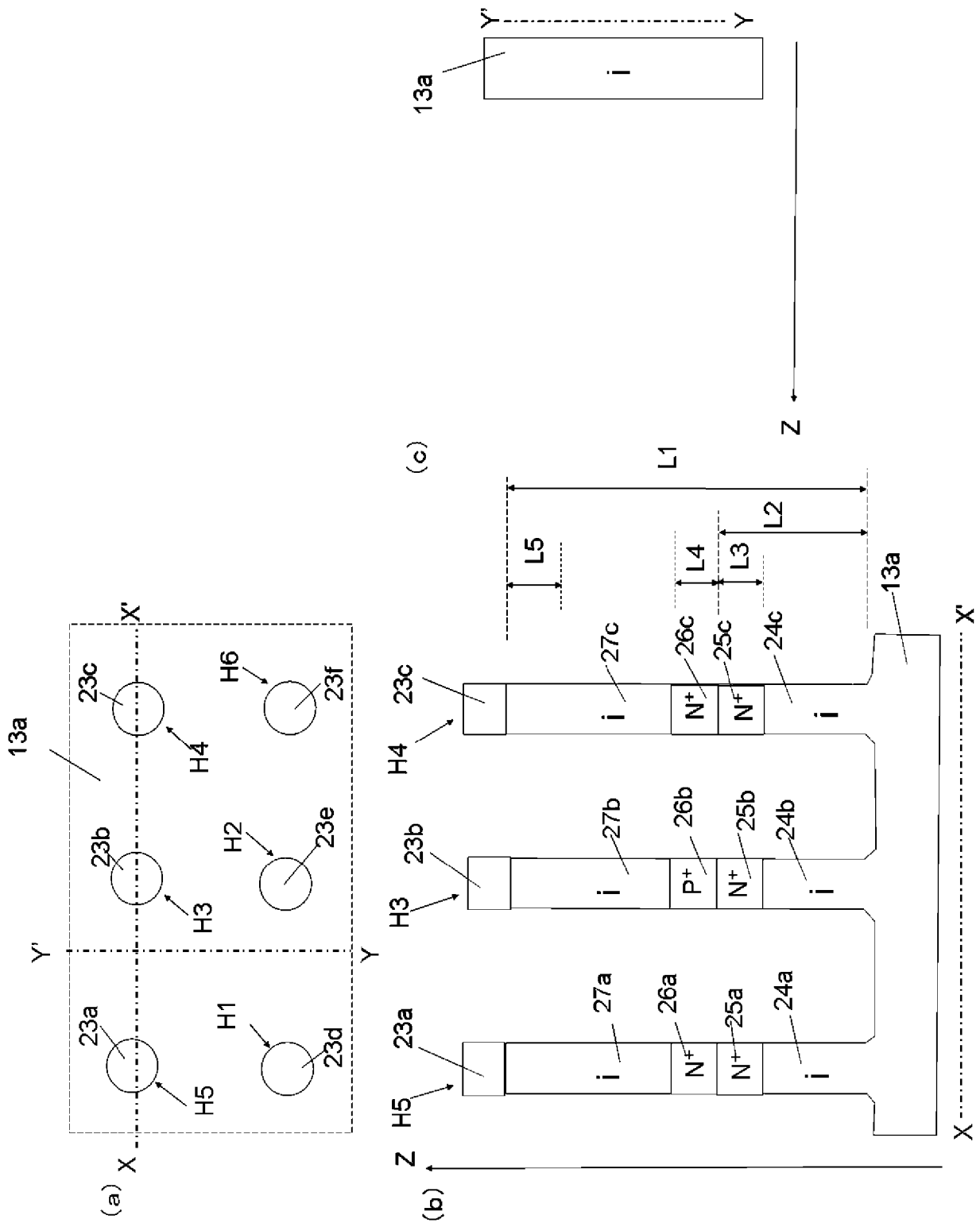
[図7A]

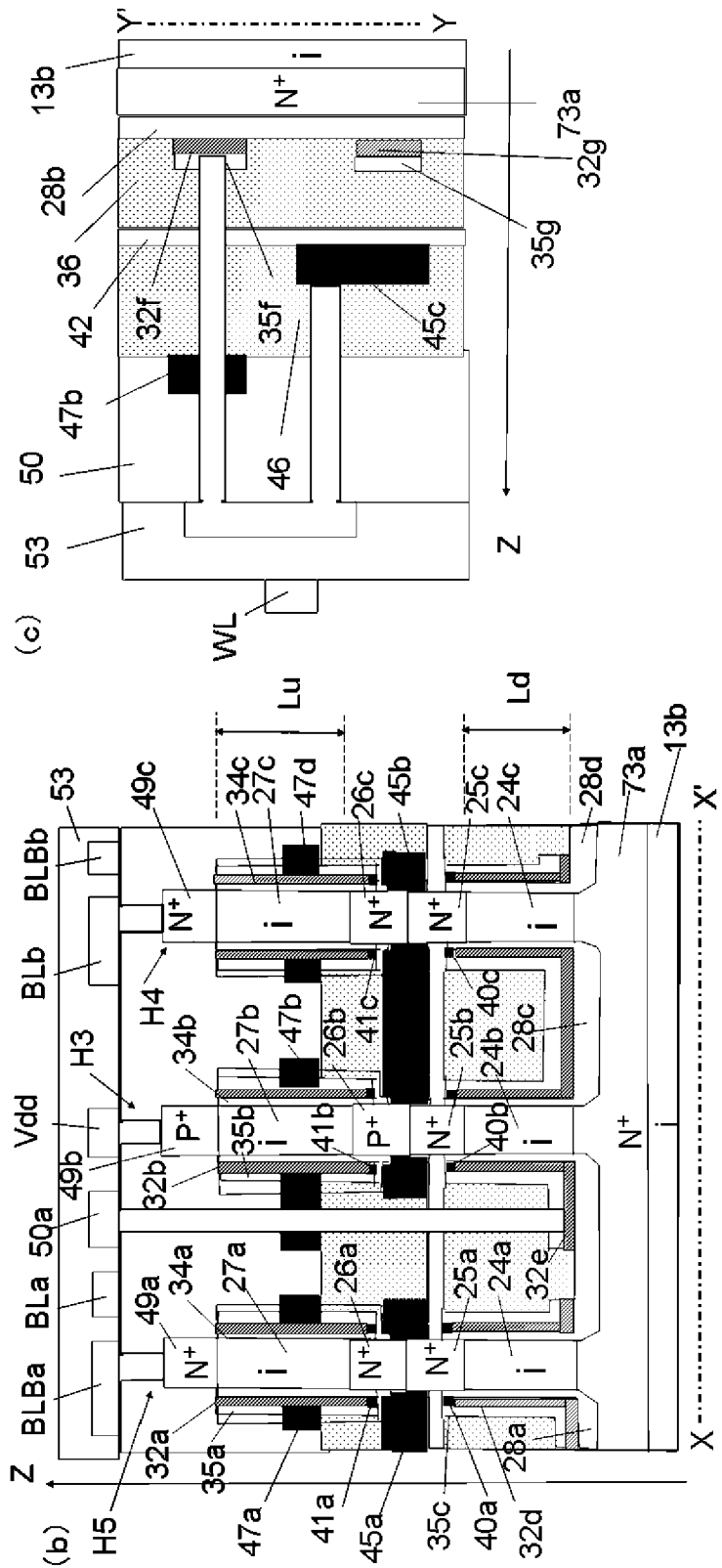


[図7B]

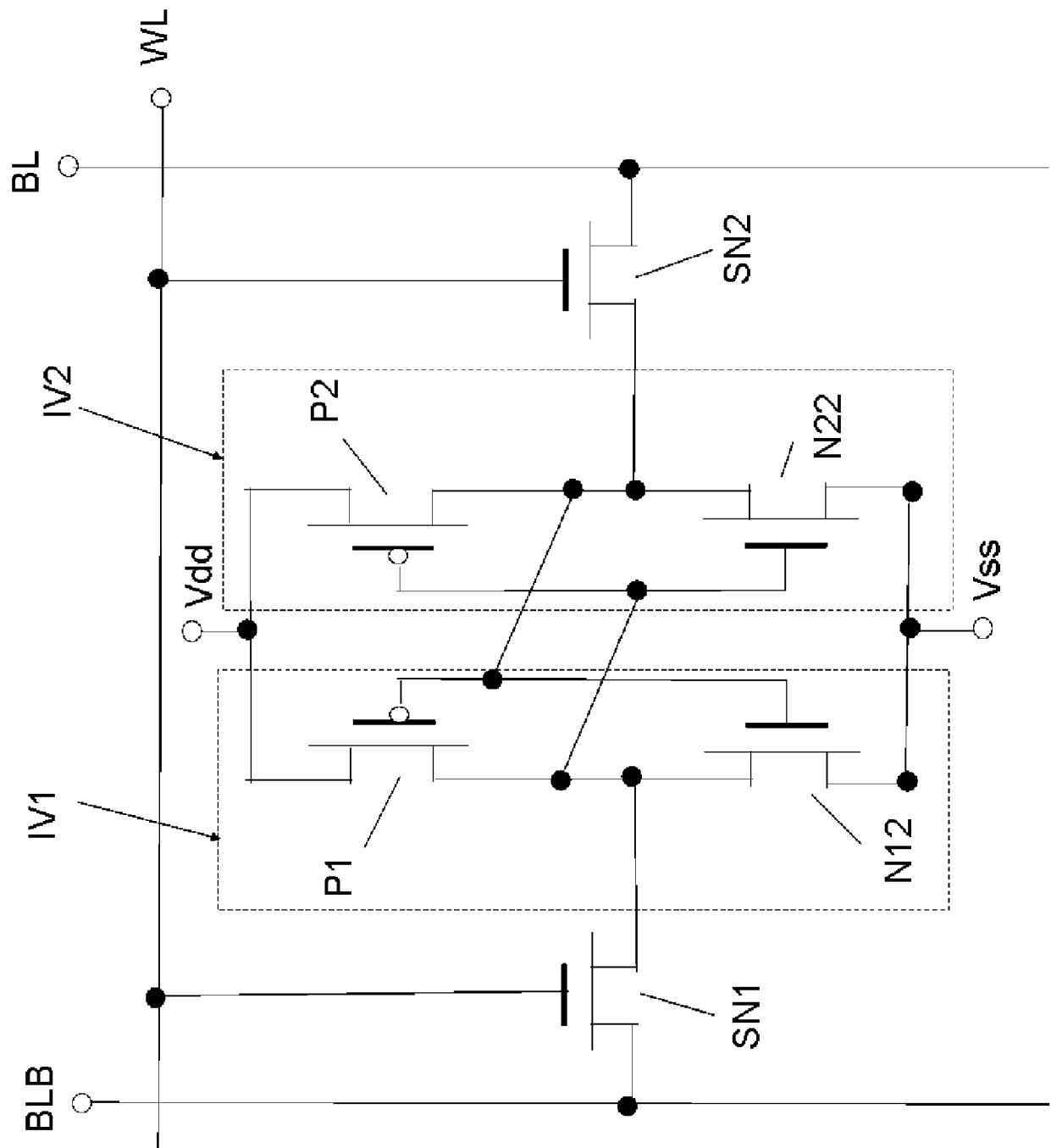


[図8A]

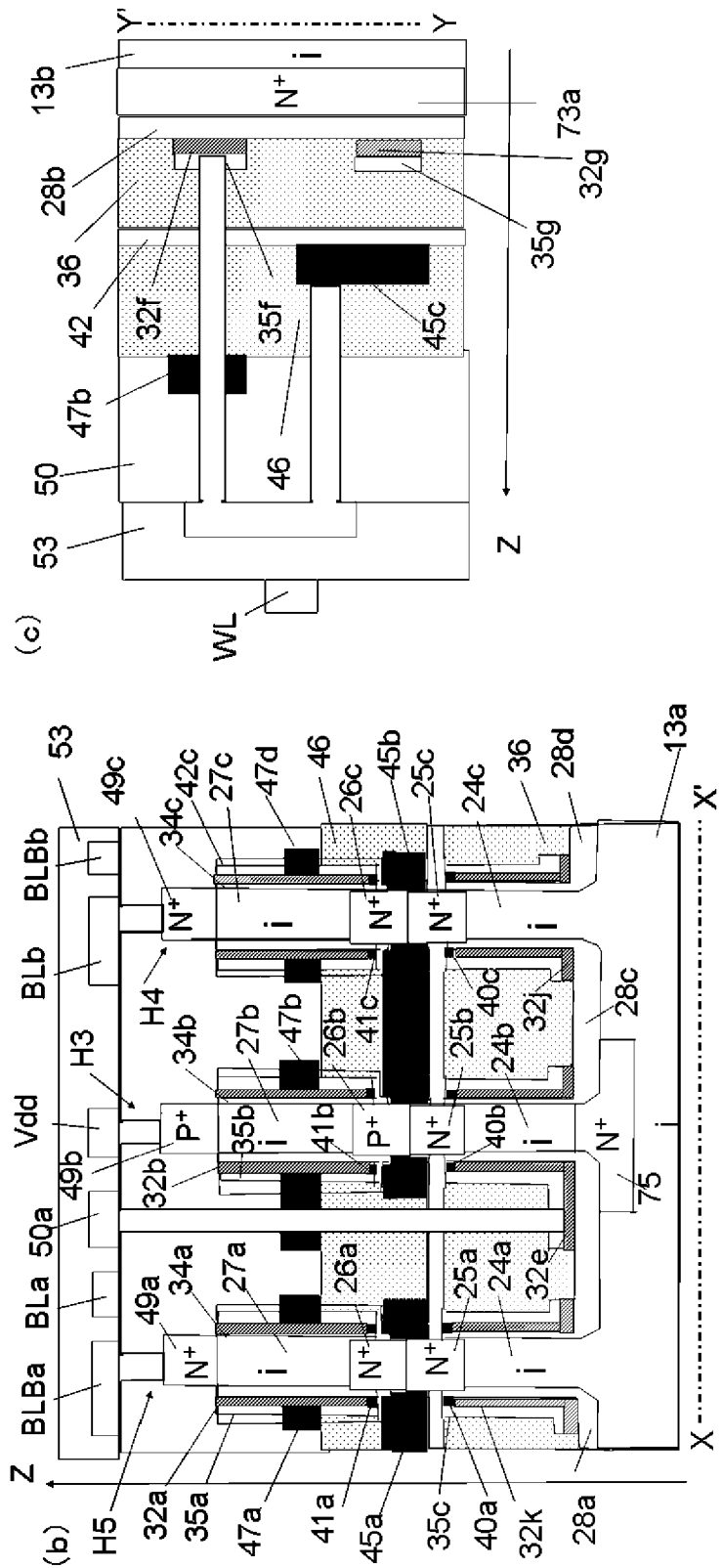


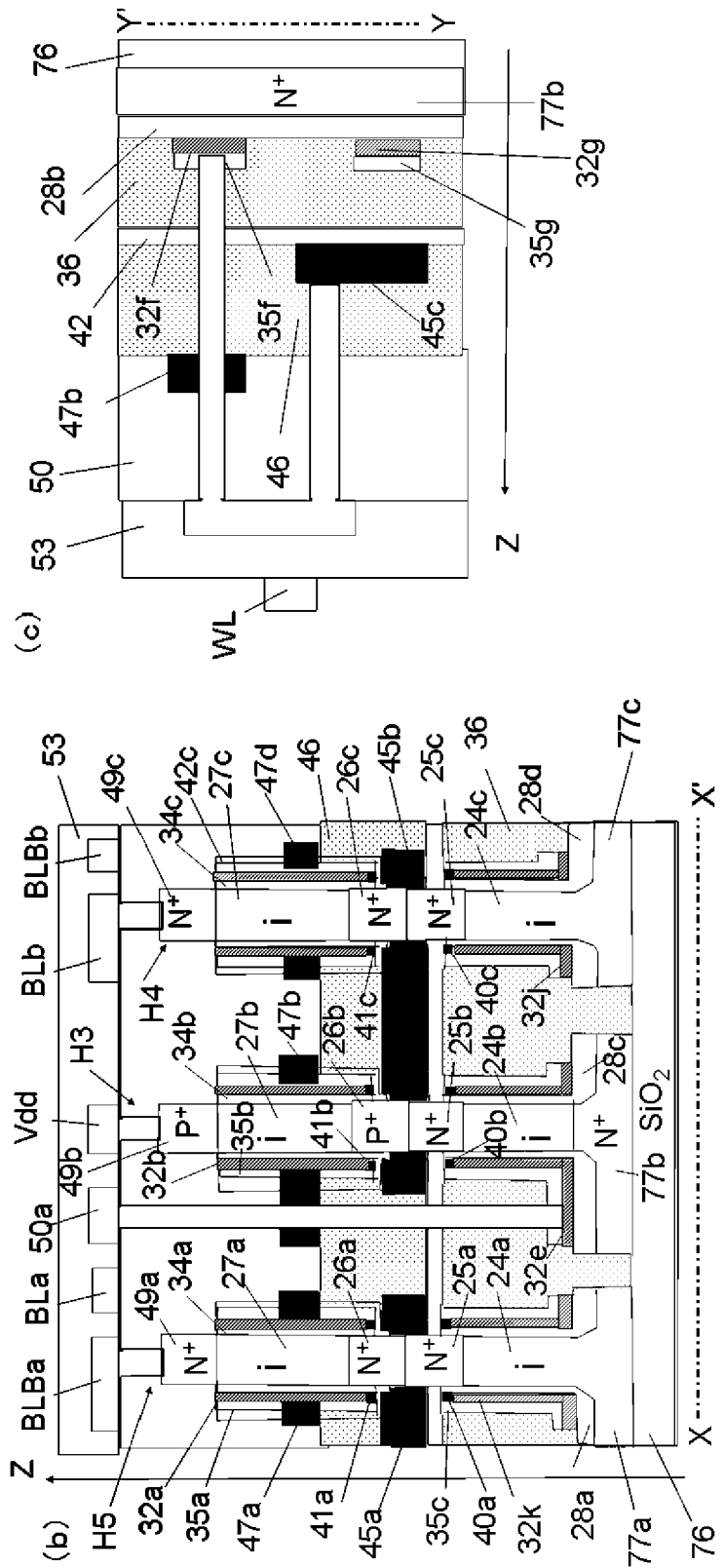


[図9A]

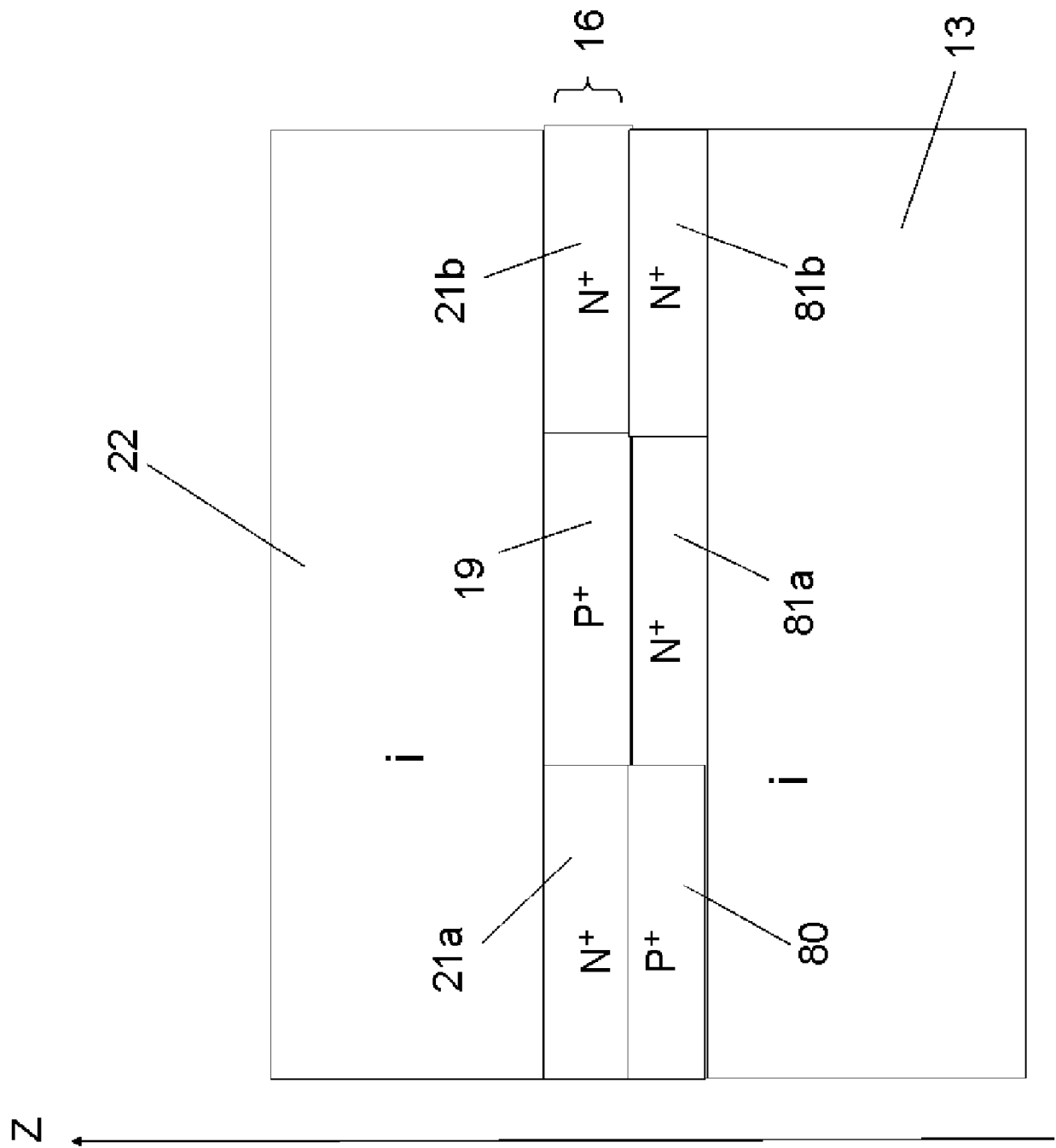


(a)

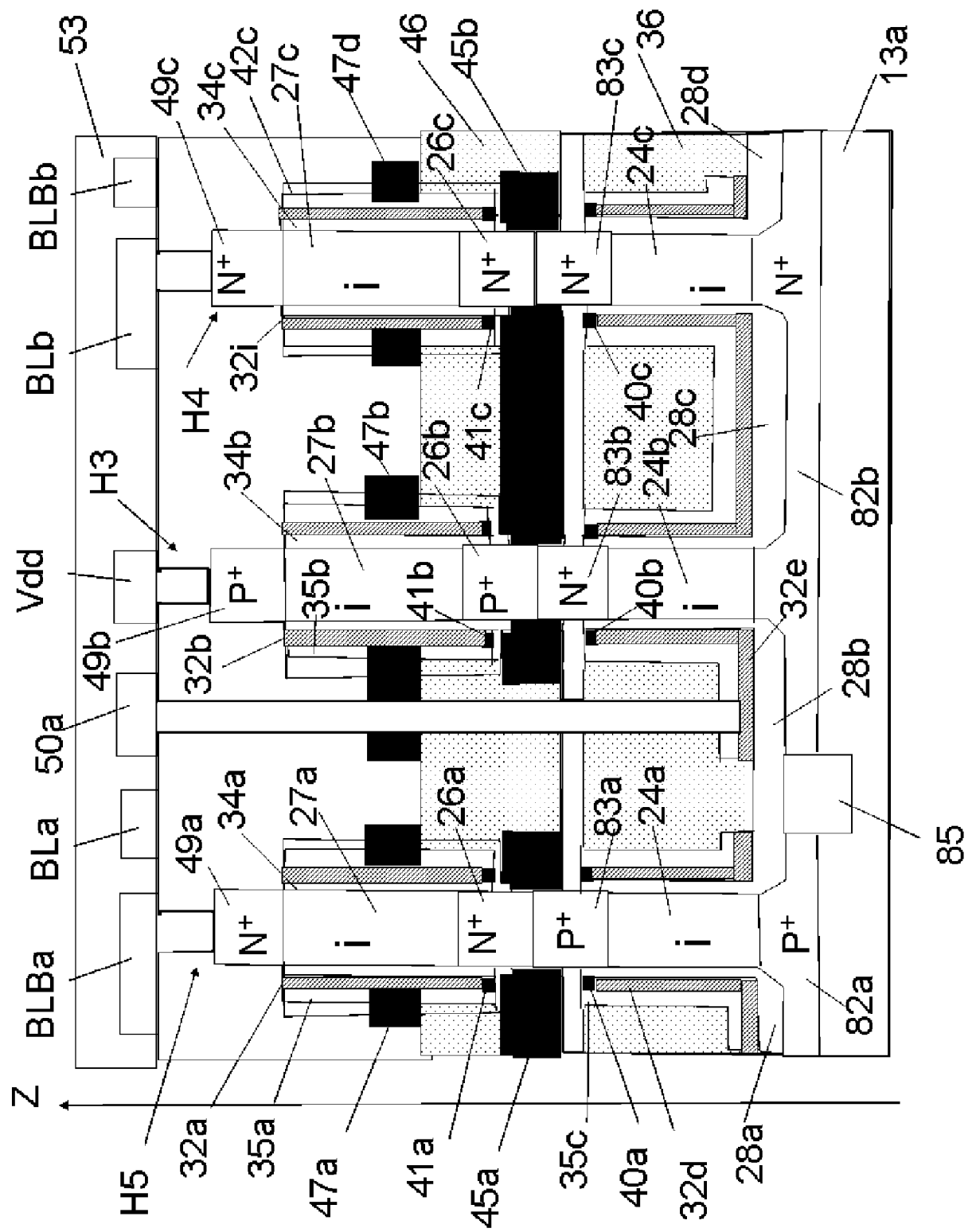


[illegible]

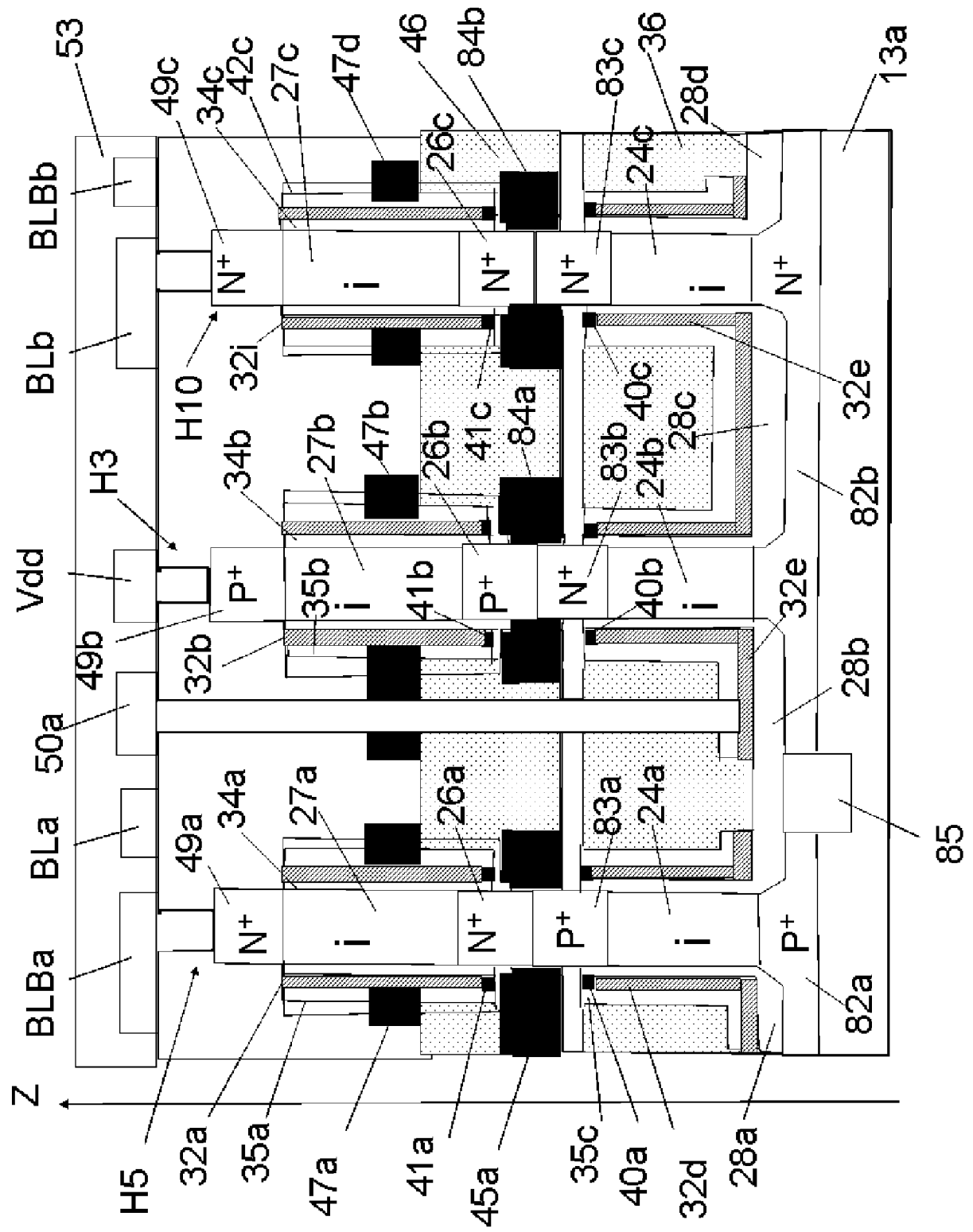
[図10A]



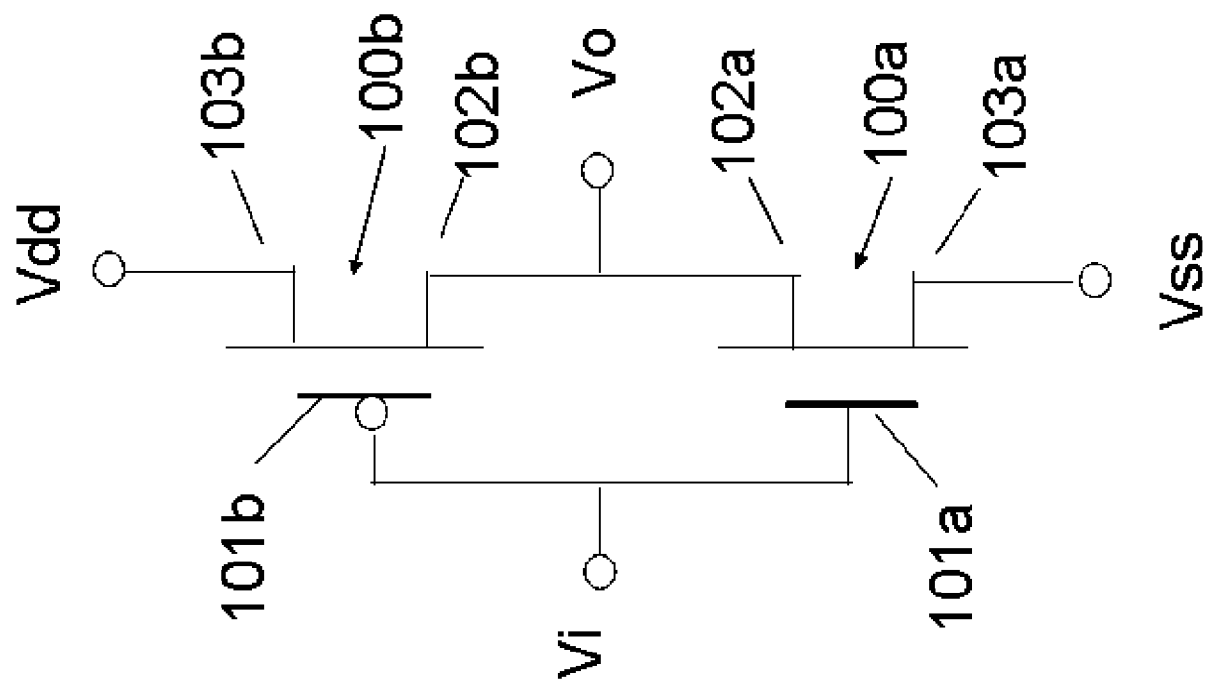
[図10B]

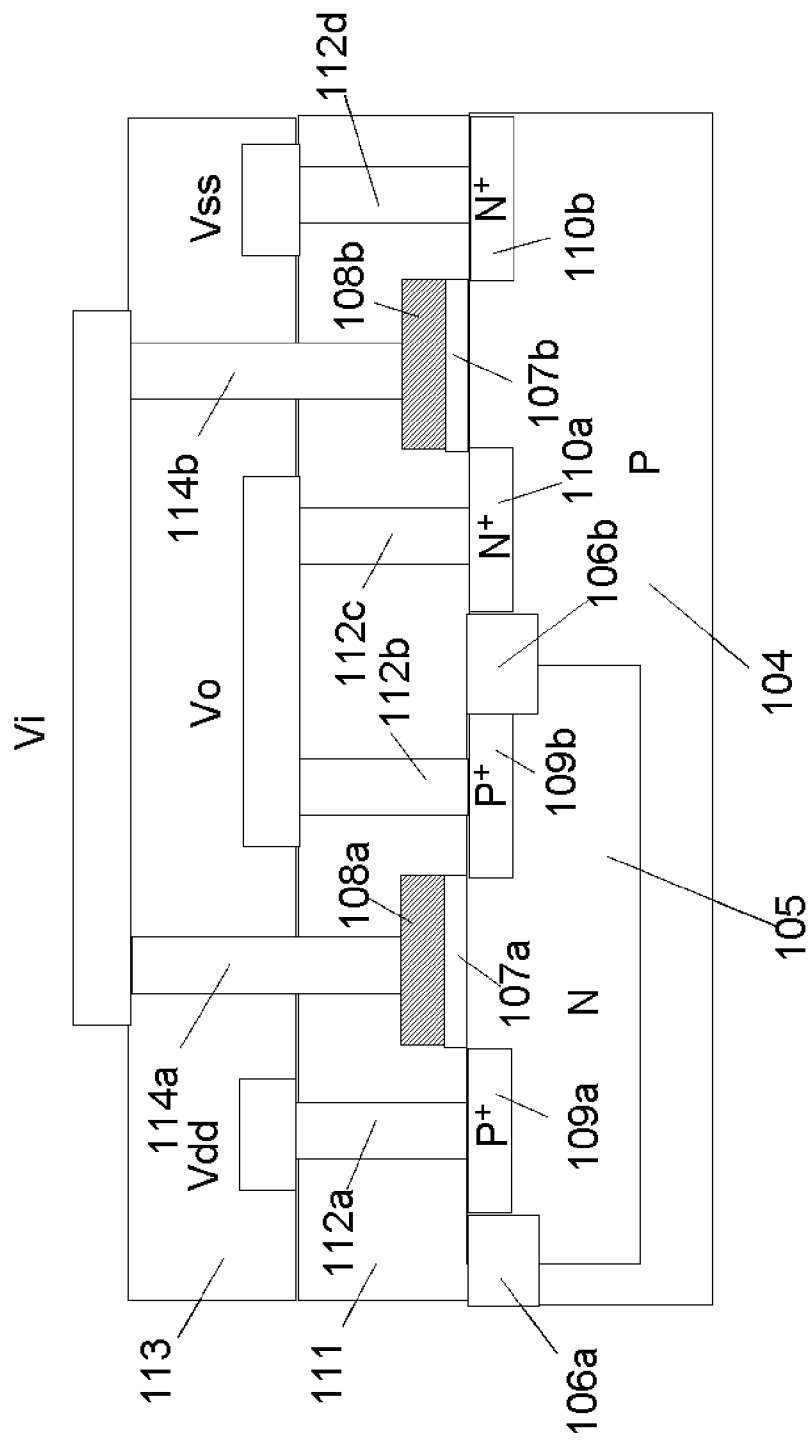


[図11]



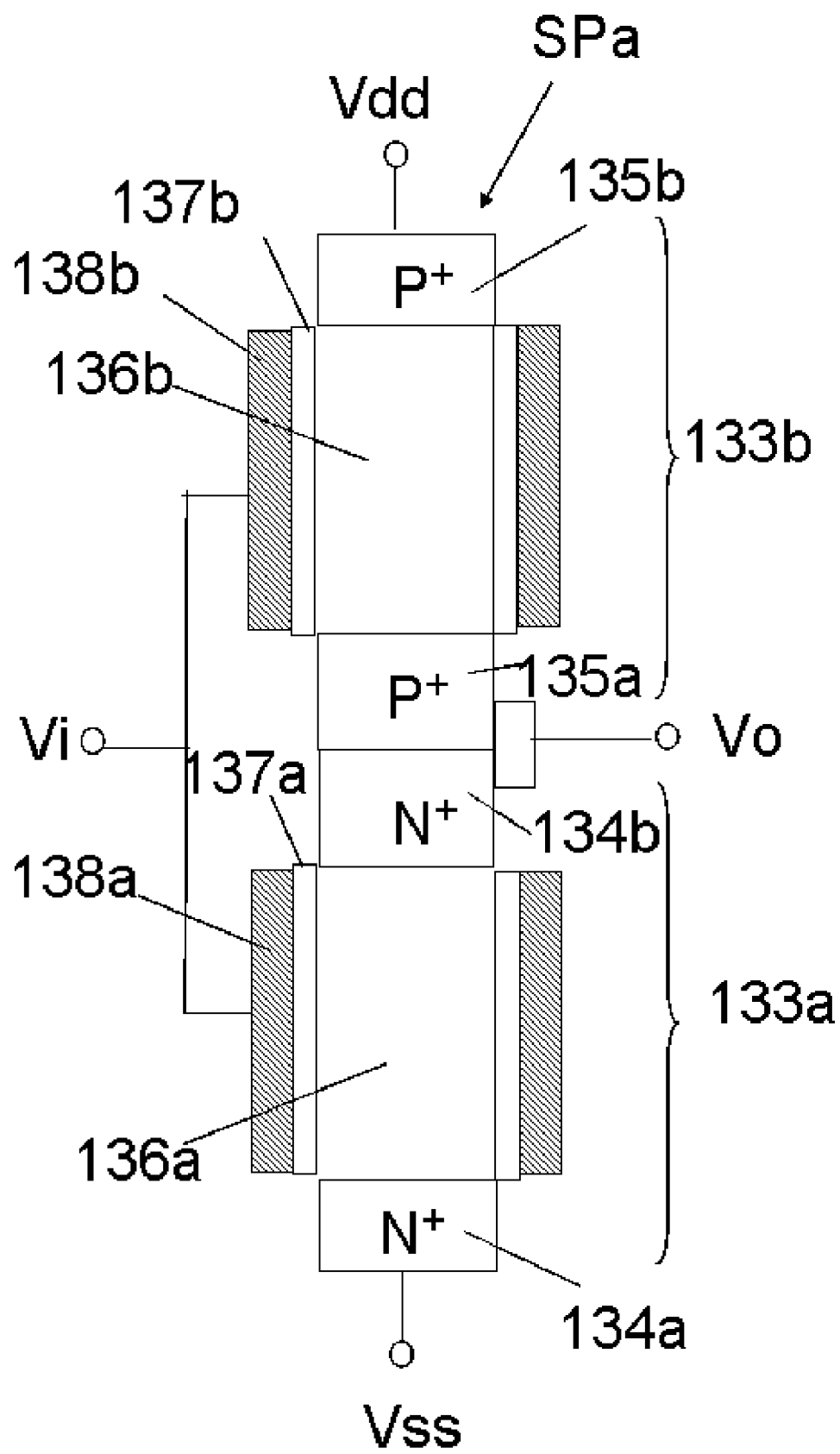
[図12]



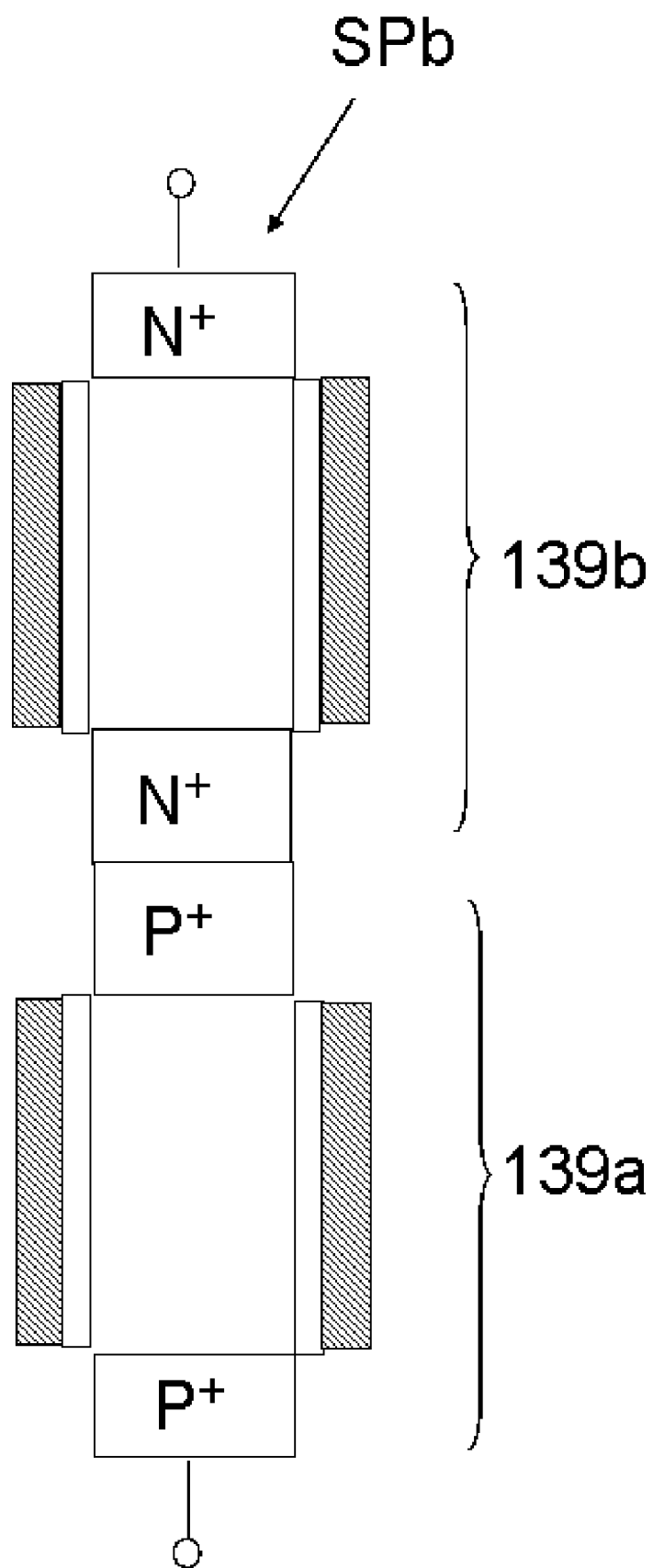


A schematic diagram of a cylindrical device 115. A central rod 117 is shown with a dashed line. The top of the rod is labeled S and N+, and the bottom is labeled D and N+. A gate voltage G is applied to the side of the cylinder. Internal layers are labeled 116a, 116b, 118, and 119.

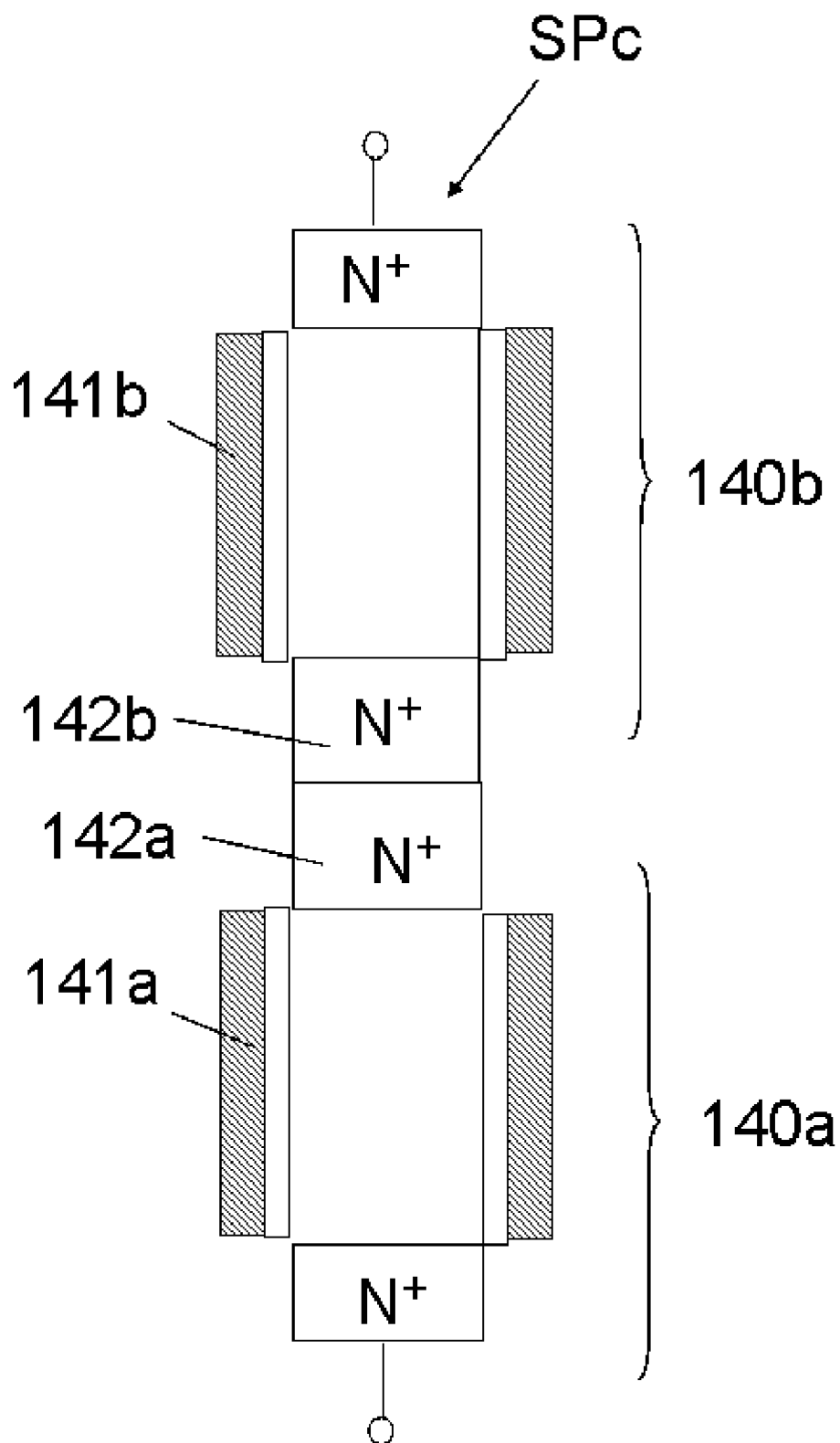
[図15]



[図16A]



[図16B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/057558

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/10 (2006.01) i, H01L21/8238 (2006.01) i, H01L27/092 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/10, H01L21/8238, H01L27/092

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 4-207069 A (Toshiba Corp.), 29 July 1992 (29.07.1992), page 3, upper right column, line 2 to page 6, upper right column, line 17; 1 to 4, 6 to 11 & US 5311050 A & DE 4139039 A & DE 4139039 A1 & KR 10-1996-0000713 B	1-11
Y	JP 2013-38336 A (Toshiba Corp.), 21 February 2013 (21.02.2013), paragraphs [0035] to [0037], [0068] to [0072], [0108] to [0111]; fig. 5, 10, 15 (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
10 May, 2013 (10.05.13)

Date of mailing of the international search report
21 May, 2013 (21.05.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/057558

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2-254752 A (Sony Corp.), 15 October 1990 (15.10.1990), page 3, lower left column, lines 6 to 16; fig. 1, 5 to 6 (Family: none)	1-6, 8-11
Y	JP 2011-204745 A (Toshiba Corp.), 13 October 2011 (13.10.2011), paragraphs [0017], [0024], [0028]; fig. 1, 6 & US 2011/0233681 A1	4-5, 11
Y	WO 2008/114317 A1 (Fujitsu Microelectronics Ltd.), 25 September 2008 (25.09.2008), paragraphs [0002], [0035], [0051] to [0053] & US 2010/0008120 A1	9-10
A	JP 2008-172164 A (Toshiba Corp.), 24 July 2008 (24.07.2008), fig. 1 to 8 & US 2008/0173933 A1	1-11

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L27/10(2006.01)i, H01L21/8238(2006.01)i, H01L27/092(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L27/10, H01L21/8238, H01L27/092

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 4-207069 A (株式会社東芝) 1992.07.29, 第3頁右上欄第2行～第6頁右上欄第17行, 第1-4, 6-11 & US 5311050 A & DE 4139039 A & DE 4139039 A1 & KR 10-1996-0000713 B	1-11
Y	JP 2013-38336 A (株式会社東芝) 2013.02.21, 段落【0035】-【0037】, 【0068】-【0072】, 【0108】-【0111】, 図5, 10, 15 (ファミリーなし)	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 5 . 2 0 1 3

国際調査報告の発送日

2 1 . 0 5 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐久 聖子

5 F

3 1 4 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2-254752 A (ソニー株式会社) 1990. 10. 15, 第 3 頁左下欄第 6 行 ～第 16 行, 第 1, 5-6 図 (ファミリーなし)	1-6, 8-11
Y	JP 2011-204745 A (株式会社東芝) 2011. 10. 13, 段落【0017】, 【0024】, 【0028】, 図 1, 6 & US 2011/0233681 A1	4-5, 11
Y	WO 2008/114317 A1 (富士通マイクトエレクトロニクス株式会社) 2008. 09. 25, 段落 【0002】, 【0035】, 【0051】 - 【0053】 & US 2010/0008120 A1	9-10
A	JP 2008-172164 A (株式会社東芝) 2008. 07. 24, 図 1-8 & US 2008/0173933 A1	1-11