



(12) 发明专利申请

(10) 申请公布号 CN 102376764 A

(43) 申请公布日 2012. 03. 14

(21) 申请号 201110051945. 2

H01L 21/336 (2006. 01)

(22) 申请日 2011. 03. 03

(30) 优先权数据

183398/2010 2010. 08. 18 JP

(71) 申请人 株式会社东芝

地址 日本东京都

(72) 发明人 佐藤慎吾 篠原仁 河村圭子

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 杨谦 胡建新

(51) Int. Cl.

H01L 29/78 (2006. 01)

H01L 29/06 (2006. 01)

H01L 29/36 (2006. 01)

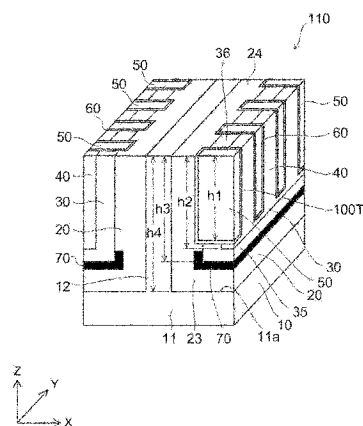
权利要求书 2 页 说明书 7 页 附图 10 页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

半导体装置及制造方法,具备:第一导电型第一半导体区,具有包括第一主面的第一部分和在与该主面正交的第一方向延伸的第二部分;第一导电型第二半导体区,具有在第一部分一侧设成比第二部分沿第一方向的长度短的第三部分和邻接第二部分且向第一方向延伸的第四部分;第二导电型第三半导体区,具有在第三部分的一侧设成比第四部分沿第一方向的长度短的第五部分和邻接第四部分且向第一方向延伸的第六部分;第一导电型第四半导体区,第五部分上设成邻接第六部分;栅区,设于在与第一方向正交的方向且第二、三和四半导体区形成的沟道内;栅绝缘膜,设于沟道内壁和栅区之间;第二导电型电场缓和区,设于第三和第五部分之间,杂质浓度低于第三半导体区。



1. 一种半导体装置,其特征在于,具备:

第一导电型的第一半导体区,具有第一部分和第二部分,该第一部分包括第一主面,该第二部分在与所述第一主面正交的第一方向上延伸;

第一导电型的第二半导体区,具有第三部分和第四部分,该第三部分在所述第一部分的一侧设置成比所述第二部分沿所述第一方向延伸的长度短;该第四部分与所述第二部分邻接,从所述第三部分的上表面的一部分向所述第一方向延伸;

第二导电型的第三半导体区,具有第五部分和第六部分,该第五部分在所述第三部分的一侧设置成比所述第四部分沿所述第一方向延伸的长度短;该第六部分与所述第四部分邻接,从所述第五部分的上表面的一部分向所述第一方向延伸;

第一导电型的第四半导体区,在所述第五部分之上设置成与所述第六部分邻接;

栅区,设置在沟道内,该沟道在与所述第一方向正交的第二方向上形成在所述第二半导体区、所述第三半导体区及所述第四半导体区;

栅绝缘膜,设置于所述沟道的内壁和所述栅区之间;以及

第二导电型的电场缓和区,设置于所述第三部分和所述第五部分之间,具有比所述第三半导体区的杂质浓度低的杂质浓度。

2. 根据权利要求1所述的半导体装置,其特征在于,
所述第二部分沿着与所述第一方向和所述第二方向正交的第三方向设置。

3. 根据权利要求2所述的半导体装置,其特征在于,
沿着所述第三方向设置有多个所述栅区和多个所述栅绝缘膜。

4. 根据权利要求2所述的半导体装置,其特征在于,
所述第二半导体区、所述第三半导体区及所述第四半导体区沿着所述第三方向延伸。

5. 根据权利要求1所述的半导体装置,其特征在于,
所述栅区沿所述第一方向延伸的第一长度比所述第四半导体区沿所述第一方向延伸的第二长度短。

6. 根据权利要求1所述的半导体装置,其特征在于,
所述第四半导体区沿所述第一方向延伸的第二长度比所述第三半导体区沿所述第一方向延伸的第三长度短。

7. 根据权利要求1所述的半导体装置,其特征在于,
所述第三半导体区沿所述第一方向延伸的第三长度比所述第二半导体区沿所述第一方向延伸的第四长度短。

8. 根据权利要求1所述的半导体装置,其特征在于,
所述电场缓和区设置成从所述第三部分和所述第五部分之间延伸至所述第四部分的一部分。

9. 根据权利要求8所述的半导体装置,其特征在于,
所述电场缓和区设置于所述第三半导体区的大致L字型的角部外侧周边。

10. 根据权利要求1所述的半导体装置,其特征在于,
所述电场缓和区是降低表面电场区。

11. 一种半导体装置的制造方法,其特征在于,包括:
形成第一导电型的第一半导体区的工序,该第一导电型的第一半导体区具有第一部分

和第二部分,该第一部分包括第一主面,该第二部分在与所述第一主面正交的第一方向上延伸;

用第一导电型的第二半导体区覆盖所述第一半导体区,形成第三部分和第四部分的工序,该第三部分在所述第一部分的一侧设置成比所述第二部分沿所述第一方向延伸的长度短,该第四部分与所述第二部分邻接,从所述第三部分的上表面的一部分向所述第一方向延伸;

在所述第三部分的与所述第一主面对置的第二主面上形成第二导电型的电场缓和区的工序;

用第二导电型的第三半导体区覆盖所述第二半导体区,形成第五部分和第六部分的工序,该第五部分在所述第三部分的一侧设置成比所述第四部分沿所述第一方向延伸的长度短,该第六部分与所述第四部分邻接,从所述第五部分的上表面的一部分向所述第一方向延伸;

用第一导电型的第四半导体区覆盖所述第三半导体区的工序;

对所述第四半导体区、所述第三半导体区及所述第二半导体区进行去除,直到所述第二部分露出的工序;以及

在与所述第一方向正交的第二方向,在所述第二半导体区、所述第三半导体区及所述第四半导体区形成沟道,在所述沟道内隔着栅绝缘膜形成栅区的工序。

12. 根据权利要求 11 所述的半导体装置的制造方法,其特征在于,

在形成所述电场缓和区的工序中,对所述第二主面注入第二导电型的杂质的离子。

13. 根据权利要求 12 所述的半导体装置的制造方法,其特征在于,

所述离子的入射角度为使得所述第二主面被注入所述离子而所述第四部分的与所述第二部分侧面对置的第三主面不被注入所述离子的角度。

14. 根据权利要求 12 所述的半导体装置的制造方法,其特征在于,

注入所述杂质的离子之后,通过热处理使所述杂质扩散。

15. 根据权利要求 11 所述的半导体装置的制造方法,其特征在于,

将所述第四半导体区沿所述第一方向延伸的第二长度形成得比所述第三半导体区沿所述第一方向延伸的第三长度短。

16. 根据权利要求 11 所述的半导体装置的制造方法,其特征在于,

所述第三半导体区沿所述第一方向延伸的第三长度比所述第二半导体区沿所述第一方向延伸的第四长度短。

半导体装置及其制造方法

[0001] 本申请基于并要求于 2010 年 8 月 18 日提交的申请号为 2010⁻183398 的在先日本专利申请的优先权,该申请的内容通过引用被全部包含于此。

技术领域

[0002] 本发明涉及一种半导体装置及其制造方法。

背景技术

[0003] 以往,例如作为电力用 MOSFET(Metal-Oxide-Semiconductor FieldEffect Transistor,金属-氧化物-半导体场效应管)的结构,采用平面型 MOSFET 或沟槽型 MOSFET。此外,还能够想到将 MOSFET 的沟道宽度设置在基板的深度方向上的、所谓 3D(three-dimensional)型。但是,在所谓 3D 型 MOSFET 中,要求进一步提高耐压。

发明内容

[0004] 本发明的实施方式提供一种提高了耐压的半导体装置及其制造方法。

[0005] 本实施方式所涉及的半导体装置具备:第一导电型的第一半导体区,具有第一部分和第二部分,该第一部分包括第一主面,该第二部分在与所述第一主面正交的第一方向上延伸;第一导电型的第二半导体区,具有第三部分和第四部分,该第三部分在所述第一部分的一侧设置成比所述第二部分沿所述第一方向延伸的长度短;该第四部分与所述第二部分邻接,从所述第三部分的上表面的一部分向所述第一方向延伸;第二导电型的第三半导体区,具有第五部分和第六部分,该第五部分在所述第三部分的一侧设置成比所述第四部分沿所述第一方向延伸的长度短;该第六部分与所述第四部分邻接,从所述第五部分的上表面的一部分向所述第一方向延伸;第一导电型的第四半导体区,在所述第五部分之上设置成与所述第六部分邻接;栅区,设置在沟道内,该沟道在与所述第一方向正交的第二方向上形成在所述第二半导体区、所述第三半导体区及所述第四半导体区;栅绝缘膜,设置于所述沟道的内壁和所述栅区之间;以及第二导电型的电场缓和区,设置于所述第三部分和所述第五部分之间,具有比所述第三半导体区的杂质浓度低的杂质浓度。

[0006] 其他实施方式所涉及的半导体装置的制造方法包括:形成第一导电型的第一半导体区的工序,该第一导电型的第一半导体区具有第一部分和第二部分,该第一部分包括第一主面,该第二部分在与所述第一主面正交的第一方向上延伸;用第一导电型的第二半导体区覆盖所述第一半导体区,形成第三部分和第四部分的工序,该第三部分在所述第一部分的一侧设置成比所述第二部分沿所述第一方向延伸的长度短,该第四部分与所述第二部分邻接,从所述第三部分的上表面的一部分向所述第一方向延伸;在所述三部分的与所述第一主面对置的第二主面上形成第二导电型的电场缓和区的工序;用第二导电型的第三半导体区覆盖所述第二半导体区,形成第五部分和第六部分的工序,该第五部分在所述第三部分的一侧设置成比所述第四部分沿所述第一方向延伸的长度短,该第六部分与所述第四部分邻接,从所述第五部分的上表面的一部分向所述第一方向延伸;用第一导电型的第四

半导体区覆盖所述第三半导体区的工序；对所述第四半导体区、所述第三半导体区及所述第二半导体区进行去除，直到所述第二部分露出的工序；以及在与所述第一方向正交的第二方向，在所述第二半导体区、所述第三半导体区及所述第四半导体区形成沟道，在所述沟道内隔着栅绝缘膜形成栅区的工序。

[0007] 根据本发明的实施方式，能够提高半导体装置的耐压。

附图说明

[0008] 图 1 是对实施方式所涉及的半导体装置的结构进行示例的示意性立体图。

[0009] 图 2 是对参考例所涉及的半导体装置进行示例的示意性立体图。

[0010] 图 3 是对实施方式所涉及的半导体装置的电场状态进行示例的示意性立体图。

[0011] 图 4～图 10 是说明实施方式所涉及的半导体装置的制造方法的示意性立体图。

具体实施方式

[0012] 下面，根据附图，说明本发明的实施方式。

[0013] 另外，附图只是示意性地或概念性地示出本发明，各部分的厚度与宽度之间的关系、部分之间的尺寸比例系数等，并一定为与实际相同。此外，有时在表示相同部分的情况下也会因附图的不同而彼此的尺寸或比例系数表示为有所不同。

[0014] 此外，在本申请说明书和各图中，对于与已在针对前面的附图进行了说明的部分相同的要素，赋予相同的符号，适当省略详细说明。

[0015] 此外，在下面的说明中，作为半导体的一例，举出如下具体例，即，使用硅 (Si)，将第一导电型设为 n 型，将第二导电型设为 p 型。此外，在下面的说明中， n^+ 、n、 n^- 和 p^+ 、p、 p^- 的标记表示各导电型上的杂质浓度的相对高低。即， n^+ 相比于 n 而言 n 型杂质浓度相对较高， n^- 相比于 n 而言 n 型杂质浓度相对较低。此外， p^+ 相比于 p 而言 p 型杂质浓度相对较高， p^- 相比于 p 而言 p 型杂质浓度相对较低。

[0016] (第一实施方式)

[0017] 图 1 是对实施方式所涉及的半导体装置的结构进行示例的示意性立体图。

[0018] 如图 1 所示，在本实施方式所涉及的半导体装置 110 中，采用 MOSFET 的沟道宽度沿着基板的深度方向设置的、所谓 3D(three-dimensional) 型。

[0019] 半导体装置 110 具备第一半导体区 10、第二半导体区 20、第三半导体区 30、第四半导体区 40、栅区 50、栅绝缘膜 60 及电场缓和区 70。

[0020] 第一半导体区 10 是具有第一部分 11 和第二部分 12 的第一导电型的区域，第一部分 11 包括第一主面 11a，第二部分 12 在与第一主面 11a 正交的第一方向上延伸。

[0021] 另外，在本实施方式中，将第二部分 12 延伸的第一方向设为 Z 方向，将与第一方向正交的方向之一（第二方向）设为 X 方向，将与第一方向和第二方向正交的第三方向设为 Y 方向。此外，在本实施方式中，为了便于说明，沿着 Z 方向，将第二部分 12 延伸前进的方向设为“上”，将与其相反的方向设为“下”。

[0022] 在本实施方式中，第一半导体区 10 例如是在硅晶片上涂布磷 (P) 的 n^+ 漏区。

[0023] 第二半导体区 20 是具有第三部分 23 和第四部分 24 的第一导电型的区域。

[0024] 第三部分 23 在第一部分 11 之上设置成比第二部分 12 沿着 Z 方向延伸的长度短。

第四部分 24 设置成与第二部分 12 邻接,从第三部分 23 的上表面的一部分向 Z 方向延伸。

[0025] 即,第二半导体区 20 通过在相互正交的方向上设置的第三部分 23 和第四部分 24,设置成在 XZ 平面的截面图上观看时呈沿着第一部分 11 和第二部分 12 的大致 L 字型。

[0026] 在本实施方式中,第二半导体区 20 例如是通过外延生长而形成在第一半导体区 10 的表面上膜。第二半导体区 20 例如是在外延生长膜上涂布了磷 (P) 的 n^- 漏区。第二半导体区 20 是 MOSFET 中的漂移区。

[0027] 第三半导体区 30 是具有第五部分 35 和第六部分 36 的第二导电型的区域。

[0028] 第五部分 35 在第三部分 23 之上设置成比第四部分 24 沿 Z 方向延伸的长度短。第六部分 36 设置成与第四部分 24 邻接,从第五部分 35 的上表面的一部分向 Z 方向延伸。

[0029] 即,第三半导体区 30 通过在相互正交的方向上设置的第五部分 35 和第六部分 36,设置成在 XZ 平面的截面图上观看时呈沿着第三部分 23 和第四部分 24 的大致 L 字型。

[0030] 第三半导体区 30 沿 Z 方向延伸的长度 h_3 比第二半导体区 20 沿 Z 方向延伸的长度 h_4 短。

[0031] 在本实施方式中,第三半导体区 30 例如是通过外延生长而形成在第二半导体区 20 的表面上膜。第三半导体区 30 例如是在外延生长膜上涂布了硼 (B) 的 p^- 基区。

[0032] 第四半导体区 40 是在第五部分 35 之上与第六部分 36 邻接设置的第一导电型的区域。

[0033] 即,第四半导体区 40 在第三半导体区 30 之上设置成沿 Z 方向延伸。由此,第四半导体区 40 在 XZ 平面上的截面图上观看时,被埋在第三半导体区 30 的大致 L 字型的内侧。

[0034] 第四半导体区 40 沿 Z 方向延伸的长度 h_2 比第三半导体区 30 沿 Z 方向延伸的长度 h_3 短。

[0035] 在本实施方式中,第四半导体区 40 例如是通过外延生长而形成在第三半导体区 30 上的膜。第四半导体区 40 例如是在外延生长膜上涂布了磷 (P) 的 n^+ 源区。

[0036] 栅区 50 设置在沟道 100T 内,该沟道 100T 沿 X 方向贯穿第二半导体区 20、第三半导体区 30 及第四半导体区 40。

[0037] 即,第二半导体区 20 的第四部分 24、第三半导体区 30 的第六部分 36 及第四半导体区 40 沿 X 方向邻接。沟道 100T 设置成,沿 X 方向贯穿该邻接的第四部分 24、第六部分 36 及第四半导体区 40。栅区 50 隔着后述的栅绝缘膜 60 埋设在沟道 100T 内。

[0038] 此外,栅区 50 以沿 Z 方向延伸的方式设置在沟道 100T 内。栅区 50 以长度 h_1 沿 Z 方向设置。长度 h_1 例如比第四半导体区的长度 h_2 短。作为栅区 50,例如使用多晶硅。

[0039] 栅绝缘膜 60 设置在沟道 100T 的内壁和栅区 50 之间。作为栅绝缘膜 60,例如使用氧化硅膜。

[0040] 电场缓和区 70 设置在第二半导体区 20 的第三部分 23 和第三半导体区 30 的第五部分 35 之间。电场缓和区 70 是杂质浓度比第三半导体区 30 的杂质浓度低的第二导电型的区域。电场缓和区 70 例如是在第三部分 23 上涂布了硼 (B) 的 p^- 区。

[0041] 电场缓和区 70 设置成从第三部分 23 和第五部分 35 之间延伸至第四部分 24 的一部分为止。即,在 XZ 平面的截面图上观看时,电场缓和区 70 设置于第三半导体区 30 的大致 L 字型的角部外侧周边。若设置有这种电场缓和区 70,则 p^- 型第三半导体区 30 和 n^- 型第二半导体区 20 之间的急剧的杂质浓度变化得到缓和。即,在本实施方式所涉及的半导体

装置 110 中,电场缓和区 70 作为降低表面电场 (Reduce Surface Field;RESURF) 区发挥作用,使得在第三半导体区 30 的大致 L 字型的角部周边处的电场集中得到缓和。

[0042] 在本实施方式所涉及的半导体装置 110 中,对栅区 50 施加导通电压,从而在与栅绝缘膜 60 邻接的第三半导体区 30 即 p^- 基区形成沟道。在半导体装置 110 中,第三半导体区 30 沿 X 方向延伸的长度与沟道长度对应。此外,在半导体装置 110 中,第三半导体区 30 沿 Z 方向延伸的长度中的与栅区 50 对应的深度 $h1$ 与沟道宽度对应。若在第三半导体区 30 的沟道长度方向的全长上形成沟道,则电流从作为源区的第四半导体区 40,经由作为漂移区的第二半导体区 20,流向作为漏区的第一半导体区 10。

[0043] 另一方面,在未对栅区 50 施加导通电压的状态下,不会在作为第三半导体区 30 的 p^- 基区形成沟道,不流动电流。在本实施方式所涉及的半导体装置 110 中,由于在第三半导体区 30 和第二半导体区 20 之间设置有电场缓和区 70,所以耗尽层从沟道区达到电场缓和区 70。由此,能够缓和在第三半导体区 30 的角部周边处的电场集中,能够提高耐压。

[0044] 图 2 是对参考例所涉及的半导体装置进行示例的示意性立体图。

[0045] 如图 2 所示,参考例所涉及的半导体装置 190 中未设置图 1 所示的半导体装置 110 那样的电场缓和区 70。

[0046] 图 2 所示的虚线表示在 MOSFET 处于截止状态下施加到第三半导体区 30 和第二半导体区 20 之间的电场。在该半导体装置 190 中,电场集中在第三半导体区 30 的角部周边。

[0047] 在半导体装置 190 中,由第一半导体区 10 的第一部分 11 和第二部分 12 包围第二半导体区 20 的两个面 (XY 平面和 YZ 平面)。而且,在该第二半导体区 20 的内侧设置有第三半导体区 30。因此,第三半导体区 30 在正交的两个面 (XY 平面和 YZ 平面) 上与第二半导体区 20 相接。由此,在第三半导体区 30 的被上述两个面夹持的角部,电场容易集中。

[0048] 可以认为第三半导体区 30 的从第五部分 35 朝向第一半导体区 10 的第一部分 11 的区域与所谓的 3D-MOSFET 的末端区等效。因此,若在第三半导体区 30 的被上述两个面夹持的角部周边处电场集中,则与末端区处的耐压下降相同,导致半导体装置 190 整体的耐压下降。

[0049] 图 3 是对本实施方式所涉及的半导体装置的电场状态进行示例的示意性立体图。

[0050] 图 3 所示的虚线表示本实施方式所涉及的半导体装置 110 的 MOSFET 处于截止状态下施加到第三半导体区 30 和第二半导体区 20 之间的电场。

[0051] 在本实施方式所涉及的半导体装置 110 中,如之前所说明的那样,具备电场缓和区 70,所以在第三半导体区 30 和第二半导体区 20 之间、尤其在第三半导体区 30 的角部周边处的电场集中能够得到缓和。由此,与图 2 所示的参考例所涉及的半导体装置 190 相比,能够提高末端区的耐压,能够提高半导体装置 110 整体的耐压。

[0052] 在图 1 所示例的半导体装置 110 中,第一半导体区 10 的第二部分 12 设置成沿着 Y 方向延伸。此外,在半导体装置 110 中,第三半导体区 30 和第四半导体区 40 沿着 Y 方向延伸。进而,在半导体装置 110 中,沿着 Y 方向配置有多个栅区 50 和栅绝缘膜 60。

[0053] 由此,与在 Y 方向上延伸的第二部分 12 对应地具备多个 MOSFET 结构。多个 MOSFET 结构中的各栅区例如并联连接。此外,多个 MOSFET 结构中的各源区例如并联连接。

[0054] 此外,在图 1 所示的半导体装置 110 中,以第二部分 12 为中心,在沿着 X 方向的两侧,设置第二半导体区 20、第三半导体区 30、第四半导体区、多个栅区 50 及多个栅绝缘膜

60。

[0055] 在半导体装置 110 中,也可以采用如下结构,沿着 X 方向配置多个第二部分 12,以各第二部分 12 为中心,在沿着 X 方向的两侧具备多个 MOSFET 结构。

[0056] 在这种本实施方式所涉及的半导体装置 110 中,通过缓和在第三半导体区 30 的角部周边处的电场集中,从而能够实现耐压的提高。

[0057] (第二实施方式)

[0058] 接着,说明第二实施方式。第二实施方式是第一实施方式所涉及的半导体装置的制造方法。

[0059] 图 4~图 10 是说明第一实施方式所涉及的半导体装置的制造方法的示意性立体图。

[0060] 首先,如图 4(a) 所示,准备例如硅晶片 10W。在晶片 10W 上例如涂布有磷 (P) 而成为 n^+ ,以便形成作为第一半导体区 10 的漏区。晶片 10W 的杂质浓度为例如 $4.5 \times 10^{19} \text{cm}^{-3}$ 。

[0061] 接着,在晶片 10W 上形成例如氧化硅膜 15,通过光刻和蚀刻来形成图案。通过形成图案,氧化硅膜 15 只有形成后述的第二部分 12 的部分被留下。

[0062] 接着,如图 4(b) 所示,将形成了图案的氧化硅膜 15 作为掩模,对晶片 10W 进行蚀刻。蚀刻例如采用 RIE (Reactive Ion Etching: 反应离子刻蚀)。通过晶片 10W 的蚀刻而残留的部分成为第一部分 11。此外,被氧化硅膜 15 遮蔽而未被蚀刻的部分成为第二部分 12。由此,形成具有第一部分 11 和第二部分 12 的第一半导体区 10。

[0063] 在此,晶片 10W 的蚀刻深度例如为 15 微米 (μm) ~ 20 μm 。由此,第二部分 12 沿 Z 方向延伸的长度 h_5 为 15 μm ~ 20 μm 。

[0064] 对晶片 10W 进行了蚀刻之后,对氧化硅膜 15 进行去除。

[0065] 接着,如图 5(a) 所示,在第一半导体区 10 的表面第二半导体区 20 进行成膜。第二半导体区 20 例如通过外延生长形成在第一半导体区 10 的表面上。第二半导体区 20 通过外延生长形成为约 2 μm 厚。第二半导体区 20 以覆盖第一部分 11 和第二部分 12 的表面的方式形成。由此,在第一部分 11 之上形成第三部分 23,并形成与第二部分 12 邻接的第四部分 24。

[0066] 外延生长之后,在第二半导体区 20 上涂布例如磷 (P)。由此,第二半导体区 20 成为 n^- 的漏区。第二半导体区 20 的杂质浓度例如为 $2 \times 10^{16} \text{cm}^{-3}$ 。

[0067] 接着,如图 5(b) 所示,从第二半导体区 20 上面注入离子。离子注入作为杂质注入例如硼 (B) 离子,形成 p^- 。在此,硼 (B) 离子被注入到第二半导体区 20 的上表面 20c 及与第一半导体区 10 的第一主面 10a 对置的第二主面 20a。其中,由注入到第二主面 20a 的硼 (B) 形成的 p^- 区成为电场缓和区 70。

[0068] p^- 区 (电场缓和区 70) 的杂质浓度比后面形成的第三半导体区 30 的杂质浓度低。在此进行的离子注入,例如以 $1 \times 10^{14} \text{cm}^{-2}$ 的注入量注入硼。由此, p^- 区 (电场缓和区 70) 的杂质浓度小于 $1 \times 10^{18} \text{cm}^{-3}$ 。

[0069] 此外,注入离子时的离子入射角度设定成使得第二半导体区 20 的第二主面 20a 被注入离子而第二半导体区的与第二部分 12 的侧面对置的第三主面 20b 不被注入离子的角度。离子的入射角度例如相对于与第二主面 20a 垂直的方向成约 3 度。由此,即使离子碰撞到第二半导体区 20 的第三主面 20b,也会被弹回,而不被注入到第三主面 20b,而注入到

第二主面 20a。另外,虽然上表面 20c 也被注入杂质,但在后面的工序中将通过研磨去除。

[0070] 向第二半导体区 20 注入了杂质之后,通过热处理,使杂质扩散。

[0071] 接着,如图 6(a) 所示,在第二半导体区 20 的表面对第三半导体区 30 进行成膜。第三半导体区 30 例如通过外延生长形成在第二半导体区 20 的表面上。第三半导体区 30 通过外延生长形成为约 $0.35\mu\text{m}$ 厚。由此,在第三部分 23 之上形成第五部分 35,并形成与第四部分 24 邻接的第六部分 36。

[0072] 外延生长之后,在第三半导体区 30 上涂布例如硼 (B),形成 p^- 的基区。第三半导体区 30 的杂质浓度例如为 $1\times 10^{18}\text{cm}^{-3}$ 。即,比前面形成的电场缓和区 70 的杂质浓度高。

[0073] 接着,如图 6(b) 所示,在第三半导体区 30 的表面对第四半导体区 40 进行成膜。第四半导体区 40 通过例如外延生长形成在第三半导体区 30 的表面上。第四半导体区 40 通过外延生长形成为约 $0.55\mu\text{m}$ 厚。由此,第四半导体区 40 在第五部分 35 之上与第六部分 36 邻接设置。

[0074] 外延生长后,在第四半导体区 40 涂布例如磷 (P),形成 n^+ 的源区。第四半导体区 40 的杂质浓度例如为 $3\times 10^{19}\text{cm}^{-3}$ 。

[0075] 接着,如图 7(a) 所示,对第四半导体区 40、第三半导体区 30 及第二半导体区 20 进行去除,直到第一半导体区 10 的第二部分 12 露出为止。该去除方法采用例如 CMP (Chemical Mechanical Polishing :化学机械研磨)。通过 CMP 来形成第二部分 12 的露出面被平坦化的结构体 100。

[0076] 接着,如图 7(b) 所示,在结构体 100 上形成掩模构件 16。掩模构件 16 例如使用氧化硅。掩模构件 16 例如采用 CVD (Chemical Vapor Deposition :化学气相沉积) 法来形成。形成了掩模构件 16 之后,通过光刻和蚀刻,对掩模构件 16 进行图案形成。例如,在掩模构件 16 上涂布抗蚀剂 (未图示),通过光刻和蚀刻来形成图案。之后,将抗蚀剂作为掩模,通过例如 RIE 对掩模构件 16 进行蚀刻,形成图案。在形成图案时,掩模构件 16 仅在形成栅区 50 和栅绝缘膜 60 的部分上形成开口。在掩模构件 16 的图案形成之后,去除抗蚀剂。

[0077] 接着,如图 8(a) 所示,将形成图案的掩模构件 16 作为掩模,对结构体 100 进行蚀刻。通过该蚀刻,掩模构件 16 的开口部分的结构体 100 被切开,形成沟道 100T。沟道 100T 以沿着 X 方向将第二半导体区 20、第三半导体区 30 及第四半导体区 40 贯穿的方式设置。此外,沟道 100T 形成为沿 Y 方向延伸的宽度为约 $1\mu\text{m}$ 、沿 Z 方向延伸的长度 $ht1$ 为约 $15\mu\text{m}\sim 20\mu\text{m}$ 。在本实施方式中,沟道 100T 沿 Z 方向延伸的长度 $ht1$ 比第四半导体区 40 沿 Z 方向延伸的长度 $h2$ 短。此外,根据需要,沿着 Y 方向和 X 方向设置多个沟道 100T。

[0078] 形成了沟道 100T 之后,去除掩模构件 16。

[0079] 接着,如图 8(b) 所示,在形成有沟道 100T 的结构体 100 之上对栅绝缘膜 60 进行成膜。栅绝缘膜 60 例如是氧化硅膜。氧化硅膜例如通过热氧化来形成。栅绝缘膜 60 形成为例如 100 纳米 (nm) 厚。

[0080] 接着,如图 9(a) 所示,在栅绝缘膜 60 之上形成栅极材料 50A。栅极材料 50A 例如是多晶硅。栅极材料 50A 被埋设在结构体 100 的上表面和沟道 100T 内。

[0081] 接着,对栅极材料 50A 进行回蚀。由此,如图 9(b) 所示,在沟道 100T 中形成隔着栅绝缘膜 60 设置的栅区 50。通过栅极材料 50A 的回蚀形成的栅区 50 的上表面在 Z 方向上比沟道 100T 的开口略低。

[0082] 接着,如图 10(a) 所示,在结构体 100 之上形成层间绝缘膜 17。层间绝缘膜 17 形成在结构体 100 的上表面的整个面上。然后,例如通过 RIE 对层间绝缘膜 17 进行蚀刻。如图 10(b) 所示,该蚀刻进行到第二部分 12、第二半导体区 20、第三半导体区 30 及第四半导体区 40 露出为止。由此,成为在栅区 50 上残留有层间绝缘膜 17 的状态。

[0083] 之后,在栅区 50、作为第一半导体区 10 的漏区及作为第四半导体区 40 的源区上形成导通的未图示的电极(栅电极、漏电极以及源电极)。电极例如使用铝(Al)。电极通过光刻和时刻形成成为预定的图案形状。然后,形成例如聚酰亚胺等的保护膜(未图示)。由此,完成半导体装置 110。

[0084] 根据这种第二实施方式,能够制造在第三半导体区 30 和第二半导体区 20 之间具备电场缓和区 70、能够缓和电场集且提高耐压的半导体装置 110。

[0085] 另外,在上述的各实施方式中,说明了第一导电型为 n 型、第二导电型为 p 型的情况,但是,即使第一导电型为 p 型、第二导电型为 n 型,也能够实施本发明。进而,在上述的各实施方式中,说明了作为半导体使用了硅(Si)的 MOSFET,但是作为半导体,也能够使用例如碳化硅(SiC)或氮化镓(GaN)等的化合物半导体、或金刚石等的宽带隙半导体。

[0086] 进而,在上述的各实施方式和各变形例中,示出了 MOSFET 的例子,但本发明不限于此,半导体装置还可以采用例如 MOSFET 和 SBD(SchottkyBarrier Diode:肖特基二极管)的混搭元件,或者 IGBT(Insulated Gate BipolarTransistor:绝缘栅双极型晶体管)等元件。

[0087] 如上所述,根据本实施方式,能够提高半导体装置的耐压。

[0088] 以上说明了本发明的几个实施方式,这些实施方式是作为例子而示出的,并不限定本发明的范围。这些新颖的实施方式也可以采用其他方式实施,能够在不脱离发明宗旨的范围内进行各种省略、替换、变更。这些实施方式及其变形也被包括在发明的范围或宗旨内,此外也被包括在权利要求书中记载的发明及其等同范围内。

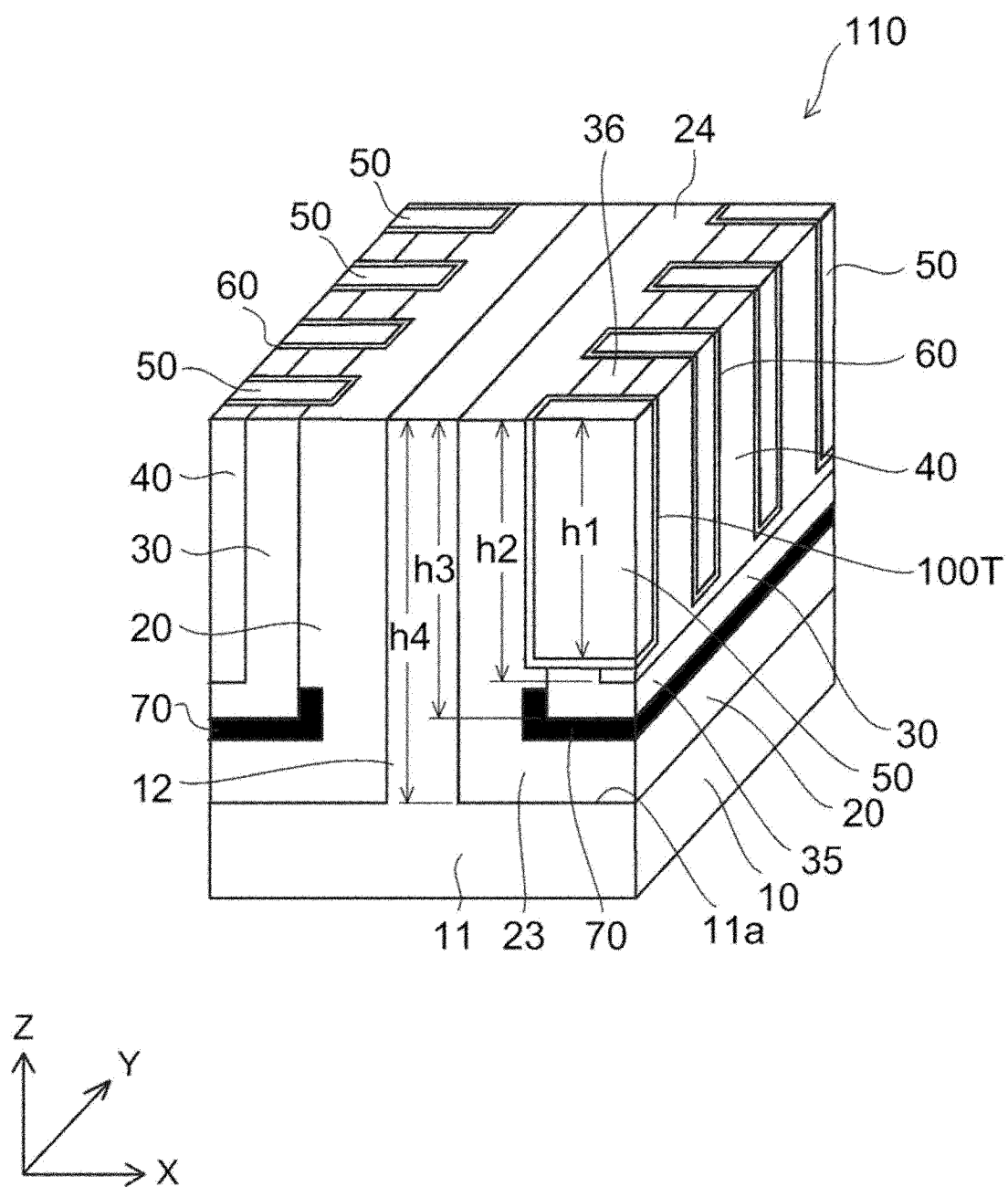


图 1

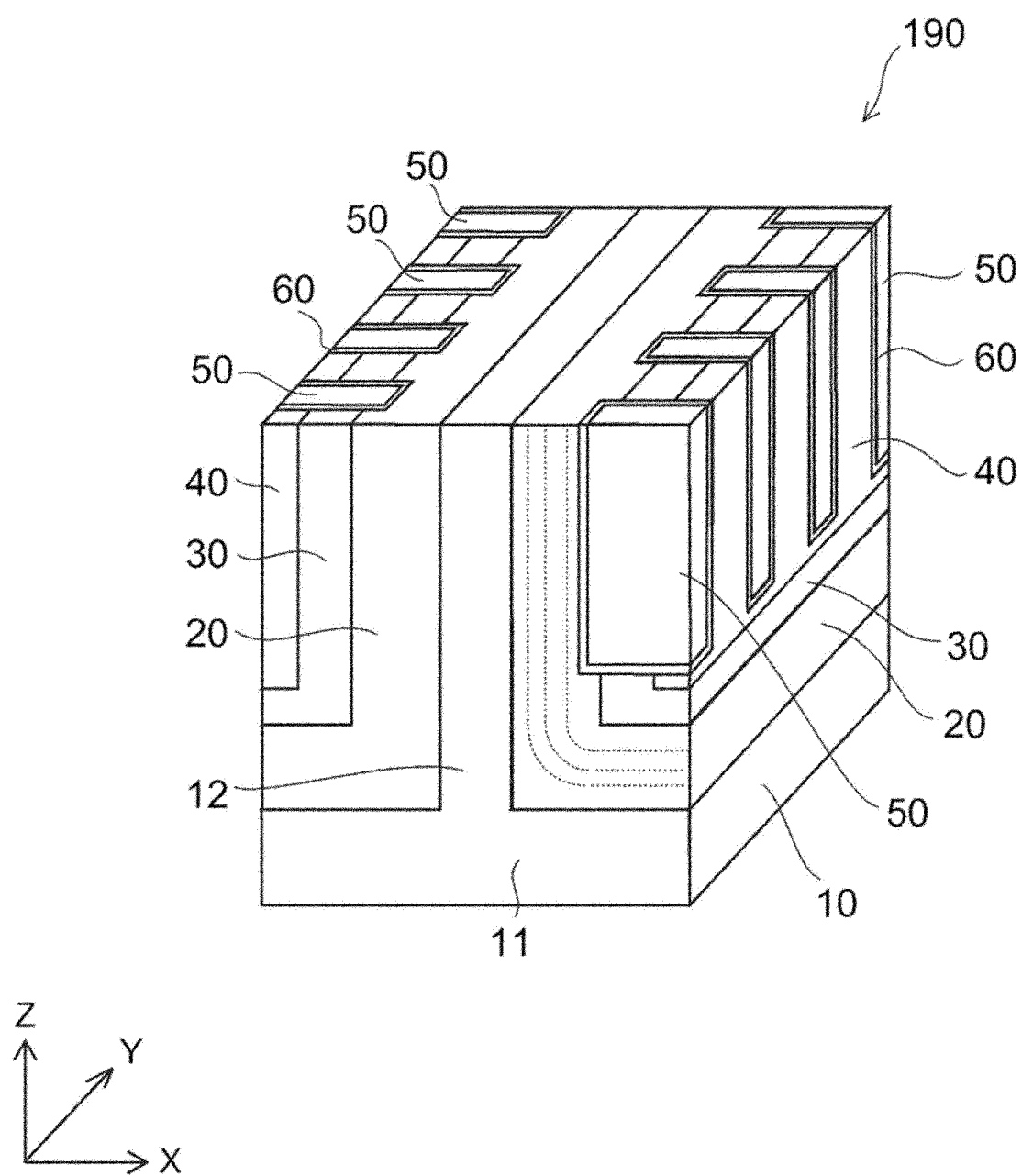


图 2

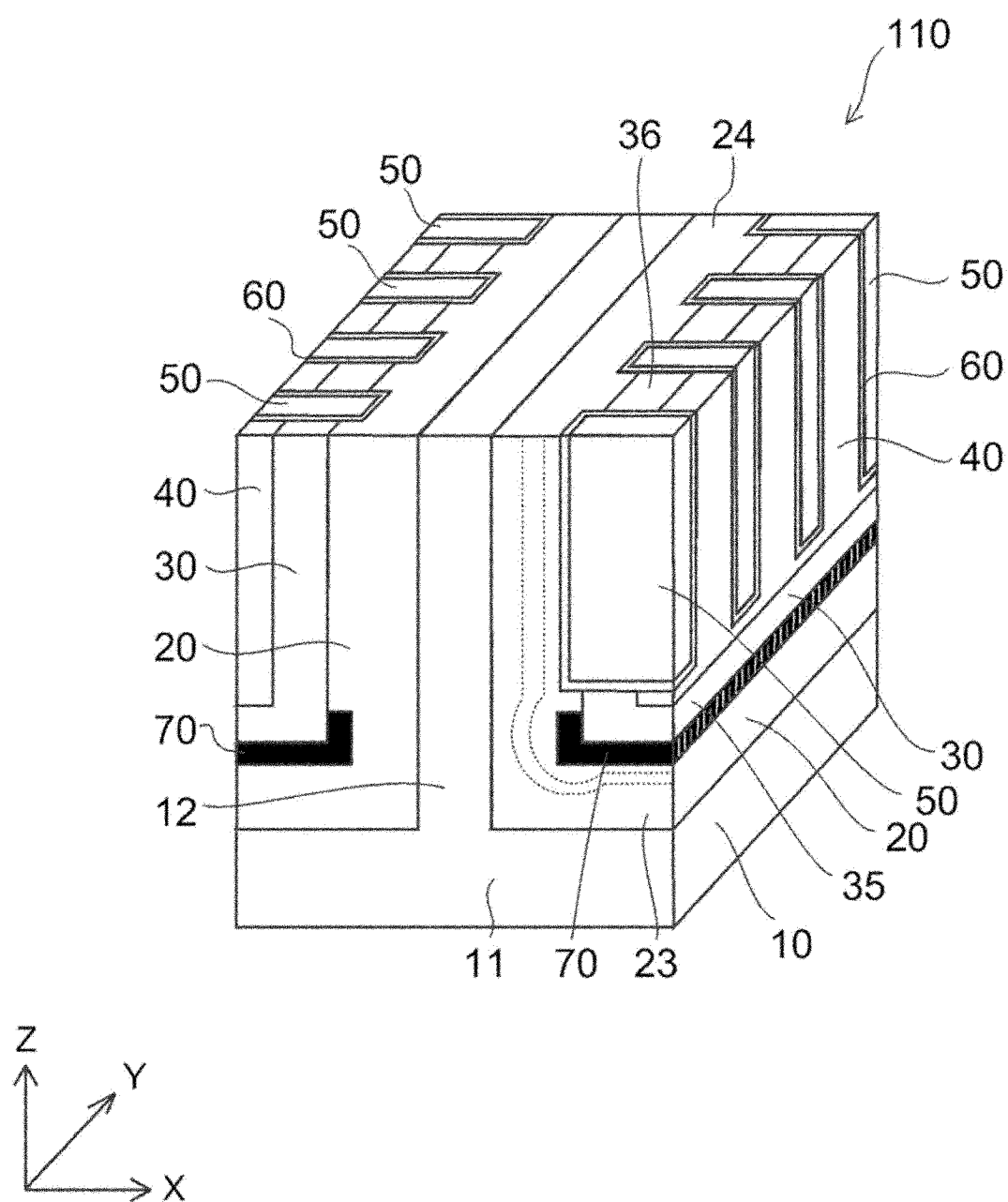


图 3

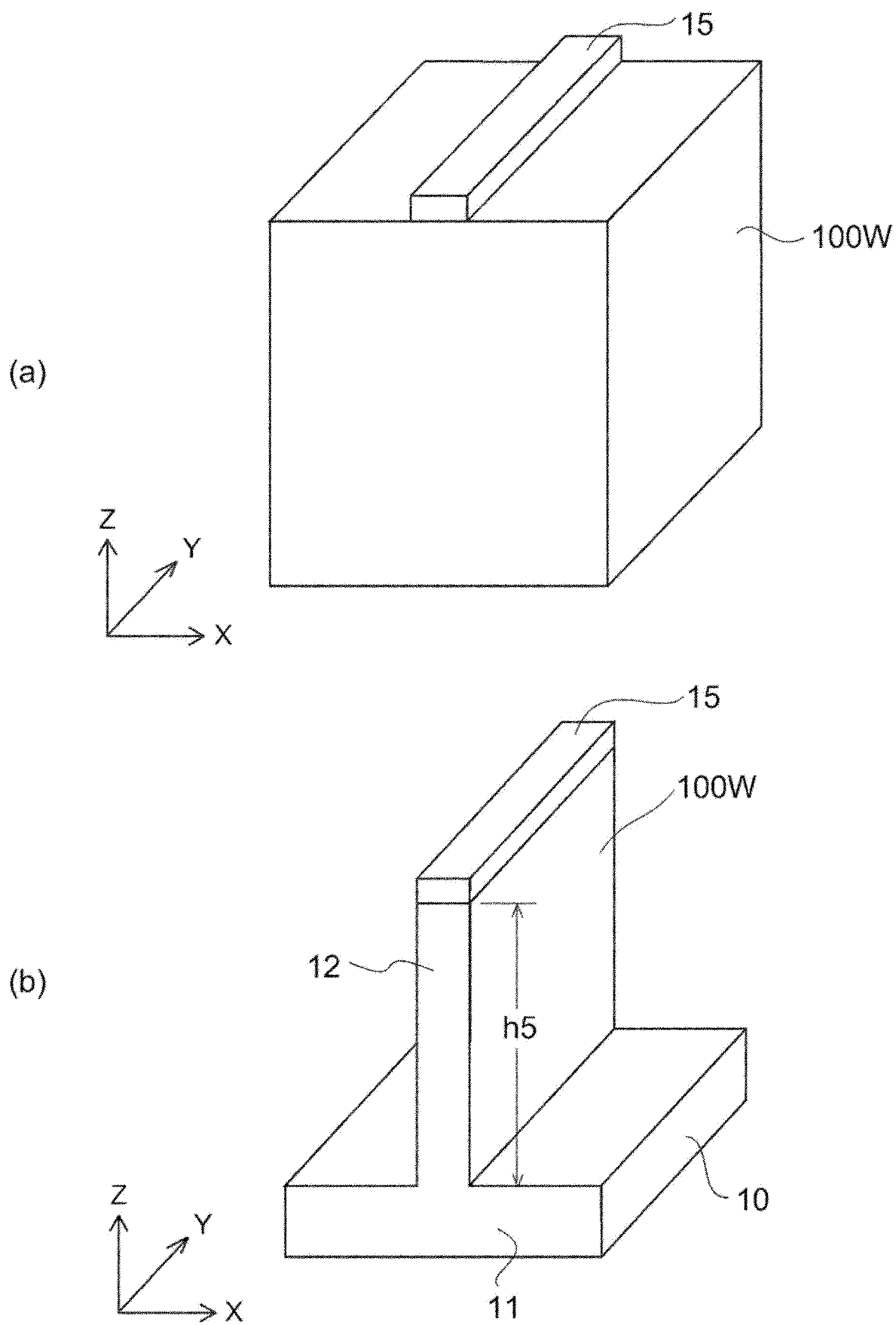


图 4

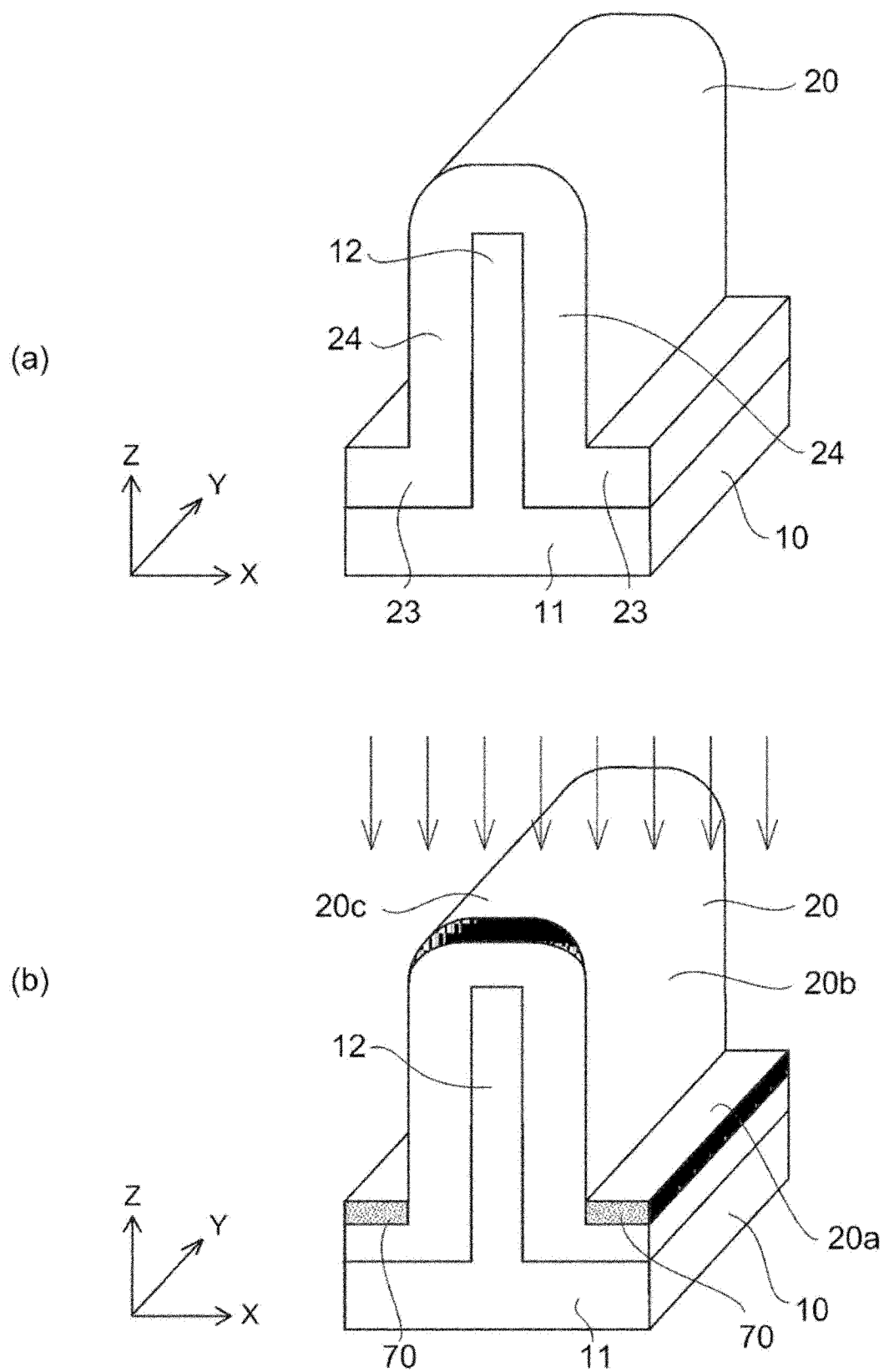


图 5

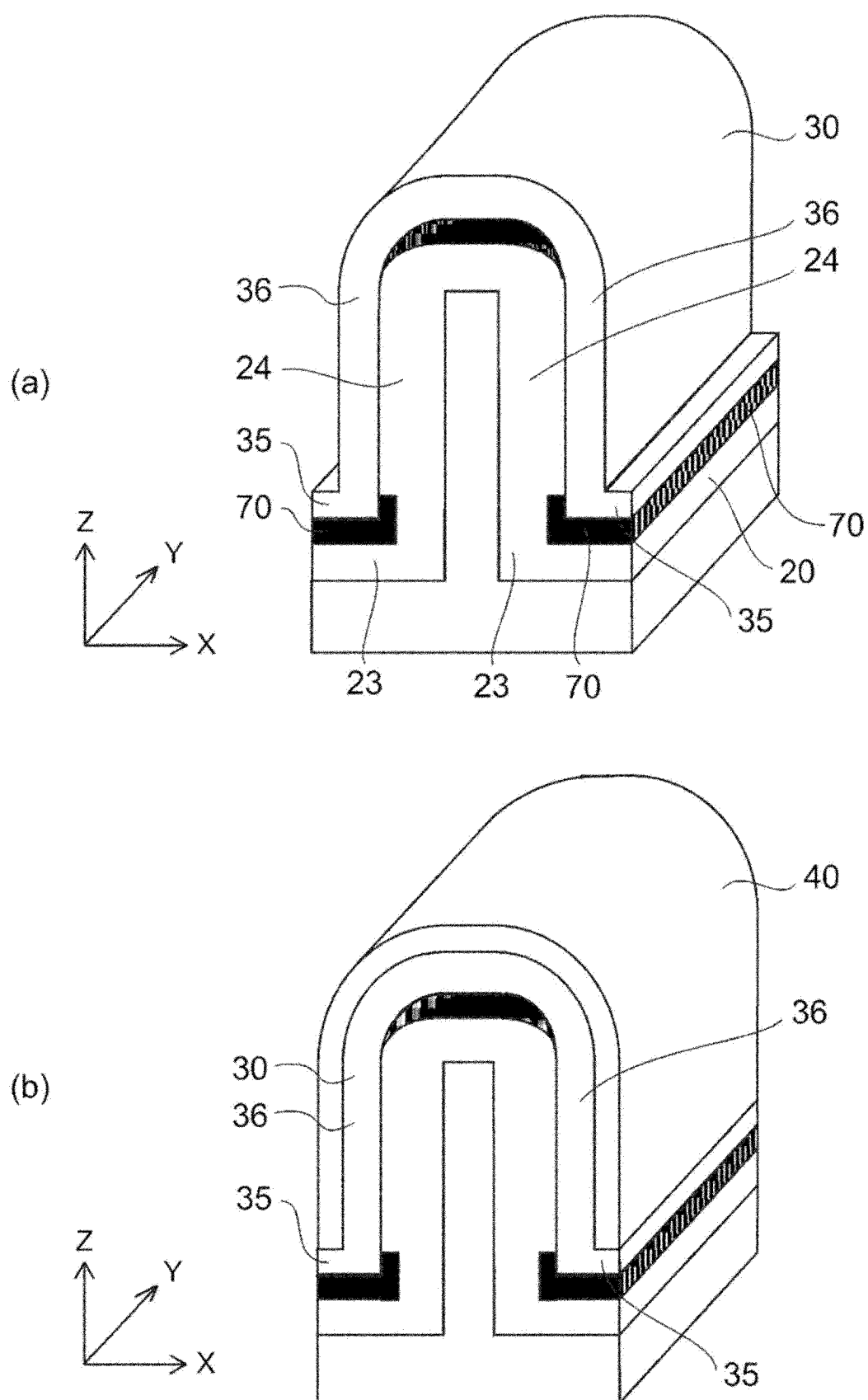


图 6

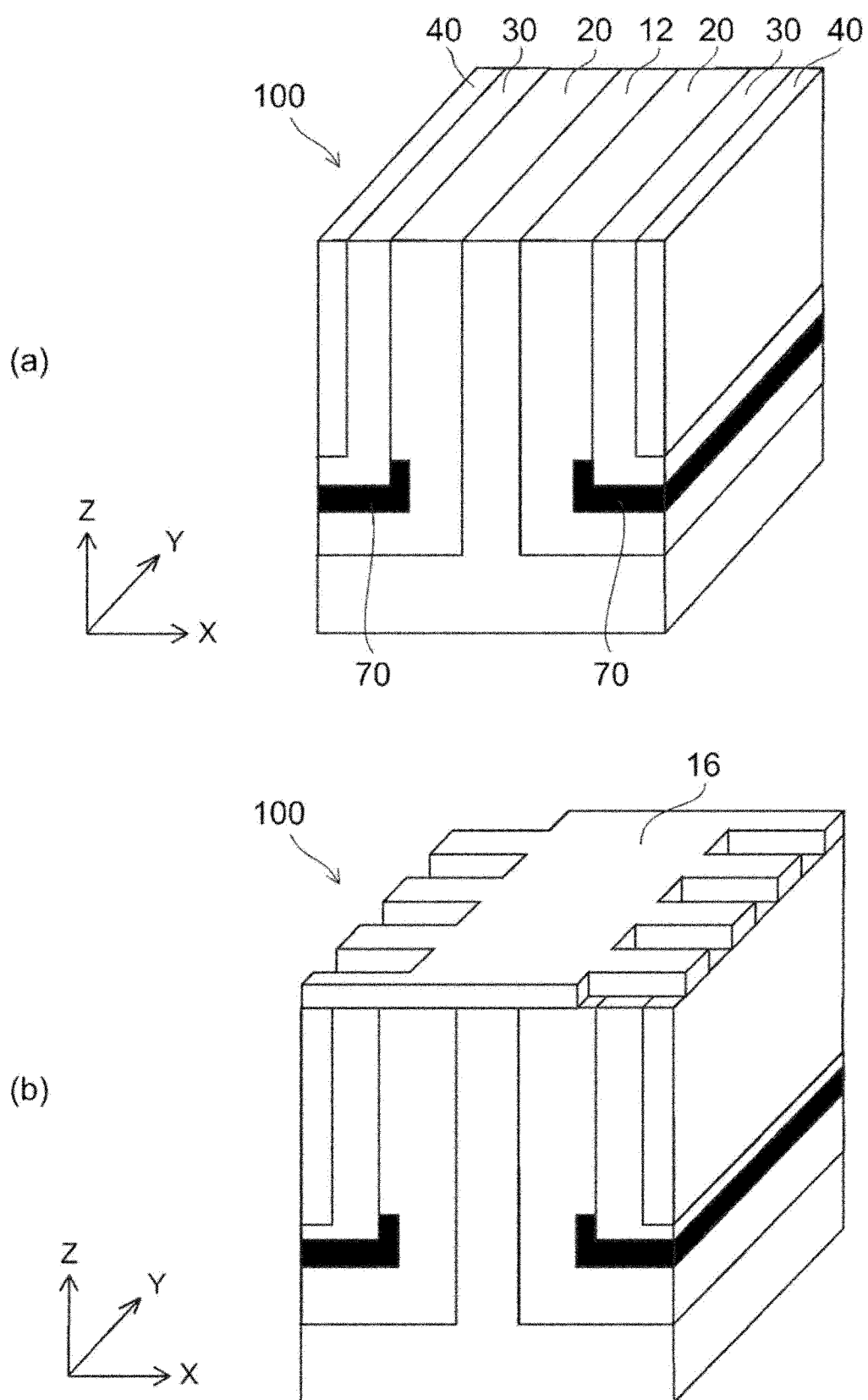


图 7

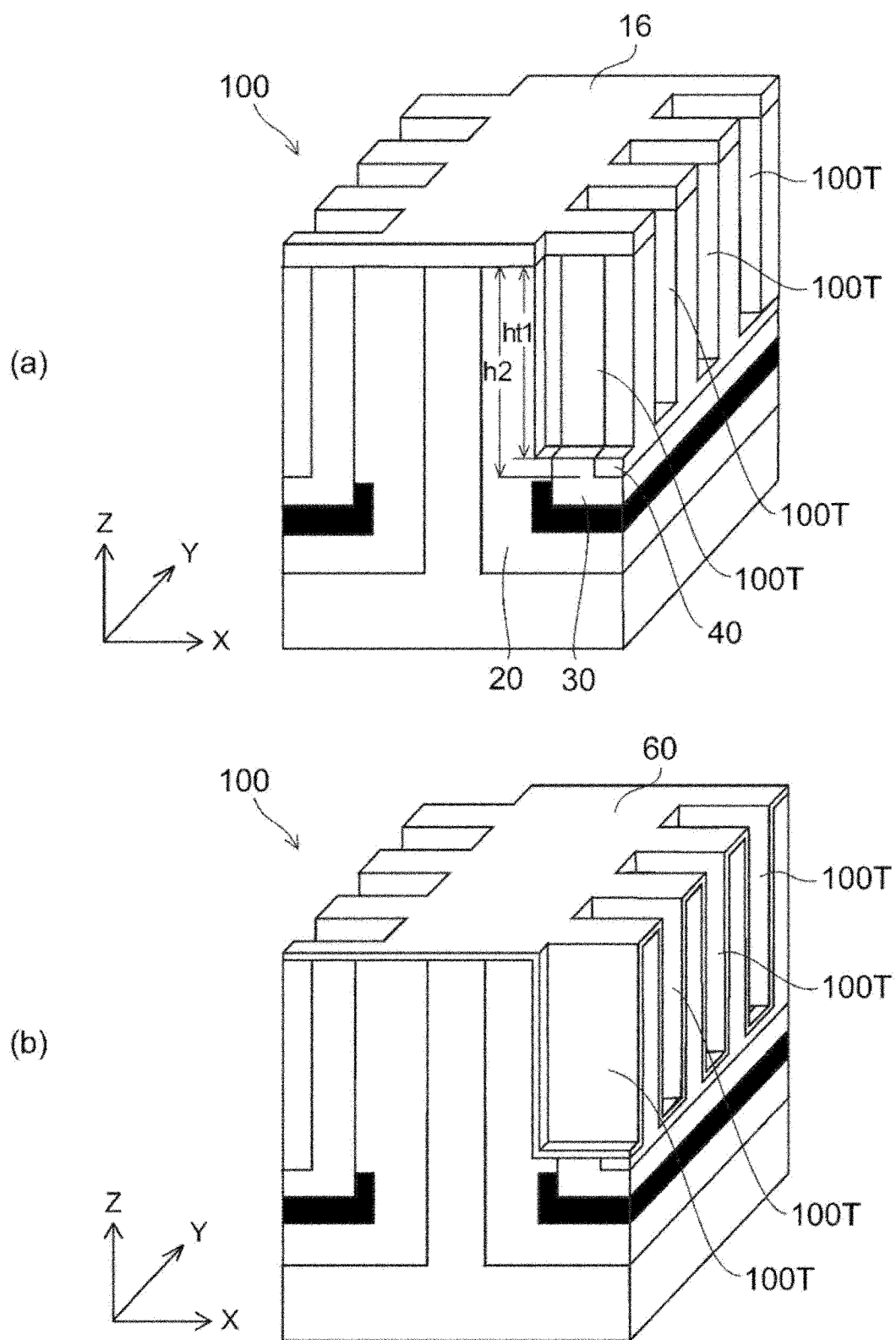


图 8

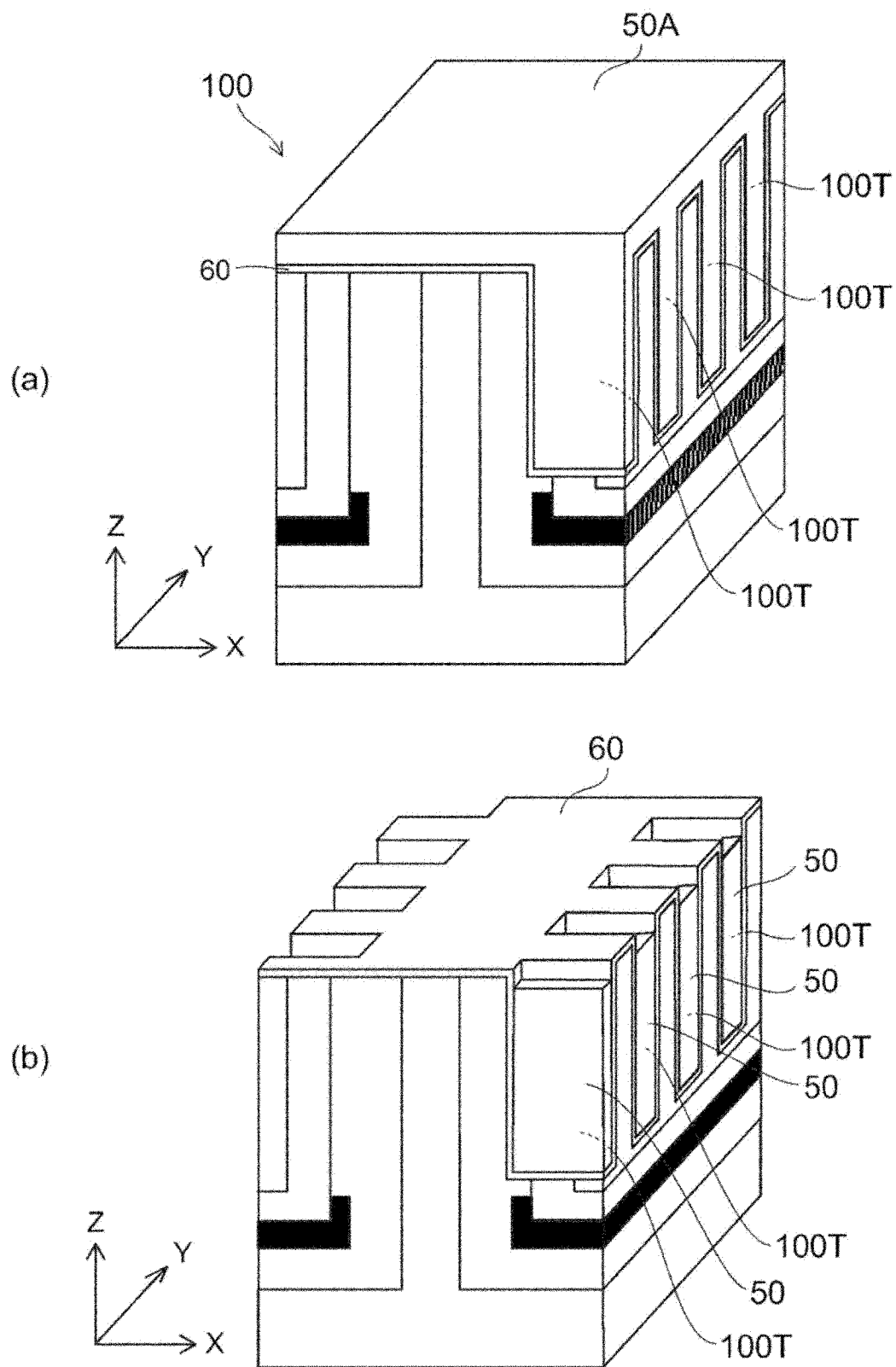


图 9

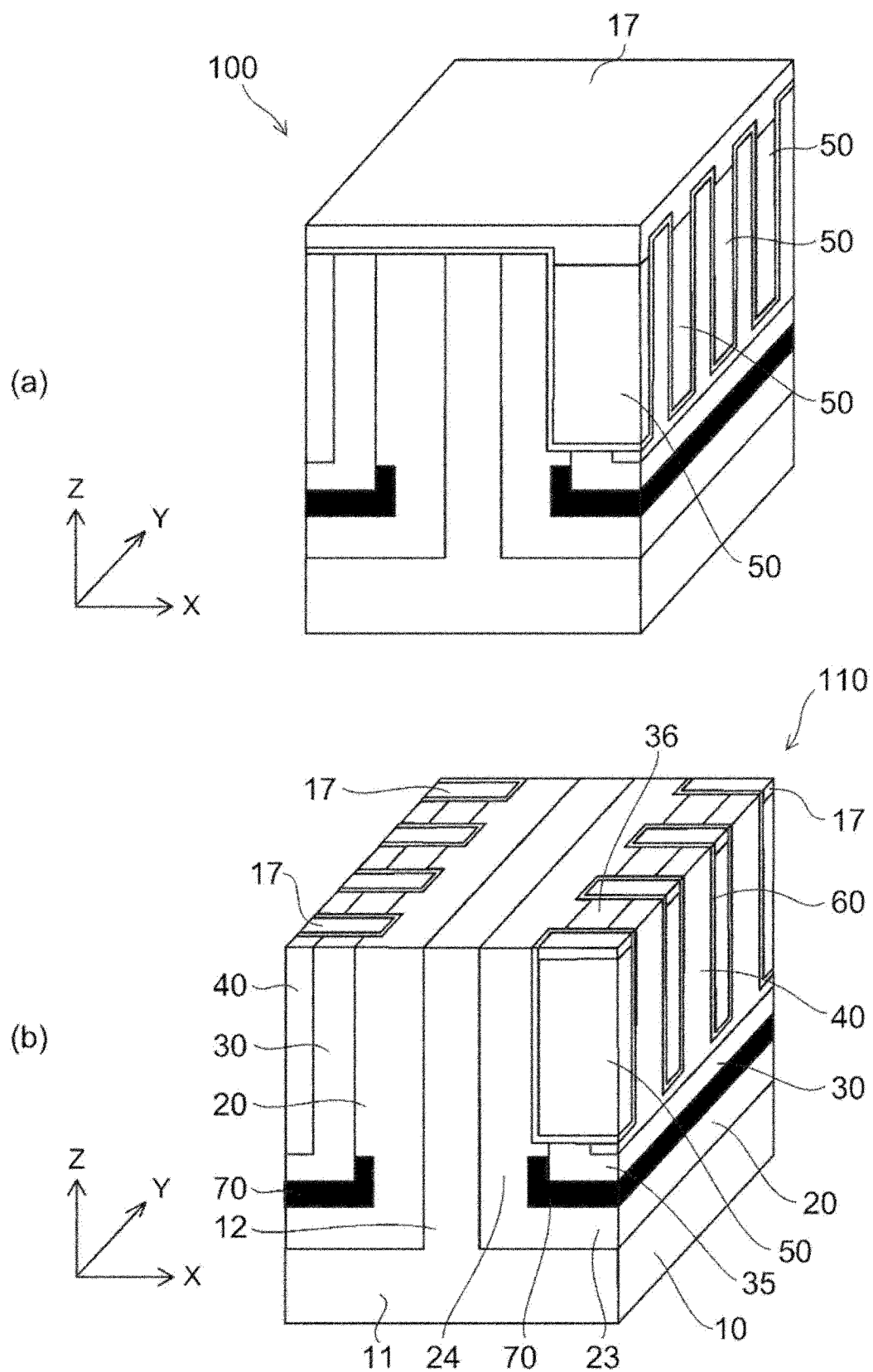


图 10