

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5072723号
(P5072723)

(45) 発行日 平成24年11月14日(2012.11.14)

(24) 登録日 平成24年8月31日(2012.8.31)

(51) Int.Cl.	F 1	
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00	6 1 2 E
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00	6 3 3 E
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00	6 0 1 E
G 0 6 K 19/07 (2006.01)	G 1 1 C 17/00	6 2 2 E
	G 1 1 C 17/00	6 1 2 D
請求項の数 5 (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2008-152528 (P2008-152528)	(73) 特許権者	000003078
(22) 出願日	平成20年6月11日(2008.6.11)		株式会社東芝
(65) 公開番号	特開2009-301616 (P2009-301616A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成21年12月24日(2009.12.24)	(74) 代理人	100092820
審査請求日	平成22年8月2日(2010.8.2)		弁理士 伊丹 勝
		(74) 代理人	100106389
			弁理士 田村 和彦
		(72) 発明者	枝広 俊昭
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	荒井 史隆
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		審査官	堀 拓也
			最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

電氣的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、
 データ消去のため前記メモリセルに対し消去電圧を印加する消去動作、及びデータ消去が完了したか否かを確認する消去ベリファイ動作、及びデータ消去が完了しなかった場合に前記消去電圧を所定のステップアップ電圧の分だけ上昇させるステップアップ動作を繰り返す制御を司る制御部と
 を備えた不揮発性半導体記憶装置において、
 前記制御部は、
 一連の前記消去動作時に前記消去電圧として最初に印加される消去開始電圧の値を記憶する第1記憶部と、
 実行済みの前記消去動作及び前記消去ベリファイ動作において、データ消去が完了したときにおける前記消去電圧である消去完了電圧の値を記憶する第2記憶部と、
 前記消去動作が行われる毎に前記消去完了電圧の値と前記消去開始電圧の値とを比較する第1コンパレータと、
 前記消去完了時電圧の値が前記消去開始電圧の値より大であると前記第1コンパレータが判断した場合にカウント値をカウントアップするカウンタと、
 前記カウント値が所定値よりも大きくなった場合に前記第1記憶部に記憶されている前記消去開始電圧の値を更新させる第2コンパレータと
 を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記制御部は、

外部から与えられた論理アドレスと前記メモリセルアレイにおける物理アドレスとの対応関係を記憶するアドレス変換テーブルを備え、

前記メモリセルアレイ内の各ブロック毎に書き込み / 消去回数が均一化されるよう前記アドレス変換テーブルを書き換える

ように構成された請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記メモリセルアレイは、複数の前記複数のメモリセルアレイを直列に接続してなる NAND 型セルを複数配列してなる NAND 型メモリセルアレイであり、

前記メモリセルを選択するためのワード線を共有する複数の前記 NAND 型セルにより 1 つのブロックが形成され、

前記消去動作は、前記ブロックを単位として実行される

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】

前記消去開始電圧の値を保持し電源投入後に実行される初期設定時に前記消去開始電圧の値を保持する初期設定記憶部を更に備え、

前記第 2 コンパレータは、前記カウント値が所定値よりも大きくなった場合に前記第 1 記憶部及び前記初期設定記憶部に記憶されている前記消去開始電圧の値を更新させるように構成された

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】

前記制御部は、

データ消去された前記メモリセルの閾値電圧の分布範囲を狭めるためのソフトウェア動作を実行可能に構成され、

前記第 1 記憶部は、前記消去開始電圧の値に加え、前記ソフトウェア動作を実行する場合において前記メモリセルに印加されるソフトウェア電圧の値を記憶し、

前記第 2 コンパレータは、前記カウント値が所定値よりも大きくなった場合に前記第 1 記憶部に記憶されている前記消去開始電圧の値を更新すると共に、前記ソフトウェア電圧の値も更新させるように構成された

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、電氣的書き換え可能な不揮発性半導体記憶装置に関する。

【背景技術】**【0002】**

NAND 型フラッシュメモリのセルアレイは、複数のメモリセルを直列接続した NAND セルユニットを配列して構成される。各 NAND セルユニットの両端はそれぞれ選択ゲートトランジスタを介してビット線とソース線に接続される。

【0003】

NAND セルユニット内のメモリセルの制御ゲートはそれぞれ異なるワード線に接続される。NAND 型フラッシュメモリは、複数のメモリセルがソース、ドレインを共有して直列接続され、また選択ゲートトランジスタやそれらのビット線コンタクトやソース線コンタクトを複数のメモリセルで共有するため、単位メモリセルのサイズを小さくすることができ、また、ワード線やメモリセルの素子領域の形状が単純なストライプ状に近いため微細化に向いており、大容量のフラッシュメモリが実現されている。

【0004】

またNAND型フラッシュメモリでは、データ書き込みと消去は、多くのセルで同時にFNTトンネル電流を流すことにより行われる。具体的に、1ワード線を共有するメモリセルの集合を1ページ又は2ページとして、データ書き込みはページ単位で行われる。データ消去は、ワード線及び選択ゲート線を共有するNANDセルユニットの集合として定義されるブロック単位で行われる。

【0005】

また、NAND型フラッシュメモリのブロック単位のデータ消去に際しては、一定の閾値範囲の消去状態が得られたか否かを確認するためのベリファイ読み出し(消去ベリファイ)が必要になる(例えば、特許文献1参照)。

【0006】

消去ベリファイ動作の結果、消去が十分になされていないと判断される場合には、消去電圧を段階的に上昇させて(ステップアップさせて)同様の消去動作、消去ベリファイ動作が繰り返される。

【0007】

ところで、1つのメモリセルに対し書き込み・消去が繰り返し行われると、電荷蓄積膜にトラップされた電荷が流出し難くなり、このため、消去動作を同じ回数繰り返してもメモリセルの閾値電圧が容易には低下しないという現象が生じる。このため、1つのメモリセルに対する書き込み/消去繰り返し回数が大きくなると、その分消去動作、消去ベリファイ回数の繰り返し回数も多くしなければならない(消去電圧もステップアップして大きくなる)。

【0008】

消去動作の繰り返し回数が増えると、それだけ消去時間が長くなり、不揮発性半導体記憶装置のパフォーマンスを全体として低下させることになる。従って、消去動作の繰り返し回数をできるだけ少なくすることが望まれる。

【特許文献1】特開平9-180481号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、データ消去動作の際の消去動作の繰り返し回数を少なくして、消去時間の増加を抑制することを可能とした不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の一形態に係る不揮発性半導体記憶装置は、電氣的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、データ消去のため前記メモリセルに対し消去電圧を印加する消去動作、及びデータ消去が完了したか否かを確認する消去ベリファイ動作、及びデータ消去が完了しなかった場合に前記消去電圧を所定のステップアップ電圧の分だけ上昇させるステップアップ動作を繰り返す制御を司る制御部とを備えた不揮発性半導体記憶装置において、前記制御部は、一連の前記消去動作時に前記消去電圧として最初に印加される消去開始電圧の値を記憶する第1記憶部と、実行済みの前記消去動作及び前記消去ベリファイ動作において、データ消去が完了したときにおける前記消去電圧である消去完了電圧の値を記憶する第2記憶部と、前記消去動作が行われる毎に前記消去完了電圧の値と前記消去開始電圧の値とを比較する第1コンパレータと、前記消去完了時電圧の値が前記消去開始電圧の値より大であると前記第1コンパレータが判断した場合にカウント値をカウントアップするカウンタと、前記カウント値が所定値よりも大きくなった場合に前記第1記憶部に記憶されている前記消去開始電圧の値を更新させる第2コンパレータとを備えたことを特徴とする。

【発明の効果】

【0011】

本発明は、データ消去動作の際の消去動作の繰り返し回数を少なくして、消去時間の増加を抑制することを可能とした不揮発性半導体記憶装置を提供することができる。

10

20

30

40

50

【発明を実施するための最良の形態】

【0012】

次に、本発明の実施の形態を、図面を参照して詳細に説明する。

【0013】

[第1の実施の形態]

図1は、本発明の第1の実施の形態による不揮発性半導体装置が適用されるメモリカード20の構成を示す。このメモリカード20は、NAND型フラッシュメモリチップ21（以下、単にメモリチップ21ということもある）とその読み出し/書き込みを制御するメモリコントローラ22によりモジュールを構成する。

【0014】

NAND型フラッシュメモリチップ21は、複数のメモリチップから構成される場合もある。図1では二つのメモリチップchip1、chip2を示しているが、その場合も一つのメモリコントローラ22で制御され得る。なお、各フラッシュメモリチップ21は、各種初期設定データを保持するためのROMフューズ6を備えている。

【0015】

ROMフューズ6に記憶される初期設定データは、例えば不良置換データ、電圧設定データ等を含む。電圧設定データは、例えば各種電圧のトリミングデータや、各種電圧がステップアップして上昇する場合における初期値、ステップアップ幅の大きさ等を含む。ROMフューズ6に記憶されている各種データは、メモリチップ21中の1又は複数のブロックに転送・格納される。また、このブロックは、後述するように電圧データの更新がされる場合において書き換えられる。

【0016】

メモリコントローラ22は、メモリチップ21との間でデータ転送を行うためのNANDフラッシュインタフェース23、ホストデバイス（図示せず）との間でデータ転送を行うためのホストインタフェース25、読み出し/書き込みデータ等を一時保持するバッファRAM26、データ転送制御の他メモリカード全体の動作制御を行うMPU24、NAND型フラッシュメモリチップ21内のファームウェア（FW）の読み出し/書き込みのシーケンス制御等に用いられるハードウェアシーケンサ27、RAM28、ROM29を有する1チップコントローラである。

【0017】

メモリカード20に電源が投入されると、フラッシュメモリチップ21内に格納されているファームウェア（制御プログラム）を自動的に読み出す初期化動作（パワーオン・イニシャルセットアップ動作）が行われ、これがデータレジスタとしてのRAM28に転送される。この読み出し制御は、ハードウェアシーケンサ27により行われる。

【0018】

RAM28上にロードされたファームウェアにより、MPU24は、各種テーブルをRAM28上に作成したり、ホストからのコマンドを受けて、フラッシュメモリチップ21にアクセスしたり、データ転送制御を行う。

【0019】

一例としてこのファームウェアは、ホストデバイスから供給される論理アドレスを、NAND型フラッシュメモリチップ21内で用いられる物理アドレスに変換するアドレス変換テーブルをRAM28上に作成する。このファームウェアは、NAND型フラッシュメモリチップ21の特定のブロックBLKに対し書き込み/消去動作が集中して起こらないよう、適宜アドレス変換テーブルにおける論理アドレスと物理アドレスの対応関係を変更する。換言すれば、メモリチップ21内の全ブロックBLKへの書き込み/消去回数が均一化されるよう、論理アドレスと物理アドレスの対応関係の変換を適宜行っている。

【0020】

図2は、本実施の形態によるNAND型フラッシュメモリチップ21の概略構成を示している。図2に示すように、このNAND型フラッシュメモリチップ21は、メモリアレイ1と、センスアンプ回路2と、ロウデコーダ3と、コントローラ4と、入出力バッ

10

20

30

40

50

ファ5と、ROMヒューズ6とから構成されている。コントローラ4は、図1のメモリコントローラ22と共に、メモリセルアレイ1に対する制御部を構成するものである。

【0021】

メモリセルアレイ1は、NANDセルユニット10がマトリクス配列されて構成されている。一つのNANDセルユニット10は、複数個直列に接続されたメモリセルMC(MC0、MC1、...、MC31)と、その両端に接続される選択ゲートトランジスタS1、S2により構成されている。

【0022】

図示は省略するが、1つのメモリセルMCは、周知の通り、ドレインとソースとの間に形成されたゲート絶縁膜上に電荷蓄積層としてのフローティングゲートを有し、そのフローティングゲート上に、層間絶縁膜を介してコントロールゲートを形成したものとすることができる。コントロールゲートは、ワード線の1つに接続される。

10

【0023】

選択ゲートトランジスタS1のソースは共通ソース線CELSRCに接続され、選択ゲートトランジスタS2のドレインはビット線BLに接続されている。

【0024】

NANDセルユニット10内のメモリセルMCの制御ゲートはそれぞれ異なるワード線WL(WL0、WL1、...、WL31)に接続されている。選択ゲートトランジスタS1、S2のゲートはワード線WLと並行する選択ゲート線SG1、SG2にそれぞれ接続されている。1ワード線を共有する複数のメモリセルの集合は、1ページ或いは2ページを構成する。ワード線WLと選択ゲート線SG1、SG2を共有する複数のNANDセルユニット10の集合は、データ消去の単位となるブロックBLKを構成する。

20

【0025】

図2に示すように、メモリセルアレイ1には、ビット線BL方向に複数のブロックBLK(BLK0、BLK1、...、BLKn)が構成される。これらの複数ブロックを含むメモリセルアレイ1は、シリコン基板の一つのセルウェル(CPWELL)内に形成されている。

【0026】

メモリセルアレイ1のビット線BLには、読み出しデータをセンスし書き込みデータを保持するためのページバッファを構成する、複数のセンスアンプSAを有するセンスアンプ回路2が接続されている。センスアンプ回路2はカラム選択ゲートを有する。ロウデコーダ(ワード線ドライバを含む)3は、ワード線及び選択ゲート線を選択して駆動する。

30

【0027】

データ入出力バッファ5は、センスアンプ回路2と外部入出力端子との間でデータ授受を行う他、コマンドデータやアドレスデータを受け取る。コントローラ4は、書き込みイネーブル信号WEn、読み出しイネーブル信号REn、アドレスラッチイネーブル信号ALE、コマンドラッチイネーブル信号CLE等の外部制御信号を受けて、メモリ動作の全般の制御を行う。

【0028】

具体的に、コントローラ4は、コマンドインタフェースやアドレス保持、転送回路を含み、供給されたデータが書き込みデータであるかアドレスデータであるかを判定する。この判定結果に応じて、書き込みデータはセンスアンプ回路2に転送され、アドレスデータはロウデコーダ3やセンスアンプ回路2に転送される。

40

【0029】

またコントローラ4は、外部制御信号に基づいて、読み出し、書き込み・消去のシーケンス制御、印加電圧の制御等を行う。

【0030】

図3は、メモリセルMCに記憶するデータと閾値電圧の関係を示す。二値記憶の場合、メモリセルMCが負の閾値電圧を有している場合を論理“1”データを保持する“1”セル、正の閾値電圧を有している場合を論理“0”データを保持する“0”セルと定義する

50

。メモリセルを“ 1 ”データ状態にする動作を消去動作、“ 0 ”状態にする動作を狭義の書き込み動作とする。NAND型フラッシュメモリでは、データ消去は通常ブロック単位で行われる。

【 0 0 3 1 】

[消去動作]

図4は、一つのNANDセルユニットに着目した消去動作時の電位関係を示す。消去動作は、ブロック単位で実行される。セルウェル(CPWELL)に消去電圧 V_{era} (20V以上)、選択ブロック内の全ワード線WLに0Vを印加して、各メモリセルのフローティングゲートの電子をセルウェル側にFNトンネル電流により引き抜いて、メモリセルの閾値電圧を低下させる。この時、選択ゲートトランジスタ S_1 、 S_2 のゲート酸化膜が破壊されないようにするため、選択ゲート線 SG_1 、 SG_2 はフローティング状態とする。また、ビット線BL及びソース線 $CELSRC$ もフローティングとする。

10

【 0 0 3 2 】

[書き込み動作]

書き込み動作は、ページ単位で実行される。書き込み動作中、選択ブロック内の選択されたワード線には書き込み電圧 V_{pgm} (約20V)を印加し、非選択ワード線には書き込み中間電圧 V_{pass} (約10V)を印加し、選択ゲート線 SG_2 には、 V_{dd} を印加する。

【 0 0 3 3 】

この書き込み動作に先立って、ビット線及びNANDセルユニットは、書き込みデータに応じてプリチャージされる。具体的に“ 0 ”データを書き込む場合には、センスアンプ回路2からビット線に0Vが印加される。このビット線電圧は、選択ゲートトランジスタ S_2 及び非選択メモリセルを介して選択ワード線に接続されたメモリセルのチャネルまで転送される。したがって、上述の書き込み動作条件下で選択メモリセルのチャネルからフローティングゲートに電子が注入され、メモリセルの閾値電圧が正側にシフトする(“ 0 ”セル)。

20

【 0 0 3 4 】

“ 1 ”書き込み(即ち選択メモリセルに“ 0 ”データを書き込まない、書き込み禁止)の場合は、ビット線に V_{dd} が印加される。このビット線電圧は、選択ゲートトランジスタ S_2 の閾値電圧分低下してNANDセルユニットのチャネルに転送され、チャネルはフローティングになる。これにより、上述した書き込み電圧 V_{pgm} や中間電圧 V_{pass} を印加したとき、チャネル電圧が容量カップリングによって上昇し、フローティングゲートへの電子注入が行われない。従ってメモリセルは“ 1 ”データを保持する。

30

【 0 0 3 5 】

[読み出し動作]

データ読み出しは、NANDセルユニット10内の選択メモリセルが接続されたワード線(選択ワード線)に読み出し電圧0Vを与える一方、非選択のメモリセルが接続されたワード線(非選択ワード線)には読み出し電圧(4.5V程度)を印加する。このとき、NANDセルユニット10に電流が流れるか否かをセンスアンプ回路2で検出して、データの判定を行う。

40

【 0 0 3 6 】

[消去ベリファイ動作]

データ読み出し時、設定された閾値状態と読み出し電圧との間には、データの信頼性を保証するマージンが必要である。したがって、データ消去動作においても書き込み動作においても、図3に示すように、“ 0 ”データの閾値の下限値 V_{pv} および“ 1 ”データの閾値の上限値 V_{ev} の制御が必要となる。

【 0 0 3 7 】

そのため、データ消去モードにおいては、前述のようなデータ消去動作において消去電圧 V_{era} をパルス電圧として印加した後に、消去セルの閾値電圧がその上限値 V_{ev} 以下になっていることを確認するためのベリファイ読み出し動作(消去ベリファイ読み出し

50

動作)を行う。書き込み動作の場合には、前述のような書き込みパルス印加動作を行った後に、“0”書き込みセルの閾値がその分布の下限值 V_{pv} 以上になっていることを確認するためのベリファイ読み出し(書き込みベリファイ)を行う。

【0038】

消去ベリファイ読み出し動作時にNANDセルユニット10に印加される電圧を図5に示す。セルソース線 $CELSRC$ には電源電圧 V_{dd} 、選択ブロックの全ワード線には0V、選択ゲート線 $SG1$ 、 $SG2$ は電源電圧 V_{dd} より高い中間電圧 V_{read} (約4.5V)を印加する。ビット線 BL は、0Vにプリチャージしておく。NANDセルユニットにおける全メモリセルが閾値電圧 $V_{th} = -1V (= V_{ev})$ の“1”状態に消去されていれば、上述のベリファイ読み出しにより、ビット線にはメモリセルによる閾値電圧 V_{th} の絶対値に相当する1V程度の電圧が出力される。即ち図3に示す“1”データの閾値上限値 V_{ev} を-1Vとするには、センスアンプ回路2でビット線電圧が1V以上であることを検出すればよい。ビット線電圧が1V以上であることが検出されたら、NANDセルユニット内の全メモリセルの消去が十分に行われたことになり、消去動作を終了する。もしビット線電圧が1V以下であれば、消去不十分のセルがあることを示しており、再度消去動作を行う。

10

【0039】

再度消去動作を行う場合、消去電圧 V_{era} は、初期値 V_{era0} よりもステップアップ値 $V (> 0)$ だけ大きい電圧($V_{era0} + V$)に設定される(図6参照)。この再設定後の大きな消去電圧 $V_{era} = V_{era0} + V$ によっても消去不十分のセルがある場合、更にステップアップ値 V だけ消去電圧を大きくするステップアップ動作を行い($V_{era} = V_{era0} + 2V$ とする)、以下、データ消去が完了するまで消去動作、消去ベリファイ動作、ステップアップ動作を繰り返す(繰り返し回数が増えるほど、消去電圧 V_{era} は V ずつステップアップする)。

20

【0040】

ここで、1つのメモリセルブロックに対し実行される書き込み/消去回数と、メモリセルの閾値電圧 V_{th} との関係を図7に示す。図7から明らかなように、書き込み/消去回数が増えるほど、“1”セルの閾値電圧 V_{th} は0に近付き(消去されにくくなり)、一方、“0”セルの閾値電圧 V_{th} は大きくなる(書き込み易くなる)。

【0041】

1つのブロックに対するデータ消去動作を開始する場合において、まだ書き込み/消去回数が少ないにも拘わらず、大きな消去電圧 V_{era} を最初から設定することは好ましくない。例えば、まだ出荷直後の為書き込み/消去回数が少なく、消去電圧 $V_{era} = V_{era0}$ でも十分に消去可能なブロックに対し、はじめから消去電圧 $V_{era} = V_{era0} + V$ 或いはそれ以上の電圧を与えることは、メモリセルMCのゲート酸化膜等にダメージを与え、メモリの低寿命化を招来する虞がある。図6に示すように、消去電圧 V_{era} を初期値 V_{era0} から段階的に上昇させる方法が採られるのは、このためである。

30

【0042】

その一方で、書き込み/消去回数が増え消去されにくくなったブロックに対して、不十分な大きさの消去電圧 V_{era} を繰り返し長い時間印加することは、却ってメモリセルのゲート絶縁膜等に対しダメージを与える。例えば、2段階消去電圧 V_{era} をステップアップして、消去電圧 $V_{era} = V_{era0} + 2V$ としないと消去できないブロックに対し、消去電圧 $V_{era} = V_{era0}$ 、 $V_{era} = V_{era0} + V$ による消去動作を行うことは、消去に要する時間が長くなるだけでなく、メモリセルのゲート絶縁膜等にダメージを与えるのみとなり有益でない。

40

【0043】

このような観点から、本実施の形態では、各消去動作において最初に消去電圧 V_{era} として印加される電圧(以下、「消去開始電圧」という) V_{erast} を、書き込み/消去回数が増えるに従って増加させる方式を採用する。この点を、図8を参照して説明する。

50

【 0 0 4 4 】

より具体的には、消去電圧 V_{era} の開始値である消去開始電圧 V_{erast} は、メモリ出荷当初は初期値 V_{era0} に設定される。すなわち、消去動作は図 8 の (1) から開始され、消去不十分の場合に順次消去電圧 V_{era} は V ずつステップアップされる ((2) (3) (4))。

【 0 0 4 5 】

しかし、書き込み / 消去回数が増加して、初期値 V_{era0} では消去不十分なメモリセルブロックが発生した場合には、その後所定のタイミングで、消去開始電圧 V_{erast} を V_{era0} でなく、これよりも大きい電圧 ($V_{era0} + n \cdot V$ 、ただし n は自然数) に更新する。

10

【 0 0 4 6 】

すなわち、更新後の消去動作は図 8 の (1) ではなく、例えば (2)、(3)、(4) (或いは図示しない更に大きな電圧) から開始され、それでも消去不十分の場合に消去電圧 V_{era} は更に V ずつステップアップされる。これにより、メモリ出荷直後の消去動作がされやすい状況では、無駄に大きな消去電圧が印加されることがない一方で、書き込み / 消去回数が多くなり消去動作がされ難くなった状況では、消去に不十分な電圧が印加され続け、これによりメモリセルにダメージを与えることが回避される。従って、本実施の形態に係る半導体記憶装置によれば、消去時間の増加が抑制されると共に、メモリセルへのダメージも少なくすることができ、結果としてメモリの長寿命化を図ることができる。

20

【 0 0 4 7 】

図 9 は、前述のファームウェアと MPU 2 4 とによりメモリコントローラ 2 2 内に実現される、消去動作を司る制御部の機能を示す機能ブロック図である。この制御部は、第 1 記憶部 2 2 1、第 2 記憶部 2 2 2、コンパレータ 2 2 3 (第 1 コンパレータ)、カウンタ 2 2 4、及びコンパレータ 2 2 5 (第 2 コンパレータ) を備えている。

【 0 0 4 8 】

第 1 記憶部 2 2 1 は、電源投入後に ROM ヒューズ 6 に記憶されメモリチップ 2 1 中の所定のブロックに転送・格納されている初期設定データのうち、1つのブロックに対する消去動作時に消去電圧 V_{era} として最初に印加される消去開始電圧 V_{erast} を記憶する。

30

【 0 0 4 9 】

第 2 記憶部 2 2 2 は、実行済みの消去動作及び消去ベリファイ動作において、1のブロック内におけるデータ消去が完了したとき (1 ブロック内のすべてのメモリセルの消去が完了したとき) における消去電圧である消去完了電圧 V_{eracmp} の値を記憶する。メモリ出荷当初においては、この消去完了電圧 V_{eracmp} は初期値 V_{era0} に設定されていて、書き込み・消去動作回数が増えて消去がされ難くなるに従って随時 V ずつステップアップされる。

【 0 0 5 0 】

コンパレータ 2 2 3 は、消去動作が行われる毎に、第 1 記憶部 2 2 1 に記憶されている消去開始電圧 V_{erast} と、第 2 記憶部 2 2 2 に記憶されている消去完了電圧 V_{eracmp} の値とを比較し、後者が前者より大きい場合に比較信号 $CMP1$ を出力する。

40

【 0 0 5 1 】

カウンタ 2 2 4 は、比較信号 $CMP1$ を受信した場合に、カウント値 CNT をカウントアップする機能を有する。

【 0 0 5 2 】

コンパレータ 2 2 5 は、カウント値 CNT と、上限値 $LIM < n : 0 >$ とを比較して、前者が後者より大きい場合に比較信号 $CMP2$ を出力する。

【 0 0 5 3 】

第 1 記憶部 2 2 1 は、比較信号 $CMP2$ を受信した場合に、自身に格納された消去開始電圧 V_{erast} を V だけステップアップさせた値に更新する。

50

【 0 0 5 4 】

なお、比較信号CMP2が出力された場合、MPU24は、メモリチップ21中の、消去開始電圧Verastを記憶するブロックのデータも新しい消去開始電圧Verastに更新させる。これにより、メモリの電源がoffとされた場合でも、電源再投入後はこの更新後の消去開始電圧により消去動作を開始することができる。なお、第1記憶部221、222を不揮発性メモリにより構成してもよい。

【 0 0 5 5 】

次に、この半導体記憶装置の動作を、特に消去動作に関して説明する。

【 0 0 5 6 】

電源投入後、ROMヒューズ6に格納された各種初期設定データは、図示しない各種レジスタに転送され、それら初期設定データのうち消去開始電圧Verastは、メモリチップ21中の対応するブロック及び第1記憶部221に転送され格納される。

10

【 0 0 5 7 】

実際の消去動作に際しては、図示しないホストデバイスからメモリコントローラ22に対して、ある論理アドレスのブロックについての消去命令が出力される。メモリコントローラ22は、この消去命令を受けた場合、RAM28に格納されたアドレス変換テーブルを参照して、論理アドレスに対応する物理アドレスを抽出する。

【 0 0 5 8 】

続いてメモリコントローラ22は、第1記憶部221から消去開始電圧Verastを読み出して、この消去開始電圧Verast、及び物理アドレスに従い、メモリチップ21に対する消去動作を開始する。

20

【 0 0 5 9 】

その後の消去ベリファイ動作の結果、当該ブロックへの消去が不十分であることが判明すれば、消去電圧VeracmpをVerastからVだけステップアップさせて(ステップアップ動作)、再度消去動作を繰り返す。当該ブロックの消去が完了した場合、その時の消去電圧が消去完了電圧Veracmpとして第2記憶部222に格納(更新)される。

【 0 0 6 0 】

この消去動作と並行して、コンパレータ223は、消去命令が出される毎に、第1記憶部221に記憶された消去開始電圧Verastと、第2記憶部222に記憶された消去完了電圧Veracmpとを比較する。前者の方が後者よりも小さい場合、コンパレータ223は比較信号CMP1を出力する。カウンタ224は、カウント値CNTをカウントアップする。

30

【 0 0 6 1 】

消去完了電圧Veracmpが初期値Verac0からステップアップされると、その後消去動作が実行される毎にコンパレータ223から比較信号CMP1が出力され、カウント値CNTもカウントアップされる。

【 0 0 6 2 】

消去動作が繰り返され、カウント値CNTが上限値LIM<n:0>を超えた場合、コンパレータ225は比較信号CMP2を出力する。第1記憶部221及びROMヒューズ6に対応するメモリチップ21中のブロックは、この比較信号CMP2を受けて、消去開始電圧Verastを、ステップアップ値Vだけ高い値に更新する。

40

【 0 0 6 3 】

なお、データの信頼性を高くするため、当該ブロックの書き換えを繰り返したくない場合には、このデータは一旦メモリコントローラ22で保持しておき、その後の適当なタイミングにて当該ブロックへの書き換えを行うようにしてもよい。

【 0 0 6 4 】

また、上記の説明では、比較信号CMP2の出力後、第1記憶部221が記憶する消去開始電圧VerastをVだけステップアップさせて更新する例を示したが、その代わりに、第2記憶部222で更新・記憶された消去完了電圧Veracmpと等しい電圧に消去開始電圧Verastをステップアップ・更新させてもよい。この場合、消去に要す

50

る時間は短縮することができるが、一方でたまたま非常に消去がされにくいブロックがメモリ使用開始当初に消去対象となった場合において、次に消去されるブロックに不要なまでに高い消去電圧 V_{era} を印加してしまう虞がある。この点、消去開始電圧 V_{erast} を V だけステップアップさせて更新する場合には、このような不要に高い電圧を印加される虞は無い。

【0065】

また、上記の実施の形態では、アドレス変換テーブルを用いて各ブロックへの書き込み/消去回数を均一化する制御を行う場合を説明したが、このような制御を行わない場合ももちろん、こうした制御を行ったとしても書き込み/消去回数が厳密には均一化されない場合もある。

10

【0066】

このような場合、書き込み/消去回数が少ないブロックに対しては、第1記憶部221に記憶された消去開始電圧 V_{erast} ではなく、これによりも低い電圧、例えば初期値 V_{era0} を消去開始電圧として消去動作を開始してもよい。こうした書き込み/消去回数が少ないブロックは一般に特定のブロックであるため、そうしたブロックのアドレスをあらかじめ記憶しておき、そのアドレスが指定された場合に上記のような消去動作を行うこととしてもよい。

【0067】

[第2の実施の形態]

次に、本発明の第2の実施の形態を、図面を参照して説明する。

20

【0068】

図10は、本発明の第2の実施の形態により実現されるメモリコントローラ22の機能ブロック図を示している。全体的な構成、メモリ構成等は、第1の実施の形態と同様(図1、図2)であるので、重複する説明は省略する。

【0069】

この実施の形態の半導体記憶装置は、図10に示すように、各ブロック毎の書き込み/消去回数を記憶する第3記憶部226を備えている。第3記憶部226は、メモリコントローラ22内に設けられていても良いし、外部に設けられていても良い。

【0070】

メモリコントローラ22は、消去動作毎に、この第3記憶部226を参照して、消去しようとするブロックへの書き込み/消去回数を特定する。その結果、当該ブロックへの書き込み/消去回数が例えば所定値よりも少ない場合には、そのブロックに対する消去動作においては、消去開始電圧 V_{erast} として、第1記憶部221に記憶された値ではなく、これよりも小さい値例えば初期値 V_{era0} を選ぶ。これにより、書き込み/消去回数的情報により、消去開始電圧を各ブロック毎に個別に設定でき、書き込み/消去回数が少ないブロックに対し不必要に高い消去電圧が印加されることを防止することができる。その他の動作等は第1の実施の形態と同様である。なお、第3記憶部226において、各ブロック毎の書き込み回数または消去回数のいずれかのみを記憶するようにしてもよい。

30

【0071】

[第3の実施の形態]

次に、本発明の第3の実施の形態を、図面を参照して説明する。

40

この実施の形態では、消去開始電圧 V_{erast} の更新時に、いわゆるソフトプログラム動作を行う場合におけるソフトプログラム電圧も併せて更新する点で前述の実施の形態と異なっている。全体的な構成、メモリ構成等は、第1の実施の形態と同様(図1、図2)であるので、重複する説明は省略する。

【0072】

図11は、ソフトプログラム動作を説明するための概念図である。ソフトプログラム動作とは、消去状態のメモリセル("1"メモリセル)の閾値電圧分布を一定の範囲に狭めるための書き込み動作である。すなわち、図11に示すように、消去動作後のメモリセルの閾値電圧の分布は、メモリセル毎の消去のされやすさの違いにより、大きく広がったも

50

のとなる。

【0073】

このような分布の場合、閾値電圧がより低い“1”メモリセルは、閾値電圧が高い“1”メモリセルに比べ、データの書き込み動作に時間を要する。このため、消去動作完了後において、閾値電圧が低くなりすぎたメモリセルに対して、所定のソフトプログラム電圧 V_{spgm} を印加して、閾値電圧を高くし、これにより、閾値電圧分布の広がりを小さくする動作を行う。これをソフトプログラム動作と呼んでいる。

【0074】

このようなソフトプログラム動作を行う場合、書き込み/消去回数が少ないブロックでは全体的にメモリセルは書き込まれ難い状態にあり、従ってある程度高いソフトプログラム電圧 V_{spgm} を設定する必要がある。

10

【0075】

一方、書き込み/消去回数が多くなったブロックでは全体的にメモリセルは書き込まれやすい状態となっているので、ソフトプログラム電圧 V_{spgm} は、書き込み/消去回数が少ないブロックにおけるのに比べ低い電圧でよい。

【0076】

このような事情から、本実施の形態では、消去開始電圧 V_{erast} に加え、ソフトプログラム電圧 V_{spgm} が第1記憶部221に格納されている。そして、消去開始電圧 V_{erast} の更新時において、ソフトプログラム電圧 V_{spgm} も、更新前よりも小さい値となるように更新される。そして、消去動作完了後のソフトプログラム動作時には、この記憶されたソフトプログラム電圧に基づいてソフトプログラム動作が行われる。

20

【0077】

この実施の形態によれば、書き込み/消去回数が少ないブロックに対しては高いソフトプログラム電圧を供給する一方、書き込み/消去回数が多いブロックに対してはより低いソフトプログラム電圧を供給することができる。これにより、ソフトプログラム動作を適切に、且つ時間を短縮して実行することが可能となる。

【0078】

以上、発明の実施の形態を説明したが、本発明はこれらに限定されるものではなく、発明の趣旨を逸脱しない範囲内において、種々の変更、追加等が可能である。

【図面の簡単な説明】

30

【0079】

【図1】本発明の第1の実施の形態による不揮発性半導体装置が適用されるメモリカード20の構成を示す。

【図2】第1の実施の形態によるNAND型フラッシュメモリチップ21の概略構成を示している。

【図3】メモリセルMCに記憶するデータと閾値電圧の関係を示す。

【図4】一つのNANDセルユニットに着目した消去動作時の電位関係を示す。

【図5】消去ベリファイ読み出し動作時にNANDセルユニット10に印加される電圧を示す。

【図6】一般的な消去動作を説明する概念図である。

40

【図7】1つのメモリセルブロックに対し実行される書き込み/消去回数と、メモリセルの閾値電圧 V_{th} との関係を示すグラフである。

【図8】本実施の形態における消去動作を説明する概念図である。

【図9】消去動作を司る制御部の機能を示す機能ブロック図である。

【図10】本発明の第2の実施の形態により実現されるメモリコントローラ22の機能ブロック図を示している。

【図11】本発明の第3の実施の形態を説明する概念図である。

【符号の説明】

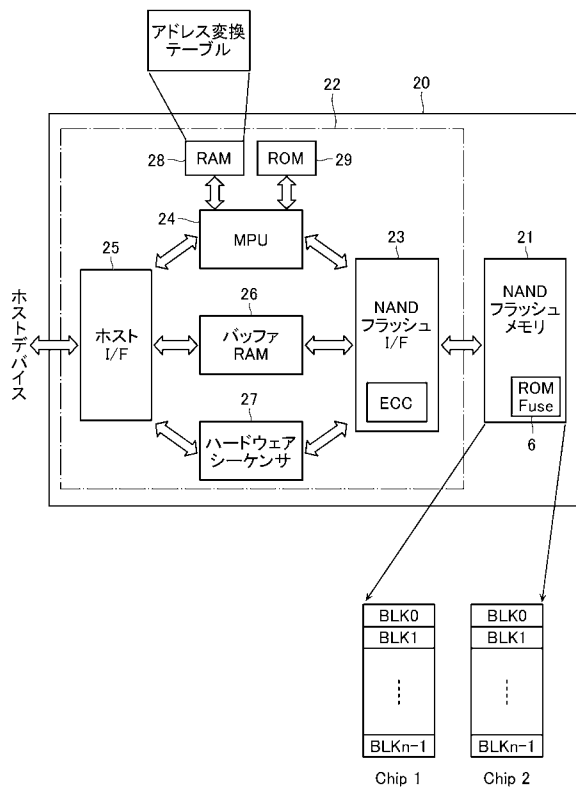
【0080】

1・・・メモリセルアレイ、 2・・・センスアンプ回路、 3・・・ロウデコーダ、

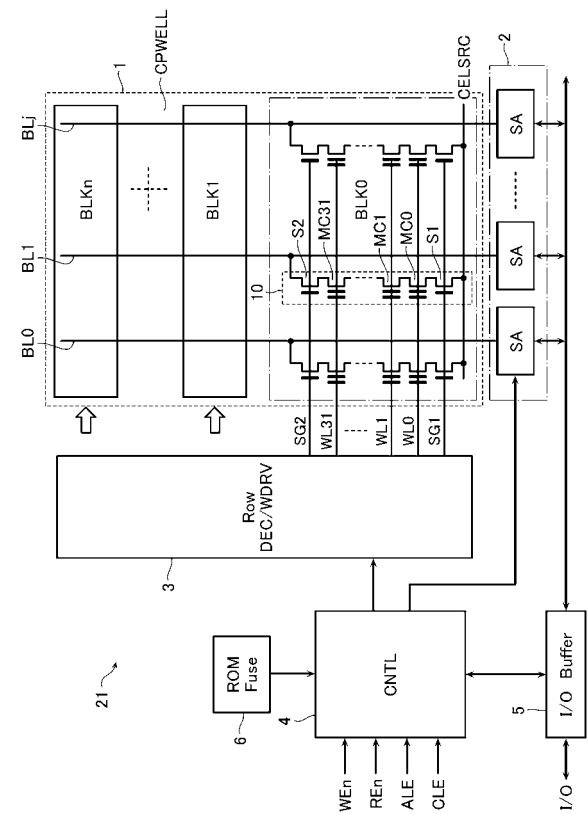
50

4・・・コントローラ、 5・・・入出力バッファ、 6・・・ROMヒューズ、 20
 ・・・・メモリカード、 21・・・NAND型フラッシュメモリチップ、 22・・・メ
 モリコントローラ、 23・・・NANDフラッシュインタフェース、 24・・・MP
 U、 25・・・トインタフェース、 26・・・バッファRAM、 27・・・ハード
 ウェアシーケンサ、 28・・・RAM
 29・・・ROM、 221・・・第1記憶部221、 222・・・第2記憶部、 2
 23・・・コンパレータ、 224・・・カウンタ、 225・・・コンパレータ、 2
 26・・・第3記憶部。

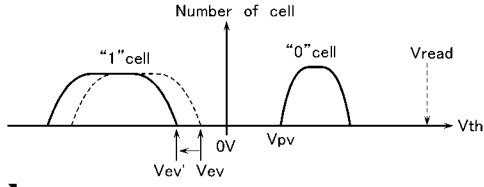
【図1】



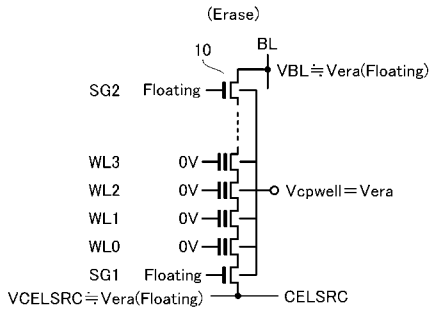
【図2】



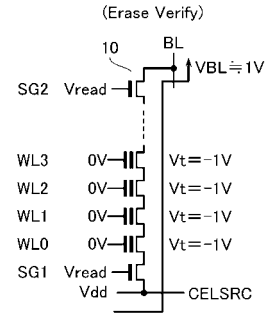
【 図 3 】



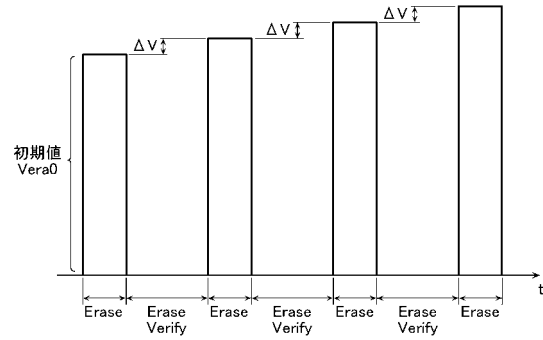
【 図 4 】



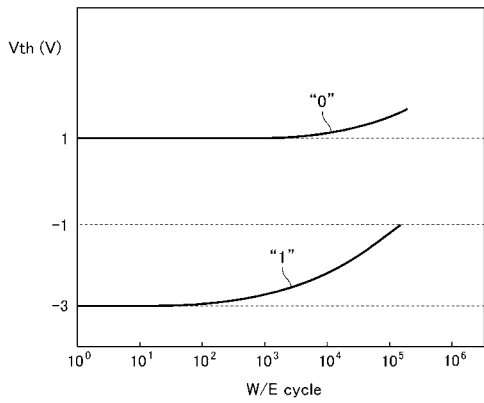
【 図 5 】



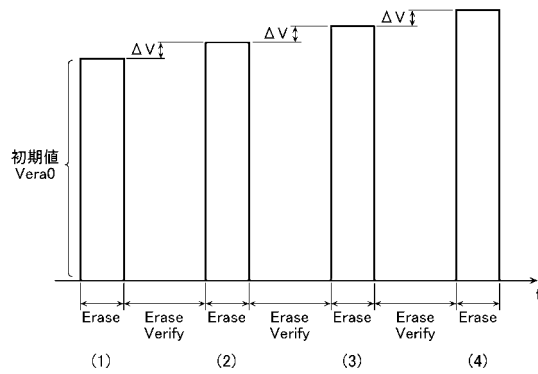
【 図 6 】



【 図 7 】

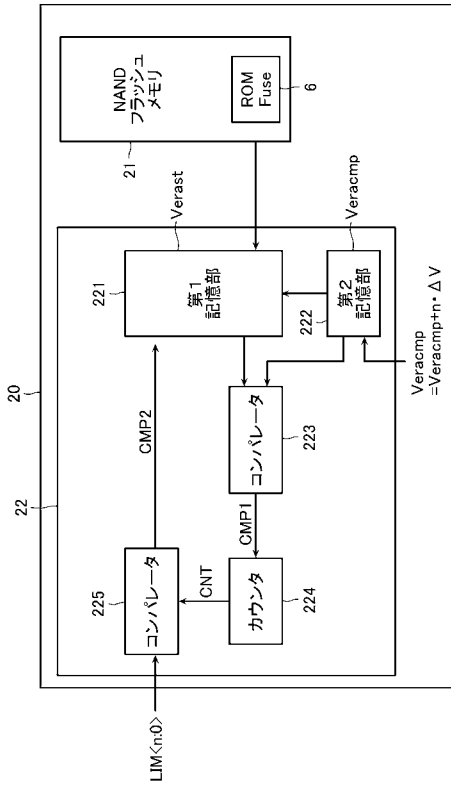


【 図 8 】

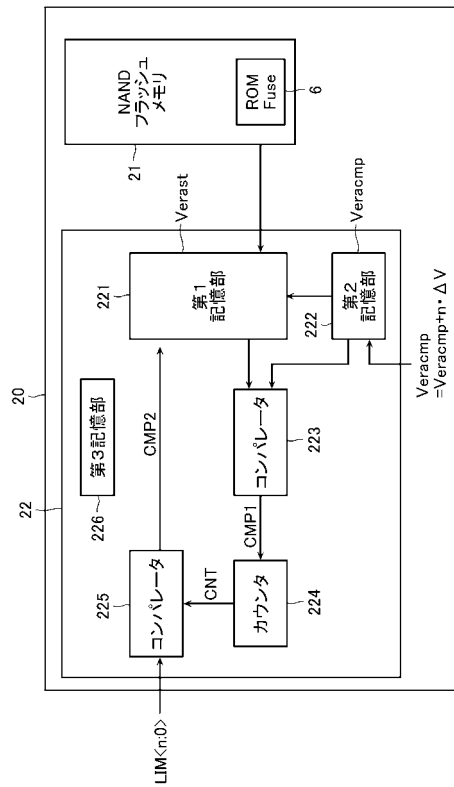


メモリ出荷時 $V_{erast} = V_{era0}$
 \Downarrow
 書き込み/消去回数増加 $V_{erast} = V_{era0} + n \cdot \Delta V$

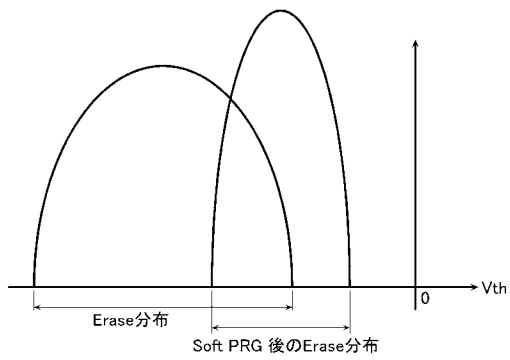
【図9】



【図10】



【図11】



フロントページの続き

(51)Int.Cl. F I
G 0 6 K 19/00 N

(56)参考文献 特開2007-272952(JP,A)
特開2006-286118(JP,A)
特開2000-260191(JP,A)
特開平11-162184(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 1 1 C 1 6 / 0 2
G 1 1 C 1 6 / 0 4
G 1 1 C 1 6 / 0 6