



**ÚŘAD PRO VYNÁLEZY
A OBJEVY**

(61)

(23) Výstavní priorita
(22) Přihlášeno 10 05 83
(21) PV 3250-83

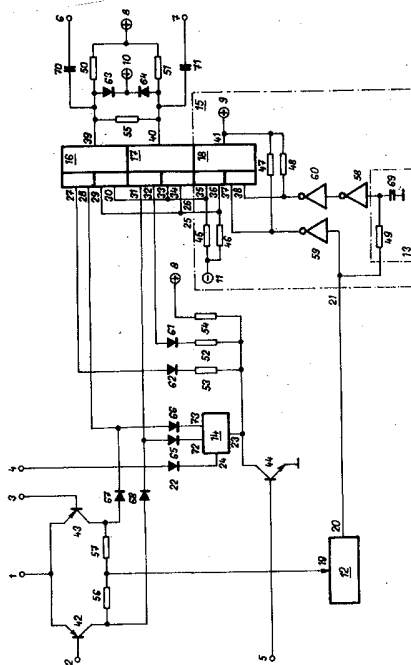
(51) Int. Cl.³ G 11 B 5/012

(40) Zverejnené 15 02 84
(45) Vydáno 01 12 86

(75)
Autor vynálezu SKŘIVÁNEK LEOPOLD ing., ROUSÍNOV,
KOMŮRKA BOHUSLAV ing., BRNO

(54) Zapojení oddělovacího členu pro zápisový a čtecí kanál magnetické diskové paměti

Cílem řešení je jednoduchým zapojením zvýšit oddělovací účinek při zápisu a využít všech tří sekcí běžně vyráběného šestinásobného spínače s polem řízenými tranzistory. Uvedeného cíle se dosáhne zapojením se spínači, obsahujícími polem řízené tranzistory a s řídicím obvodem. V zapojení je použito šestinásobného spínače s polem řízenými tranzistory, z něhož dvou sekcí je použito jako přepínačů zápis-čtení a třetí sekce jako spínače v řídicím obvodu. Řídicí obvod, ovládaný obvodem indikace zápisového proudu, obsahuje nezpožďující převodník úrovně a zpožďující převodník úrovně s invertovaným vstupem, jemuž je do serie zařazen zpožďovací obvod. Zapojení lze použít pro zápisové a čtecí kanály magnetického číslicového záznamu, zejména u diskových pamětí.



Vynález se týká zapojení oddělovacího členu pro zápisový a čtecí kanál magnetické diskové paměti.

Oddělovací člen pro zápisový a čtecí kanál magnetické diskové paměti chrání vstup čtecího zesilovače před velkými rozkmity napětí na magnetických hlavách při zápisu a zajišťuje co nejkratší dobu trvání přechodového děje ve čtecím zesilovači při přepnutí kanálu ze zápisu na čtení. U kanálů, pracujících s omazáváním stopy, se od oddělovacího členu navíc požaduje, aby jím ani v případě řízeného vypínání omazávacího proudu po ukončení zápisu nebylo přenášeno rušení do vstupu čtecího zesilovače.

Známa zapojení oddělovacích členů, která se hodí pro zápisové a čtecí kanály, pracující s více než jednou magnetickou hlavou, jsou často tvořena buď různě zapojenými diodovými můstky, které mohou být součástí diodo-tranzistorové matice pro výběr magnetických hlav, anebo dvojicí polem řízených tranzistorů, na příklad J-FETů, které tvoří se zatěžovací impedancí magnetických hlav při čtení v podstatě dělič napětí, ovládaný přepínacím signálem zápis-čtení.

Nevýhodou první skupiny zapojení oddělovacích členů je pronikání dosti velké úrovně napětí na vstup čtecího zesilovače při zápisu. Nevýhodou druhé skupiny zapojení oddělovacích členů, která vykazuje značný oddělovací účinek čtecího zesilovače od zápisových obvodů je, že dochází k poměrně velkému, byť soufázovému posuvu stejnosměrných úrovní napětí na výstupu oddělovacího členu při přepínání.

Uvedené nevýhody odstraňuje zapojení oddělovacího členu pro zápisový a čtecí kanál magnetické diskové paměti podle vynálezu, jehož podstatou je, že výstup obvodu indikace zápisového proudu je připojen na řídicí obvod, jehož výstup zpožděného

řídícího signálu je připojen na ovládací vstup prvního polem řízeného tranzistoru prvního přepínače a na ovládací vstup druhého polem řízeného tranzistoru druhého přepínače a jeho výstup nezpožděného řídícího signálu je připojen na ovládací vstup druhého polem řízeného tranzistoru prvního přepínače a na ovládací vstup prvního polem řízeného tranzistoru druhého přepínače, první vstup prvního přepínače je připojen na nulový potenciál, případně přes druhou předpětovou diodu, druhý vstup prvního přepínače je připojen na katodu první oddělovací diody zápisového zesilovače a na anodu druhé oddělovací diody zápisového a čtecího vinutí magnetické hlavy, první vstup druhého přepínače je připojen na katodu druhé oddělovací diody zápisového zesilovače a na anodu první oddělovací diody zápisového a čtecího vinutí magnetické hlavy, druhý vstup druhého přepínače je připojen na nulový potenciál, případně přes první předpětovou diodu, výstup prvního přepínače je připojen jednak přes první výstupní odpor na svorku kladného napětí prvního zdroje, jednak na první výstupní svorku zapojení, případně přes první vazební kondenzátor, výstup druhého přepínače je připojen jednak přes druhý výstupní odpor na svorku kladného napětí prvního zdroje, jednak na druhou výstupní svorku zapojení, případně přes druhý vazební kondenzátor a výstup prvního přepínače a výstup druhého přepínače jsou spojeny zatěžovacím odporem magnetické hlavy při čtení. Do série s první předpětovou diodou je zařazen první předpětový odpor a do série s druhou předpětovou diodou je zařazen druhý předpětový odpor. Do série s první předpětovou diodou a prvním předpětovým odporem je zařazen dále kolektor a na nulový potenciál připojený emitor výběrového tranzistoru a do série s druhou předpětovou diodou a druhým předpětovým odporem je zařazen dále kolektor a na nulový potenciál připojený emitor výběrového tranzistoru. V řídícím obvodu se jeho vstup rozvětjuje do nezpožďujícího převodníku úrovně, jehož výstup tvoří současně výstup nezpožděného řídícího signálu řídícího obvodu a do zpožďujícího převodníku úrovně s invertovaným vstupem, jemuž je do série zařazen zpožďovací obvod, přičemž jeho výstup tvoří současně výstup zpožděného řídícího signálu řídícího obvodu. Vstup řídícího obvodu je připojen jednak na vstup prvního invertoru s otevřeným kolektorem, jehož výstup je připojen na ovládací vstup prvního polem řízeného tranzistoru spínače a přes první kolektorový odpor na svorku kladného napětí druhého zdroje, jednak přes zpožďovací obvod a invertor v serii, na vstup druhého invertoru s otevře-

ným kolektorem, jehož výstup je připojen na ovládací vstup druhého polem řízeného tranzistoru spínače a přes druhý kolektorový odpor na svorku kladného napětí druhého zdroje, první vstup spínače je připojen přes první pracovní odpor na svorku záporného napětí a tvoří současně výstup nezpožděného řídicího signálu řídicího obvodu, druhý vstup spínače je připojen přes druhý pracovní odpor na svorku záporného napětí a tvoří současně výstup zpožděného řídicího signálu řídicího obvodu, výstup spínače je připojen na svorku kladného napětí druhého zdroje.

Výhodou zapojení podle vynálezu je, že při poměrné jednoduchosti zapojení jeho oddělovací účinek při zápisu je velký. Současně vznikající nepatrné rozdílové napětí na výstupu při přepnutí ze zápisu na čtení nevede ke vzniku přechodového děje ve čtecím zesilovači. Další výhodou je možnost použití všech tří sekcí běžně vyráběného šestikanálového spínače s polem řízenými tranzistory.

Příklad zapojení oddělovacího členu pro zápisový a čtecí kanál magnetické diskové paměti podle vynálezu je znázorněn na připojeném výkrese schématicky, s jednou magnetickou hlavou.

Vstupní svorka 1 zápisového proudu je připojena na emitor prvního a druhého koncového tranzistoru 42, 43 neznázorněného zápisového zesilovače. Svorka 2 prvního přepínacího signálu zápisového proudu je připojena na bázi prvního koncového tranzistoru 42 zápisového zesilovače, jehož kolektor je připojen na anodu druhé oddělovací diody 68 zápisového zesilovače a přes první zatěžovací odpor 56 magnetické hlavy 14 při zápisu na vstup 19 obvodu 12 indikace zápisového proudu. Svorka 3 druhého přepínacího signálu zápisového proudu je připojena na bázi druhého koncového tranzistoru 43 zápisového zesilovače, jehož kolektor je připojen na anodu první oddělovací diody 67 zápisového zesilovače a přes druhý zatěžovací odpor 57 magnetické hlavy 14 při zápisu na vstup 19 obvodu 12 indikace zápisového proudu. Katoda první oddělovací diody 67 zápisového zesilovače je připojena na druhý vstup 28 prvního přepínače 16 a na anodu druhé oddělovací diody 66 zápisového a čtecího vinutí magnetické hlavy 14, jejíž katoda je připojena na druhý vývod 73 zápisového a čtecího vinutí magnetické hlavy 14. Katoda druhé oddělovací diody 68 zápisového zesilovače je připojena na první vstup 31 druhého přepínače 17 a na anodu první oddělovací diody zápisového a čtecího vinutí magnetické hlavy 14, jejíž katoda je připojena na první vý-

vod 72 zápisového a čtecího vinutí magnetické hlavy 14. Vstupní svorka 4 omazávacího proudu je připojena na anodu oddělovací diody 22 omazávacího vinutí magnetické hlavy 14, jejíž katoda je připojena na první vývod 24 omazávacího vinutí magnetické hlavy 14, přičemž druhý vývod 23 omazávacího vinutí magnetické hlavy 14 je připojen na střed zápisového a čtecího vinutí a na kolektor výběrového tranzistoru 44. První vstup 27 prvního přepínače 16 je připojen na anodu druhé předpětové diody 62, jejíž katoda je připojena na kolektor výběrového tranzistoru 44 přes druhý předpětový odpor 53. Druhý vstup 32 druhého přepínače 17 je připojen na anodu první předpětové diody 61, jejíž katoda je připojena přes první předpětový odpor 52 na kolektor výběrového tranzistoru 44. Svorka 8 kladného napětí prvního zdroje je připojena přes kolektorový odpor 54 na kolektor výběrového tranzistoru 44, jehož emitor je připojen na nulový potenciál a jehož báze je připojena na svorku 2 signálu pro výběr magnetické hlavy 14. Výstup 20 obvodu 12 indikace zápisového proudu je připojen na vstup 21 řídicího obvodu 15. V řídicím obvodu 15 se vstup 21 rozvětňuje do nezpožďujícího převodníku úrovně přes první invertor 59 s otevřeným kolektorem a do zpožďujícího převodníku úrovně přes druhý invertor 60 s otevřeným kolektorem v serii, jemuž je předřazen invertor 58 se zpožďovacím obvodem 13 v serii. Zpožďovací obvod 13 je tvořen zpožďovacím odporem 49 a zpožďovacím kondenzátorem 69. Výstup prvního invertoru 59 s otevřeným kolektorem je připojen na ovládací vstup 37 prvního polem řízeného tranzistoru spínače 18 a přes první kolektorový odpor 47 na svorku 9 kladného napětí druhého zdroje. Výstup druhého invertoru 60 s otevřeným kolektorem je připojen na ovládací vstup 38 druhého polem řízeného tranzistoru spínače 18 a přes druhý kolektorový odpor 48 na svorku 9 kladného napětí druhého zdroje. První vstup 35 spínače 18 je připojen na výstup 26 nezpožděného řídicího signálu řídicího obvodu 15 a přes první pracovní odpor 45 na svorku 11 záporného napětí. Druhý vstup 36 spínače 18 je připojen na výstup 25 zpožděného řídicího signálu řídicího obvodu 15 a přes druhý pracovní odpor 46 na svorku 11 záporného napětí. Výstup 41 spínače 18 je připojen na svorku 9 kladného napětí druhého zdroje. Výstup 26 nezpožděného řídicího signálu je připojen na ovládací vstup 30 druhého polem řízeného tranzistoru prvního přepínače 16 a na ovládací vstup 33 prvního polem řízeného tranzistoru druhého přepínače 17. Výstup 25 zpožděného řídicího signálu je připojen na ovládací vstup 29 první-

ho přepínače 16 a na ovládací vstup 34 druhého polem řízeného tranzistoru druhého přepínače 17. Výstup 39 prvního přepínače 16 je připojen jednak přes první vazební kondenzátor 70 na první výstupní svorku 6 zapojení pro připojení na neznázorněný čtecí zesilovač, jednak přes první výstupní odpor 50 na svorku 8 kladného napětí prvního zdroje, jednak na anodu první ochranné diody 63, jejíž katoda je připojena na svorku 10 kladného napětí třetího zdroje. Výstup 40 druhého přepínače 17 je připojen jednak přes druhý vazební kondenzátor 71 na druhou výstupní svorku 7 zapojení, jednak přes druhý výstupní odpor 51 na svorku 8 kladného napětí prvního zdroje, jednak na anodu druhé ochranné diody 64, jejíž katoda je připojena na svorku 10 kladného napětí třetího zdroje. Výstup 39 prvního přepínače 16 a výstup 40 druhého přepínače 17 jsou spojeny zatěžovacím odporem 55 magnetické hlavy 14 při čtení.

Zpoždovací obvod 13 lze umístit i jinak, a sice tak, aby byl v serii se zpožďujícím převodníkem úrovně. Zpoždovací obvod 13 lze též nahradit parazitními kapacitami a zvětšením hodnoty druhého pracovního odporu 46, jež by byla mnohem větší než hodnota prvního pracovního odporu 45. Převodníky úrovně jsou v podstatě dva na sobě nezávislé zesilovače pro převod úrovně napětí z úrovně logiky TTL na úroveň potřebnou pro ovládání hradel příslušných polem řízených tranzistorů uvnitř přepínačů 16, 17. Jako přepínačů 16, 17 je použito dvou ze tří sekcí běžně vyráběného šestikanálového monolitického spínače, přičemž jeho třetí sekce je využito v řídicím obvodu 15 jako spínače 18. Do diodové matice lze připojit stejným způsobem další magnetické hlavy. Pak lze pro všechny magnetické hlavy použít pouze jedné dvojice první předpětové diody 61 a prvního předpětového odporu 52 a pouze jedné dvojice druhé předpětové diody 62 a druhého předpětového odporu 53, přičemž obě dvojice jsou zapojeny přímo na nulový potenciál. Pokud se zanedbají vlivy odporu vinutí a přívodu vinutí magnetických hlav, lze předpětové odpory 52 a 53 vynechat. Má-li čtecí zesilovač velký součinitel potlačení soufázového napětí na vstupu, je možné v některých případech dvojice předpětové diody 61, 62 a předpětového odporu 52, 53 vynechat. Zatěžovací odpor magnetické hlavy 14 při čtení lze přesunout též až na výstupní svorky 6, 7. Vazební kondenzátory 70, 71 mohou též v některých případech odpadnout.

Signálér, přivedeným na svorku 2 se sepně výběrový tranzis-

tor 44, jímž se vybere požadovaná magnetická hlava 14. Při zápisu informace se přivede zápisový proud na svorku 1. Řídicí obvod koncových tranzistorů 42, 43 přepíná tento proud v souladu s kódovanou posloupností zapisované informace přes oddělovací diody 67, 68 zápisového zesilovače a přes oddělovací diody 65, 66 zápisového a čtecího vinutí magnetické hlavy 14 do zápisového a čtecího vinutí vybrané magnetické hlavy 14. Velký rozkmit napětí na zápisovém a čtecím vinutí magnetické hlavy 14, ke kterému dochází při zápisu, se nedostane na vstup čtecího zesilovače z výstupních svorek 6 a 7, neboť obvod 12 indikace zápisového proudu, který má na svém výstupu 20 vysokou úroveň napětí, způsobí přes řídicí obvod 15, že kanál mezi druhým vstupem 28 a výstupem 39 prvního přepínače 16, jakož i kanál mezi prvním vstupem 31 a výstupem 40 druhého přepínače 17 budou uzavřeny, kdežto kanál mezi prvním vstupem 27 a výstupem 39 prvního přepínače 16, jakož i kanál mezi druhým vstupem 32 a výstupem 40 druhého přepínače 17 budou otevřeny. Přes vzniklé děliče, to je uzavřené kanály a otevřené kanály v serii s předpětiovými diodami 61, 62 a s předpětiovými odpory 52, 53 se na vstup čtecího zesilovače dostane jen zbytkové napětí, řádově mV. Vstup čtecího zesilovače je tak chráněn proti velkému rozkmitu napětí na magnetických hlavách a nízká úroveň střídavého zbytkového napětí na výstupu oddělovacího členu nezpůsobí zahlcení čtecího zesilovače. Ze svorky 8 kladného napětí teče stejnosměrný proud přes otevřené kanály a výstupní odpory 50, 51 diodami 61, 62 a odpory 52, 53 do tranzistorů 46 a na nulový potenciál. Po ukončení funkce zápisu a uklidnění zápisových obvodů, se z obvodu 12 indikace zápisového proudu dostává na anody oddělovacích diod 67, 68 záporné napětí, které diody uzavře a odpojí tak zbývající diodovou maticí a oddělovací člen od zápisového zesilovače. Výstup 20 obvodu 12 indikace zápisového proudu přejde z vysoké úrovně do nízké a přes řídicí obvod 15 způsobí otevření kanálu mezi druhým vstupem 28 a výstupem 39 prvního přepínače 16, jakož i kanálu mezi prvním vstupem 31 a výstupem 40 druhého přepínače 17 a uzavření kanálu mezi prvním vstupem 27 a výstupem 39 prvního přepínače 16, jakož i kanálu mezi druhým vstupem 32 a výstupem 40 druhého přepínače 17. Ze svorky 8 kladného napětí teče nyní proud přes výstupní odpory 50, 51, otevřenými kanály, oddělovacími diodami 65, 66 a zápisovým a čtecím vinutím magnetické hlavy 14 přes výběrový tranzistor 44 na nulový potenciál. Tímto proudem jsou oddělovací diody 65 a 66 otevřeny a snímané střída-

vé napětí ze zápisového a čtecího vinutí magnetické hlavy 14 se přes otevřené kanály dostává na výstupní svorky 6 a 7 zapojení oddělovacího členu. Hodnoty předpětových odporů 52, 53 jsou voleny tak, aby stejnosměrná napětí na výstupech 39 a 40 byla při zápisu i při čtení stejná, to znamená, aby se na předpětových odporech 52, 53 průtokem proudů z výstupních odporů 50, 51 při zápisu vytvořila stejná stejnosměrná napětí, jako průtokem téhož proudu mezi vývody 72 a 23 a 73 a 23 vinutí magnetické hlavy 14 při čtení. Pak při přepnutí ze zápisu na čtení nedojde mezi výstupy 39 a 40 prakticky k žádnému skoku rozdílového napětí, které by bylo příčinou nežádoucího přechodového děje ve čtecím zesilovači, na jehož odeznění by se musela věnovat určitá část stopy záznamového média. Mezi výstupy 39 a 40 nedojde ke skoku rozdílového napětí ani když oddělovací člen přepíná během řízeného vypínání omazávacího proudu, jež je zpožděno za vypnutím zápisu. Omazávací proud teče ze svorky 4 přes oddělovací diodu 22 do omazávacího vinutí magnetické hlavy 14, kdy se může měnit saturační napětí výběrového tranzistoru 44. Aby se co nejvíce využilo výskytu stejných stejnosměrných napětí na výstupech 39, 40 při zápisu i při čtení k dosažení co nejkratší doby přepnutí z funkce zápisu na funkci čtení, je navíc do cesty převodníku úrovně s invertovaným vstupem v řídicím obvodu 15 zařazen zpožďovací obvod 13. Při přepnutí ze zápisu na čtení, kdy výstup 20 obvodu indikace zápisového proudu přejde do nízké úrovně, se zároveň kanály mezi prvním vstupem 27 a výstupem 39 prvního přepínače 16 jakož i kanál mezi druhým vstupem 32 a výstupem 40 druhého přepínače 17 až po otevření kanálu mezi druhým vstupem 28 a výstupem 39 prvního přepínače 16, jakož i kanálu mezi prvním vstupem 31 a výstupem 40 druhého přepínače 17. Tím se v okamžiku přepnutí omezí vznik špičky rozdílového napětí na výstupech 39 a 40 obou přepínačů 16 a 17, kteréžto přepnutí proběhne bez přechodového děje ve čtecím zesilovači, který je ihned po přepnutí schopen správně zpracovat čtené napětí.

Vynálezu lze použít pro zápisové a čtecí kanály magnetického číslicového záznamu, zejména u diskových pamětí.

1. Zapojení oddělovacího členu pro zápisový a čtecí kanál magnetické diskové paměti, se spínači obsahujícími polem řízené tranzistory a s řídicím obvodem, vyznačené tím, že výstup (20) obvodu (12) indikace zápisového proudu je připojen na řídicí obvod (15), jehož výstup (25) zpožděného řídicího signálu je připojen na ovládací vstup (29) prvního polem řízeného tranzistoru prvního přepínače (16) a na ovládací vstup (34) druhého polem řízeného tranzistoru druhého přepínače (17) a jeho výstup (26) nezpožděného řídicího signálu je připojen na ovládací vstup (30) druhého polem řízeného tranzistoru prvního přepínače (16) a na ovládací vstup (33) prvního polem řízeného tranzistoru druhého přepínače (17), první vstup (27) prvního přepínače (16) je připojen na nulový potenciál přes druhou předpětovou diodu (62), druhý vstup (28) prvního přepínače (16) je připojen na katodu první oddělovací diody (67) zápisového zesilovače a na anodu druhé oddělovací diody (66) zápisového a čtecího vinutí magnetické hlavy (14), první vstup (31) druhého přepínače (17) je připojen na katodu druhé oddělovací diody (68) zápisového zesilovače a na anodu první oddělovací diody (65) zápisového a čtecího vinutí magnetické hlavy (14), druhý vstup (32) druhého přepínače (17) je připojen na nulový potenciál

pres první předpětovou diodu (61), výstup (39) prvního přepínače (16) je připojen jednak přes první výstupní odpor (50) na svorku (8) kladného napětí prvního zdroje, jednak na první výstupní svorku (6) zapojení přes první vazební kondenzátor (70), výstup (40) druhého přepínače (17) je připojen jednak přes druhý výstupní odpor (51) na svorku (8) kladného napětí prvního zdroje, jednak na druhou výstupní svorku (7) zapojení, případně přes druhý vazební kondenzátor (71) a výstup (39) prvního přepínače (16) a výstup (40) druhého přepínače (17) jsou spojeny zatěžovacím odporem (55) magnetické hlavy (14) při čtení.

2. Zapojení podle bodu 1, vyznačené tím, že do serie s první předpětovou diodou (61) je zařazen první předpětový odpor (52) a do serie s druhou předpětovou diodou (62) je zařazen druhý předpětový odpor (53).

3. Zapojení podle bodu 2, vyznačené tím, že do serie s první předpětovou diodou (61) a prvním předpětovým odporem (52) je za-

řazen dále kolektor a na nulový potenciál připojený emitor výběrového tranzistoru (44) a do serie s druhou předpětovou diodou (62) a druhým předpětovým odporem (53) je zařazen dále kolektor a na nulový potenciál připojený emitor výběrového tranzistoru (44).

4. Zapojení podle **bodu 1 až 3**, vyznačené tím, že v řídicím obvodu (15) se jeho vstup (21) rozvětčuje do ne-
zpožďujícího převodníku úrovně, jehož výstup tvoří současně vý-
stup (25) nezpožděného řídicího signálu řídicího obvodu (15) a
do zpožďujícího převodníku úrovně s invertovaným vstupem, jemuž
je do serie zařazen zpožďovací obvod, přičemž jeho výstup tvoří
současně výstup (26) zpožděného řídicího signálu řídicího obvo-
du (15).

5. Zapojení podle bodu 4, vyznačené tím, že vstup řídicího obvo-
du (15) je připojen jednak na vstup prvního invertoru (59) s o-
tevřeným kolektorem, jehož výstup je připojen na ovládací vstup
(37) prvního polem řízeného tranzistoru spínače (18) a přes prv-
ní kolektorový odpor (47) na svorku (9) kladného napětí druhého
zdroje, jednak přes zpožďovací obvod (13) a invertor (58) v se-
rii, na vstup druhého invertoru (60) s otevřeným kolektorem, je-
hož výstup je připojen na ovládací vstup (38) druhého polem ří-
zeného tranzistoru spínače (18) a přes druhý kolektorový odpor
(48) na svorku (9) kladného napětí druhého zdroje, první vstup
(35) spínače (18) je připojen přes první pracovní odpor (45) na
svorku (11) záporného napětí a tvoří současně výstup (26) ne-
zpožděného řídicího signálu řídicího obvodu (15), druhý vstup
(36) spínače (18) je připojen přes druhý pracovní odpor (46) na
svorku (11) záporného napětí a tvoří současně výstup (25) zpož-
děného řídicího signálu řídicího obvodu (15), výstup (41) spína-
če (18) je připojen na svorku (9) kladného napětí druhého zdro-
je.

1 výkres

