



(12) 发明专利申请

(10) 申请公布号 CN 102446888 A

(43) 申请公布日 2012. 05. 09

(21) 申请号 201110279467. 0

(22) 申请日 2011. 09. 20

(30) 优先权数据

220481/2010 2010. 09. 30 JP

(71) 申请人 兆装微股份有限公司

地址 日本东京都

(72) 发明人 新井一能

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 徐殿军

(51) Int. Cl.

H01L 23/522 (2006. 01)

H01L 21/768 (2006. 01)

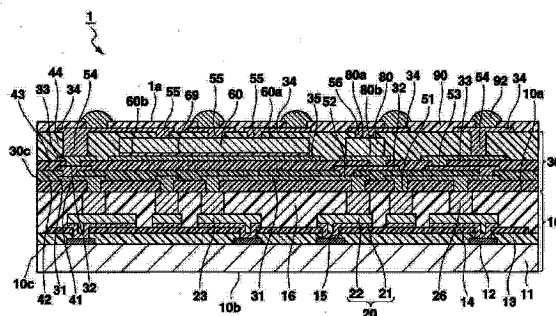
权利要求书 1 页 说明书 8 页 附图 12 页

(54) 发明名称

具有多层布线结构的半导体装置及其制造方法

(57) 摘要

半导体装置 (1) 具备半导体芯片 (10)、层叠在半导体芯片 (10) 之上的多层布线结构 (30)、以及埋设在多层布线结构 (30) 中的电子部件 (60、80)。



1. 一种半导体装置,其特征在于,包括:
半导体芯片;
多层布线结构,层叠在上述半导体芯片之上;以及
电子部件,埋设在上述多层布线结构中。
2. 如权利要求1所述的半导体装置,其特征在于,
上述多层布线结构的周面与半导体芯片的周面对齐。
3. 如权利要求1所述的半导体装置,其特征在于,
上述半导体芯片是被封装后的芯片。
4. 如权利要求3所述的半导体装置,其特征在于,
上述半导体芯片具有:
半导体基板;
内部布线,形成在上述半导体基板之上;以及
密封层,以覆盖上述内部布线的方式形成在上述半导体基板之上;
上述多层布线结构层叠在上述密封层上。
5. 如权利要求4所述的半导体装置,其特征在于,
上述半导体芯片还具有突起状的外端子,该外端子形成在上述内部布线的一部分之上
并与上述内部布线连接。
6. 如权利要求4所述的半导体装置,其特征在于,
上述多层布线结构具有在上述半导体芯片之上交替层叠的多个绝缘层及布线图案;
最下层的上述布线图案与上述内部布线导通。
7. 如权利要求6所述的半导体装置,其特征在于,
上述电子部件埋设在上述多个绝缘层中的最下层以外的绝缘层中。
8. 如权利要求6所述的半导体装置,其特征在于,
上述电子部件具有端子,上述端子与上述布线图案导通。
9. 如权利要求1所述的半导体装置,其特征在于,
还具备形成在上述多层布线结构之上的凸块。
10. 一种半导体装置的制造方法,其特征在于,包括:
在半导体晶片的上方层叠多层布线结构,并且在上述多层布线结构中埋入电子部件;
将上述半导体晶片单片化并形成半导体芯片。
11. 如权利要求10所述的半导体装置的制造方法,其特征在于,
上述半导体芯片为:
在半导体晶片之上形成内部布线,并以通过密封层覆盖上述内部布线的方式在上述半
导体晶片之上形成上述密封层;
在层叠上述多层布线结构时,在上述密封层之上层叠上述多层布线结构;
与上述半导体晶片一起,将上述多层布线结构也切断而分开。
12. 如权利要求10所述的半导体装置的制造方法,其特征在于,
在上述多层布线结构之上形成凸块。

具有多层布线结构的半导体装置及其制造方法

技术领域

[0001] 本发明涉及具有多层布线结构的半导体装置及其制造方法。

背景技术

[0002] 在日本特开 2008-047734 号公报中记载了埋设有多个半导体芯片的 SIP(System In Package :系统级封装)型的半导体封装(半导体装置)。如专利文献 1 所记载,在没有形成电路的基板 1 之上层叠有两层绝缘层 6、7,在各个绝缘层 6、7 之上,布线 9、13 被图案化,裸芯片(bare chip)5 埋设在下层的绝缘层 6 中,进一步在上层的绝缘层 6、7 之上层叠有缓冲层 17,仅由氧化硅膜 16d 保护的其他裸芯片 16 埋设在缓冲层 17 中。

[0003] 在日本特开 2008-047734 号公报所记载的技术中,在基板 1 之上层叠的绝缘层 6 或缓冲层 17 中埋设有芯片 5、13,因此半导体封装变厚。

[0004] 此外,基板 1 是将晶片切开分离而成的。将芯片 5 搭载在晶片上之后,最后切断晶片,所以被切开分离的基板 1 的尺寸比芯片 5 的尺寸大。因此,半导体封装的尺寸也被大型化。

发明内容

[0005] 因此,本发明要解决的问题是实现半导体封装等的半导体装置的薄型化及小型化。

[0006] 根据本发明的一个技术方案,其特征在于,具备半导体芯片、层叠在上述半导体芯片之上的多层布线结构以及埋设在上述多层布线结构中的电子部件。

[0007] 此外,根据本发明的其他技术方案,其特征在于,在半导体晶片的上方层叠多层布线结构,并且在上述多层布线结构中埋入电子部件,将上述半导体晶片及上述多层布线结构以芯片尺寸切开分离。

附图说明

[0008] 图 1 是本发明实施方式的半导体装置的立体图。

[0009] 图 2 是该实施方式的半导体装置的截面图。

[0010] 图 3 是将该实施方式的半导体芯片的一部分切断的状态下表示的立体图。

[0011] 图 4 是将该实施方式的电子部件的一部分切断的状态下表示的立体图。

[0012] 图 5 是制造该实施方式的半导体装置的方法的一工序中的截面图。

[0013] 图 6 是图 5 的工序后的工序的截面图。

[0014] 图 7 是图 6 的工序后的工序的截面图。

[0015] 图 8 是图 7 的工序后的工序的截面图。

[0016] 图 9 是图 8 的工序后的工序的截面图。

[0017] 图 10 是图 9 的工序后的工序的截面图。

[0018] 图 11 是图 10 的工序后的工序的截面图。

- [0019] 图 12 是图 11 的工序后的工序的截面图。
[0020] 图 13 是图 12 的工序后的工序的截面图。
[0021] 图 14 是图 13 的工序后的工序的截面图。
[0022] 图 15 是图 14 的工序后的工序的截面图。
[0023] 图 16 是图 15 的工序后的工序的截面图。
[0024] 图 17 是图 16 的工序后的工序的截面图。
[0025] 图 18 是图 17 的工序后的工序的截面图。
[0026] 图 19 是图 18 的工序后的工序的截面图。
[0027] 图 20 是变形例的半导体装置的截面图。

具体实施方式

[0028] 以下,利用附图对用于实施本发明的方式进行说明。但是,在以下叙述的实施方式中附加了为了实施本发明技术上优选的各种限定,但并不是将本发明的范围限定在以下的实施方式及图示例。

[0029] 图 1 是半导体装置 1 的立体图。图 2 是半导体装置 1 的截面图。

[0030] 如图 1、图 2 所示,半导体装置 1 是 SIP(System In Package :系统级封装),具备半导体芯片 10、多层布线结构 30 及电子部件 60、80 等。多层布线结构 30 层叠在半导体芯片 10 的表侧的面 10a 之上,电子部件 60、80 埋设在多层布线结构 30 中。

[0031] 首先,参照图 2、图 3 对半导体芯片 10 进行详细说明。图 3 是将半导体芯片 10 的一部分切断的状态下表示的立体图。图 3 中表示在半导体芯片 10 之上没有层叠多层布线结构 30 的状态。

[0032] 半导体芯片 10 是以芯片尺寸封装而成的所谓的 CSP(Chip Size Package :芯片尺寸封装)。特别地,该半导体芯片 10 是利用树脂将单片化之前的半导体晶片的表面密封之后,将其以芯片尺寸单片化而成的。也就是说,半导体芯片 10 属于 CSP 之中尤其是 WLP(Wafer Level Packge :晶片级封装)。

[0033] 半导体芯片 10 具备半导体基板 11、钝化膜 13、绝缘膜 14、密封层 16、内部布线 20 以及外端子 26 等。

[0034] 半导体基板 11 由硅这样的半导体材料等构成。在半导体基板 11 的表侧的表层上形成有集成电路。在半导体基板 11 的表侧的面上,形成有多个内端子 12。内端子 12 是在半导体基板 11 的表层形成的集成电路的布线的一部分,作为各种电气元件(例如,二极管、晶体管、电阻、电容器等)的电极。

[0035] 半导体基板 11 的表侧的面被钝化膜 13 覆盖。钝化膜 13 含有氧化硅或氮化硅。钝化膜 13 被绝缘膜 14 覆盖。绝缘膜 14 含有环氧类树脂、聚酰亚胺类树脂等的树脂。例如,绝缘膜 14 中能够使用聚酰亚胺(PI)、聚对苯撑苯并二恶唑(PBO)、环氧类、酚(phenol)类、硅类等的塑料材料或它们的复合材料等。

[0036] 在钝化膜 13 及绝缘膜 14 中的与内端子 12 重叠的位置处形成有开口 15。内端子 12 的一部分或整体位于开口 15 内,内端子 12 的一部分或整体未被钝化膜 13 及绝缘膜 14 覆盖。另外,也可以不形成绝缘膜 14。

[0037] 内部布线 20 形成在绝缘膜 14 上(在没有绝缘膜 14 的情况下,形成在钝化膜 13

上)。内部布线 20 是基底 21 与导体层 22 的层叠体,基底 21 形成在绝缘膜 14 上(在没有绝缘膜 14 的情况下,形成在钝化膜 13 上),导体层 22 形成在基底 21 上。基底 21 由导体构成。例如,基底 21 是铜(Cu)的薄膜、钛(Ti)的薄膜、在钛上层叠了铜后的薄膜等金属薄膜。导体层 22 是将在种子(seed)层上生长的镀层图案化而成的。导体层 22 由铜等金属构成。俯视时的导体层 22 的形状与基底 21 的形状大致相同。导体层 22 比基底 21 厚。另外,内部布线 20 也可以不是导体的层叠体。例如,内部布线 20 既可以是导体的单层,也可以是将更多的导体层层叠而成的层。

[0038] 内部布线 20 与内端子 12 连接。具体而言,内部布线 20 横跨开口 15 之上,内部布线 20 的基底 21 的一部分层叠在内端子 12 上。内部布线 20 的数量既可以比内端子 12 的数量多,也可以少,也可以相同。与 1 条内部布线 20 连接的内端子 12 的数量为 1 或 2 以上。优选为每一条内部布线 20 与 1 个内端子 12 连接。

[0039] 内部布线 20 的一部分成为焊接区(land)23。在焊接区 23 上形成有外端子 26,内部布线 20 与外端子 26 连接。因此,外端子 26 通过内部布线 20 而与内端子 12 导通。与 1 条内部布线 20 连接的外端子 26 的数量为 1 个或 2 个以上。优选为每一条内部布线 20 与 1 个外端子 26 连接。此外,更优选为每一个外端子 26 通过内部布线 20 而与 1 个内端子 12 导通。

[0040] 外端子 26 是设置为突起状的柱状电极。外端子 26 由铜等金属构成。外端子 26 的高度(厚度)比导体层 22 的厚度大。另外,在图 3 中,外端子 26 排列成纵 6 列×横 6 列的栅格状,但外端子 26 的排列及数量不限于此。

[0041] 遮光性的密封层 16 形成在绝缘膜 14 上,内部布线 20 被密封层 16 覆盖。外端子 26 的头顶部面未被密封层 16 覆盖,但外端子 26 的周面被密封层 16 覆盖而受保护。密封层 16 的表面设置成与外端子 26 的头顶部面为同一面,或位于比外端子 26 的头顶部面稍高的位置。

[0042] 密封层 16 含有环氧类树脂、聚酰亚胺类树脂等绝缘性树脂,优选由在绝缘性树脂(环氧类树脂、聚酰亚胺类树脂等)中混合了填充剂(例如玻璃填充剂)的纤维增强树脂构成。

[0043] 另外,半导体芯片 10 也可以是 LGA 方式的封装。也就是说,作为端子的焊接区也可以在半导体芯片 10 的表侧的面 10a 上排列成栅格状。

[0044] 参照图 1、图 2 对多层布线结构 30 进行说明。

[0045] 多层布线结构 30 具有布线图案 31~34 及绝缘层 41~44。绝缘层 41、绝缘层 42、绝缘层 43 及绝缘层 44 从半导体芯片 10 起按绝缘层 41、绝缘层 42、绝缘层 43 及绝缘层 44 的顺序层叠在半导体芯片 10 的表侧的面 10a 上。布线图案 31 位于绝缘层 41 与绝缘层 42 之间,布线图案 32 位于绝缘层 42 与绝缘层 43 之间,布线图案 33 位于绝缘层 43 与绝缘层 44 之间,布线图案 34 形成在绝缘层 44 上。布线图案 31 和布线图案 32 由绝缘层 42 隔开,布线图案 32 和布线图案 33 由绝缘层 43 隔开,布线图案 33 和布线图案 34 由绝缘层 44 隔开。

[0046] 绝缘层 41~44 的边缘与半导体芯片 10 的侧面(周面)10c 对齐,多层布线结构 30 的侧面(周面)30c 与半导体芯片 10 的侧面 10c 对齐。

[0047] 绝缘层 44 中开出了多个孔,在孔内埋入有层间连接导体 54,层间连接导体 54 贯通绝缘层 44,布线图案 34 与布线图案 33 通过层间连接导体 54 导通。同样,布线图案 33 与布

线图案 32 通过贯通了绝缘层 43 的层间连接导体 53 而导通,布线图案 32 与布线图案 31 通过贯通了绝缘层 42 的层间连接导体 52 而导通。

[0048] 层间连接导体 54 与布线图案 34 一体形成,层间连接导体 53 与布线图案 33 一体形成,层间连接导体 54 与布线图案 32 一体形成。这些也可以形成为独立体而相互接触。

[0049] 此外,绝缘层 41 中开有直至外端子 26 的多个孔,在孔内埋入有层间连接导体 51,层间连接导体 51 贯通绝缘层 41,布线图案 31 和外端子 26 通过层间连接导体 51 而导通。

[0050] 布线图案 31、32、33、34 以及层间连接导体 51、52、53、54 由铜等金属构成。绝缘体 41、42、43、44 含有环氧类树脂、聚酰亚胺类树脂等绝缘性树脂,优选由玻璃纤维增强环氧树脂、玻璃布基材环氧树脂、碳纤维增强环氧树脂、碳布基材环氧树脂、玻璃纤维增强聚酰亚胺树脂、玻璃布基材聚酰亚胺树脂、碳纤维增强聚酰亚胺树脂、碳布基材聚酰亚胺树脂等纤维增强树脂构成。另外,在图 2 中,多层布线结构 30 具有 4 层的绝缘层 41、42、43、44 以及 4 层的布线图案 31、32、33、34,但多层布线结构 30 的绝缘层及布线图案的层数只要是 2 以上即可。

[0051] 如上所述的多层布线结构 30 中埋设有电子部件 60、80。更具体而言,电子部件 60、80 埋设在绝缘层 44 中。电子部件 60 是半导体芯片。电子部件 60 既可以是裸芯片,也可以是封装后的芯片。当电子部件 60 是封装后的半导体芯片的情况下,电子部件 60 的封装方式是任意的。

[0052] 当电子部件 60 属于 CSP 之中尤其是 WLP 的情况下,电子部件 60 构成为如图 4 所示。图 4 是将电子部件 60 的一部分切断的状态下表示的立体图。如图 4 所示,电子部件 60 具备半导体基板 61、钝化膜 63、绝缘膜 64、密封层 66、内部布线 70 及外端子 76 等。电子部件 60 和半导体芯片 10 只是在外端子 76 的数量、内部布线 70 的形状及位置、形成在半导体基板 61 上的集成电路等方面不同,电子部件 60 和半导体芯片 10 同样是 WLP,因此省略电子部件 60 的详细说明。电子部件 60 的尺寸比半导体芯片 10 的尺寸小。另外,在图 4 中,外端子 76 排列成纵 3 列 × 横 3 列的栅格状,但外端子 76 的排列及数量不限于此。

[0053] 如图 2 所示,电子部件 60 芯片键合 (die bonding) 到绝缘层 43 之上。具体而言,由导体构成的基底 35 形成在绝缘层 43 上,在电子部件 60 的背侧的面 60b 与基底 35 之间夹持粘接剂 69,粘接剂 69 粘接于电子部件 60 的背侧的面 60b 和基底 35。基底 35 是与布线图案 33 一起被图案化而成的。基底 35 与布线图案 33 彼此离开,从而基底 35 与布线图案 33 不导通。另外,也可以没有基底 35,粘接剂 69 直接粘接于绝缘层 43。

[0054] 绝缘层 44 以覆盖电子部件 60 整体的方式成膜在绝缘层 43 上,电子部件 60 埋设在绝缘层 44 中。

[0055] 如图 4 所示,在电子部件 60 的背侧的面 60b 上没有形成端子,在表侧的面 60a 上露出了外端子 76 的头顶面。因此,外端子 76 没有与布线图案 33 连接。另一方面,如图 2 所示,在绝缘层 44 中开了多个孔,在孔内埋入层间连接导体 55,层间连接导体 55 贯通绝缘层 44,布线图案 34 与外端子 76 通过层间连接导体 55 而导通。

[0056] 另外,也可以是,在电子部件 60 的表侧的面 60a 朝向绝缘层 43 的状态下,将电子部件 60 通过倒装片方式等表面安装到绝缘层 43 之上。在该情况下,没有基底 35,布线图案 33 被图案化为到达电子部件 60 之下,外端子 76 例如通过焊料、导电性膏、导电性薄片、各向异性导电性膏或各向异性导电性薄片而与布线图案 33 导通。由于外端子 76 与布线图

案 33 导通,因此没有层间连接导体 55,在绝缘层 44 中也没有开出埋入层间连接导体 55 的孔。

[0057] 电子部件 80 是有源部件(例如,二极管、晶体管)或无源部件(例如,电阻器、电容器)。此外,电子部件 80 是芯片电阻器、芯片电容器、芯片二极管、芯片晶体管等表面安装型芯片部件。在电子部件 80 的表侧的面 80a 和背侧的面 60b 上分别设有端子。在电子部件 80 的背侧的面 80b 朝向绝缘层 43 的状态下,电子部件 80 芯片键合到布线图案 33 上,设置在背侧的面 80b 上的端子与布线图案 33 导通。

[0058] 绝缘层 44 以覆盖电子部件 80 整体的方式成膜在绝缘层 43 上,电子部件 80 埋设在绝缘层 44 中。在绝缘层 44 中开有孔,在孔内埋入有层间连接导体 56,层间连接导体 56 贯通绝缘层 44,在电子部件 80 的表侧的面 80a 上设置的端子与布线图案 34 通过层间连接导体 56 而导通。

[0059] 绝缘层 44 及布线图案 34 通过涂覆层 90 覆盖。涂覆层 90 中形成有多个开口,在开口内形成有焊料凸块 92,焊料凸块 92 粘接于布线图案 34 上。如图 1 所示,焊料凸块 92 排列成纵 5 列 × 横 5 列的栅格状,但焊料凸块 92 的排列及数量不限于此。另外,也可以没有焊料凸块 92。

[0060] 如图 2 所示,电子部件 60 与电子部件 80 埋设在相同的绝缘层 44 中,因此只要将绝缘层 44 设得厚即可,不需要将绝缘层 41、42、43 设得厚。因此,能够实现半导体装置 1 的薄型化。另外,埋设电子部件 60 的绝缘层和埋设电子部件 80 的绝缘层可以不同。此外,电子部件 60、80 可以不埋设在绝缘层 44 中,而埋设在绝缘层 42 或绝缘层 43 中。在多层布线结构 30 的绝缘层及布线图案的层数为 4 层以外的情况下,电子部件 60、80 只要埋设在最下层的绝缘层以外的绝缘层即可。

[0061] 埋设在多层布线结构 30 中的电子部件的数量为 2,但也可以为 1,也可以为 3 以上。在电子部件的数量为 2 以上的情况下,优选的是所有的电子部件埋设在相同的绝缘层中。这是为了实现半导体装置 1 的薄型化。

[0062] 该半导体装置 1 在印刷基板上进行表面安装而使用。具体而言,将半导体装置 1 的表侧的面 1a、即将涂覆层 90 的表面朝向印刷基板,使焊料凸块 92 与印刷基板的端子接触而将半导体装置 1 载置在印刷基板之上,只要将焊料凸块 92 回流,就能将半导体装置 1 表面安装到印刷基板上。

[0063] 也可以将半导体装置 1 用作电路基板。在将半导体装置 1 用作电路基板的情况下,将电子部件表面安装在涂覆层 90 之上,将该电子部件的端子通过焊料凸块 92 与布线图案 34 接合。

[0064] 另外,半导体装置 1 的用途不限于在印刷基板上进行表面安装的电子部件、及表面安装电子部件的电路基板。

[0065] 如以上说明,半导体芯片 10 不搭载在尺寸比其大的基板之上,而且在层叠在该半导体芯片 10 上的多层布线结构 30 中埋设有电子部件 60、80,因此能够将半导体装置 1 设为芯片尺寸(半导体芯片 10 的尺寸)。因此,能够实现半导体装置 1 的小型化。此外,多层布线结构 30 不是层叠在作为基础(base)的基板之上,而是层叠在半导体芯片 10 之上,因此能够将半导体装置 1 薄型化与作为其基础的基板相应的量。

[0066] 接着,对半导体装置 1 的制造方法进行说明。

[0067] 在制造半导体装置 1 时,使用单片化前的半导体晶片 11A(图 5 中图示)。如图 5 所示,半导体晶片 11A 通过作为分割预定线的栅格状的切割道(dicing street)(边界线)11B 被划分为多个芯片区域 11C。这些芯片区域 11C 排列成矩阵状。在半导体晶片 11A 的表侧的表层,按每个芯片区域 11C 形成集成电路。在半导体晶片 11A 的表侧的面上形成多个内端子 12。在半导体晶片 11A 的表侧的面上形成钝化膜 13。在钝化膜 13 上形成开口 15,内端子 12 在开口 15 内露出。在半导体晶片 11A 的背侧的面上露出半导体(例如硅)。

[0068] 如图 6 所示,在将绝缘膜 14 在钝化膜 13 之上进行图案化之后,通过无电解镀法或气相生长法(例如,溅射法)或它们的组合,在绝缘膜 14 整体之上使种子层 21A 成膜。种子层 21A 还在开口 15 的内壁面及内端子 12 之上生长。在绝缘膜 14 进行图案化时,将绝缘膜 14 按芯片区域 11C 划分,并且在绝缘膜 14 上形成通到内端子 12 的开口 15。种子层 21A 是铜(Cu)的薄膜、钛(Ti)的薄膜、在钛上层叠铜而成的薄膜等金属薄膜。另外,也可以不形成绝缘膜 14,而在钝化膜 13 之上形成种子层 21A。

[0069] 接着,如图 7 所示,将导体层 22 进行图案化。具体而言,将抗蚀剂等的掩膜 20B 设置在种子层 21A 之上,并在通过该掩膜 20B 将种子层 21A 部分性地覆盖的状态下,将种子层 21A 作为电极进行电解镀。在掩膜 20B 上形成与想要形成导体层 22 的位置、形状相应的狭缝(slot),通过电解镀使导体层 22 在种子层 21A 之上、在掩膜 20B 的狭缝内生长。导体层 22 生长得比种子层 21A 厚。另外,在掩膜 20B 是抗蚀剂(例如,干膜抗蚀剂、湿式抗蚀剂)的情况下,通过曝光、显影而在掩膜 20B 上形成狭缝。

[0070] 形成导体层 22 之后,去除掩膜 20B。

[0071] 接着,如图 8 所示,将外端子 26 进行图案化。具体而言,将厚膜的掩膜(例如,干膜抗蚀剂)30B 设置在种子层 21A 及导体层 22 之上,在通过掩膜 30B 部分性地覆盖种子层 21A 及导体层 22 的状态下,将种子层 21A 及导体层 22 作为电极进行电解镀。在掩膜 30B 上形成与想要形成外端子 26 的位置、形状相应的开口。通过电解镀使外端子 26 在开口内且导体层 22 之上生长。另外,在掩膜 30B 是干膜抗蚀剂或湿式抗蚀剂的情况下,通过曝光、显影而在掩膜 30B 上形成开口。

[0072] 在形成外端子 26 之后,去除掩膜 30B。

[0073] 接着,通过蚀刻来去除种子层 21A 中的不与导体层 22 重叠的部分,从而将种子层 21A 形状加工为基底 21。此时,导体层 22 及外端子 26 的表面的一部分被蚀刻,但由于导体层 22 及外端子 26 与种子层 21A 相比较足够厚,因此导体层 22 及外端子 26 残留。

[0074] 接着,如图 9 所示,通过印刷法、液滴吐出法(喷墨法)、旋涂法、滴下法等涂覆法,将密封层 16 形成在绝缘膜 14(在没有绝缘膜 14 的情况下,为钝化膜 13)之上。在形成密封层 16 时,将导体层 22 及外端子 26 利用密封层 16 覆盖。另外,也可以代替涂覆法而将预成型料(prepreg)粘贴在绝缘膜 14 之上,使该预成型料硬化,从而从预成型料形成密封层 16。

[0075] 接着,如图 10 所示,将密封层 16 的表面研磨,使外端子 26 的头顶面露出。

[0076] 通过利用图 5~图 10 说明的工序,将半导体芯片 10 制造到单片化前的状态。在电子部件 60 是 WLP 的情况下,为了制作电子部件 60,经过与利用图 5~图 10 说明的工序同样的工序之后,进行切割处理等单片化处理。由此,能够从一枚晶圆制作多个电子部件 60。

[0077] 外端子 26 露出后,如图 11 所示,将预成型料热压接到密封层 16 及外端子 26,从而

从该预成型料形成绝缘层 41。作为预成型料,优选使用使玻璃纤维增强环氧树脂、玻璃布基材环氧树脂、碳纤维增强环氧树脂、碳布基材环氧树脂、玻璃纤维增强聚酰亚胺树脂、玻璃布基材聚酰亚胺树脂、碳纤维增强聚酰亚胺树脂、碳布基材聚酰亚胺树脂等纤维增强树脂半硬化后的材料。另外,可以通过印刷法、液滴吐出法(喷墨法)、旋涂法、滴下法等涂覆法来使绝缘层 41 成膜。

[0078] 接着,如图 12 所示,在绝缘层 41 中形成多个孔 41a。孔 41a 的形成部位是与外端子 26 重叠的位置,使 41a 贯通到外端子 26。孔 41a 的形成方法既可以是向绝缘层 41 照射激光的方法,也可以是在绝缘层 41 之上设置掩膜(例如,金属掩膜、光致抗蚀剂、干膜抗蚀剂)的状态下对绝缘层 41 进行蚀刻的方法。

[0079] 接着,如图 13 所示,通过镀层法使层间连接导体 51 在孔 41a 内生长,并且使导体膜 31A 在绝缘层 41 上生长。另外,层间连接导体 51 的形成法不限于镀层法,也可以是将导电性部件(例如,导电性膏)埋入到孔 41a 内的方法。

[0080] 接着,如图 14 所示,在导体膜 31A 之上设置了掩膜(省略图示)的状态下,对导体膜 31A 进行蚀刻,从而去除导体膜 31A 的一部分。由此,从导体膜 31A 制作布线图案 31。形成布线图案 31 之后,去除掩膜。另外,布线图案 31 的形成方法不限于如图 13、14 所示的减法,也可以是添加法(半加法、全加法等加法)。

[0081] 之后同样地依次形成绝缘层 42、层间连接导体 52、布线图案 32、绝缘层 43、层间连接导体 53 及布线图案 33(参照图 15)。在形成布线图案 33 时,将基底 35 也进行图案化。另外,也可以不形成基底 35。

[0082] 接着,如图 16 所示,将电子部件 60 芯片键合到绝缘层 42 之上,将电子部件 80 芯片键合到布线图案 33 之上。关于电子部件 60,将没有端子的面 60b 朝下,通过粘接剂 69 将该面 60b 粘接到基底 35(在没有基底 35 的情况下,为绝缘层 43)。关于电子部件 80,将一个面 80b 朝下,例如通过焊料或导电性粘接剂将在该面 80b 上形成的端子与布线图案 33 接合。另外,关于电子部件 60,也可将具有端子的面 60a 朝下,将电子部件 60 倒装在布线图案 33 及绝缘层 42 之上。在该情况下,通过焊料或导电性粘接剂将在该面 60a 上形成的端子(例如,外端子 76)与布线图案 33 接合,得到端子与布线图案 33 的导通。

[0083] 接着,如图 17 所示,以通过绝缘层 44 覆盖电子部件 60、80 的方式使绝缘层 44 成膜在绝缘层 43 及布线图案 33 之上。并且,在绝缘层 44 中形成多个孔之后,在孔内分别形成层间连接导体 54、55、56,并且形成布线图案 34。绝缘层 44、层间连接导体 54、55、56、布线图案 34 的形成法与绝缘层 41、层间连接导体 51、布线图案 31 的形成法相同。另外,在将电子部件 60 的端子(例如,外端子 76)与布线图案 33 连接了的情况下,不形成层间连接导体 55 及其使用的孔。

[0084] 接着,如图 18 所示,在将涂覆层 90 进行图案化之后,在形成于涂覆层 90 中的开口内形成焊料凸块 92。

[0085] 接着,如图 19 所示,沿着切割道 11B 将半导体晶片 11A、密封层 16、多层布线结构 30 及涂覆层 90 以栅格状切断,由此将半导体晶片 11A、密封层 16、多层布线结构 30 及涂覆层 90 切开分离成芯片尺寸。由此,完成多个半导体装置 1。将半导体晶片 11A 分割而得到的即是半导体基板 11。

[0086] 另外,在单片化之前,优选通过将半导体晶片 11A 的背面进行研磨来使半导体晶

片 11A 薄型化。半导体晶片 11A 的研磨优选在形成密封层 16 之后进行。

[0087] 如以上说明,在切断半导体晶片 11A 之前进行封装(密封层 16 的形成)、多层布线结构 30 的形成、电子部件 60、80 的埋入,然后切开分离为芯片尺寸,因此能够将半导体装置 1 的尺寸设为半导体芯片 10 的尺寸。因此,能够使半导体装置 1 小型化。此外,不是在与形成了电路的半导体晶片 11A 不同的晶片上层叠多层布线结构 30,而是在半导体晶片 11A 之上层叠多层布线结构 30,因此不需要与半导体晶片 11A 不同的晶片。因此,能够实现半导体装置 1 的薄型化。

[0088] 变形例

[0089] 另外,能够适用本发明的实施方式不限于上述的实施方式,在不脱离本发明的主旨的范围内能够进行适当变更。

[0090] 例如,也可以构成为图 20 所示的半导体装置 101 那样。对图 20 所示的半导体装置 101 和图 2 所示的半导体装置 1 之间相互对应的部分附加相同的符号。

[0091] 如图 20 所示,外端子没有形成在半导体芯片 10 上,且密封层 16 比图 2 所示的情况薄。形成在绝缘层 41 中的孔开到密封层 16,层间连接导体 51 贯通绝缘层 41 及密封层 16 而与内部布线 20 连接。

[0092] 除了以上说明的结构之外,图 20 所示的半导体装置 101 和图 2 所示的半导体装置 1 之间相互对应的部分被同样地设置。

[0093] 图 20 所示的半导体装置 101 的制造方法与图 2 所示的半导体装置 1 的制造方法大致相同。其中,在制造半导体芯片 10 时,不形成外端子而形成密封层 16,通过激光的照射将层间连接导体 51 用的孔形成于密封层 16,这一点与第 1 实施方式的情况不同。

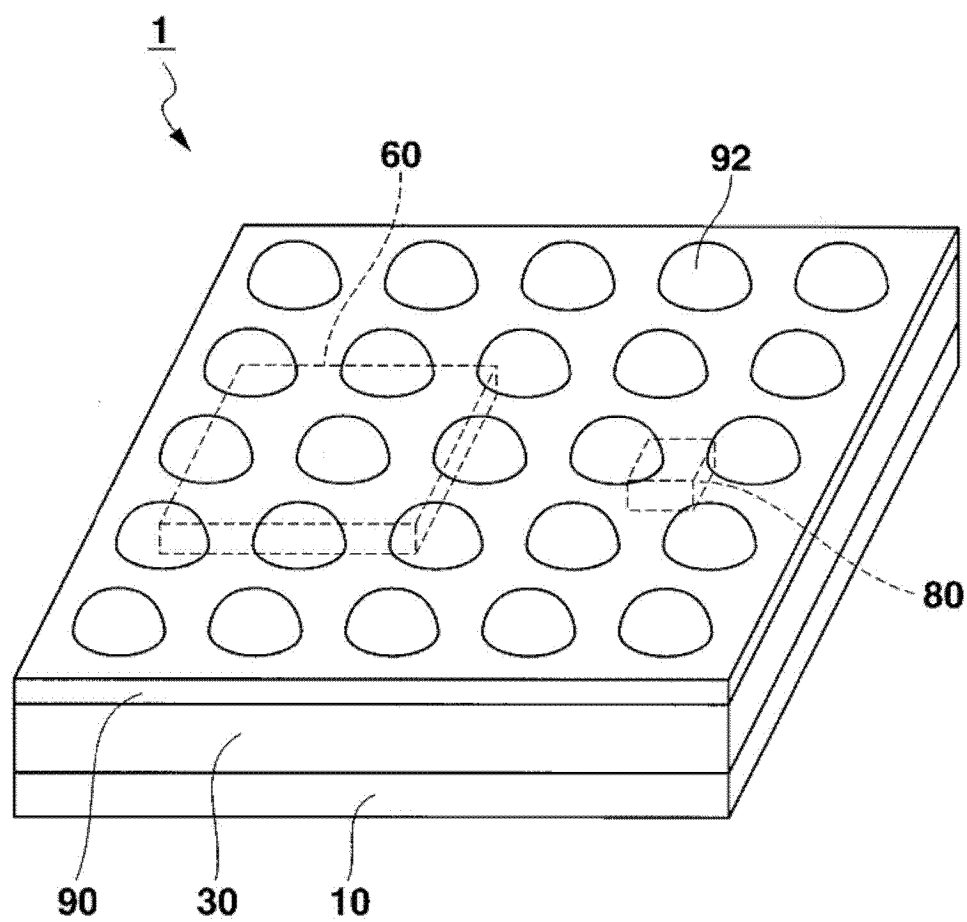


图 1

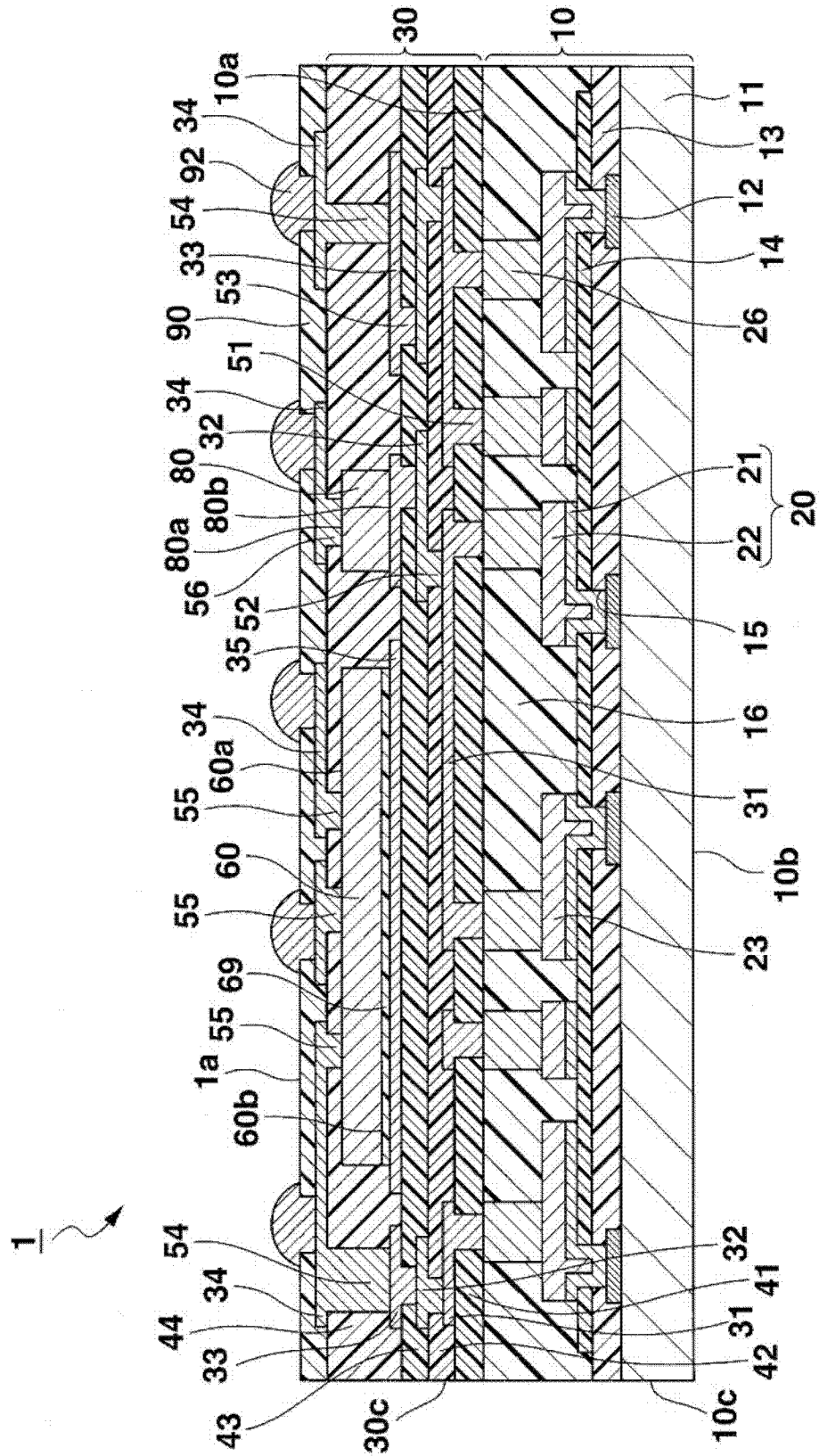


图 2

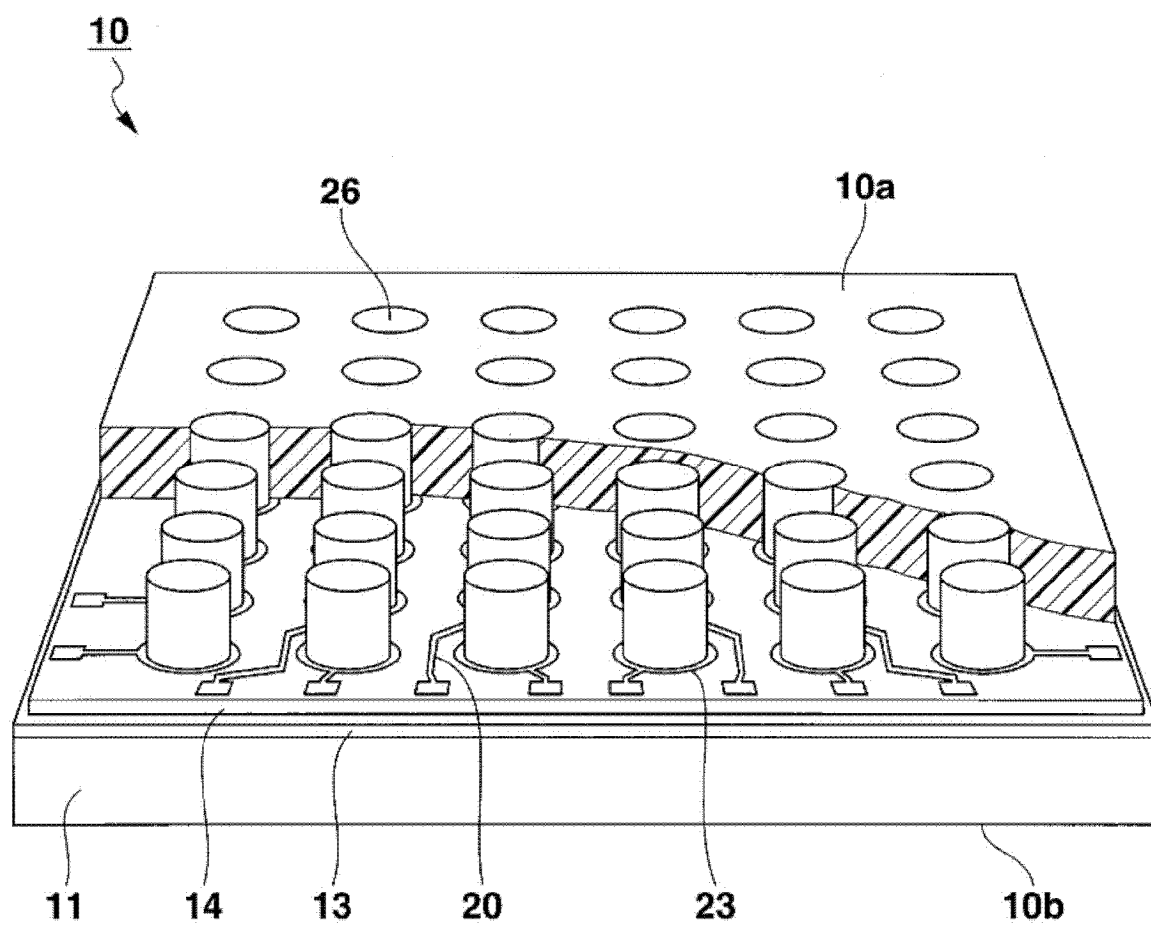


图 3

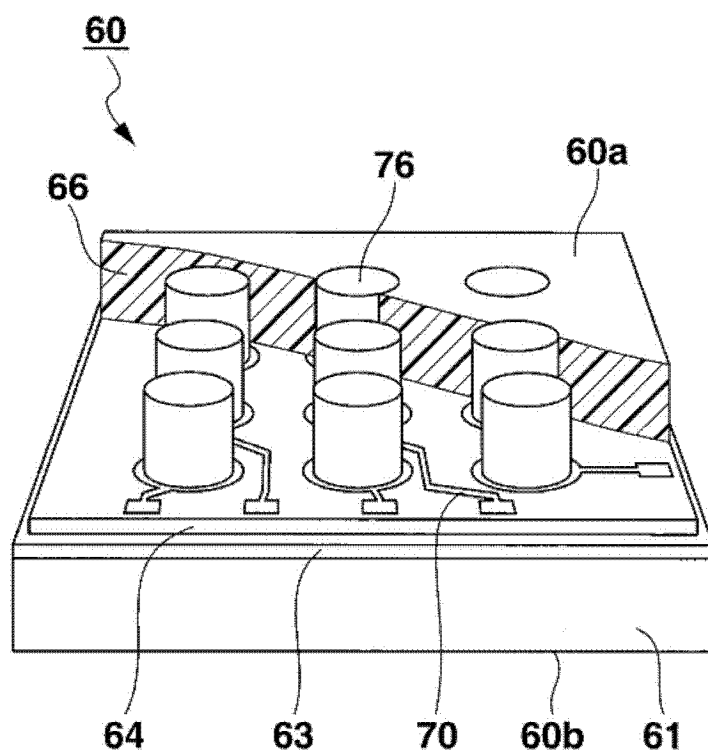


图 4

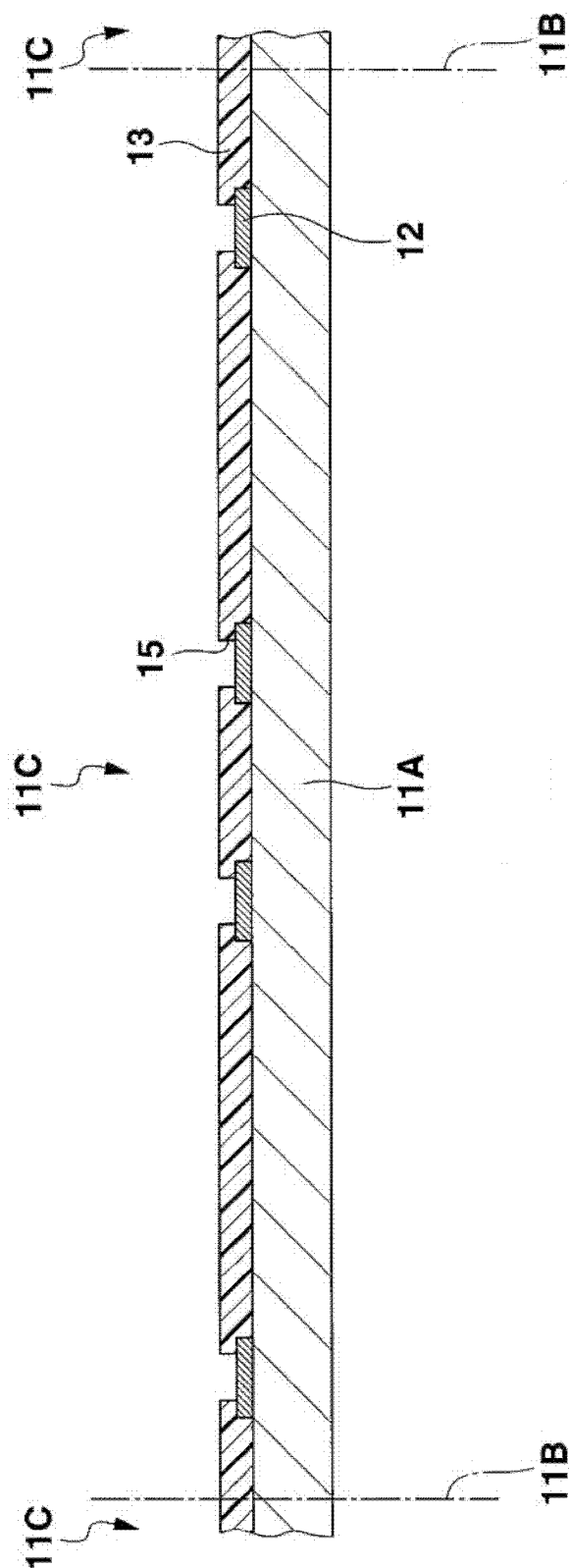


图 5

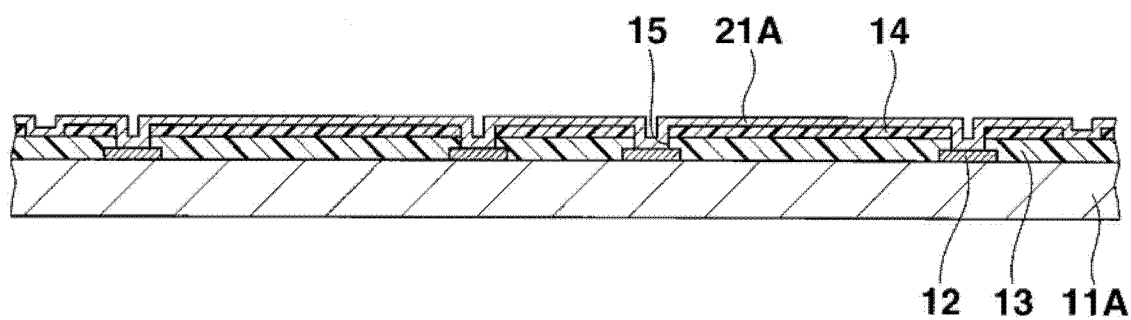


图 6

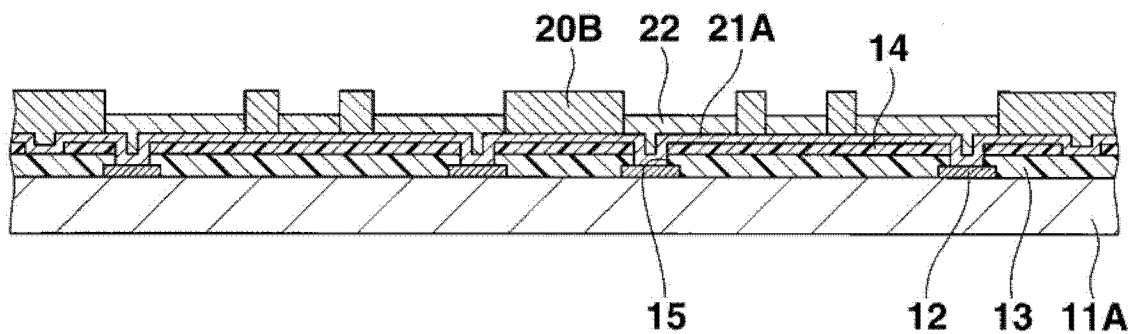


图 7

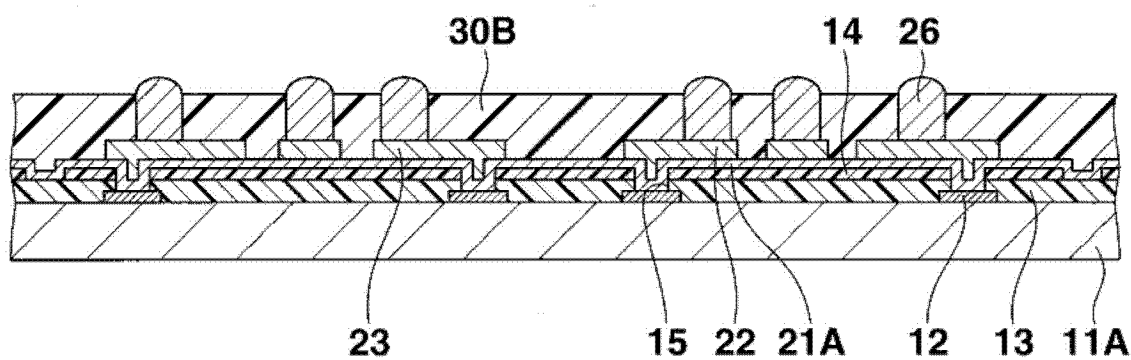


图 8

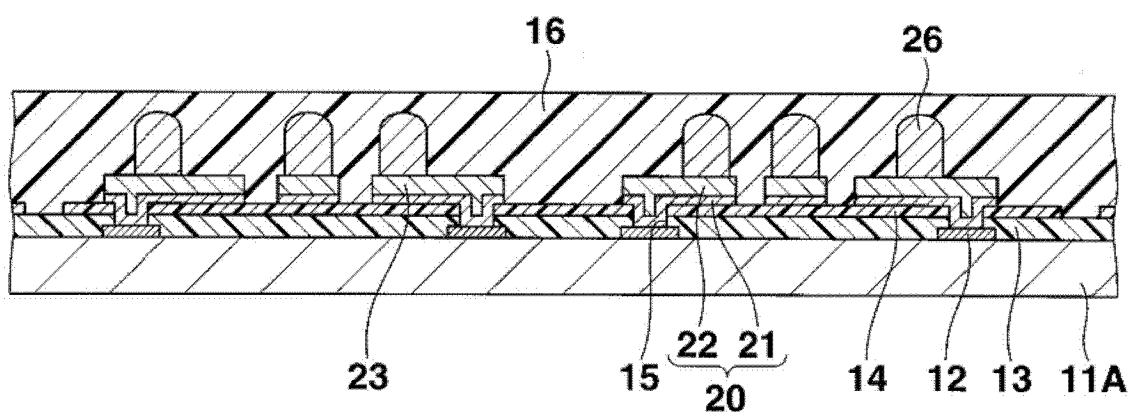


图 9

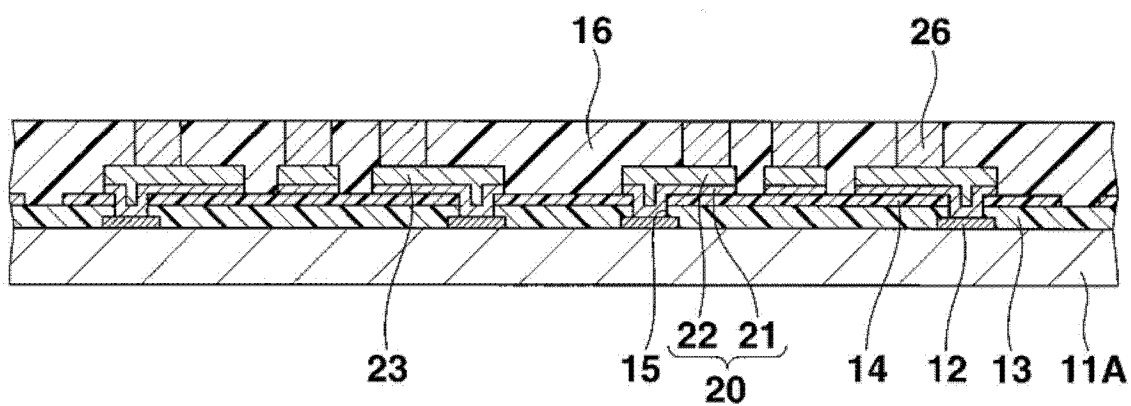


图 10

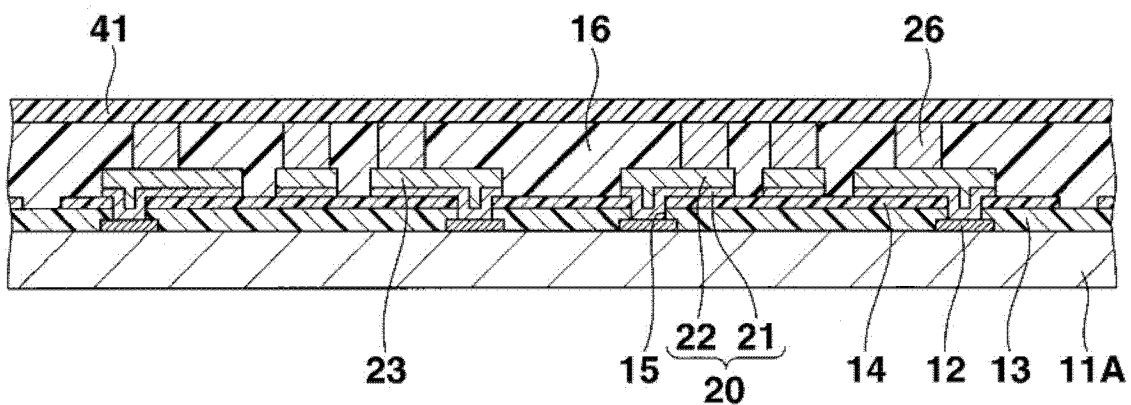


图 11

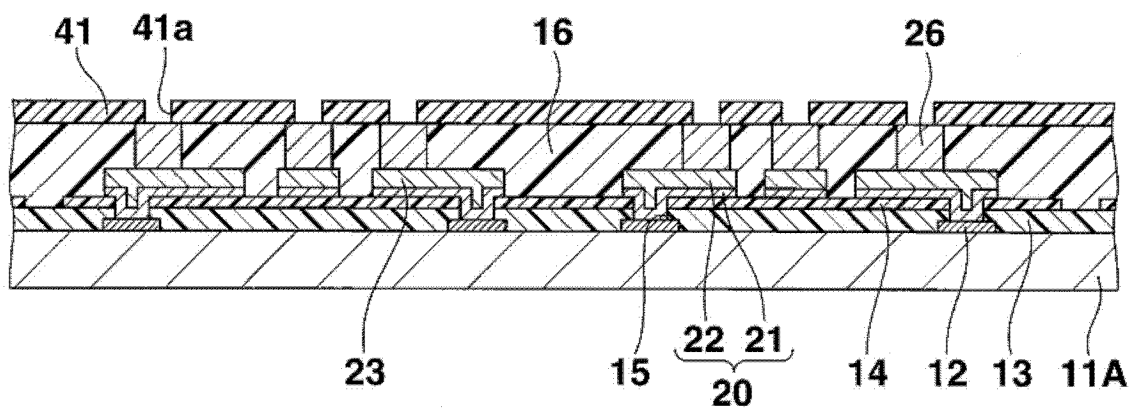


图 12

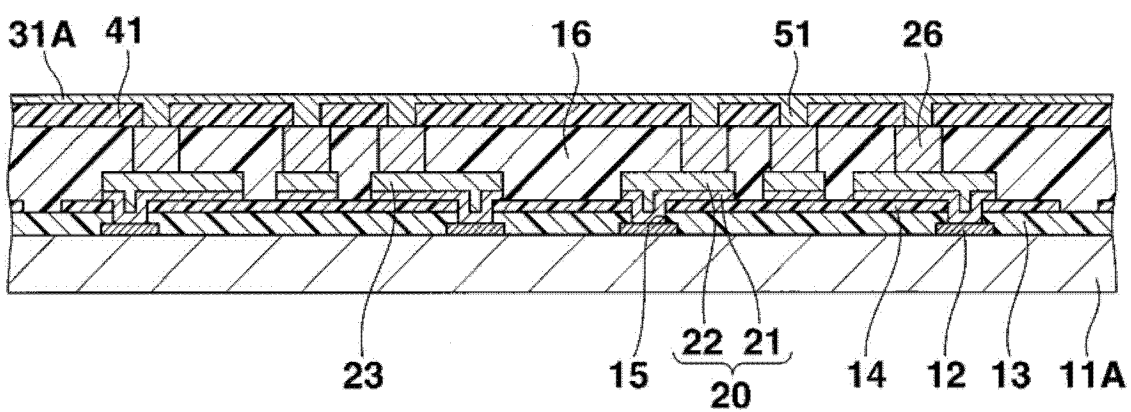


图 13

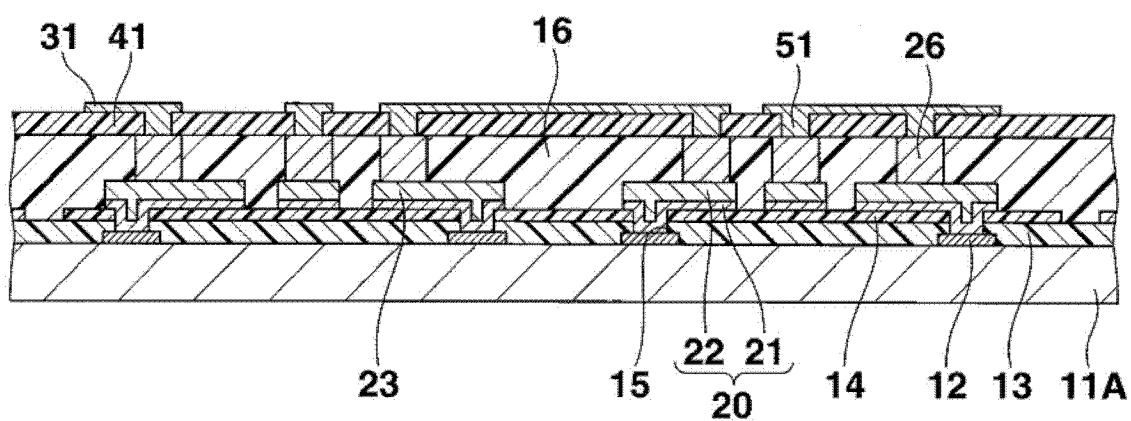


图 14

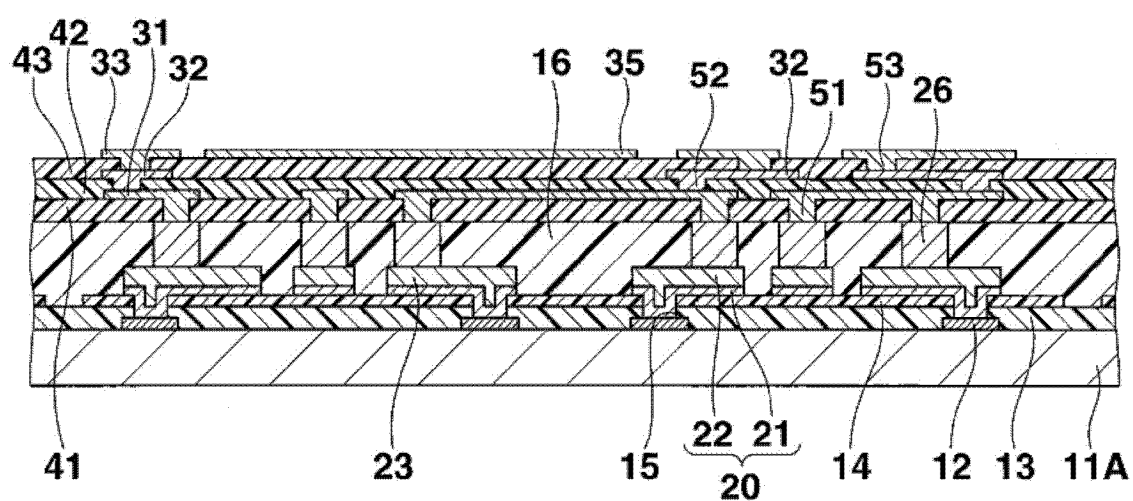


图 15

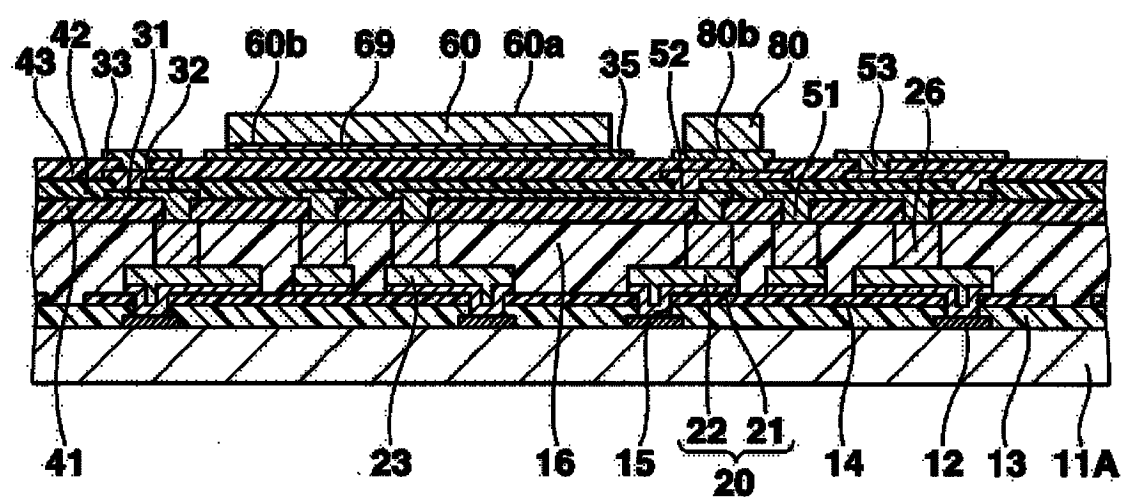


图 16

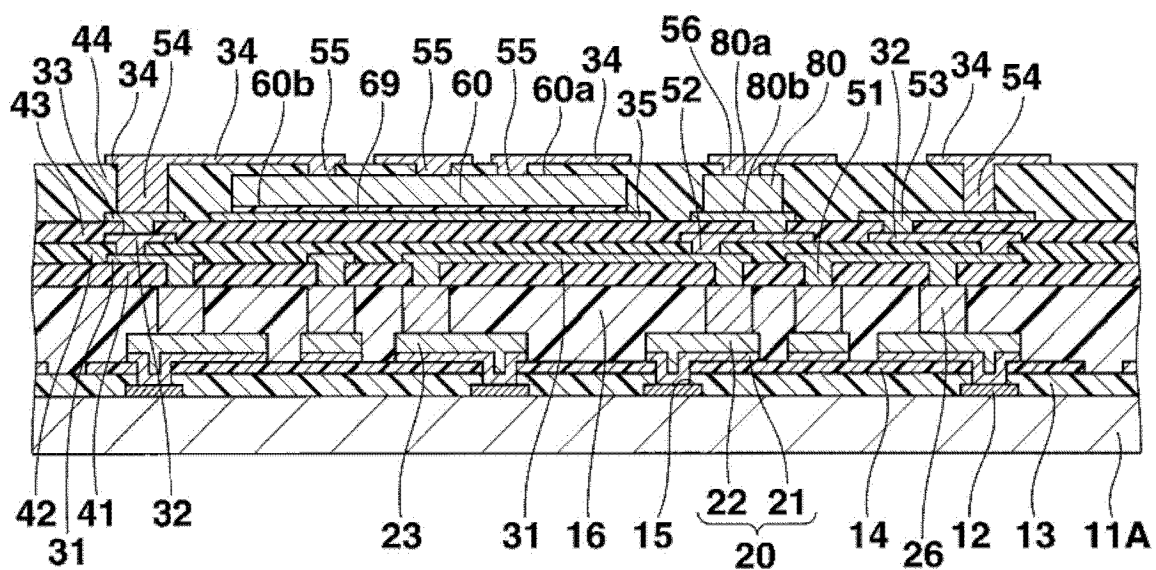


图 17

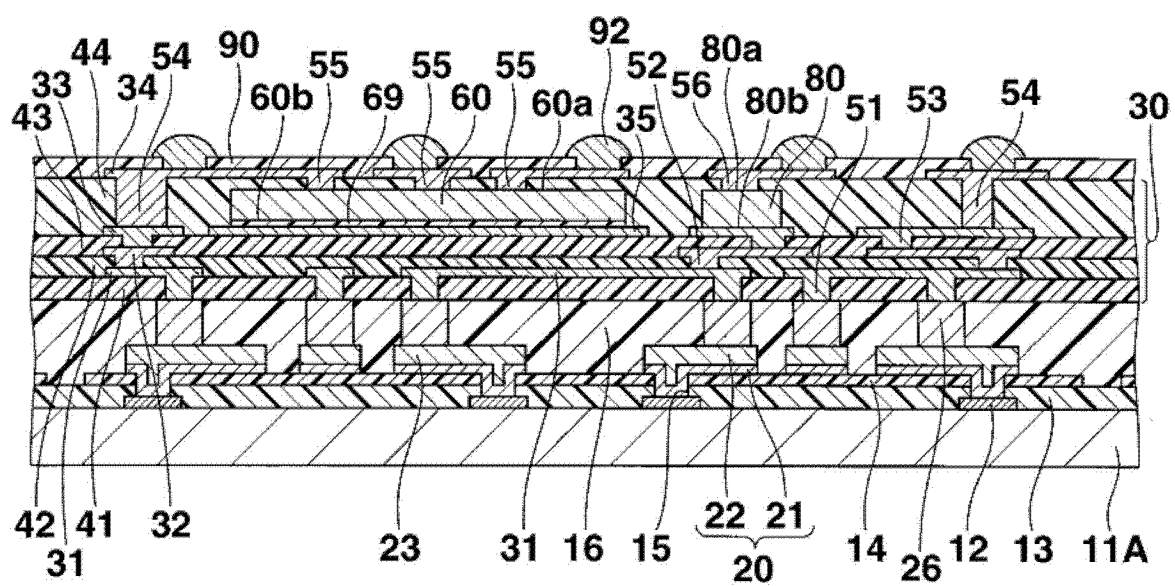


图 18

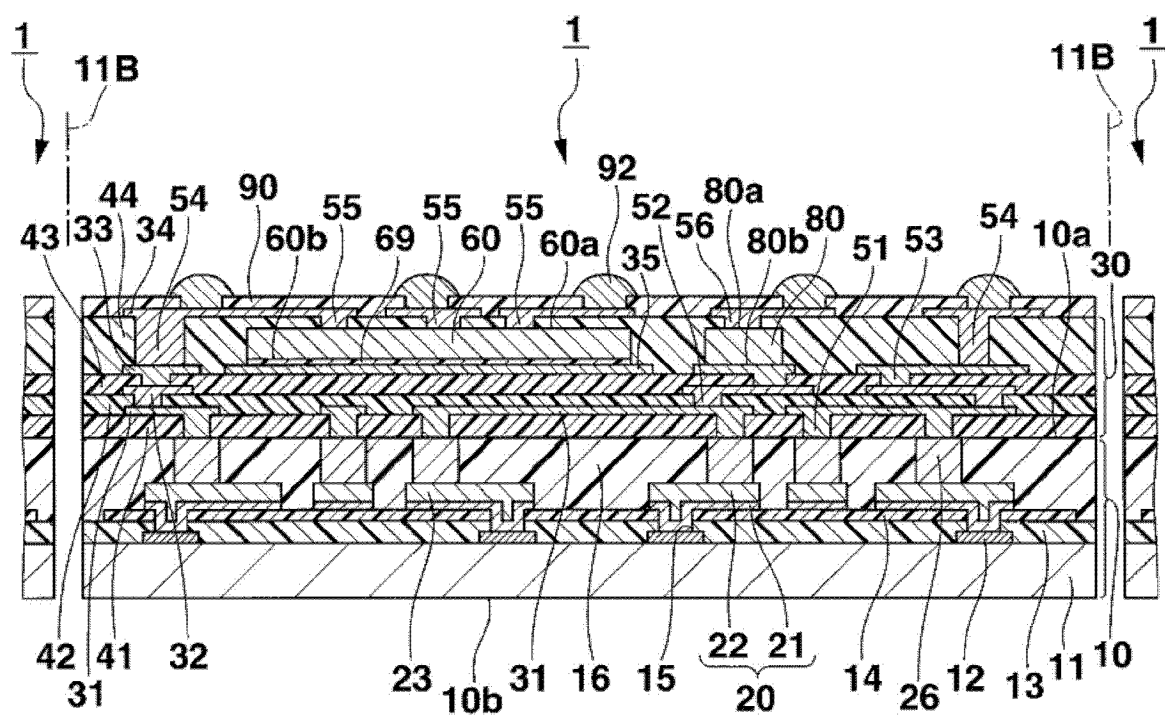


图 19

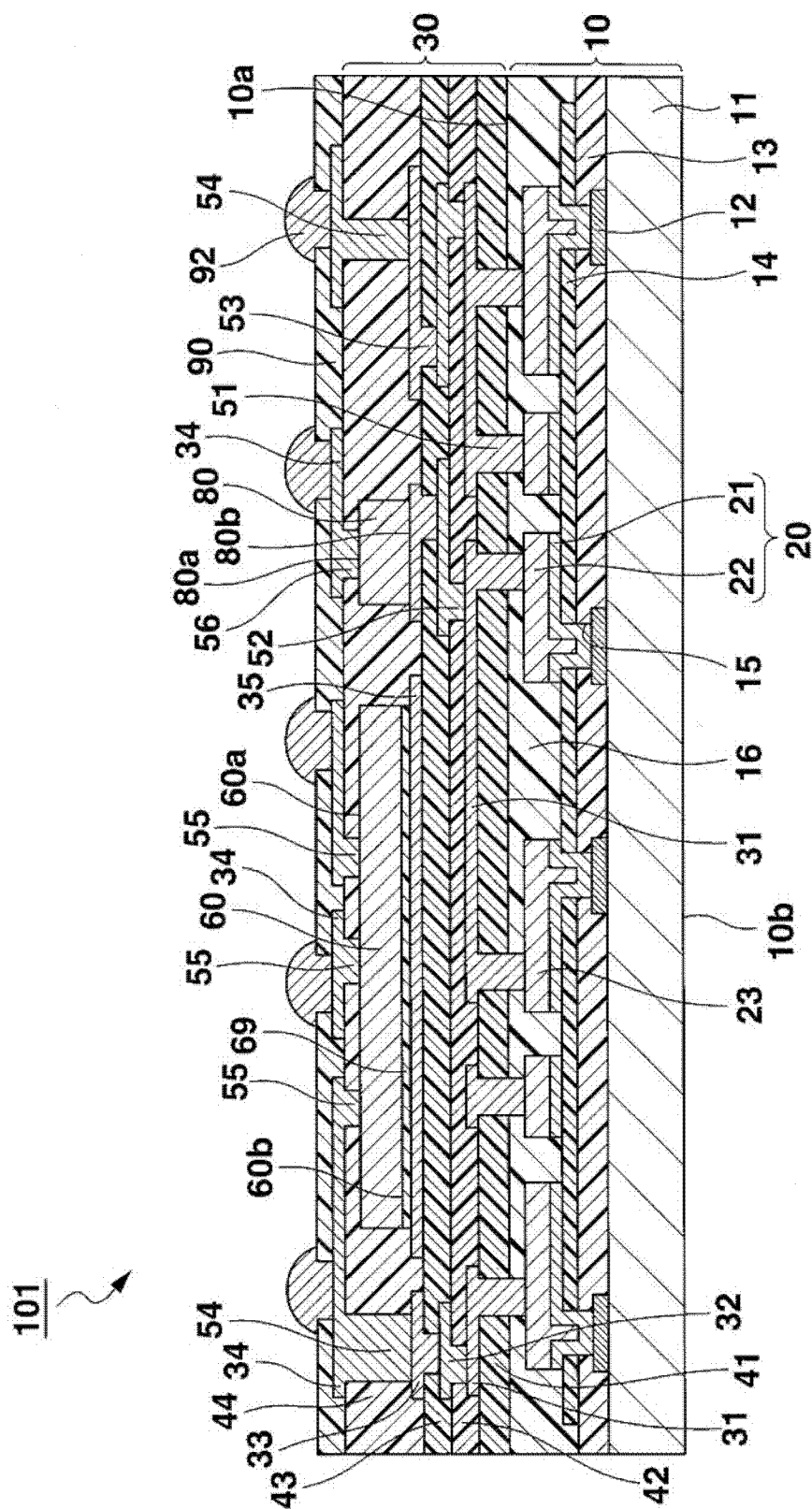


图 20