



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2025년01월24일  
(11) 등록번호 10-2759366  
(24) 등록일자 2025년01월20일

(51) 국제특허분류(Int. Cl.)  
H04N 25/77 (2023.01) H04N 25/70 (2023.01)  
(52) CPC특허분류  
H04N 25/772 (2023.01)  
H04N 25/79 (2023.01)  
(21) 출원번호 10-2019-0071066  
(22) 출원일자 2019년06월14일  
심사청구일자 2022년05월25일  
(65) 공개번호 10-2020-0143141  
(43) 공개일자 2020년12월23일  
(56) 선행기술조사문헌  
KR1020150068429 A\*  
US20100194956 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
추명래  
경기도 화성시 동탄문화센터로 38(반송동, 솔빛마을서해그랑블아파트)  
서민웅  
경기도 화성시 동탄반석로 277(석우동, 동탄예당마을 우미란제일풍경채)  
(74) 대리인  
리엔목특허법인

전체 청구항 수 : 총 14 항

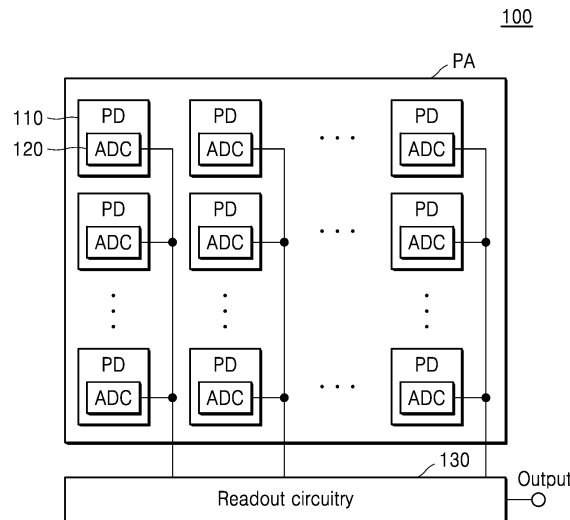
심사관 : 양정미

(54) 발명의 명칭 CIS, 및 그 CIS에서 픽셀별 AE 방법

(57) 요약

본 발명의 기술적 사상은 별도의 고용량의 커패시터의 필요없이 WDR을 구현할 수 있는 CIS, 및 그 CIS에서 픽셀별 AE 방법을 제공한다. 그 CIS는 2차원 어레이 구조로 배치되고, 각각 포토다이오드(Photo-Diode: PD)를 구비한 복수의 픽셀들; 픽셀별로 AE(Auto-Exposure)를 수행하는 복수의 ADC들(Analog-Digital Converters); 및 상기 픽셀들에서 생성된 전하에 대한 픽셀 신호를 로우(row) 단위로 읽는 독출 회로(readout circuitry);를 포함하고, 상기 픽셀들과 상기 ADC들의 개수는 동일하고 서로 일대일 연결되며, 상기 ADC들 각각이 대응하는 픽셀의 상기 AE를 수행한다.

대표도 - 도1



(52) CPC특허분류  
*H10F 39/18* (2025.01)

---

## 명세서

### 청구범위

#### 청구항 1

2차원 어레이 구조로 배치되고, 각각 포토다이오드(Photo-Diode: PD)를 구비한 복수의 픽셀들;

픽셀별로 AE(Auto-Exposure)를 수행하는 복수의 ADC들(Analog-Digital Converters); 및

상기 픽셀들에서 생성된 전하에 대한 픽셀 신호를 로우(row) 단위로 읽는 독출 회로(readout circuitry);를 포함하고,

상기 픽셀들과 상기 ADC들의 개수는 동일하고 서로 일대일 연결되며, 상기 ADC들 각각이 대응하는 픽셀의 상기 AE를 수행하며,

상기 ADC들 각각은, 대응하는 상기 픽셀에서 전하의 오버플로우를 판단하기 위한 비교기(comparator), 및 상기 비교기의 출력 신호를 저장하는 저장 유닛을 포함하며,

상기 ADC들 각각은, 상기 AE를 수행하는 AE 모드와 상기 픽셀 신호에 대한 AD(Analog-Digital) 변환을 수행하는 일반 모드를 포함하며,

상기 AE 모드에서, 상기 비교기의 제1 입력 단자에 플로팅 확산(Floating Diffusion: FD) 영역이 연결되고 상기 비교기의 제2 입력 단자에 기준 전압이 연결되며, 상기 비교기의 출력이 리셋(reset) TR의 게이트에 연결되며,

상기 일반 모드에서, 상기 제2 입력 단자에 계단형 램프(ramp) 전압이 연결되고, 리셋 TR 라인이 상기 리셋 TR의 게이트에 연결되는 것을 특징으로 하는 CIS(CMOS Image Sensor).

#### 청구항 2

삭제

#### 청구항 3

제1 항에 있어서,

상기 픽셀들 각각은, 전송(Transfer) TR, 및 상기 리셋 TR을 구비하고,

상기 PD에 생성된 전하는 상기 전송 TR를 거쳐 상기 FD 영역에 저장되며,

상기 FD 영역의 전압 레벨이 상기 기준 전압 이상이 되면 상기 비교기의 출력 신호가 로우(low: L) 신호에서 하이(high: H) 신호로 변경되고,

상기 저장 유닛에 상기 L 신호에서 상기 H 신호로 변경된 정보가 저장되는 것을 특징으로 하는 CIS.

#### 청구항 4

제3 항에 있어서,

상기 비교기의 출력이 상기 H 신호로 변경될 때, 상기 리셋 TR이 온(on) 되어 상기 FD 영역이 리셋되는 것을 특징으로 하는 CIS.

#### 청구항 5

삭제

#### 청구항 6

제3 항에 있어서,

상기 픽셀들 각각은, 소스 팔로워(source follower) TR, 및 선택(selection) TR을 더 포함하고,

상기 FD 영역은 상기 소스 팔로워 TR과 선택 TR를 거쳐 상기 비교기의 제1 입력 단자로 연결되는 것을 특징으로 하는 CIS.

**청구항 7**

제1 항에 있어서,

상기 저장 유닛은 쉬프트 레지스터(shift register), 카운터, 및 메모리 중 적어도 하나로 구현된 것을 특징으로 하는 CIS.

**청구항 8**

제1 항에 있어서,

상기 픽셀별 AE에 기초하여, 상기 픽셀들 중 적어도 일부는 EIT(Effective Integration Time)가 감소하는 것을 특징으로 하는 CIS.

**청구항 9**

제1 항에 있어서,

상기 픽셀별 AE를 이용하여, WDR(Wide Dynamic Range)을 위한 이미지 보장이 수행되는 것을 특징으로 하는 CIS.

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

각각 포토다이오드(Photo-Diode: PD)를 구비한 복수의 픽셀들이 2차원 어레이 구조로 배치된 상부 칩; 및 픽셀별로 AE를 수행하는 복수의 ADC들, 및 상기 픽셀들로부터의 픽셀 신호를 처리하는 신호 처리 회로들이 배치된 적어도 하나의 하부 칩;을 포함하고,

상기 상부 칩이 하부 칩 상에 적층된 구조를 가지며, 상기 픽셀들과 상기 ADC들이 서로 일대일 연결되며,

상기 ADC들 각각은, 비교기, 및 상기 비교기의 출력 신호를 저장하는 저장 유닛을 포함하고,

상기 ADC들 각각은, 상기 AE를 수행하는 AE 모드와 상기 픽셀 신호에 대한 AD 변환을 수행하는 일반 모드를 포함하며,

상기 AE 모드에서, 상기 비교기의 제1 입력 단자에 플로팅 확산(FD) 영역이 연결되고 상기 비교기의 제2 입력 단자에 기준 전압이 연결되며, 상기 비교기의 출력은 리셋 TR의 게이트에 연결되며,

상기 일반 모드에서, 상기 제2 입력 단자에 계단형 램프 전압이 연결되고, 리셋 TR 라인이 상기 리셋 TR의 게이트에 연결되는 것을 특징으로 하는 CIS.

**청구항 13**

제12 항에 있어서,

상기 픽셀들 각각은, 전송 TR, 및 상기 리셋 TR을 구비하며,

상기 PD에 생성된 전하는 상기 전송 TR를 거쳐 상기 FD 영역에 저장되며,

상기 FD 영역의 전압 레벨이 상기 기준 전압 이상 또는 이하가 되면 상기 비교기의 출력 신호가 로우(L) 신호에서 하이(H) 신호, 또는 H 신호에서 L 신호로 변경되고 상기 리셋 TR이 온 되어 상기 FD 영역이 리셋되며,

상기 저장 유닛에는 상기 L 신호에서 상기 H 신호, 또는 상기 H 신호에서 상기 L 신호로 변경된 정보가 저장되는 것을 특징으로 하는 CIS.

**청구항 14**

삭제

**청구항 15**

제13 항에 있어서,

상기 픽셀들 각각은, 상기 FD 영역에 직접 연결되거나, 또는 상기 전송 TR를 통해 상기 FD 영역에 연결된 AE용 TR를 더 포함하고,

상기 비교기의 출력은 상기 AE용 TR의 게이트로 연결되며,

상기 비교기의 출력이 상기 H 신호 또는 상기 L 신호로 변경될 때, 상기 AE용 TR이 온 되어 상기 FD 영역이 리셋되는 것을 특징으로 하는 CIS.

**청구항 16**

제12 항에 있어서,

상기 적어도 하나의 하부 칩은, 상기 ADC들이 배치된 제1 하부 칩과 상기 신호 처리 회로들이 배치된 제2 하부 칩을 포함하고,

상기 상부 칩, 제1 하부 칩, 및 제2 하부 칩이 순차적으로 적층된 것을 특징으로 하는 CIS.

**청구항 17**

포토다이오드(PD)를 각각 구비한 복수의 픽셀들, 및 상기 픽셀들에 일대일 대응하는 복수의 ADC들을 포함하는 CIS에서, 플로팅 확산(FD) 영역을 리셋하고, 리셋 TR의 리셋 신호를 상기 ADC를 통해 AD 변환하는 단계;

전송 TR의 온에 의해 상기 PD에 쌓인 전하를 상기 FD 영역으로 전달한 후, 픽셀 신호를 상기 ADC를 통해 AD 변환 및 현재 프레임 구간의 노출을 시작하는 단계; 및

현재 프레임 구간의 노출 동안 상기 ADC를 통해 픽셀에 대한 AE를 수행하는 단계;를 포함하며,

상기 ADC들 각각은 비교기, 및 상기 비교기의 출력 신호를 저장하는 저장 유닛을 포함하며,

상기 ADC는, 상기 AE를 수행하는 AE 모드와, 상기 픽셀 신호에 대한 AD 변환을 수행하는 일반 모드를 포함하며,

상기 AE 모드는 상기 픽셀에 대한 AE를 수행하는 단계의 구간에 대응하고, 상기 AE 모드에서 상기 비교기의 제1 입력 단자에 플로팅 확산 영역이 연결되고, 상기 비교기의 제2 입력 단자에 기준 전압이 연결되며, 상기 비교기의 출력이 리셋 TR의 게이트에 연결되어 오버플로우가 발생한 픽셀의 상기 FD 영역의 리셋을 수행하며,

상기 일반 모드는 상기 픽셀 신호를 상기 ADC를 통해 AD 변환하는 구간에 대응하며, 상기 일반 모드에서 상기 제2 입력 단자에 계단형 램프 전압이 연결되고, 리셋 TR 라인이 상기 리셋 TR의 게이트에 연결되어, 상기 픽셀 신호에 대한 AD 변환을 수행하는 것을 특징으로 하는 CIS에서 픽셀별 AE 방법.

**청구항 18**

제17 항에 있어서,

상기 픽셀에 대한 AE를 수행하는 단계에서, 상기 복수의 픽셀들 중 적어도 하나에서 전하의 오버플로우가 발생할 때, 대응하는 상기 ADC가 상기 오버플로우가 발생한 픽셀의 상기 FD 영역을 리셋하고 상기 FD 영역의 리셋 정보를 저장하는 것을 특징으로 하는 CIS에서 픽셀별 AE 방법.

**청구항 19**

제18 항에 있어서,

상기 오버플로우가 발생한 픽셀의 상기 FD 영역의 전압 레벨이 상기 기준 전압 이상 또는 이하가 되고 상기 비교기의 출력 신호가 로우(L) 신호에서 하이(H) 신호, 또는 H 신호에서 L 신호로 변경되며, 상기 리셋 TR이 온 되어 상기 FD 영역이 리셋되며,

상기 리셋 정보가 상기 저장 유닛에 저장되는 것을 특징으로 하는 CIS에서 픽셀별 AE 방법.

**청구항 20**

삭제

**발명의 설명**

**기술 분야**

[0001] 본 발명의 기술적 사상은 이미지 센서에 관한 것으로, 특히 픽셀별 ADC가 수행될 수 있는 씨모스 이미지 센서(CMOS Image Sensor: CIS)에 관한 것이다.

**배경 기술**

[0002] 일반적으로 씨모스 이미지 센서(CIS)는 픽셀 영역과 로직 영역을 포함할 수 있다. 픽셀 영역에는 복수 개의 픽셀들이 2차원 어레이 구조로 배열되고, 픽셀들을 구성하는 단위 픽셀은 포토다이오드와 픽셀 트랜지스터들을 포함할 수 있다. 로직 영역에는 픽셀 영역으로부터의 픽셀 신호들을 처리하기 위한 신호 처리 회로들이 배치될 수 있다. 최근 CIS에는 광역보정(Wide Dynamic Range: WDR) 기능이 구현되고 있다. WDR 기능은 역광이나 태양광이 강해 화면에 밝고 어두운 부분의 조도 차이가 심한 상황에서 어두운 곳은 밝게 너무 밝은 곳은 적당히 어둡게 영상을 보정하여 선명한 이미지를 구현할 수 있는 기능을 말한다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명의 기술적 사상이 해결하고자 하는 과제는, 별도의 고용량의 커패시터의 필요없이 WDR을 구현할 수 있는 CIS, 및 그 CIS에서 픽셀별 AE 방법을 제공하는 데에 있다.

**과제의 해결 수단**

[0004] 상기 과제를 해결하기 위하여, 본 발명의 기술적 사상은, 2차원 어레이 구조로 배치되고, 각각 포토다이오드(Photo-Diode: PD)를 구비한 복수의 픽셀들; 픽셀별로 AE(Auto-Exposure)를 수행하는 복수의 ADC들(Analog-Digital Converters); 및 상기 픽셀들에서 생성된 전하에 대한 픽셀 신호를 로우(row) 단위로 읽는 독출 회로(readout circuitry);를 포함하고, 상기 픽셀들과 상기 ADC들의 개수는 동일하고 서로 일대일 연결되며, 상기 ADC들 각각이 대응하는 픽셀의 상기 AE를 수행하는, CIS(CMOS Image Sensor)를 제공한다.

[0005] 또한, 본 발명의 기술적 사상은, 상기 과제를 해결하기 위하여, 2차원 어레이 구조로 배치되고, 각각 포토다이오드(PD)를 구비한 복수의 픽셀들; 픽셀별로 AE를 수행하는 복수의 ADC들; 및 상기 픽셀들에서 생성된 전하에 대한 픽셀 신호를 로우 단위로 읽는 독출 회로;를 포함하고, 상기 ADC들의 개수는, 상기 2차원 어레이의 컬럼 수와 동일하고, 상기 ADC들 각각은 대응하는 컬럼에 포함된 픽셀들 모두에 연결되며, 상기 로우 단위로 대응하는 픽셀의 상기 AE를 수행하는, CIS를 제공한다.

[0006] 더 나아가, 본 발명의 기술적 사상은, 상기 과제를 해결하기 위하여, 각각 포토다이오드(PD)를 구비한 복수의 픽셀들이 2차원 어레이 구조로 배치된 상부 칩; 및 픽셀별로 AE를 수행하는 복수의 ADC들, 및 상기 픽셀들로부터의 픽셀 신호를 처리하는 신호 처리 회로들이 배치된 적어도 하나의 하부 칩;을 포함하고, 상기 상부 칩이 하부 칩 상에 적층된 구조를 가지며, 상기 픽셀들과 상기 ADC들이 서로 일대일 연결된, CIS를 제공한다.

[0007] 한편, 본 발명의 기술적 사상은, 상기 과제를 해결하기 위하여, 포토다이오드(PD)를 각각 구비한 복수의 픽셀들, 및 상기 픽셀들에 일대일 대응하는 복수의 ADC들을 포함하는 CIS에서, 플로팅 확산(FD) 영역을 리셋하고, 리셋 TR의 리셋 신호를 상기 ADC를 통해 AD 변환하는 단계; 전송 TR의 온에 의해 상기 PD에 쌓인 전하를 상기 FD 영역으로 전달한 후, 픽셀 신호를 상기 ADC를 통해 AD 변환 및 현재 프레임 구간의 노출을 시작하는 단계; 및 현재 프레임 구간의 노출 동안 상기 ADC를 통해 픽셀에 대한 AE를 수행하는 단계;를 포함하는, CIS에서 픽셀별 AE 방법을 제공한다.

**발명의 효과**

[0008] 본 발명의 기술적 사상에 의한 CIS는, 픽셀별로 ADC가 구현될 수 있다. 그에 따라, 본 발명의 기술적 사상에 의

한 CIS는, 픽셀별 ADC에 기초하여 EIT(Effective Integration Time) 동안 픽셀들에서 전하의 오버플로우 또는 포화의 검출이 가능하고, 픽셀별 AE를 수행할 수 있다. 이러한 픽셀별 AE를 통해 픽셀들에서의 전하 포화가 방지되고, 픽셀별 EIT가 조절될 수 있다. 또한, 전하 포화에 기인한 픽셀 신호에서의 에러나 정보 유실이 방지될 수 있다. 결국, 본 발명의 기술적 사상에 의한 CIS는, 픽셀별 ADC에 의한 픽셀별 AE 및 픽셀별 EIT의 조절에 기초하여, 미세 사이즈의 픽셀의 FWC(Full Well Capacity)의 제한을 극복하고, 별도의 고용량의 커패시터 없이 WDR을 용이하게 구현할 수 있다.

**도면의 간단한 설명**

- [0009] 도 1은 본 발명의 일 실시예에 따른 CIS에 대한 블록 구성도이다.
- 도 2a 및 도 2b는 도 1의 CIS에서 정보 유실이 방지되는 효과를 설명하기 개념도들이다.
- 도 3은 도 1의 CIS에서 픽셀별 ADC가 구현된 회로도이다.
- 도 4a 및 도 4b는 도 3의 회로도에서 픽셀별 AE가 수행되는 원리를 설명하기 위한 개념도들이다.
- 도 5a 및 도 5b는 도 1의 CIS에서 픽셀별 ADC를 통해 픽셀별 AE가 수행되는 과정에 대한 흐름도 및 타이밍도이다.
- 도 6a 및 도 6b는 본 발명의 일 실시예들에 따른 CIS들에서, 픽셀별 ADC가 구현된 회로도들이다.
- 도 7은 본 발명의 일 실시예에 따른 CIS에서, 픽셀별 ADC가 구현된 회로도이다.
- 도 8a 및 도 8b는 본 발명의 일 실시예에 따른 CIS에 대한 블록 구성도, 및 상기 CIS에서 픽셀별 ADC가 구현된 회로도이다.
- 도 9는 도 8a의 CIS에서 픽셀별 ADC를 통해 픽셀별 AE가 수행되는 과정에 대한 타이밍도이다.
- 도 10a 및 도 10b는 본 발명의 일 실시예에 따른 CIS에 대한 분리 사시도, 및 TSV를 이용하는 픽셀 칩과 로직 칩에 대한 평면도이다.
- 도 11은 본 발명의 일 실시예에 따른 CIS에 대한 분리 사시도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0010] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 도면 상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.
- [0011] 도 1은 본 발명의 일 실시예에 따른 CIS에 대한 블록 구성도이다.
- [0012] 도 1을 참조하면, 본 실시예의 씨모스 이미지 센서(100, CMOS Image Sensor: CIS)는 복수의 픽셀들(110), 복수의 ADC들(120, Analog-Digital Converters), 및 독출 회로(130, readout circuit)를 포함할 수 있다.
- [0013] 복수의 픽셀들(110)은 2차원 어레이 구조로 픽셀 영역(PA)에 배치될 수 있다. 각각의 픽셀(110)에는 포토다이오드(Photo-Diode: PD, 도 3의 112 참조), 전송 TR(도 3의 114 참조), 리셋 TR(도 3의 116 참조), 및 플로팅 확산(Floating Diffusion: FD) 영역(도 3의 118 참조)이 배치될 수 있다. 도 1에서, 편의상 픽셀(110) 내에 PD만을 기재하고 있다.
- [0014] PD(112)는 P-N 접합 다이오드로서, 입사된 광량에 비례하여 전하, 예컨대, 음의 전하인 전자와 양의 전하인 정공을 생성할 수 있다. 전송 TR(114)은 PD(112)에서 생성된 전하를 FD 영역(118)으로 전송할 수 있다.
- [0015] 리셋 TR(116)은 FD 영역(118)에 저장되어 있는 전하를 주기적으로 리셋(reset)시킬 수 있다. 또한, 리셋 TR(116)은 픽셀(110)의 ADC(120)와 연결되어, 픽셀(110)의 FD 영역(118)에 전하의 오버플로우 또는 포화가 발생할 때, 픽셀(110)의 FD 영역(118)을 리셋함으로써, 픽셀별 AE(Auto Exposure)를 수행할 수 있다. 리셋 TR(116)과 ADC(120)를 이용하여 픽셀별 AE를 수행하는 내용에 대해서는 도 3 내지 도 4b의 설명 부분에서 좀더 상세히 설명한다.
- [0016] 복수의 ADC들(120)은, 복수의 픽셀들(110)에 대응하여 2차원 어레이 구조로 배치될 수 있다. 그러나 복수의 ADC들(120)의 배치 구조가 2차원 어레이 구조에 한정되는 것은 아니다. 예컨대, 복수의 ADC들(120)은 복수의 픽셀들(110)에 일대일 대응하여 연결되지만 한다면 2차원 어레이 구조가 아닌 다른 배치 구조를 가질 수 있다.

- [0017] 한편, 도 1에서, ADC들(120)이 대응하는 픽셀들(110) 각각에 배치되는 것으로 도시되고 있는데, 이는 ADC들(120)과 픽셀들(110)이 일대일 연결된다는 개념을 설명하기 위한 것이지, 실제로 ADC들(120)이 대응하는 픽셀들(110) 각각에 배치되는 것은 아니다. 예컨대, 도 10a의 CIS(100e)나 도 11의 CIS(100f)의 구조와 같이, ADC들(120)은 픽셀들(110)과 다른 칩에 배치되고, TSV(도 10b의 140a, 140b 참조)나 Cu-Cu 본딩, 그리고 각각의 칩의 내부 배선 등을 통해 서로 연결될 수 있다.
- [0018] ADC들(120) 각각은 비교기(comparator, 도 3의 122 참조)와 저장 유닛(도 3의 124 참조)을 포함할 수 있다. 비교기(122)는 2개의 입력 신호를 비교하여 로우(low: L) 신호 또는 하이(high: H) 신호를 출력할 수 있다. 예컨대, 제1 입력 단자로 입력되는 변동되는 제1 신호와 제2 입력 단자로 입력되는 고정된 제2 신호를 비교하여, 제1 신호의 전압이 제2 신호의 전압 이상이면 H 신호를 출력하고, 제1 신호의 전압이 제2 신호의 전압 미만이면 L 신호를 출력할 수 있다. 여기서, L 신호는 "0"으로, 그리고 H 신호는 "1"로 대표될 수 있다. 한편, 비교기의 출력의 극성은 위에 설명한 것에 한정되지 않고, 반대로도 구성이 가능하다.
- [0019] 저장 유닛(124)에는 비교기(122)의 출력 신호가 L 신호에서 H 신호로 변경된 정보가 저장될 수 있다. 저장 유닛(124)은 L 신호에서 H 신호로 변경된 정보를 저장할 수 있는 다양한 전자 소자로 구현될 수 있다. 예컨대, 저장 유닛(124)은 쉬프트 레지스터(shift register), 카운터, 또는 메모리 소자 등으로 구현될 수 있다.
- [0020] 본 실시예의 CIS(100)에서, ADC(120)는 1-비트 AD(Analog-Digital) 변환을 수행할 수도 있고, 2-비트 이상의 N-비트 AD 변환을 수행할 수도 있다. 예컨대, 본 실시예의 CIS(100)에서, ADC(120)는 픽셀별 AE를 수행하는 AE 모드와 픽셀의 픽셀 신호에 대한 AD 변환을 수행하는 일반 모드로 동작할 수 있다. AE 모드의 경우, 하나의 기준 전압과 비교를 통해 AE가 수행되므로 1-비트 AD 변환에 해당하고, 일반 모드의 경우, 다수의 전압 레벨을 포함하는 계단형 램프(ramp) 전압과의 비교를 통해 픽셀 신호를 읽게 되므로 N-비트 AD 변환에 해당할 수 있다. ADC(120)의 AE 모드의 동작과 일반 모드의 동작에 대해서는 도 3의 설명 부분에서 좀더 상세히 설명한다.
- [0021] 독출 회로(130)는 픽셀들(110) 각각에 생성된 전하에 대응하는 픽셀 신호 또는 포토 신호를 읽는 회로로서, 픽셀 어레이 구조의 픽셀들(110)에서 로우(row) 단위로 픽셀 신호를 읽을 수 있다. 예컨대, 도 1에서, 독출 회로(130)는 최상부에 위치한 제1 로우에 배치된 픽셀들(110)의 픽셀 신호를 읽고, 다음 제2 로우에 배치된 픽셀들(110)의 픽셀 신호를 읽는 식으로 동작할 수 있다.
- [0022] 본 실시예의 CIS(100)는, ADC(120)가 픽셀별로 구현됨으로써, EIT(Effective Integration Time) 동안 픽셀들(110)에서의 전하의 오버플로우 또는 포화의 검출이 가능하고, 픽셀별 AE를 수행할 수 있다. 또한, ADC(120)를 통해 픽셀별 AE가 수행됨으로써, 픽셀들(110)에서의 전하 포화가 방지되고, 픽셀별 EIT가 조절될 수 있으며, 전하 포화에 기인한 픽셀 신호에서의 에러나 정보 유실도 방지될 수 있다. 결국, 본 실시예의 CIS(100)는, 픽셀별 ADC(120)에 의한 픽셀별 AE 및 픽셀별 EIT의 조절에 기초하여, 미세 사이즈의 픽셀의 FWC(Full Well Capacity)의 제한을 극복하고, 별도의 고용량의 커패시터 없이 WDR을 용이하게 구현할 수 있다.
- [0023] 참고로, 본 실시예의 CIS(100)에서, 픽셀들 각각의 픽셀 신호가 대응하는 ADC(120)를 통해 AD 변환이 수행되므로, 본 실시예의 CIS(100)의 픽셀들은 진정한 의미의 디지털 픽셀들에 해당할 수 있다. 또한, 이러한 디지털 픽셀에 기초하여 본 실시예의 CIS(100)는 디지털 픽셀 센서(Digital Pixel Sensor: DPS)로 언급될 수 있다.
- [0024] 도 2a 및 도 2b는 도 1의 CIS에서 정보 유실이 방지되는 효과를 설명하기 개념도들로서, 도 2a는 일반적인 CIS에서 전하 포화에 기인하여 정보가 유실되는 현상을 보여주고, 도 2b는 도 1의 CIS에서 픽셀별 ADC에 의한 AE를 통해 픽셀별 EIT가 조절되어 정보 유실이 방지되는 효과를 보여준다.
- [0025] 도 2a를 참조하면, 일반적으로 CIS는 컬럼 당 하나의 ADC가 배치된 구조, 즉 컬럼 ADC 구조를 가질 수 있다. 즉, 이러한 컬럼 ADC 구조의 CIS에서, 하나의 컬럼에 배치된 모든 픽셀들은 하나의 ADC로 연결되고, 모두 동일한 ADC를 통해 AD 변환이 수행될 수 있다. 또한, 도 2a의 중간 부분에 도시된 바와 같이, 일반적인 컬럼 ADC 구조의 CIS의 경우, 하나의 조리개를 이용하는 것처럼, 모든 픽셀은 프레임(frame) 단위의 한 번의 노출 과정을 통해 동일한 EIT를 적용받게 된다. 한편, CIS의 픽셀 어레이로 입사되는 광들은 도 2a의 최상부에 도시된 바와 같이 위치별로 조도가 서로 다를 수 있다. 그러나 모든 픽셀들이 동일한 EIT를 적용받게 되므로, 높은 조도에 대응하는 픽셀들의 경우는 전하가 포화 되어 정보가 유실되고, 픽셀 신호에서 에러가 발생할 수 있다. 다시 말해서, 도 2a의 최상부의 큰 화살표에 대응하는 정보는 픽셀에서의 전하 포화로 인해 정보가 유실되어, 최하부에 표시된 화살표와 같이 축소된 화살표에 대응하는 정보로 저장되고, 따라서, 픽셀 신호에서 에러가 발생하게 된다.
- [0026] 도 2b를 참조하면, 본 실시예의 CIS(100)는 픽셀별로 ADC(120)가 구현되고, 그러한 ADC(120)를 통해 픽셀별 AE

가 수행될 수 있다. 그에 따라, 본 실시예의 CIS(100)는, 도 2b의 중간 부분에 도시된 바와 같이 픽셀들 각각이 조리개를 이용하는 것처럼, 픽셀별로 EIT가 조절될 수 있다. 이와 같이, 픽셀별로 EIT가 조절되므로, 높은 조도에 대응하는 픽셀들의 경우도 전하 포화가 방지되어 정보가 유지되지 않고, 그에 따라, 픽셀 신호에서 에러가 방지될 수 있다. 다시 말해서, 도 2b의 최상부의 큰 화살표에 대응하는 정보는, 최하부에 표시된 바와 같이 그대로 동일 사이즈의 화살표에 대응하는 정보로 저장되고, 따라서, 픽셀 신호에서 에러가 발생하지 않게 된다.

- [0027] 픽셀별 AE를 통해 픽셀별로 EIT가 조절되는 개념을 좀더 구체적으로 설명하면 다음과 같다. 픽셀(110)에 입사되는 광의 조도가 높아 전하의 포화 또는 오버플로우가 발생하는 경우, ADC(120)에 의한 AE를 통해 해당 픽셀(110)을 리셋하고, 리셋 횟수의 정보를 저장한다. 또한, 최종 리셋 후에 픽셀(110)에 남아있는 전하에 대한 정보를 ADC(120)에 의한 일반적인 AD 변환을 통해 픽셀 신호로 획득한다. 이후, 리셋 횟수의 정보에 기초하여 픽셀 신호를 보완(compensation)함으로써, 해당 픽셀(110)에 대한 픽셀 신호를 정확히 계산할 수 있다.
- [0028] 구체적인 예로, 픽셀(110)의 포화 전하량이 A이고, 한 프레임 동안, n 번의 리셋이 수행되고, 최종 리셋 후에 픽셀(110)에 남아있는 전하량이 B라고 하면, 한 프레임 동안 해당 픽셀(110)에서 생성된 전체 전하량은  $A*n+B$ 로 계산될 수 있고, 전체 전하량에 기초하여 픽셀 신호가 보완될 수 있다. 한편, 최종 리셋 후에 픽셀(110)에 남아있는 전하량에 대한 픽셀 신호는 한 프레임 전체에 해당하는 시간이 아니라 몇 번의 리셋이 수행된 이후에 남은 시간 동안 추출될 수 있다. 따라서, 포화가 발생하는 픽셀(110), 즉 리셋이 수행되는 픽셀(110)의 픽셀 신호의 EIT는, 포화가 발생하지 않은 픽셀(110)의 픽셀 신호의 EIT보다 감소하게 된다. 결과적으로, ADC(120)에 의한 AE를 통해 해당 픽셀(110)의 EIT가 조절 내지 감소될 수 있다.
- [0029] 도 3은 도 1의 CIS에서 픽셀별 ADC가 구현된 회로도이다. 도 1 내지 도 2b의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0030] 도 3을 참조하면, 본 실시예의 CIS(100)에서, 픽셀(110)은 PD(112), 전송 TR(114, TG), 리셋 TR(116, RG), 및 FD 영역(118)을 포함할 수 있다. 또한, ADC(120)는 비교기(122) 및 저장 유닛(124)을 포함할 수 있다. 도 3에서, FD 영역(118)은 그 기능에 기초하여 전하가 저장되는 커패시터 기호로 표시되고 있다.
- [0031] 본 실시예의 CIS(100)에서, ADC(120)는 두 가지 모드로 동작할 수 있다. 예컨대, ADC(120)는 해당 픽셀에 대해 AE를 수행하는 AE 모드(AE.)와, 픽셀의 픽셀 신호에 대해 AD 변환을 수행하는 일반 모드(NOR.)로 동작할 수 있다.
- [0032] 구체적으로, AE 모드(AE.)에서 비교기(122)의 입력단(CMP\_IN)의 제1 입력 단자에 FD 영역(118)이 연결되고, 비교기(122)의 입력단(CMP\_IN)의 제2 입력 단자에 기준 전압(REF)이 연결될 수 있다. 비교기(122)의 출력단(CMP\_OUT)은 저장 유닛(124)으로 연결되고, 또한, 리셋 TR(116)의 게이트로 연결될 수 있다. 한편, 전송 TR(114)의 게이트로는 전송 TR 라인(TX)이 연결되고, 전송 TR 라인(TX)을 통해 H 신호, 예컨대, "1"이 입력되어, 전송 TR(114)은 온(on) 상태를 유지할 수 있다.
- [0033] 이러한 AE 모드(AE.)에서, PD(112)에서 생성된 전하가 FD 영역(118)에 쌓이고, 쌓인 전하량에 대응하는 FD 영역(118)의 전압과 기준 전압(REF)이 비교기(122)에서 비교될 수 있다. FD 영역(118)의 전압이 기준 전압(REF)보다 작을 때, 비교기(122)의 출력은 L 신호를 유지한다. 즉 "0"을 유지한다. 한편, FD 영역(118)의 전압이 기준 전압(REF) 이상이 될 때, 비교기(122)의 출력은 L 신호에서 H 신호로 변하게 된다. 즉, "0"에서 "1"로 변하게 된다.
- [0034] 참고로, FD 영역(118)에 쌓이는 전하는 일반적으로 전자이므로 FD 영역(118)의 전압은 (-)이고, 비교하는 기준 전압(REF)도 (-)일 수 있다. 다만, 설명의 편의를 위해 전압의 비교는 절대값의 크기로 설명하고, 이하에서도 마찬가지이다. 한편, FD 영역(118)의 전압이 기준 전압(REF) 이상이 될 때, 해당 픽셀(110)에서 전하의 포화 또는 전하의 오버플로우가 발생한 것으로 볼 수 있다.
- [0035] 한편, 비교기(122)의 출력에 "1"이 되면, 리셋 TR(116)이 온 상태가 되고, FD 영역(118)이 리셋 신호 또는 리셋 전압(Vpix)을 통해 리셋되어, FD 영역(118)에 쌓인 전하들이 비워지게 된다. FD 영역(118)이 비워질 때, 전송 TR(114)이 온 상태이므로 PD(112)의 전하들도 함께 비워질 수 있다. 따라서, FD 영역(118)의 리셋은 해당 픽셀(110)의 리셋에 해당할 수 있다. 한편, 저장 유닛(124)에는 비교기(122)의 출력 신호가 L 신호에서 H 신호로 변환한 정보, 또는, FD 영역(118)의 리셋 정보가 저장될 수 있다. 한 프레임 동안, FD 영역(118)의 전압이 기준 전압(REF) 이상이 될 때, 계속해서 FD 영역(118)은 리셋되어 전하가 비워지고, 저장 유닛(124)에 비교기(122)의 L 신호에서 H 신호로 변환한 횟수, 또는 FD 영역(118)의 리셋 횟수에 대한 정보가 저장될 수 있다.
- [0036] 일반 모드(NOR.)에서 비교기(122)의 입력단(CMP\_IN)의 제1 입력 단자에 FD 영역(118)이 연결되고, 비교기(122)

의 입력단(CMP\_IN)의 제2 입력 단자에 계단형 램프 전압(RAMP)이 연결될 수 있다. 또한, 리셋 TR(116)의 게이트에는 리셋 TR 라인(RX)이 연결되고, 전송 TR(114)의 게이트에는 계속해서 전송 TR 라인(TX)이 연결될 수 있다. 이러한 일반 모드(NOR.)에서, ADC(120)는 계단형 램프 전압(RAMP)을 이용하여 픽셀(110)의 픽셀 신호에 대한 AD 변환을 수행할 수 있다. 다시 말해서, ADC(120)는, 일반적인 CIS의 ADC와 마찬가지로, 픽셀 신호에 대한 AD 변환을 수행할 수 있다. 이때, 저장 유닛(124)은 픽셀 영역의 내부 또는 외부에 배치된 카운터에 연결될 수 있다.

[0037] 참고로, 도 5b에서 볼 수 있듯이, AE 모드(AE.)에서 일반 모드(NOR.)로의 변경은, FD 영역(118)의 리셋 및 리셋 TR(116)의 리셋 신호에 대한 AD 변환을 수행할 때 진행될 수 있다. 또한, 일반 모드(NOR.)에서 AE 모드(AE.)로의 변경은, 픽셀(110)의 픽셀 신호에 대한 AD 변환의 수행 후에 진행될 수 있다. 한편, 전송 TR 라인(TX)과 리셋 TR 라인(RX)은 전송 TR(114)과 리셋 TR(116)를 제어하는 로우(row) 드라이브 회로에 연결될 수 있다. 로우 드라이브 회로는 전송 TR 라인(TX)과 리셋 TR 라인(RX)을 통해 적정 전압에 해당하는 신호를 전송 TR(114)과 리셋 TR(116)에 인가하여 전송 TR(114)과 리셋 TR(116)의 온-오프를 제어할 수 있다.

[0038] 도 4a 및 도 4b는 도 3의 회로도에서 픽셀별 AE가 수행되는 원리를 설명하기 위한 개념도들이다. 도 3을 함께 참조하여 설명하고, 도 1 내지 도 3의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.

[0039] 도 4a를 참조하면, 전송 TR(114)의 게이트로 H 신호가 인가되어 PD(112)에서 생성된 전하가 FD 영역(118)에 쌓이게 된다. 한편, FD 영역(118)의 전압은 기준 전압(REF)보다 낮고, 따라서, 비교기(122)는 L 신호, 즉, "0"을 출력하고, 리셋 TR(116)은 오프(off) 상태를 유지한다. 리셋 TR(116)의 오프 상태는 리셋 신호에 해당하는 리셋 전압(Vpix)과 FD 영역(118)의 전압 사이의 전위 장벽으로 작용할 수 있다. 이와 같이, FD 영역(118)의 전압이 기준 전압(REF)보다 낮은 상태를 유지하는 한, PD(112)에서 생성된 전하는 계속해서 FD 영역(118)에 쌓이게 된다.

[0040] 도 4b를 참조하면, FD 영역(118)으로 전하가 계속 쌓여, FD 영역(118)의 전압이 기준 전압(REF) 이상이 되면, 비교기(122)는 L 신호에서 H 신호로 변경되고, 즉, "1"을 출력하고, 리셋 TR(116)은 온 상태로 변경된다. 리셋 TR(116)이 온 되면, 리셋 전압(Vpix)과 FD 영역(118)의 전압 사이의 전위 장벽이 없어지고, FD 영역(118)의 전압은 리셋 전압(Vpix)으로 리셋되게 된다. 즉, 리셋 전압(Vpix)에 의한 리셋을 통해 FD 영역(118)과 PD(112)에 쌓인 전하는 비워지게 된다.

[0041] 이후, FD 영역(118)의 전압은 기준 전압(REF)보다 낮아지고, 비교기(122)는 L 신호, 즉, "0"을 출력하고, 리셋 TR(116)은 오프 상태는 유지한다. 그에 따라, 다시 PD(112)와 FD 영역(118)에 전하가 쌓이게 된다.

[0042] 한편, 조도가 매우 높은 경우에, 한 프레임 구간에서, 리셋은 복수 번 수행될 수 있다. 다시 말해서, 조도가 매우 높은 경우에, 매우 빨리 전하의 오버플로우 또는 포화가 발생하여 FD 영역(118)의 전압이 기준 전압(REF) 이상이 되고, 리셋 후에도 계속 전하의 오버플로우가 발생하여 리셋은 계속 수행될 수 있다. 물론, 조도가 매우 낮은 경우, 한 프레임 구간에서, 한 번의 리셋도 발생하지 않을 수도 있다.

[0043] 도 5a 및 도 5b는 도 1의 CIS에서 픽셀별 ADC를 통해 픽셀별 AE가 수행되는 과정에 대한 흐름도 및 타이밍도이다. 도 3을 함께 참조하여 설명하고, 도 1 내지 도 4b의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.

[0044] 도 5a 및 도 5b를 참조하면, 먼저, FD 영역(118)을 리셋하고, 리셋 TR(116)의 리셋 신호를 AD(Analog-Digital) 변환한다(S110). 리셋 신호를 AD 변환하는 단계(S110)는 도 5b에서 ①부터 ②까지의 구간에 해당할 수 있다. 또한, 도 5b에서, RST는 리셋 신호를 의미할 수 있다.

[0045] 리셋 신호를 AD 변환하는 단계(S110)는, 이전 프레임 구간(Exposure(i-1))의 픽셀(110)의 픽셀 신호를 읽기 전에 수행될 수 있다. 다시 말해서, 리셋 신호를 AD 변환하는 단계(S110)는, 이전 프레임 구간(Exposure(i-1))에서 쌓인 PD(112)의 전하가 출력 노드인 FD 영역(118)에 도달하기 전에 FD 영역(118)을 기준 값으로 리셋함으로써, 노이즈를 제거하고 CDS(Correlated Double Sampling)을 수행할 수 있도록 한다. 여기서, CDS는 리셋에 의해 세팅된 기준 값과 이후 PD(112)에서 FD 영역(118)으로 전하가 전달된 값과의 차이를 계산하는 과정으로, CDS는 픽셀(110)에서 생성된 실제 전하, 즉 픽셀(110)의 픽셀 신호를 정확하게 계산할 수 있도록 한다.

[0046] 다음, 전송 TR(114)을 온 시키고, PD(112)에 쌓인 전하를 출력 노드인 FD 영역(118)으로 전달한 후, 픽셀 신호에 대한 AD 변환, 및 현재 프레임 구간(Exposure(i))의 노출을 시작한다(S130). 현재 프레임 구간(Exposure(i))의 노출을 시작하는 단계(S130)는 도 5b에서 ②부터 ③까지의 구간에 해당할 수 있다. 또한, 도 5b에서, SIG는 픽셀 신호를 의미할 수 있다. 현재 프레임 구간(Exposure(i))의 노출을 시작하는 단계(S130)는 이전 프레임 구간(Exposure(i-1))의 픽셀(110)에 쌓인 전하를 픽셀 신호로서 읽고 그 픽셀 신호에 대해 AD 변환

을 수행하는 것에 해당할 수 있다.

- [0047] 이후, 현재 프레임 구간(Exposure(i))의 노출 동안, ADC(120)를 통해 픽셀(110)에 대한 AE를 수행한다(S150). 픽셀(110)에 대한 AE를 수행하는 단계(S150)는 ③ 이후의 구간에 해당할 수 있다. ADC(120)를 통한 픽셀(110)의 AE는 도 3 내지 도 4b의 설명 부분에서 설명한 바와 같다. 즉, 전하의 오버플로우가 발생한 픽셀(110)에 대하여, 비교기(122) 및 리셋 TR(116)을 이용하여 FD 영역(118)을 리셋하여 전하를 비워주고, 저장 유닛(124)이 리셋의 정보를 저장할 수 있다. 전술한 바와 같이, ADC(120)를 통한 픽셀(110)의 AE는 1-비트 AD 변환에 해당할 수 있다.
- [0048] 한편, 픽셀(110)에 대한 AE를 수행하는 구간에서, 독출 회로(130)를 통해 데이터 스캔, 즉 데이터 리딩이 수행될 수 있다. 스캔 되는 데이터는 현재 프레임 구간(Exposure(i))에서의 AE에 따른 리셋 정보, 리셋 신호의 AD 변환 데이터, 및 픽셀 신호에 대한 AD 변환 데이터 등을 포함할 수 있다. 여기서, 리셋 신호와 픽셀 신호의 AD 변환 데이터는, 도 5b를 통해 알 수 있듯이, 실제로는 이전 프레임 구간(Exposure(i-1))의 데이터일 수 있다. 덧붙여, AE에 따른 리셋 정보는 추후 WDR 구현에 이용할 수 있음은 전술한 바와 같다.
- [0049] 도 6a 및 도 6b는 본 발명의 일 실시예들에 따른 CIS들에서, 픽셀별 ADC가 구현된 회로도들이다. 도 1 내지 도 5b의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0050] 도 6a를 참조하면, 본 실시예의 CIS(100a)는, FD 영역(118)을 리셋하기 위한 AE용 TR(115, AEG)이 별도로 배치된다는 점에서, 도 3의 CIS(100)와 다를 수 있다. 좀더 구체적으로 설명하면, AE 모드(AE.)에서, 비교기(122)의 입력단(CMP\_IN)의 제1 입력 단자에 FD 영역(118)이 연결되고, 비교기(122)의 입력단(CMP\_IN)의 제2 입력 단자에 기준 전압(REF)이 연결될 수 있다. 한편, 비교기(122)의 출력단(CMP\_OUT)에는 저장 유닛(124)이 연결되고, 또한, AE용 TR(115)의 게이트가 연결될 수 있다. 한편, 전송 TR(114)의 게이트로는 전송 TR 라인(TX)이 연결되고, 리셋 TR(116)의 게이트에는 리셋 TR 라인(RX)이 연결될 수 있다.
- [0051] 다시 말해서, 도 3의 CIS(100)에서는, 비교기(122)의 출력 신호가 리셋 TR(116)의 게이트로 입력되었지만, 본 실시예의 CIS(100)에서는 비교기(122)의 출력 신호가 별도로 배치된 AE용 TR(115)의 게이트로 입력될 수 있다. 그에 따라, 리셋 TR(116)은 AE 모드(AE.)와 상관없이 일반적인 CIS에서와 실질적으로 동일하게 동작할 수 있다. 한편, AE용 TR(115)은 도 3의 CIS(100)에서, AE 모드(AE.)에서의 리셋 TR(116)과 실질적으로 동일한 기능을 수행할 수 있다.
- [0052] 예컨대, AE 모드(AE.)에서, FD 영역(118)의 전압과 기준 전압(REF)이 비교기(122)에서 비교되고, FD 영역(118)의 전압이 기준 전압(REF)보다 작을 때, 비교기(122)의 출력은 L 신호를 유지한다. 즉 "0"을 유지한다. 한편, FD 영역(118)의 전압이 기준 전압(REF) 이상이 될 때, 비교기(122)의 출력은 L 신호에서 H 신호로 변하게 된다. 즉, "0"에서 "1"로 변하게 된다. 한편, 비교기(122)의 출력이 "1"이 되면, AE용 TR(115)은 온 상태가 되고, AE용 TR(115)의 신호 또는 전압(Vpix)을 통해 FD 영역(118)이 리셋되어, FD 영역(118)에 쌓인 전하들이 비워지게 된다. AE용 TR(115)의 전압(Vpix)은 리셋 TR(116)의 리셋 전압(Vpix)과 실질적으로 동일한 전압 레벨을 가질 수 있다. 한편, 저장 유닛(124)에는 L 신호에서 H 신호로 변환한 정보, 즉 리셋 정보가 저장될 수 있다.
- [0053] 일반 모드(NOR.)에서 비교기(122)의 입력단(CMP\_IN)의 제1 입력 단자에 FD 영역(118)이 연결되고, 비교기(122)의 입력단(CMP\_IN)의 제2 입력 단자에 계단형 램프 전압(RAMP)이 연결될 수 있다. 한편, 비교기(122)의 출력단(CMP\_OUT)은 AE용 TR(115)의 게이트(AEG)와의 연결이 끊어지고, AE용 TR(115)은 오프 상태를 유지할 수 있다. 이러한 일반 모드(NOR.)에서, ADC(120)는 계단형 램프 전압(RAMP)을 이용하여 픽셀(110a)의 픽셀 신호에 대한 AD 변환을 수행하게 된다.
- [0054] 한편, AE용 TR(115)이 전송 TR(114)을 거쳐 FD 영역(118)에 연결되는 구조로 배치되므로, AE 모드(AE.)에서, FD 영역(118)이 리셋될 때, FD 영역(118)의 전하들은 전송 TR(114)을 거쳐 AE용 TR(115)로 배출되어 비워질 수 있다. 물론, PD(112)의 전하는 AE용 TR(115)로 바로 배출되어 비워질 수 있다.
- [0055] AE 모드(AE.)에서 비교기(122)는 FD 영역(118)을 리셋시키기 위해 AE용 TR(115)에 출력단(CMP\_OUT)의 신호를 전달하고, 비교기(122)에는 리셋 정보가 저장될 수 있다. 한편, 일반 모드(NOR.)에서 비교기(122)는 저장 유닛(124)으로만 출력단(CMP\_OUT)의 신호를 전달할 수 있고, 그것을 위해 비교기(122)는 별도의 논리회로를 포함할 수 있다.
- [0056] 도 6b를 참조하면, 본 실시예의 CIS(100b)는, FD 영역(118)을 리셋하기 위한 AE용 TR(115)이 별도로 배치된다는 점에서, 도 6a의 CIS(100a)와 유사하나, 픽셀(110b) 내에 AE용 TR(115)의 배치 위치에서, 도 6a의 CIS(100a)와 다를 수 있다. 좀더 구체적으로 설명하면, AE용 TR(115)은 전송 TR(114)를 거쳐서 FD 영역(118)으로 연결되는

구조가 아니라 FD 영역(118)에 바로 연결되는 구조로 배치될 수 있다. 본 실시예의 CIS(100b)는, 도 6a의 CIS(100a)와 실질적으로 동일하게 동작할 수 있다. 다만, FD 영역(118)과의 연결 구조에 기초하여, AE 모드(AE.)에서, FD 영역(118)이 리셋될 때, FD 영역(118)의 전하들은 AE용 TR(115)로 바로 배출되어 비워질 수 있다. 한편, PD(112)의 전하는 전송 TR(114)을 거쳐 AE용 TR(115)로 배출되어 비워질 수 있다.

[0057] 도 7은 본 발명의 일 실시예에 따른 CIS에서, 픽셀별 ADC가 구현된 회로도이다. 도 1 내지 도 6b의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.

[0058] 도 7을 참조하면, 본 실시예의 CIS(100c)는, 픽셀들(110c) 각각이 소스 팔로워 TR(117, SF)와 선택 TR(119, SEL)을 더 포함한다는 점에서, 도 3의 CIS(100)와 다를 수 있다. 좀더 구체적으로, 본 실시예의 CIS(100c)에서, 픽셀들(110c) 각각은 PD(112), 전송 TR(114), 리셋 TR(116), FD 영역(118), 그리고 소스 팔로워 TR(117)와 선택 TR(119)을 포함할 수 있다. 소스 팔로워 TR(117)의 입력단에는 전원 전압(Vpix)이 연결되고, 출력단에는 선택 TR(119)이 연결되며, 소스 팔로워 TR(117)의 게이트에 FD 영역(118)이 연결될 수 있다. 소스 팔로워 TR(117)의 전원 전압(Vpix)은 리셋 TR(116)의 리셋 전압(Vpix)과 실질적으로 동일한 전압 레벨을 가질 수 있다. 선택 TR(119)의 경우, 입력단에는 소스 팔로워 TR(117)이 연결되고, 출력단에는 비교기(122)의 제1 입력 단자가 연결되며, 선택 TR(119)의 게이트에 선택 TR 라인이 연결될 수 있다.

[0059] 소스 팔로워 TR(117)은 버퍼 증폭기(buffer amplifier)로서 FD 영역(118)에 쌓인 전하에 따른 신호를 버퍼링(buffering)하며, 선택 TR(119)은 스위치 역할을 하는 TR로서 해당 픽셀을 선택하는 기능을 할 수 있다. 선택 TR(119)의 출력 전압이 비교기(122)의 제1 입력 단자로 연결될 수 있다. 본 실시예의 CIS(100c)는, 픽셀들(110c) 각각이 소스 팔로워 TR(117)과 선택 TR(119)을 더 포함한다는 점을 제외하고, 픽셀들(110c) 각각에 연결된 ADC(120)를 통해 픽셀별 AE가 수행될 수 있다는 점에서, 도 3의 CIS(100)와 실질적으로 동일하게 동작할 수 있다.

[0060] 본 실시예의 CIS(100c)는 픽셀들(110c) 각각이 소스 팔로워 TR(117)과 선택 TR(119)을 더 포함함으로써, 기존의 4-TR 픽셀 구조를 그대로 채용할 수 있다. 예컨대, 본 실시예의 CIS(100c)는 4-TR 픽셀 구조의 픽셀들(110c)을 포함하는 칩과 ADC들(120)을 포함하는 칩을 적층시키고, 픽셀(110c)과 해당 ADC(120)를 도 7과 같은 회로 구조로 전기적으로 연결함으로써, 픽셀별 ADC가 구현되도록 할 수 있다. 덧붙여, 본 실시예의 CIS(100c)에서, 픽셀들(110c) 각각에 ADC(120)가 구비되므로, 픽셀(110c)을 선택할 필요가 없고, 따라서, 선택 TR(119)은 생략될 수도 있다.

[0061] 덧붙여, 앞서 실시예들의 CIS들(100, 100a ~ 100c)에서, 픽셀별 ADC가 구현된 회로도로서, 도 3, 도 6a, 도 6b, 및 도 7의 회로도가 예시되었다. 그러나 픽셀별 ADC가 구현된 회로도가 도 3, 도 6a, 도 6b, 및 도 7의 회로도에 한정되는 것은 아니다. 예컨대, 본 실시예의 CIS는, 픽셀이 빛에 노출되는 기간 동안, 1-비트 AD 변환을 이용하여, FD 영역(118)을 리셋시키고, 이 결과를 최종 이미지 구현에 반영할 수 있는 다양한 회로도를, 픽셀별 ADC가 구현된 회로도로서 포함할 수 있다.

[0062] 도 8a 및 도 8b는 본 발명의 일 실시예에 따른 CIS에 대한 블록 구성도, 및 상기 CIS에서 픽셀별 ADC가 구현된 회로도이다. 도 1 내지 도 7의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.

[0063] 도 8a 및 도 8b를 참조하면, 본 실시예의 CIS(100d)는 컬럼 ADC 구조를 갖는다는 점에서, 앞서 설명한 다른 실시예들의 CIS(100, 100a ~ 100c)와는 전혀 다를 수 있다. 좀더 구체적으로 설명하면, 본 실시예의 CIS(100d)에서, 픽셀들(110c) 각각은 도 7의 CIS(100c)와 유사하게 PD(112), 전송 TR(114), 리셋 TR(116), FD 영역(118), 그리고 소스 팔로워 TR(117)과 선택 TR(119)을 포함할 수 있다. 도 8a에서, 도 1과 마찬가지로 픽셀(110c) 내에 PD 만을 기재하고 있다.

[0064] 한편, 본 실시예의 CIS(100d)에서는 다른 실시예들의 CIS(100, 100a ~ 100c)와 다르게 컬럼 당 하나의 ADC(120a)가 배치된 구조, 즉 컬럼 ADC 구조를 가질 수 있다. 따라서, 하나의 컬럼 내에 속하는 픽셀들(110c) 모두는 하나의 ADC(120a)에 연결될 수 있다. 예컨대, 도 8b에 도시된 바와 같이, 하나에 컬럼에 속하는 픽셀들(110c) 각각의 선택 TR(119)의 출력이 컬럼 라인(Col.)에 공통적으로 연결되어 ADC(120a)의 비교기(122)의 제1 입력 단자로 입력될 수 있다. 그러나 컬럼 라인(Col.)에 연결된 모든 픽셀들(110c)의 픽셀 신호가 한꺼번에 AD 변환되는 것이 아니고, 선택 TR(119)의 선택을 통해 해당 픽셀의 픽셀 신호만이 ADC(120a)에서 AD 변환될 수 있다. 이러한 선택 TR(119)의 동작은 컬럼 ADC 구조를 갖는 일반적인 CIS에서의 선택 TR의 동작과 실질적으로 동일할 수 있다.

[0065] 한편, 일반적인 CIS와 달리 본 실시예의 CIS(100d)에서, ADC(120a)는 선택된 픽셀(110c), 예컨대 제1 픽셀

(110c-r1)에서, AE 모드(AE.)로 동작할 수 있다. 즉, ADC(120a)는, AE 모드(AE.)에서, 도 3의 CIS(100)와 유사하게, 비교기(122)의 제2 입력 단자로 기준 전압(REF)이 입력되고, 비교기(122)의 출력단이 리셋 TR(116)의 게이트로 연결될 수 있다. 이러한 연결 관계를 가지고, ADC(120a)는 AE 모드(AE.)에서, 제1 픽셀(110c-r1)에 대한 AE를 수행할 수 있다. 제1 픽셀(110c-r1)에 대한 AE 동작은 도 3의 CIS(100)에서의 픽셀(110)에 대한 AE 동작과 실질적으로 동일할 수 있다. 한편, 선택되지 않은 픽셀(110c), 예컨대, 제2 픽셀(110c-r2)은 일반 모드(NOR.)로 유지되고 AE는 수행되지 않을 수 있다. 각 픽셀의 동작 모드의 결정은 이전 프레임의 결과에 따라서 결정될 수 있다.

[0066] 결과적으로 본 실시예의 CIS(100d)에서는, 컬럼 ADC 구조를 가지면서도, 기능적으로 픽셀별 ADC가 구현되어 각각의 픽셀에 대한 AE가 수행될 수 있다. 다시 말해서, ADC들(120) 각각은 대응하는 컬럼의 픽셀들(110c)로 두 가지 모드들 중 어느 하나의 모드, 예컨대, AE 모드(AE.)와 일반 모드(NOR.) 중 어느 하나의 모드로 선택적으로 연결될 수 있다. 또한, ADC들(120) 각각은 선택 TR(119)을 통해 선택된 픽셀(110c)에 대해서만 AE 모드(AE.)로 동작함으로써, 대응하는 픽셀에 대한 AE를 수행할 수 있고, 따라서, 기능적으로는 픽셀별 ADC가 구현된 것과 동일한 효과를 가질 수 있다.

[0067] 도 9는 도 8a의 CIS에서 픽셀별 ADC를 통해 픽셀별 AE가 수행되는 과정에 대한 타이밍도이다. 도 8a 및 도 8b를 함께 참조하여 설명한다.

[0068] 도 9를 참조하면, 본 실시예의 CIS(100d)에서, 독출 회로(130)는 로(row) 단위로 픽셀 신호를 읽을 수 있다. 따라서, 어느 하나의 로우(row)에 배치된 픽셀들(110c)은 각각의 선택 TR(119)을 통해 함께 선택되고, 각각 대응하는 ADC(120a)를 통해 픽셀 신호에 대한 AD 변환이 수행될 수 있다. 예컨대, 첫 번째 로우에 배치된 픽셀들(110c) 중 왼쪽으로부터 제1 픽셀(110c-c1)은 제1 ADC(120a-1)에 의해, 제2 픽셀(110c-c2)은 제2 ADC(120a-2)에 의해, 제3 픽셀(110c-c3)은 제3 ADC(120a-3)에 의해, 그리고 제4 픽셀(110c-c4)은 제4 ADC(120a-4)에 의해, 픽셀 신호에 대한 AD 변환이 수행될 수 있다.

[0069] 한편, ADC들(120a-1 ~ 120a-4)을 통한 픽셀들(110c-c1 ~ 110c-c4)에 대한 AE는 저조도 기준으로 EIT가 어느 정도 길게 설정된 경우에 동작할 수 있다. 다시 말해서, 일반 모드(NOR.)로 동작하기 전에 어느 정도 남은 시간이 존재하는 경우에 AE 모드(AE.)를 통해 AE가 수행될 수 있고, 만약 남은 시간이 존재하지 않는 경우에 AE 모드(AE.)가 진행될 수 없고, 따라서, 해당 픽셀에 대한 AE가 수행될 수 없을 수 있다. 예컨대, 일반적으로 ADC들(120a-1 ~ 120a-4) 모두는 동일 프레임 구간에서 AD 변환이 수행되고, 픽셀들(110c-c1 ~ 110c-c4)의 픽셀 신호에 대한 AD 변환을 수행하는 일반 모드(NOR.)는 동일한 시점에서 동작할 수 있다.

[0070] 한편, 첫 번째 로우에 포함된 픽셀들에 대하여 ADC들(120a-1 ~ 120a-4)에 의한 픽셀 신호의 AD 변환이 종료되면, 다음 두 번째 로우에 포함된 픽셀들에 대하여 ADC들(120a-1 ~ 120a-4)에 의한 픽셀 신호의 AD 변환이 수행될 수 있다. 또한, 두 번째 로우에 포함된 픽셀들에 대해서도 AE 모드(AE.)로 ADC들(120a-1 ~ 120a-4)에 의한 픽셀별 AE가 수행될 수 있다. 이러한 과정을 통해 픽셀 어레이 내의 모든 픽셀들(110c)에 대하여 ADC들(120a-1 ~ 120a-4)에 의해 픽셀별 AE가 수행될 수 있다.

[0071] 도 10a 및 도 10b는 본 발명의 일 실시예에 따른 CIS에 대한 분리 사시도, 및 TSV를 이용하는 픽셀 칩과 로직 칩에 대한 평면도이다. 도 1 내지 도 9의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.

[0072] 도 10a 및 도 10b를 참조하면, 본 실시예의 CIS(100e)는 로직 칩(CH2) 상에 픽셀 칩(CH1)이 적층된 구조를 가질 수 있다. 픽셀 칩(CH1)에는 다수의 픽셀들(110)이 2차원 어레이 구조로 배치될 수 있다. 예컨대, 픽셀 칩(CH1)은 도 10b에 도시된 바와 같이, 픽셀 영역(PA)과 주변 영역(PE)을 포함할 수 있다. 픽셀 영역(PA)에는 다수의 픽셀들(110)이 2차원 어레이 구조로 배치되고, 주변 영역(PE)에는 로직 칩(CH2)과의 전기적 연결을 위한 배선들, 수직 콘택들, 관통 비아들(through vias)이 배치될 수 있다. 예컨대, 픽셀 칩(CH1)의 주변 영역(PE)에는 다수의 제1 관통 비아들(140a)이 배치될 수 있다. 도 10a에서, 점선 내부의 'Pixel Array'로 기재된 부분이 픽셀 영역(PA)에 해당하고, 점선 외부 부분이 주변 영역(PE)에 해당할 수 있다.

[0073] 한편, 픽셀 영역(PA)의 픽셀들(110)은 픽셀 칩(CH1)의 제3 방향(z 방향)으로 상부 부분에 배치되고, 픽셀 칩(CH1)의 하부 부분에 배선층들이 배치될 수 있다. 또한, 도시하지 않았지만, 픽셀 영역(PA)의 픽셀들(110)의 상부에는 컬러 필터들과 마이크로 렌즈들이 배치될 수 있다.

[0074] 픽셀 칩(CH1)의 배선층에는 제1 방향(x 방향)과 제2 방향(y 방향)으로 연장하는 다수의 배선 라인들이 배치될 수 있다. 배선 라인들은 픽셀들(110)로 연결되고, 배선 라인들을 통해 픽셀들(110)로부터의 신호가 출력될 수 있다. 한편, 배선 라인들은 픽셀 영역(PA)에서 주변 영역(PE)으로 연장하고, 주변 영역(PE)에서 제1 관통 비아

들(140a)에 연결될 수 있다. 이러한 제1 관통 비아들(140a)을 통해 배선 라인들은 로직 칩(CH2)의 로직 회로들(150), 예컨대 ADC(도 1의 120 참조)와 독출 회로(도 1의 130 참조)에 연결될 수 있다.

- [0075] 로직 칩(CH2)은 로직 회로들(150)을 포함할 수 있다. 도 10b에 도시된 바와 같이, 로직 칩(CH2)은 로직 영역(LA)과 로직 영역(LA) 외곽의 주변 영역(PE1)을 포함할 수 있다. 로직 영역(LA)에는 ADC(120), 독출 회로(130) 등을 포함한 로직 회로들(150)이 배치되고, 주변 영역(PE1)에 다수의 제2 관통 비아들(140b)이 배치될 수 있다. 실시예에 따라, 로직 칩(CH2)은 메모리 영역을 더 포함할 수 있고, 그러한 메모리 영역 내에 메모리 소자들이 배치될 수 있다.
- [0076] 한편, 로직 칩(CH2)의 제3 방향(z 방향)으로 하부 부분에 로직 회로들(150)이 배치되고 로직 칩(CH2)의 상부 부분에 배선층이 배치될 수 있다. 로직 칩(CH2)의 배선층에도 제1 방향(x 방향)과 제2 방향(y 방향)으로 연장하는 다수의 배선 라인들이 배치될 수 있고, 이러한 배선 라인들은 로직 회로들(150)로 연결될 수 있다. 도 10a에 도시된 바와 같이, 로직 칩(CH2)은 픽셀 칩(CH1)의 하부에 배치되고, 제2 관통 비아들(140b)을 통해 픽셀 칩(CH1)에 전기적으로 연결될 수 있다.
- [0077] 한편, 로직 칩(CH2)의 로직 회로들(150)은 픽셀 칩(CH1)의 픽셀들(110)로부터의 신호들을 처리하기 위한 다양한 회로들을 포함할 수 있다. 예컨대, 로직 회로들(150)은 ADC(120), 및 독출 회로(130)에 한정되지 않고, 아날로그 신호 처리 회로, 이미지 신호 처리 회로, 및 제어 회로 등을 포함할 수 있다. 물론, 로직 회로들(150)이 전문 회로들에 한정되는 것은 아니다.
- [0078] 본 실시예의 CIS(100e)에서, 픽셀 칩(CH1)에 제1 관통 비아(140a)가 형성되고, 로직 칩(CH2)에는 제2 관통 비아(140b)가 형성될 수 있다. 픽셀 칩(CH1)과 로직 칩(CH2)은 제1 및 제2 관통 비아(140a, 140b)를 통해 서로 전기적으로 연결될 수 있다. 관통 비아(140)는 픽셀 칩(CH1)과 로직 칩(CH2) 각각의 4면의 외곽 부분에 모두 배치될 수 있다. 그러나 관통 비아(140)의 배치 구조가 그에 한정되는 것은 아니다. 예컨대, 픽셀 칩(CH1)과 로직 칩(CH2) 각각의 4면 중 적어도 한 면의 외곽 부분에 관통 비아(140)가 형성되지 않을 수도 있다.
- [0079] 관통 비아(140)는 픽셀 칩(CH1)과 로직 칩(CH2) 각각의 전체 또는 일부를 관통하는 구조로 형성될 수 있다. 예컨대, 제1 관통 비아(140a)는 픽셀 칩(CH1) 전체를 관통하는 구조로 형성되고, 제2 관통 비아(140b)는 로직 칩(CH2)의 상부 일부만 관통하는 구조로 형성될 수 있다. 한편, 제1 관통 비아(140a)와 제2 관통 비아(140b)의 구별은 픽셀 칩(CH1)에 위치하는가 아니면 로직 칩(CH2)에 위치하는가에 따른 편의상의 구별일 뿐, 실제로는 제1 관통 비아(140a)와 제2 관통 비아(140b)는 불가분의 일체적 구조를 가질 수 있다. 이는 제1 관통 비아(140a)와 제2 관통 비아(140b)가 픽셀 칩(CH1)과 로직 칩(CH2) 각각에 별도로 형성되는 것이 아니고, 픽셀 칩(CH1)과 로직 칩(CH2)이 결합한 후, 관통 비아 형성 공정을 통해 픽셀 칩(CH1)과 로직 칩(CH2)에 하나의 관통 비아로서 함께 형성될 수 있기 때문이다. 한편, 픽셀 칩(CH1)과 로직 칩(CH2)의 적층 및 결합은 웨이퍼 레벨에서 이루어지고, 그 후에 적층 칩들 단위로 분리될 수 있다. 물론, 칩 레벨의 적층 및 결합이 전적으로 배제되는 것은 아니다.
- [0080] 본 실시예의 CIS(100e)에서, 픽셀 칩(CH1)은 BSI(BackSide Illumination) 구조로 형성될 수 있다. 그에 따라, 제1 및 제2 관통 비아들(140a, 140b)은 픽셀 칩(CH1)과 로직 칩(CH2)의 외곽 부분, 예컨대 주변 영역(PE, PE1)에만 형성될 수 있다. 이는, 제1 관통 비아들(140a)의 경우 픽셀 칩(CH1)을 관통하는 구조로 형성되므로, 제1 관통 비아들(140a)이 픽셀 영역(PA)에 배치되면, 픽셀들(110)이 배치되는 면적을 감소시켜 고화질의 이미지 센서의 구현에 반할 수 있기 때문이다.
- [0081] 지금까지, 픽셀 칩(CH1)과 로직 칩(CH2)이 관통 비아(140)를 통해 결합한 구조에 대해서 설명하였지만, 픽셀 칩(CH1)과 로직 칩(CH2)의 결합이 관통 비아(140)를 이용하는 것에 한정되는 것은 아니다. 예컨대, 픽셀 칩(CH1)과 로직 칩(CH2)은 Cu-Cu 본딩, 관통 비아와 Cu 패드의 결합, 관통 비아와 외부 접속 단자의 결합, 또는 일체형의 관통 비아를 통한 결합 등 다양한 결합 구조로 구현될 수 있다.
- [0082] 픽셀 칩(CH1)과 로직 칩(CH2)이 Cu-Cu 본딩을 통해 결합한 구조에 대해 좀더 구체적으로 설명하면, 픽셀 칩(CH1)은 제3 방향(z 방향)으로 상부 부분에 픽셀 영역(PA)의 픽셀들(110)이 형성되고, 하부 부분에 제1 배선층이 형성될 수 있다. 또한, 픽셀 칩(CH1)의 하면 상에 제1 절연층이 형성되고, 제1 Cu 패드가 제1 절연층을 관통하여 형성될 수 있다. 제1 Cu 패드는 제1 배선층에 연결되고, 제1 절연층으로부터 노출될 수 있다. 제1 Cu 패드는 픽셀 칩(CH1)의 하부 쪽에 형성되므로 상부 쪽에 형성된 픽셀 영역(PA)의 픽셀들(110)에 전혀 영향을 주지 않을 수 있다. 따라서, 제1 Cu 패드는 픽셀들에 구애받지 않고 픽셀 칩(CH1)의 픽셀 영역(PA)과 픽셀 주변 영역(PE) 전체에 형성될 수 있다. 그러나 실시예에 따라, 제1 Cu 패드는 픽셀 주변 영역(PE)에만 배치될 수도 있다.

- [0083] 로직 칩(CH2)에는 제3 방향(z 방향)으로 상부 부분에 제2 배선층이 형성되고 하부 부분에 로직 영역(LA)의 로직 회로들이 배치될 수 있다. 로직 칩(CH2)의 상면 상에 제2 절연층이 형성되고, 제2 CU 패드가 제2 절연층을 관통하여 형성될 수 있다. 제2 CU 패드는 제2 배선층에 연결되고, 제2 절연층으로부터 노출될 수 있다.
- [0084] 제1 Cu 패드와 제2 Cu 패드는 픽셀 칩(CH1)과 로직 칩(CH2)에 각각에 별도로 형성되고, 픽셀 칩(CH1)과 로직 칩(CH2)이 결합할 때, 제1 Cu 패드와 제2 Cu 패드도 결합하여 전기적으로 연결될 수 있다. 예컨대, 제1 Cu 패드와 대응하는 제2 Cu 패드가 서로 마주보도록 픽셀 칩(CH1)과 로직 칩(CH2)을 정렬시키고, 압착 및 열처리를 수행함으로써, 제1 Cu 패드와 제2 Cu 패드가 결합하여 전기적으로 서로 연결될 수 있다.
- [0085] 한편, Cu-Cu 본딩 공정을 통한 픽셀 칩(CH1)과 로직 칩(CH2)의 적층 및 결합은 웨이퍼 레벨에서 이루어질 수 있다. 예컨대, 픽셀 칩들(CH1)을 포함한 제1 웨이퍼와 로직 칩들(CH2)을 포함한 제2 웨이퍼가 Cu-Cu 본딩 공정을 통해 결합하고, 이후에 소잉(sawing) 공정 등을 통해 다수의 적층 구조체들로 분리될 수 있다. 적층 구조체들 각각은 픽셀 칩(CH1) 및 로직 칩(CH2)을 포함한 2층 구조를 가질 수 있다.
- [0086] 본 실시예의 CIS(100e)는, 도 1의 CIS(100)로서 픽셀(110)과 ADC(120)는 도 3에 도시된 바와 같은 회로 구조로 연결될 수 있다. 그에 따라, 본 실시예의 CIS(100e)는 도 1의 CIS(100)와 마찬가지로 픽셀별 ADC를 통해 픽셀별 AE를 수행할 수 있고, 픽셀별 EIT가 조절될 수 있다. 결국, 본 실시예의 CIS(100e)는, 픽셀별 ADC(120)에 의한 픽셀별 AE 및 픽셀별 EIT의 조절에 기초하여, 미세 사이즈의 픽셀의 FWC의 제한을 극복하고, 별도의 고용량의 커패시터 없이 WDR을 용이하게 구현할 수 있다. 덧붙여, 본 실시예의 CIS(100e)는 도 1의 CIS(100)에 한하지 않고, 도 6a, 도 6b, 도 7, 또는 도 8b의 CIS(100a ~ 100d)에서와 같이, 픽셀(110)과 ADC(120)가 연결된 회로 구조를 가지고 픽셀별 ADC가 구현될 수도 있다.
- [0087] 도 11은 본 발명의 일 실시예에 따른 CIS에 대한 분리 사시도이다. 도 10a 및 도 10b의 설명 부분에서 이미 설명한 내용은 간단히 설명하거나 생략한다.
- [0088] 도 11을 참조하면, 본 실시예의 CIS(100f)은 3개의 반도체 칩들(CH1, CH2, CH3)이 적층된 구조를 갖는다는 점에서, 도 10a의 CIS(100e)와 다를 수 있다. 구체적으로, 본 실시예의 CIS(100f)은 픽셀들이 배치된 픽셀 칩(CH1)과 로직 회로들이 배치된 2개의 로직 칩(CH2, CH3)을 포함할 수 있다. 2개의 로직 칩(CH2, CH3)은 ADC들(120)이 배치된 제1 로직 칩(CH2)과, ADC들(120) 이외의 독출 회로(130)를 포함한 다양한 신호 처리 회로들이 배치된 제2 로직 칩(CH3)을 포함할 수 있다.
- [0089] 본 실시예의 CIS(100f)에서, 제3 방향(z 방향)으로 제1 로직 칩(CH2)의 상부 쪽에 픽셀 칩(CH1)이 배치되고 제1 로직 칩(CH2)의 하부 쪽에 제2 로직 칩(CH3)이 배치될 수 있다. 구체적으로, 픽셀 칩(CH1)의 하부 쪽의 배선층이 제1 로직 칩(CH2)의 상부 쪽의 배선층을 향하도록 픽셀 칩(CH1)과 제1 로직 칩(CH2)이 결합하고, 또한, 제1 로직 칩(CH2)의 하부 쪽의 ADC들(120)이 제2 로직 칩(CH3)의 상부 쪽의 배선층을 향하도록 제1 로직 칩(CH2)과 제2 로직 칩(CH3)이 결합할 수 있다.
- [0090] 픽셀 칩(CH1)과 제1 로직 칩(CH2)의 결합 구조는 도 10a 및 도 10b의 CIS(100e)에서 설명한 바와 같다. 한편, 제1 로직 칩(CH2)과 제2 로직 칩(CH3)은 관통 비아를 이용하여 결합할 수 있다. 그러나 그에 한하지 않고, 제1 로직 칩(CH2)과 제2 로직 칩(CH3)은 Cu-Cu 본딩을 통해 결합할 수도 있다.
- [0091] 덧붙여, 본 실시예의 CIS(100f)에서, 픽셀 칩(CH1), 제1 로직 칩(CH2), 및 제2 로직 칩(CH3)은 웨이퍼 레벨에서 결합이 이루어질 수 있다. 예컨대, 픽셀 칩들(CH1)을 포함한 제1 웨이퍼, 제1 로직 칩들(CH2)을 포함한 제2 웨이퍼, 및 제2 로직 칩들(CH3)을 포함한 제3 웨이퍼가 결합하고, 이후에 소잉(sawing) 공정 등을 통해 다수의 적층 구조체들로 분리될 수 있다. 적층 구조체들 각각은 픽셀 칩(CH1), 제1 로직 칩(CH2) 및 제2 로직 칩(CH3)을 포함한 3층 구조를 가질 수 있다.
- [0092] 지금까지, 2층 구조 또는 3층 구조의 CIS에 대해 설명하였지만, CIS의 층상 구조가 그에 한정되는 것은 아니다. 예컨대, 본 실시예의 CIS는 4층 구조를 가질 수 있다. 4층 구조를 갖는 경우, CIS는 최상부로부터, 픽셀들이 배치된 픽셀 칩, 로직 소자들이 배치된 2개의 로직 칩, 그리고 메모리 소자들이 배치된 메모리 칩을 포함할 수 있다. 2개의 로직 칩은 앞서 설명한 바와 같이, ADC들(120)이 배치된 제1 로직 칩과, ADC들(120) 이외의 독출 회로를 비롯한 다양한 신호 처리 회로들이 배치된 제2 로직 칩을 포함할 수 있다.
- [0093] 앞서, 도 10a의 CIS(100e)에서, 로직 칩(CH2)이 메모리 영역을 포함할 수 있고, 그러한 메모리 영역 내에 메모리 소자들이 배치될 수 있음을 설명한 바 있다. 4층 구조의 CIS에서는, 메모리 소자들이 배치된 별도의 메모리 칩이 제2 로직 칩의 하부에 배치될 수 있다. 메모리 소자들은 메모리 칩의 셀 영역(CA)에 2차원 어레이 구조로

배치될 수 있다. 메모리 소자들은 프레임 이미지를 저장하기 위한 이미지 버퍼 메모리로 이용될 수 있다. 한편, 메모리 칩은 셀 영역(CA) 외곽에 주변 영역(PE)을 포함할 수 있다. 한편, 메모리 칩은 제3 방향(z 방향)으로 하부 부분에 셀 영역(CA)의 메모리 소자들이 위치하고, 상부 부분에 제3 배선층이 위치할 수 있다. 한편, 칩들 간의 결합은 다양한 방법으로 구현될 수 있다. 예컨대, Cu-Cu 본딩, 관통 비아와 Cu 패드의 결합, 관통 비아와 외부 접속 단자의 결합, 또는 일체형의 관통 비아를 통한 결합 등 다양한 결합 구조로 구현될 수 있다.

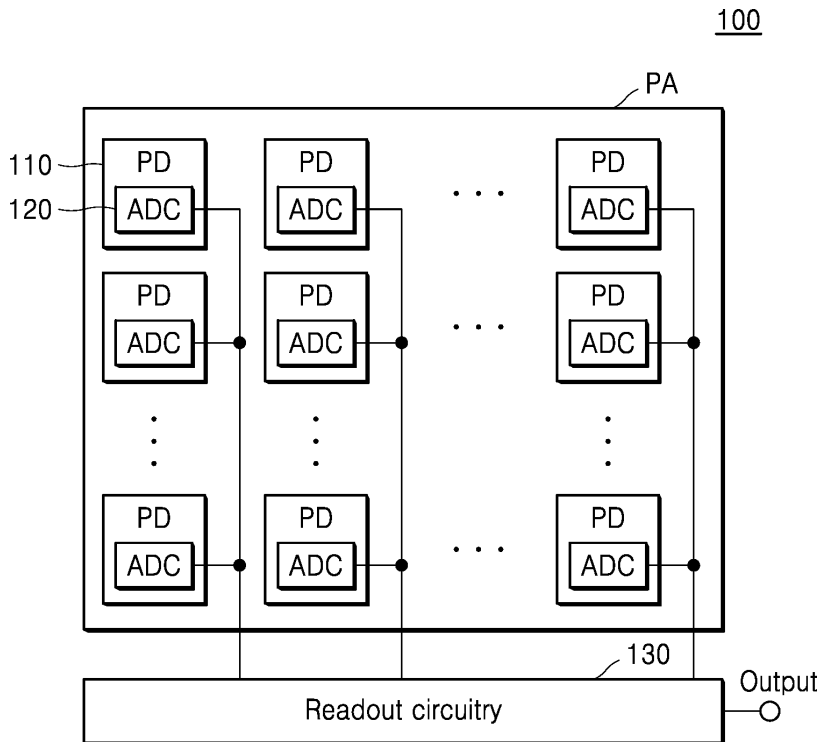
[0094] 지금까지, 본 발명을 도면에 도시된 실시예를 참고로 설명하였으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**부호의 설명**

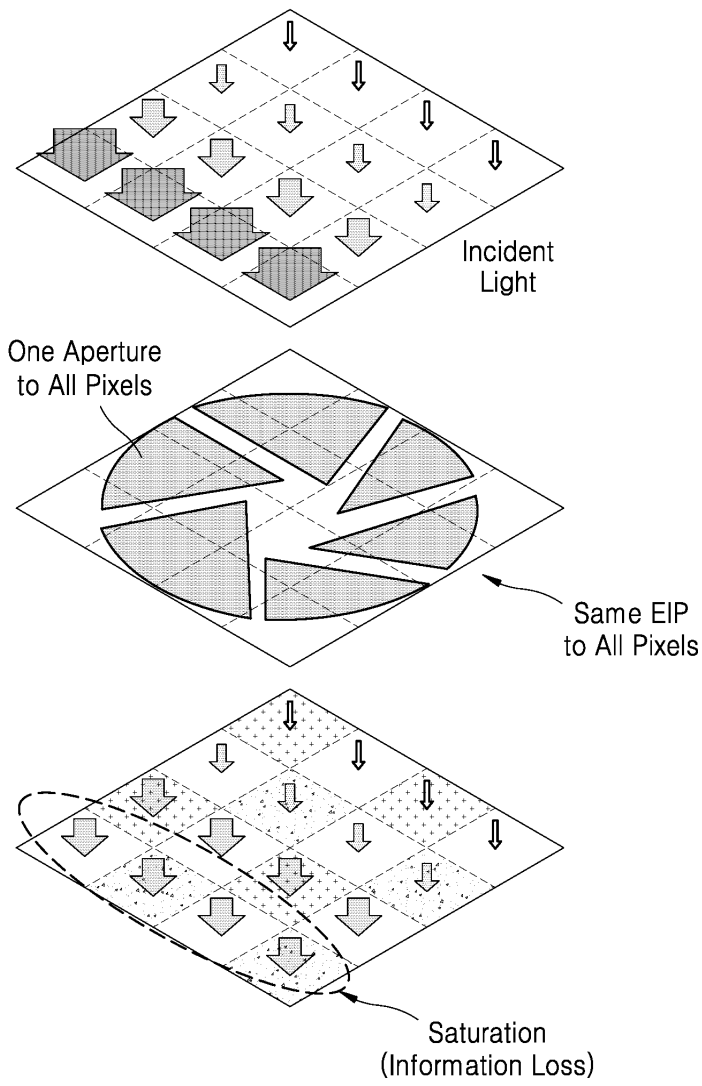
[0096] 100, 100a ~ 100f: CIS, 110, 110a, 110b, 110c: 픽셀, 112: PC, 114: 전송 TR, 115: AE용 TR, 116: 리셋 TR, 117: 소스 팔로워 TR, 118: FD 영역, 119: 선택 TR, 120, 120a: ADC, 122: 비교기, 124: 저장 유닛, 130: 독출 회로, 140: 관통 비아, 150, 150a: 로직 회로,

**도면**

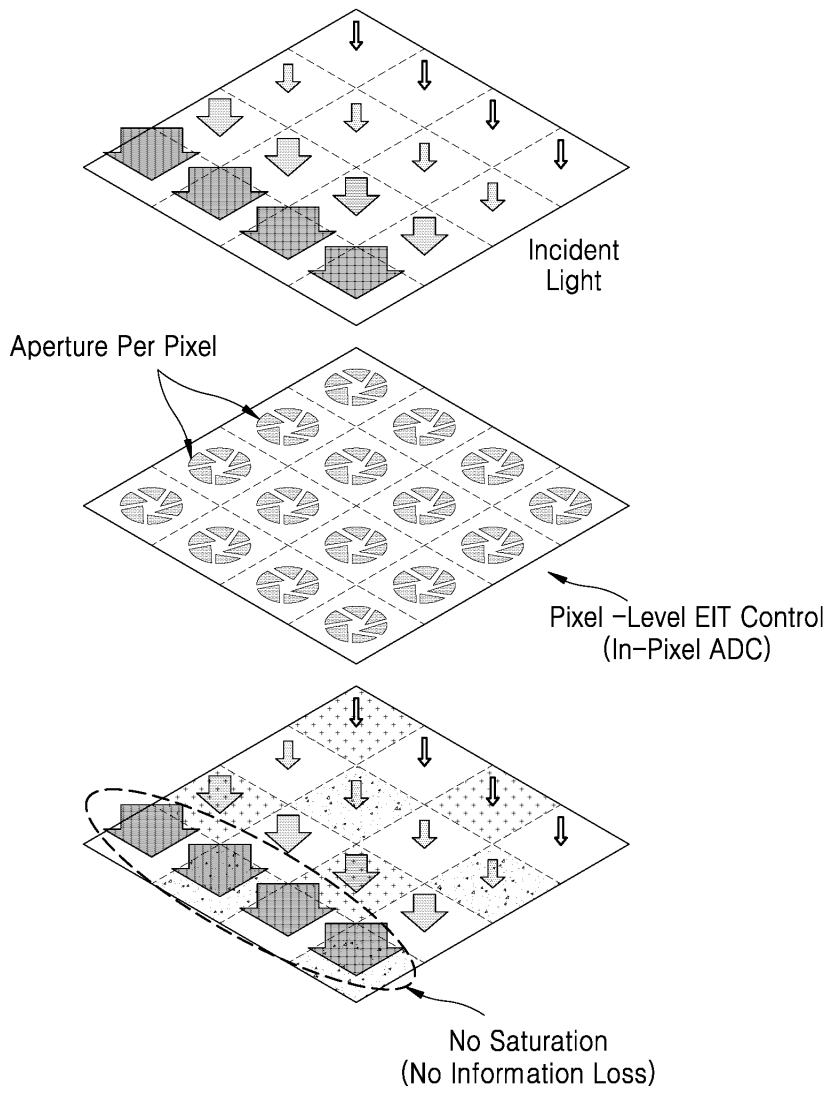
**도면1**



도면2a

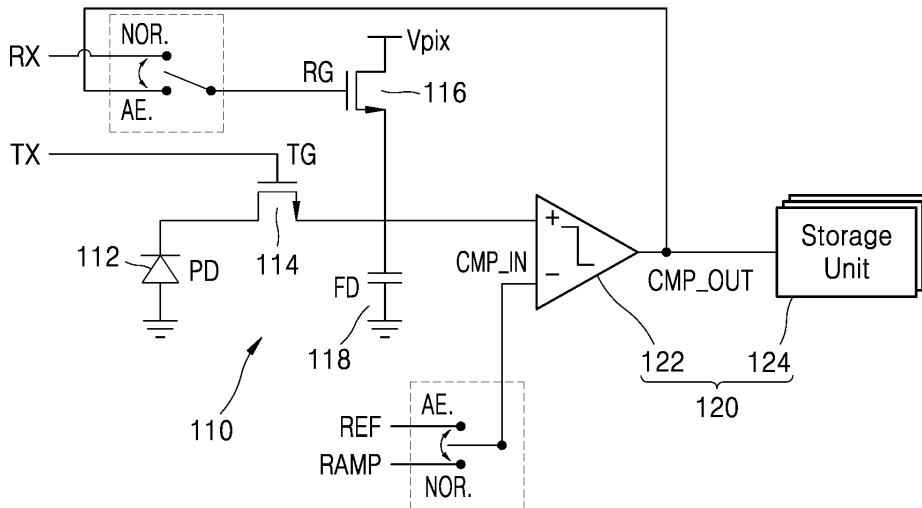


도면2b

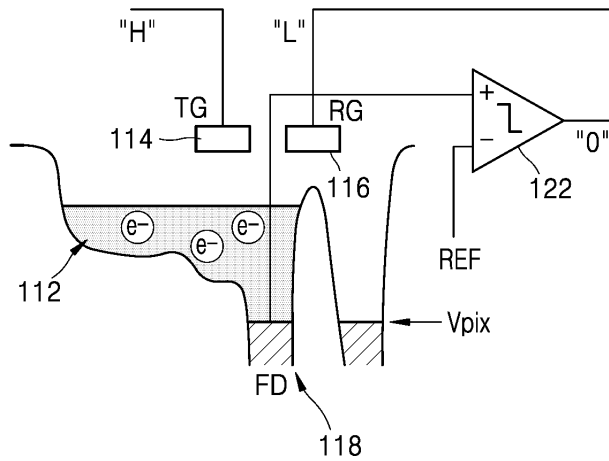


도면3

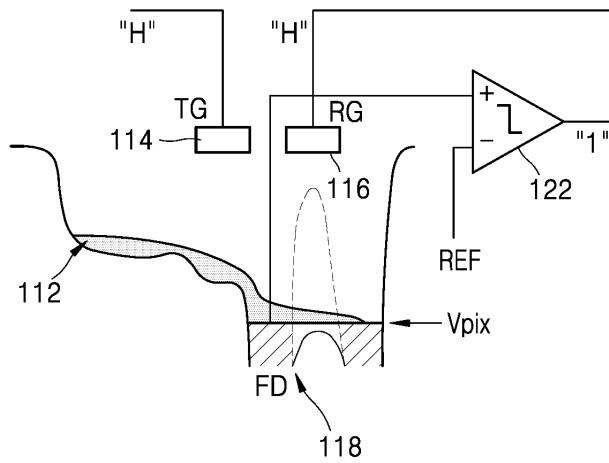
100



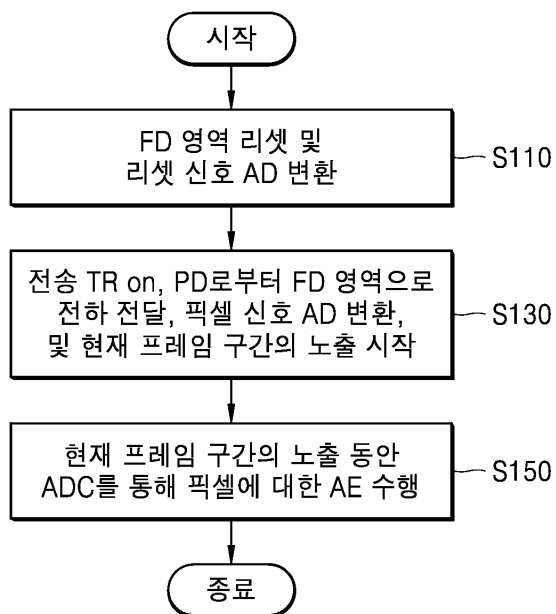
도면4a



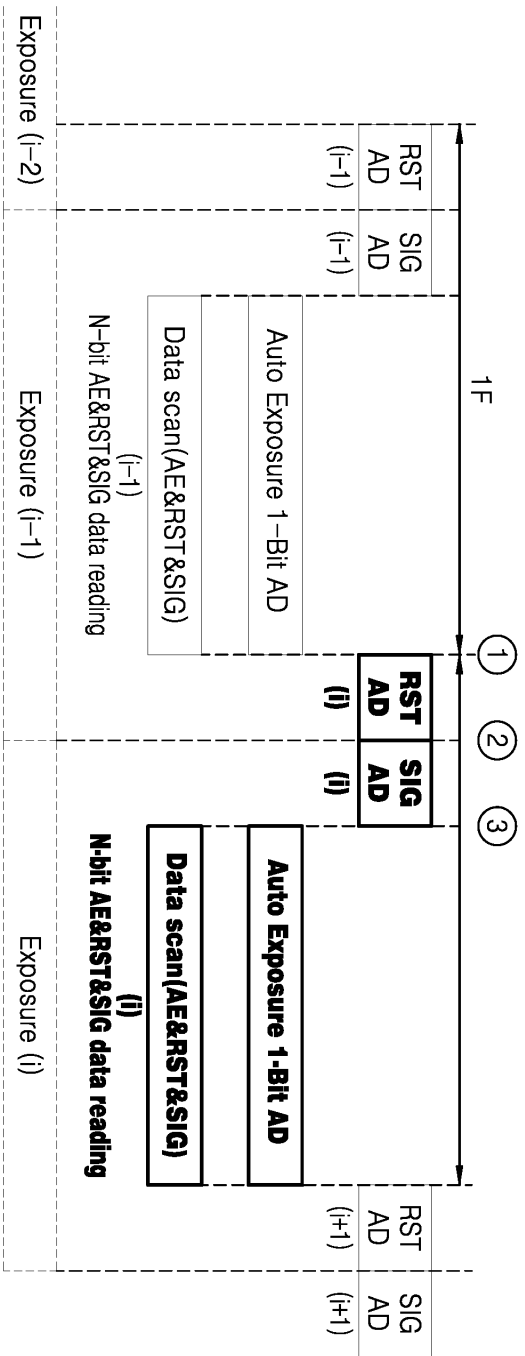
도면4b



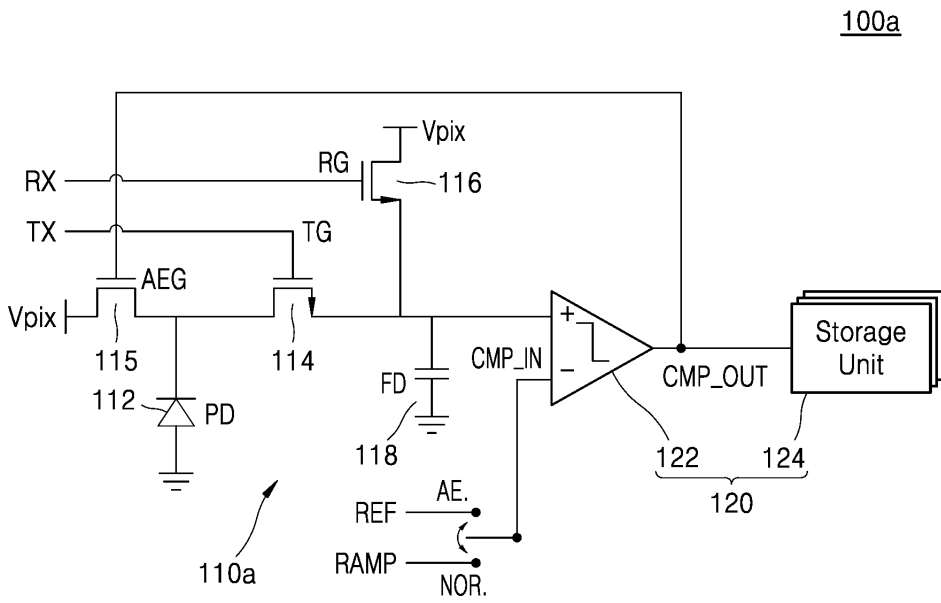
도면5a



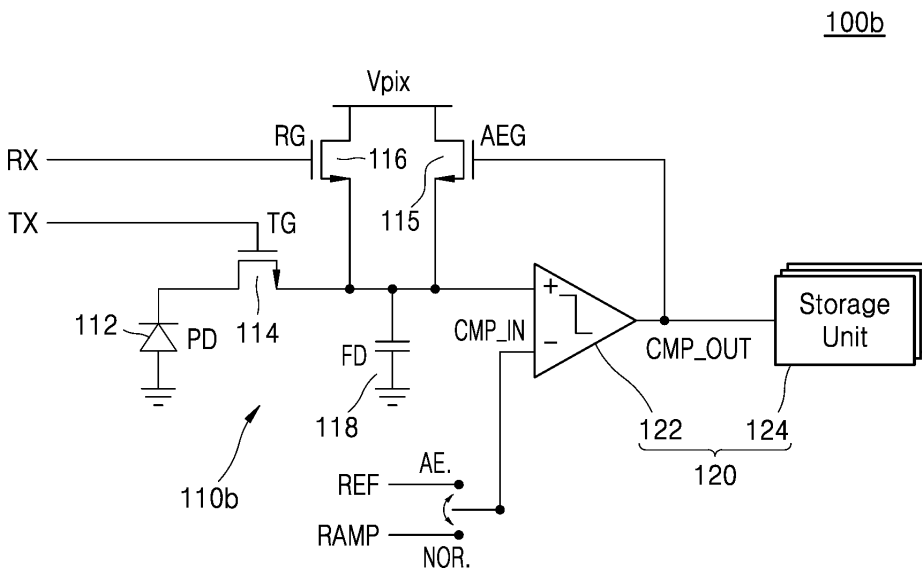
도면5b



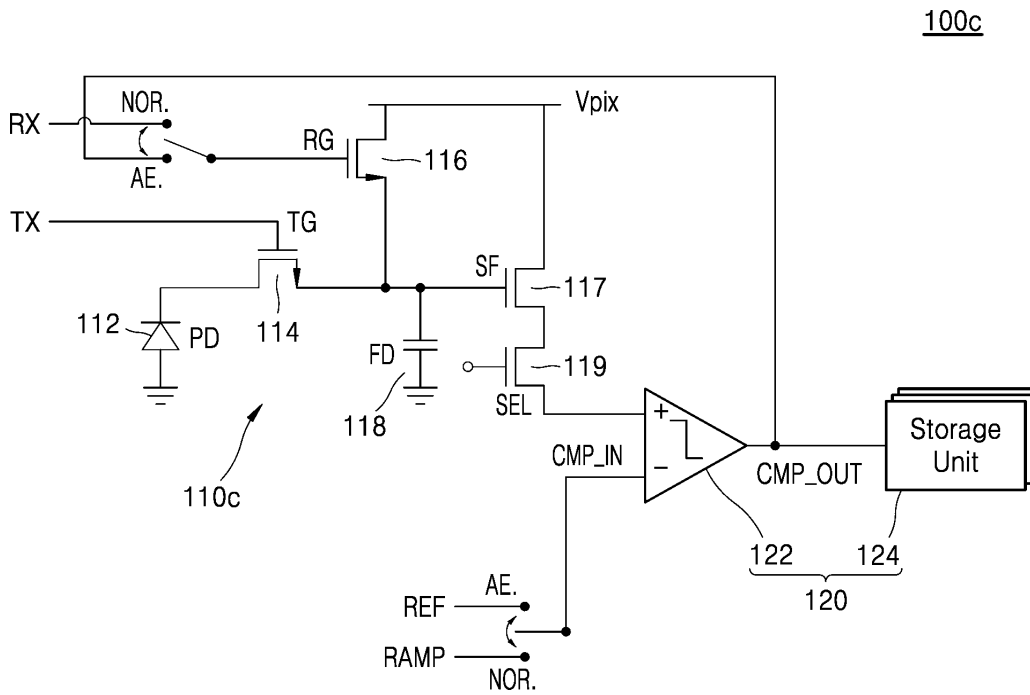
도면6a



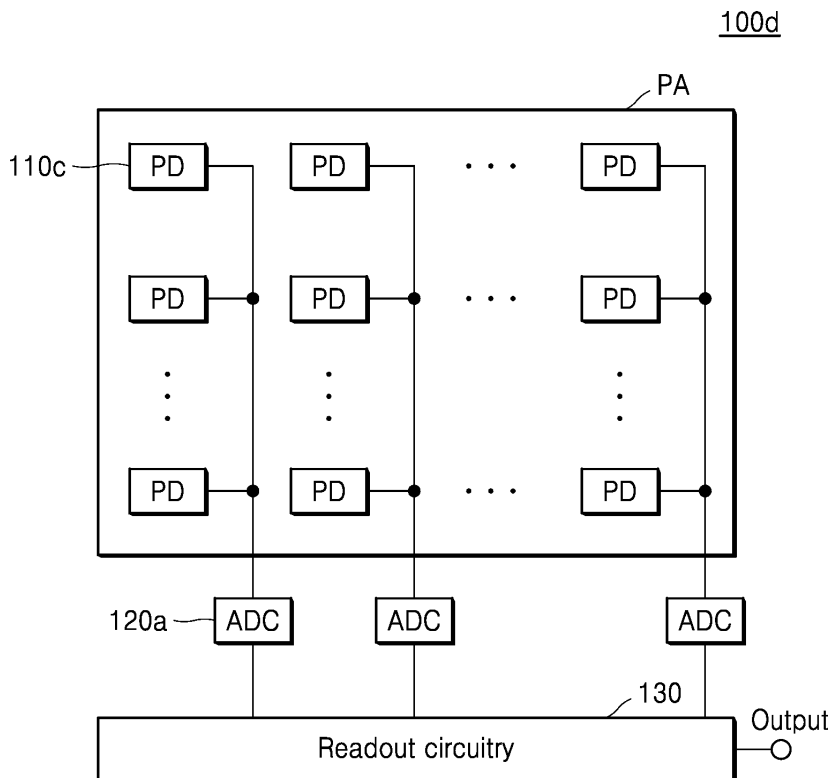
도면6b



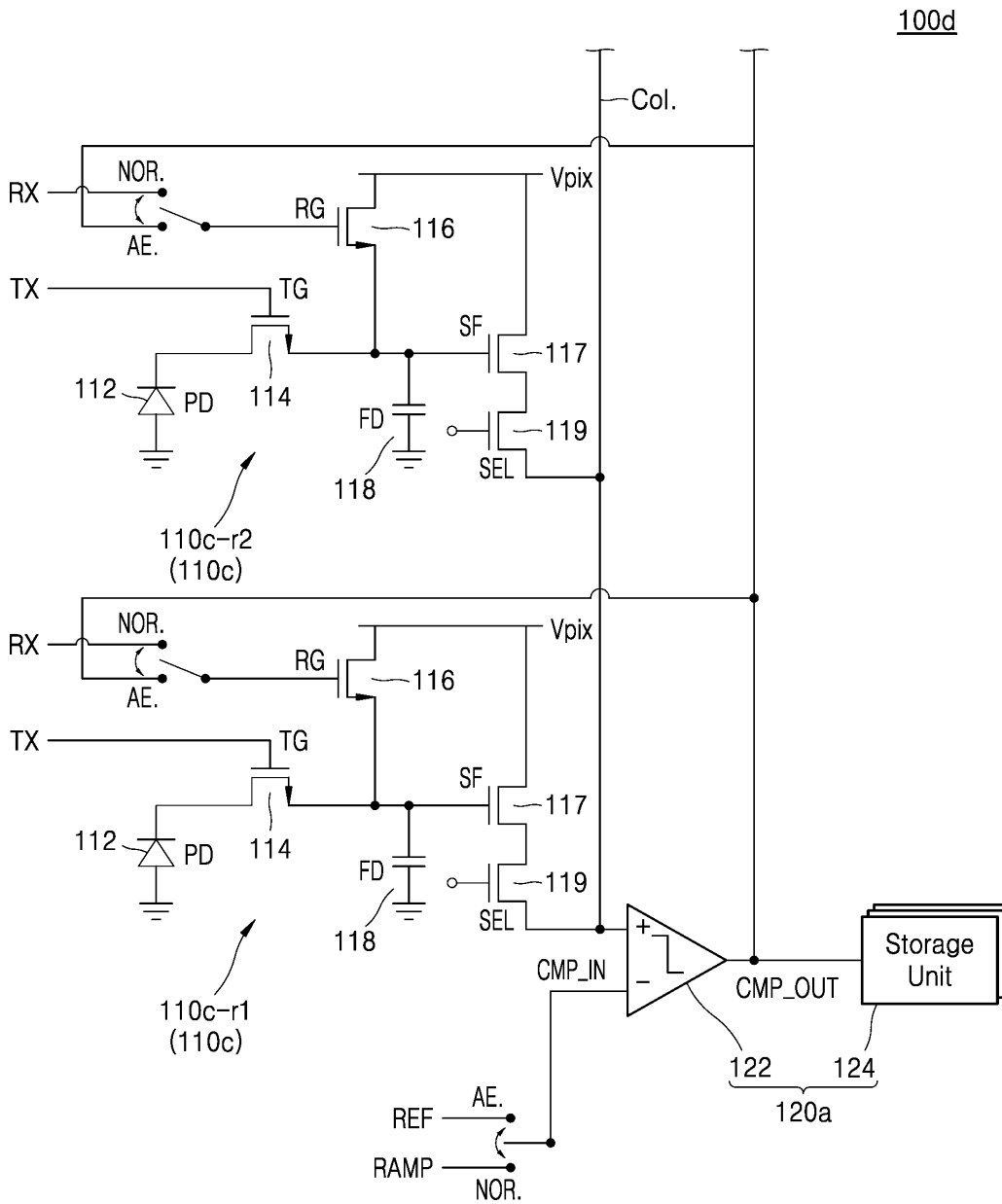
도면7



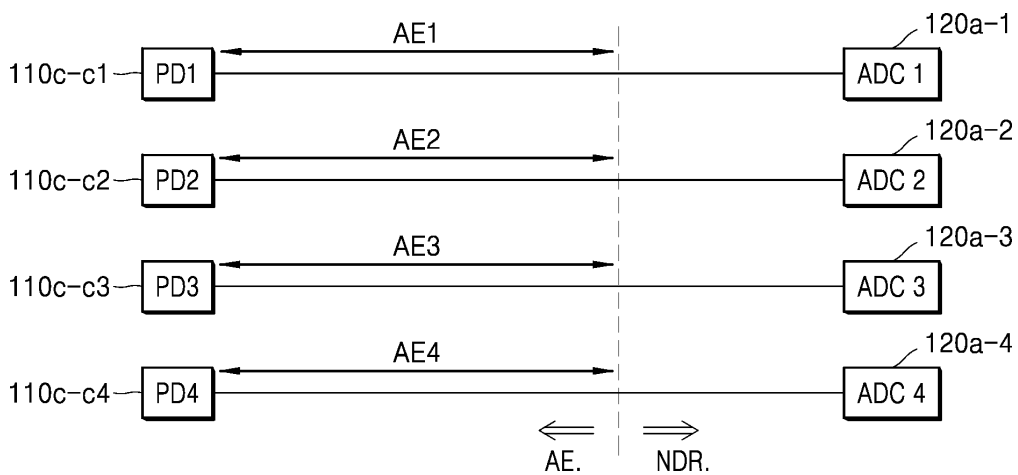
도면8a



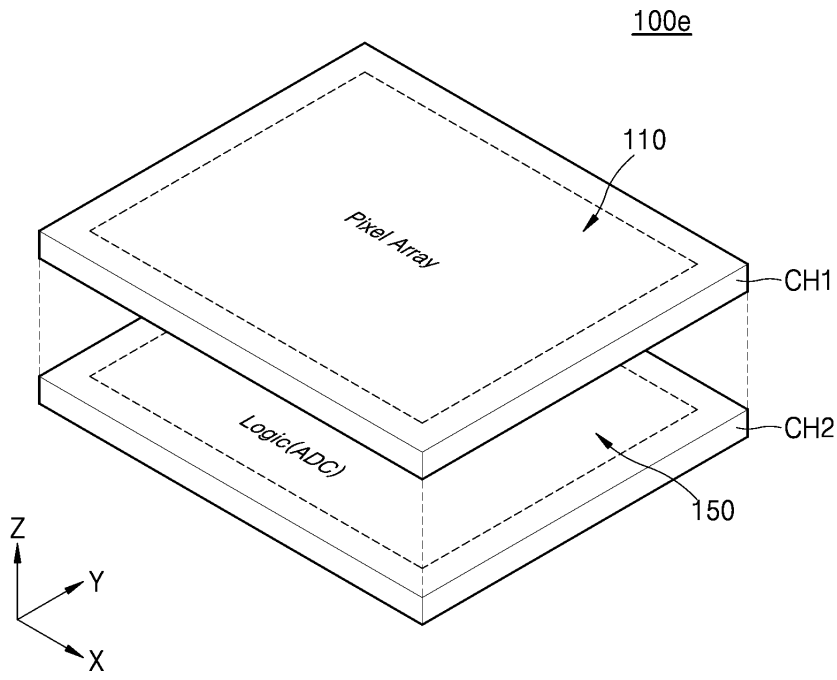
도면8b



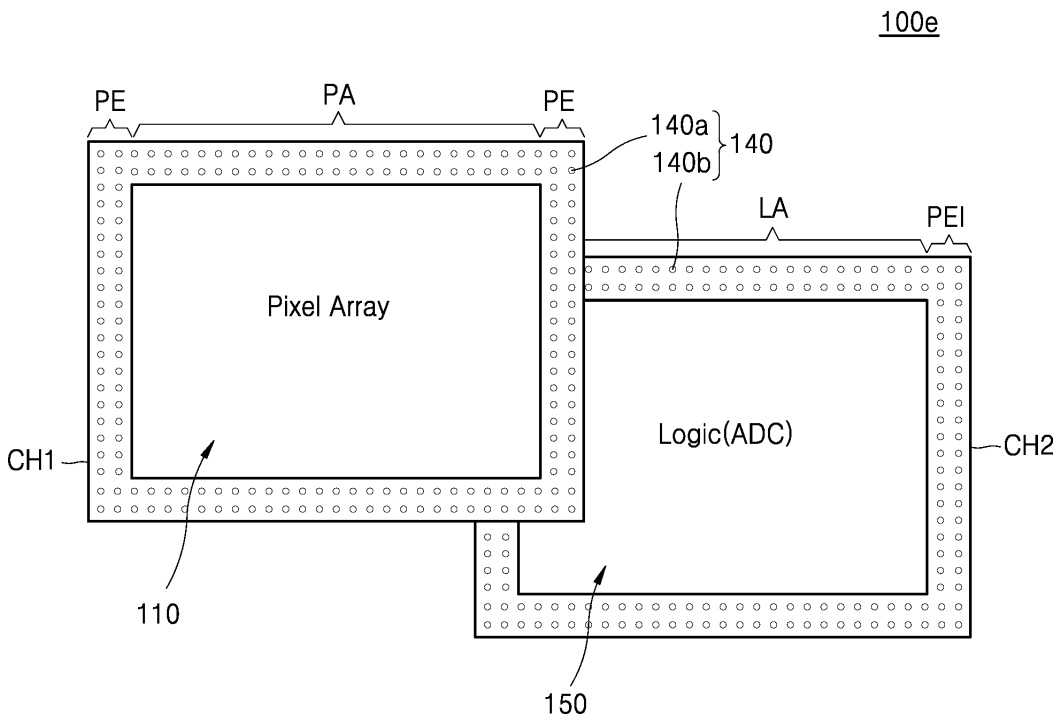
도면9



도면10a



도면10b



도면11

