

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200510073804.5

[51] Int. Cl.

H01L 23/055 (2006.01)

H01L 23/48 (2006.01)

H01L 23/52 (2006.01)

H01L 21/60 (2006.01)

H01L 21/301 (2006.01)

[45] 授权公告日 2008 年 7 月 9 日

[11] 授权公告号 CN 100401503C

[22] 申请日 2005.5.24

[21] 申请号 200510073804.5

[30] 优先权

[32] 2004.5.24 [33] JP [31] 152736/04

[73] 专利权人 三洋电机株式会社

地址 日本大阪府

共同专利权人 关东三洋半导体股份有限公司

[72] 发明人 落合公

[56] 参考文献

US5901046A 1999.5.4

US6235554B1 2001.5.22

CN1179009A 1998.4.15

US2001/0053567A1 2001.12.20

US2002/0063332A1 2002.5.30

审查员 宋霖

[74] 专利代理机构 北京市柳沈律师事务所

代理人 李贵亮 杨梧

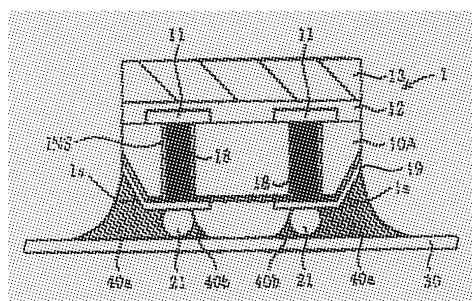
权利要求书 2 页 说明书 7 页 附图 4 页

[54] 发明名称

半导体装置及其制造方法

[57] 摘要

一种半导体装置及其制造方法，可不使工序复杂，提高安装时的强度及精度。在半导体衬底(10)的背面沿切割线(DL)形成槽(14)。进而形成从半导体衬底(10)的背面到达焊盘电极(11)的通孔(16)。在通孔(16)内形成埋入电极(18)，和其连接，形成沿切割线(DL)附近延伸的配线层(19)。在配线层(19)的端部形成导电端子(21)。然后，通过进行沿切割线(DL)的切割，完成在背面端部具有倾斜面1s的半导体装置(1)。在半导体装置(1)通过回流处理与电路衬底(30)连接时，流动性增强的导电膏覆盖导电端子(21)及倾斜面(1s)。在此，在半导体装置(1)外缘的电路衬底(30)上形成含有侧嵌条的导电膏(40a、40b)。



1、一种半导体装置，其载置于电路衬底上，其特征在于，包括：半导体芯片；焊盘电极，其形成于所述半导体芯片的表面上；倾斜面，其从所述半导体芯片的背面端部向该半导体芯片的侧面倾斜；通孔，其从所述半导体芯片的背面贯通到所述焊盘电极的表面；绝缘膜，其形成于所述通孔的侧壁和除所述通孔外的所述半导体芯片的背面上；埋入电极，其经由所述绝缘膜形成于所述通孔中，且和所述焊盘电极电连接；配线层，其经由所述绝缘膜形成在含所述通孔在内的所述半导体芯片的背面上，与所述埋入电极连接，且在所述半导体芯片的所述倾斜面上延伸，所述半导体装置使该电路衬底和所述半导体芯片的背面相对而载置于所述电路衬底上。

2、如权利要求1所述的半导体装置，其特征在于，所述埋入电极和所述配线层由同一层形成。

3、如权利要求1或2所述的半导体装置，其特征在于，具有形成于所述配线层上的导电端子。

4、如权利要求1或2所述的半导体装置，其特征在于，在所述半导体芯片背面的端部形成有将所述埋入电极上及所述倾斜面上的所述配线层覆盖的导电性嵌条。

5、如权利要求3所述的半导体装置，其特征在于，在所述半导体芯片背面的端部形成覆盖所述导电端子及所述倾斜面上的所述配线层的导电性嵌条。

6、如权利要求1或2所述的半导体装置，其特征在于，在所述半导体芯片的表面上形成有支承体。

7、一种半导体装置的制造方法，其特征在于，包括：准备由切割线区分，且在表面上形成有焊盘电极的半导体衬底，在所述半导体衬底的背面，沿所述切割线形成向所述半导体衬底的表面方向变尖的槽的工序；形成从所述半导体衬底的背面到达所述半导体衬底的所述焊盘电极侧表面的通孔的工序；在所述槽内和所述通孔的侧壁以及除所述通孔外的所述半导体衬底的背面上形成绝缘膜的工序；形成经由所述绝缘膜设置在所述通孔中并与所述焊盘电极电连接的埋入电极的工序；形成经由所述绝缘膜配置在含所述通孔在内的所述半导体芯片的背面上、与所述埋入电极连接且延伸到所述切割线

附近的配线层的工序；通过沿所述切割线进行切割将所述半导体衬底分割成多个半导体芯片的工序。

8、如权利要求 7 所述的半导体装置的制造方法，其特征在于，所述埋入电极和所述配线层由同一层形成。

9、如权利要求 7 或 8 所述的半导体装置的制造方法，其特征在于，具有在所述配线层上形成导电端子的工序。

10、如权利要求 7 或 8 所述的半导体装置的制造方法，其特征在于，具有在所述半导体芯片的背面端部形成将所述埋入电极上及所述倾斜面上的所述配线层覆盖的导电性嵌条的工序。

11、如权利要求 9 所述的半导体装置的制造方法，其特征在于，具有在所述半导体芯片的背面端部形成覆盖所述导电端子及所述倾斜面上的所述配线层的导电性嵌条的工序。

12、如权利要求 7 或 8 所述的半导体装置的制造方法，其特征在于，具有在准备由切割线区分且形成有焊盘电极的半导体衬底后，在所述半导体芯片的表面上形成支承体的工序。

半导体装置及其制造方法

技术领域

本发明涉及半导体装置及其制造方法，特别是涉及封装型半导体装置及其制造方法。

背景技术

近年来，作为封装型半导体装置，CSP(芯片尺寸封装 Chip Size Package)受到人们的关注。CSP是具有和半导体芯片的外形尺寸大致相同尺寸的外形尺寸的小型封装。

目前，CSP的一种，可知有BGA(焊球阵列 Ball Grid Array)型半导体装置。该BGA型半导体装置中，在封装的一主面上格子状地排列多个由焊锡等金属部件构成的球状导电端子，并将其与搭载于封装的其它主面上的半导体芯片电连接。下面，参照附图说明现有例的BGA型半导体装置。

图9是说明现有例的半导体装置的剖面图。如图9所示，在半导体装置2的半导体芯片60A的表面形成有焊盘电极61。另外，半导体芯片60A的表面被密封件63(或支承体)覆盖。在半导体芯片60A上形成有从该背面贯通到焊盘电极61的通孔。在该通孔中形成有和焊盘电极61连接的埋入电极68。在半导体芯片60A背面的通孔露出的埋入电极68上形成有球状的导电端子71。

该半导体装置2在安装于形成有未图示的导电图案的电路衬底80上时，使电路衬底80和半导体芯片的背面对向，设置在该电路衬底80上。在此，在形成有未图示的导电图案的电路衬底80的主面上，在和导电端子71接触的位置利用例如印刷法形成有由例如焊锡构成的导电膏90。另外，在电路衬底80的主面上，在不形成导电膏90的区域形成有用于防止在半导体芯片60A的背面和电路衬底80之间产生空间的所谓的底层填料91。

导电膏90通过回流处理增加流动性，部分地覆盖导电端子71。由此，导电端子71和电路衬底80的未图示的导电图案电连接，同时，固定在电路衬底80上。

另外，关联的技术文献可举出例如以下的专利文献。

专利文献 1：特开 2003 - 309221 号公报

专利文献 2：特表 2002 - 512436 号公报

专利文献 3：特开 2003 - 229518 号公报

但是，在介由导电膏 90 连接上述的现有例的半导体装置 2 和电路衬底 80 时，存在产生连接不良的问题。这是由于，形成于电路衬底 80 上的导电膏 90 的量被限制为少量，故有时在回流处理时，导电膏 90 不能准确地流到导电端子 71 和电路衬底 80 的未图示的导电图案两者上。另外，为解决上述连接不良而增加导电膏 90 的量时，产生了回流处理时多余的导电膏使相邻的导电端子 71 短路这样的问题。另外，难于确认是否正确地连接着。

另外，即使介由导电膏 90 将半导体装置 2 和电路衬底 80 正确地连接，但由于导电膏的量少，故连接时的机械强度也不够。因此，在半导体芯片 60A 和电路衬底 80 之间形成所谓的由环氧树脂等构成的底层填料，抑制导电端子 71 间的短路，同时，加强上述机械强度。该底层填料的形成通常由半导体装置的用户进行，故存在用户进行安装时的工序增加这样的问题。

结果是，半导体装置的用户安装时的工序复杂，且安装时的精度降低。因此，本发明提供一种半导体装置及其制造方法，其不会使工序复杂，且可提高安装时的强度及精度。

发明内容

本发明的半导体装置是鉴于上述课题而开发的，其提供一种半导体装置，载置于电路衬底上，具有以下特征。

即，本发明的半导体装置包括：半导体芯片；焊盘电极，其形成于半导体芯片的表面上；倾斜面，其从半导体芯片的背面的端部倾斜到该半导体芯片的侧面；通孔，其从半导体芯片的背面贯通到焊盘电极的表面；绝缘膜，其形成于含有通孔的侧壁的半导体芯片的背面上；埋入电极，其经由绝缘膜形成于通孔中，且和焊盘电极电连接；配线层，其经由绝缘膜形成在含通孔在内的半导体芯片的背面上，和埋入电极连接，且在半导体芯片的倾斜面上延伸。在此，半导体装置使电路衬底和半导体芯片的背面相对而载置于电路衬底上。另外，本发明的半导体装置在上述结构的基础上，具有形成于配线层上的导电端子。

本发明的半导体装置在上述结构的基础上，在半导体芯片背面的端部形

成有覆盖埋入电极上及所述倾斜面上的配线层（在形成导电端子时包括导电端子）的导电性嵌条。另外，本发明的半导体装置在上述结构的基础上，在半导体芯片的表面上形成有支承体。

本发明提供一种半导体装置的制造方法，其特征在于，包括：准备由切割线区分，且在表面上形成焊盘电极的半导体衬底，在半导体衬底的背面，沿切割线形成向半导体衬底的表面方向成尖头的槽的工序；形成从所述半导体衬底的背面到达所述半导体衬底的所述焊盘电极侧表面的通孔的工序；在槽内和所述通孔的侧壁以及除所述通孔外的半导体衬底的背面形成绝缘膜的工序；形成经由所述绝缘膜设置在所述通孔中并和焊盘电极电连接的埋入电极的工序；形成经由所述绝缘膜配置在含所述通孔在内的所述半导体芯片的背面上、和埋入电极连接且延伸到切割线附近的配线层的工序；通过沿切割线进行切割，将半导体衬底分割成多个半导体芯片的工序。另外，本发明的半导体装置的制造方法在上述工序的基础上，具有在配线层上形成导电端子的工序。

本发明的半导体装置的制造方法在上述工序的基础上，具有在半导体芯片的背面的端部形成覆盖埋入电极上及倾斜面上的配线层（在形成导电端子时包括导电端子）的导电性嵌条的工序。另外，本发明的半导体装置的制造方法在上述工序的基础上，具有在半导体芯片的表面上形成支承体的工序。

根据本发明，在将半导体装置安装在电路衬底上时，利用回流处理增加流动性的导电膏利用形成于半导体装置背面的倾斜面的表面张力沿该倾斜面朝向半导体芯片表面的方向流动，同时，沿电路衬底朝向半导体芯片的外部流动。由此，不仅导电端子，连半导体装置的背面的倾斜面也由导电膏覆盖。因此，可最大限度地抑制现有例中所见的导电端子和电路衬底的连接不良。另外，可提高将半导体装置连接到电路衬底上时的机械强度。

在正确地进行了所述连接时，从半导体装置的表面来看，存在从半导体装置的侧面溢出的导电膏（所谓的侧嵌条）。因此，进行上述连接的半导体装置的用户可通过观察该侧嵌条的有无，确认是否正确地进行了上述连接。

另外，由于所述倾斜面的表面张力，导电膏具有沿电路衬底朝向半导体装置外部流动的倾向，故与现有例相比，即使在电路衬底上形成大量的导电膏，也可以最大限度地抑制导电膏埋入相邻的导电端子间的空间。即，可最大限度地抑制导电端子间短路。

另外，由于可提高将半导体装置与电路衬底连接时的机械强度，且最大限度地避免导电端子间的短路，故可省略现有例所见的半导体装置的用户进

行的底层填料的形成工序。

结果是，可不使工序复杂而提高安装时的强度及精度。

附图说明

图 1 是表示本发明实施例的半导体装置的制造方法的剖面图；

图 2 是表示本发明实施例的半导体装置的制造方法的剖面图；

图 3 是表示本发明实施例的半导体装置的制造方法的剖面图；

图 4 是表示本发明实施例的半导体装置的制造方法的剖面图；

图 5 是表示本发明实施例的半导体装置的制造方法的剖面图；

图 6 是表示本发明实施例的半导体装置及其制造方法的剖面图；

图 7 是说明本发明实施例的半导体装置的剖面图；

图 8 是说明本发明实施例的半导体装置的剖面图；

图 9 是说明现有例的半导体装置的剖面图。

具体实施方式

下面，参照附图详细说明本实施例的半导体装置的制造方法。图 1～图 5 是表示本实施例的半导体装置的制造方法的剖面图。图 6 是表示本实施例的半导体装置及其制造方法的剖面图。图 1～图 6 中表示构成半导体装置的半导体衬底中切割线 DL 附近。

首先，如图 1 所示，准备形成有未图示的电子器件的半导体衬底 10。未图示的电子器件形成于半导体衬底 10 的第一主面即表面上。在此，在半导体衬底 10 的表面介由未图示的绝缘膜形成有从未图示的电子器件延伸的焊盘电极 11。另外，焊盘电极 11 的个数不限于图 2 所示的个数（2 个）。另外，在上述半导体衬底 10 上，在使上述焊盘电极 11 的局部露出的状态下，形成有由氧化硅膜或氮化硅膜构成的未图示的钝化膜。

在包括未图示的电子器件上及焊盘电极 11 上的半导体衬底 10 的表面上，覆盖它们而形成例如由环氧树脂等构成的树脂层 12。另外，在半导体衬底 10 的表面上介由树脂层 12 形成支承体 13。在形成于该表面上的未图示的电子器件为受光元件时，支承体 13 使用具有透明或半透明性状的材料、衬底、树脂或带等。在未图示的电子器件不是受光元件时，支承体 13 不限于透明或半透明性状。另外，该支承体 13 的形成根据未图示的电子器件或半

导体装置的使用目的也可以省略。

其次，根据需要，研磨半导体衬底 10 的背面直至规定的厚度。即进行背面研磨。另外，也可以蚀刻该背面，除去由背面研磨产生的机械性损伤层。

其次，如图 2 所示，沿切割线 DL 在半导体衬底 10 的背面上形成槽 14。该槽 14 通过例如使用切割片进行的切削形成。在此，槽 14 具有相对于半导体衬底 10 的背面以规定角度倾斜的倾斜面。该倾斜面从半导体衬底 10 的背面朝向该表面形成，汇聚于切割线 DL。

其次，如图 3 所示，在半导体衬底 10 的背面上选择性地形成第一抗蚀层 15。即，第一抗蚀层 15 在对应焊盘电极 11 的规定位置具有开口部。然后，以第一抗蚀层 15 为掩模，进行半导体衬底 10 及未图示的绝缘膜的蚀刻，形成从半导体衬底 10 的背面到达焊盘电极 11 的通孔 16。然后，除去第一抗蚀层 15。

另外，图 3 所示的通孔 16 形成直线形状，但可通过调节蚀刻条件，形成任意形状。另外，上述槽 14 也可以通过形成通孔 16 时的蚀刻和通孔 16 同时形成。此时，需要调节该蚀刻条件而形成槽 14，使其具有以规定角度倾斜的倾斜面。此时，利用该蚀刻同时形成的通孔 16 形成圆锥形状。

另外，通孔 16 的形成不限于形成槽 14 后，也可以在形成槽 14 之前进行。不过，此时，在切削槽 14 时，其切削屑等有可能污染通孔 16 的底部。

其次，如图 4 所示，在含有通孔 16 的半导体衬底 10 的背面上形成例如由氧化硅膜或氮化硅膜构成的绝缘膜 INS。在此，在通孔 16 底部的绝缘膜 INS 形成地比其它区域薄时，从半导体衬底 10 的背面整体蚀刻绝缘膜 INS，仅除去通孔 16 底部的绝缘膜 INS。或，以对应通孔 16 开口的未图示的抗蚀层为掩模，仅蚀刻除去通孔 16 的底部绝缘膜 INS。另外，绝缘膜 INS 也可以仅在通孔 16 的侧壁作为侧壁绝缘膜形成。

其次，在含有通孔 16 内的半导体衬底 10 的背面上（即绝缘膜 INS 上）利用镀敷法或溅射法形成例如由铜（Cu）构成的埋入电极 18 及与其连接的配线层 19。另外，在配线层 19 中残存的区域上形成第二抗蚀层 17。在此，残存配线层 19 的区域是指从埋入电极 18 上至槽 14 内的倾斜面上的区域（从埋入电极 18 上至槽 14 内的切割线 DL 或其附近的区域）。然后，以第二抗蚀层 17 为掩模，蚀刻配线层 19。由此，配线层 19 与焊盘电极 11 及埋入电极 18 电连接，同时，进行构图，使其向槽 14 的倾斜面上延伸。

另外，埋入电极 18 或配线层 19 不限于铜 (Cu)，只要是可由镀敷法或溅射法形成的，则也可以使用铝 (Al) 或铝合金等铜 (Cu) 以外的金属形成。另外，埋入电极 18 及配线层 19 既可以由各自不同的工序形成，也可以通过相同的工序由同一层形成。

其次，在除去第二抗蚀层 17 后，如图 5 所示，在配线层 19 上的规定位置形成导电端子 21。形成导电端子 21 的上述规定位置如图所示，可以是对应埋入电极 18 的位置，但也可以是其它位置。导电端子 21 例如由焊锡等构成，利用印刷法及回流处理形成。

另外，在焊盘电极 11 及埋入电极 18 形成于半导体衬底的切割线 DL 附近的情况下，也可以省略配线层 19 的形成。

其次，如图 6 所示，通过沿切割线 DL 切割，分割半导体衬底 10 及其它各层，完成由半导体芯片 10A 及其它各层构成的半导体装置 1。在此，在该半导体装置 1 的背面，形成从其半导体芯片 10A 的端部向侧面倾斜的倾斜面 1s。

其次，参照附图说明将上述的半导体装置 1 安装在电路衬底上的情况。图 7 是说明本发明实施例的半导体装置的剖面图。图 7 表示半导体装置 1 连接在例如印刷线路板等电路衬底 30 上时两者的剖面。另外，在电路衬底 30 上形成有未图示的导电图案。

如图 7 所示，半导体装置 1 载置于电路衬底 30 上，使其背面（即形成有导电端子 21 侧的主面）与电路衬底 30 的表面（即形成有未图示的导电图案的一侧的主面）对向。

在此，在形成未图示的导电图案的电路衬底 30 的表面中，在和导电端子 21 相接的位置通过例如印刷法形成由例如焊锡或银 (Ag) 等构成的导电膏或导电性焊料（后述的回流处理之后表示为导电膏 40a、40b）。

为介由上述导电膏连接半导体装置 1 和电路衬底 30，进行回流处理（即热处理）。通过该回流处理增加了流动性的导电膏 40a、40b 通过半导体装置 1 背面的倾斜面 1s（即形成配线层 19 的倾斜面 1s）的表面张力沿该倾斜面 1s 向半导体装置 1 的表面方向流动，同时，沿电路衬底 30 的水平方向向半导体装置 1 的外部流动。由此，不但导电端子 21，连倾斜面 1s 也由导电膏 40a、40b 覆盖。因此，可最大限度地抑制现有例所见的导电端子和电路衬底的连接不良。另外，可提高半导体装置连接在电路衬底上时的机械强度。

在正确地进行了上述连接时,从半导体装置1的表面来看,存在从半导体装置的侧面溢出的导电膏40a,即所谓的侧嵌条。因此,进行上述连接的半导体装置1的用户可通过观察该侧嵌条的有无,确认是否正确地进行了上述连接。

另外,由于上倾斜面1s的表面张力,导电膏40a、40b具有沿电路衬底30朝向半导体装置1外部方向流动的倾向,故即使与现有例相比,在电路衬底30上形成大量的导电膏,也可以最大限度地抑制相邻的导电端子21间的空间被导电膏40b埋入。即,可最大限度地抑制导电端子21间短路。

由于可提高半导体装置1连接在电路衬底30上时的机械强度,且最大限度地避免导电端子21间的短路,故可省略现有例所见的半导体装置的用户进行的底层填料91的形成工序。

结果是可不使工序复杂而提高半导体装置安装时的强度及精度。

换句话说,在图7所示的半导体装置1中,在除半导体芯片10A的端部外的背面也可以覆盖该背面或配线层19形成未图示的保护层。在这种情况下,可进一步提高半导体装置的可靠性。

另外,在上述的本实施例中,在半导体装置10A的背面形成有导电端子21,但本发明不限于此。即,本发明只要是形成贯通半导体芯片的埋入电极18及与其连接而延伸到倾斜面1s的配线层19的半导体装置,则也可以应用于未形成有导电端子21的半导体装置。此时,例如如图8所示,在半导体装置1L的半导体芯片10A的端部,覆盖埋入电极18上及倾斜面1s,在不存在导电端子的配线层19上形成含有和图7所示的相同的侧嵌条的导电膏40a、40b。

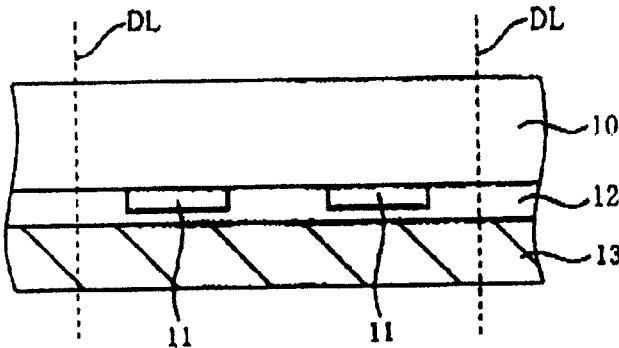


图 1

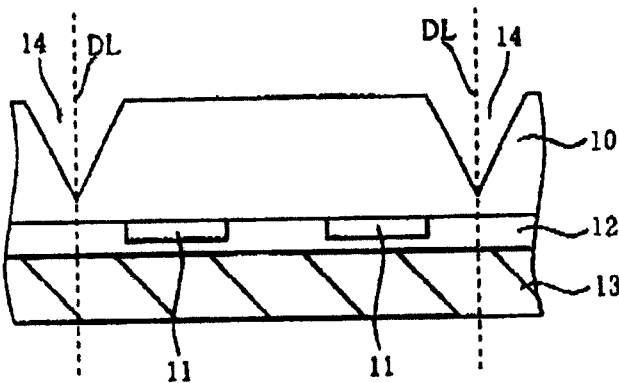


图 2

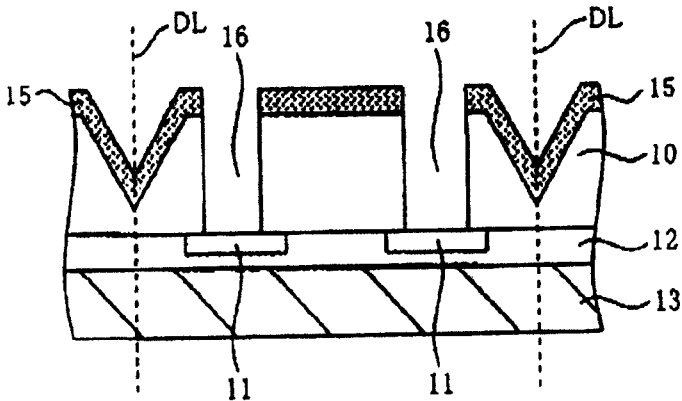


图 3

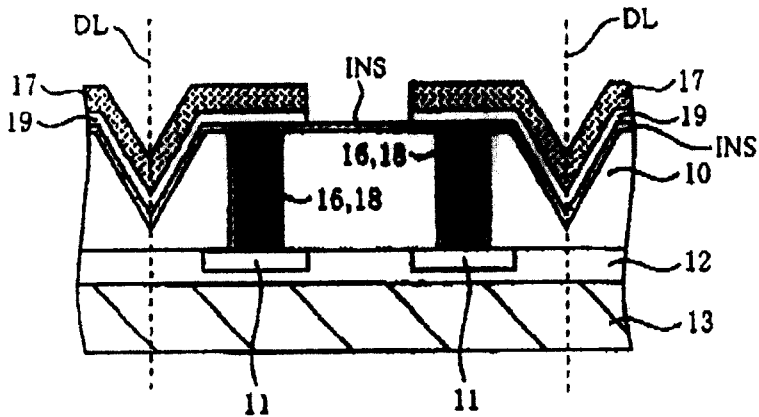


图 4

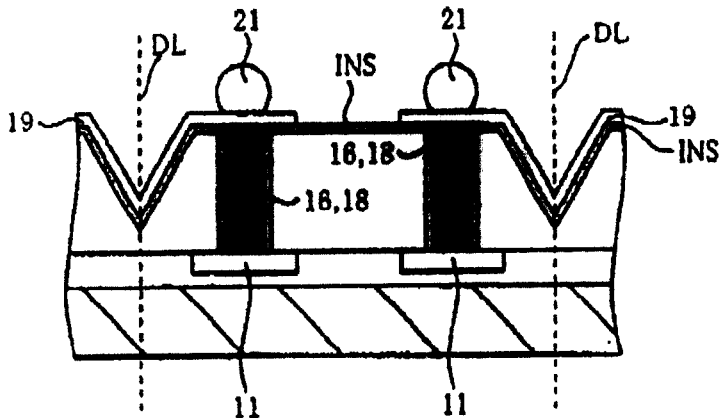


图 5

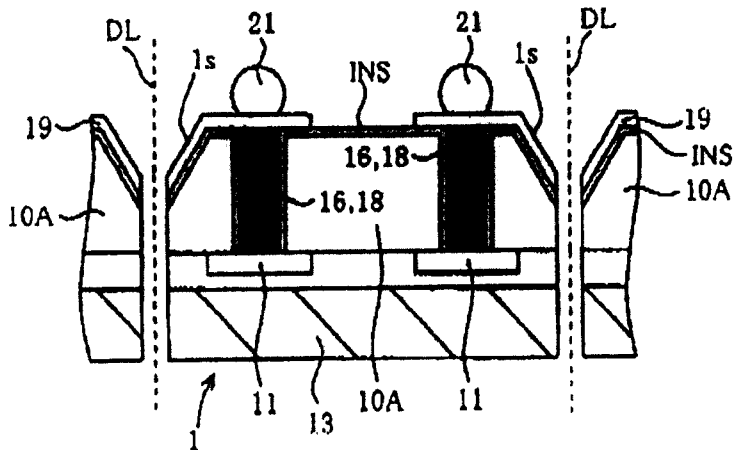


图 6

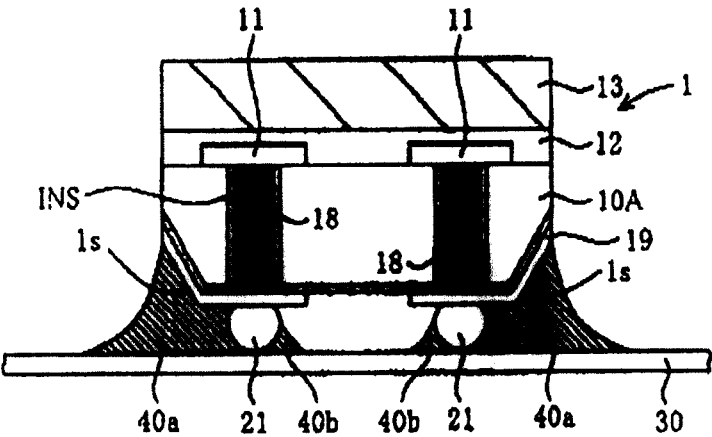


图 7

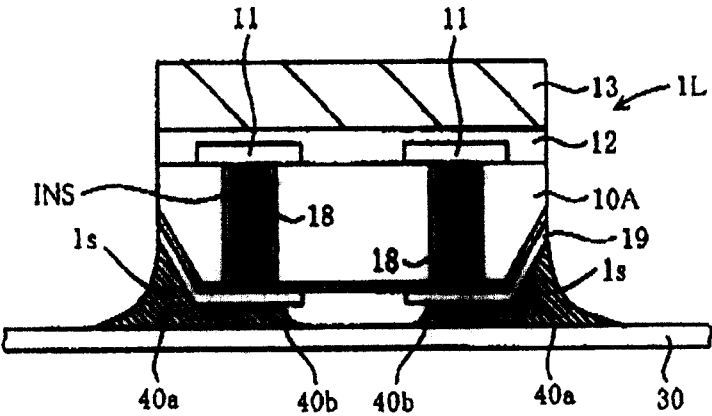


图 8

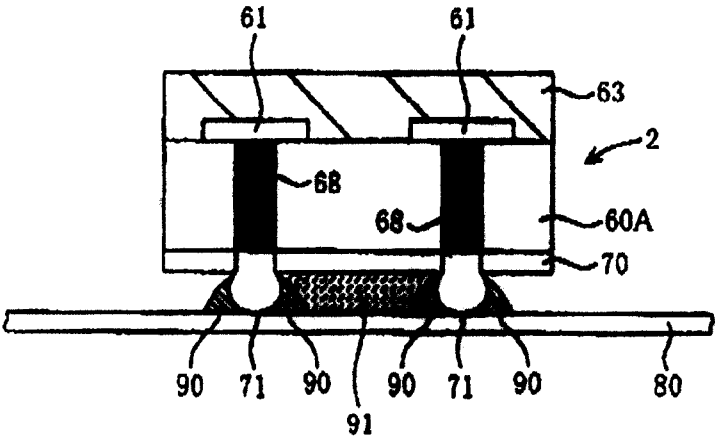


图 9