

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/8242 H01L 27/108		(45) 공고일자 (11) 등록번호 (24) 등록일자	1999년03월30일 특0171925 1998년10월22일
(21) 출원번호 (22) 출원일자	특1994-039340 1994년12월30일	(65) 공개번호 (43) 공개일자	특1996-026661 1996년07월22일
(73) 특허권자	현대전자산업주식회사 김주용		
(72) 발명자	경기도 이천군 부발읍 아미리 산 136-1 박상훈		
(74) 대리인	경기도 이천군 이천읍 창전6리 107-1번지 최홍순, 이창훈		

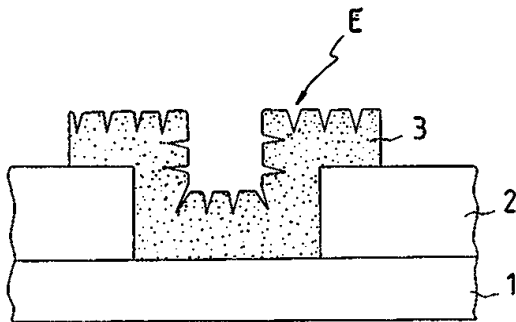
심사관 : 오재욱

(54) 커패시터의 전하저장 전극 형성방법

요약

본 발명은 디램 셀의 전하저장 전극 형성방법에 관한 것이다. 본 발명의 방법은 커패시터의 전하저장 전극용 폴리실리콘막과 반응하도록 금속막을 폴리실리콘막 상부에 형성한 다음 열처리하고 상기 금속막을 습식식각법으로 제거하여 연속된 요철형태의 표면을 형성하는 것으로 이루어진다. 본 발명에 따라 제조된 전하저장 전극을 갖는 디램 셀은 한정된 면적에서 커패시터의 용량을 증가시킬 수 있으므로 초고집적 회로에서 응용이 가능하다.

대표도



명세서

[발명의 명칭]

커패시터의 전하저장 전극 형성방법

[도면의 간단한 설명]

제1도(a)내지 (e)는 본 발명에 따른 디램 셀 커패시터의 제조공정을 나타내는 단면도.

제2도(a) 및 (b)는 본 발명의 다른 실시예의 중요 공정을 나타내는 단면도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|-----------------|-----------------|
| 1, 11 : 반도체 기판 | 2, 12 : 절연용 산화막 |
| 3, 13 : 폴리실리콘막 | 4, 14 : 금속막 |
| 5, 15 : 계면 스파이크 | 10 : 포토레지스트 |

E : 하부 전하저장 전극

[발명의 상세한 설명]

본 발명은 반도체 소자의 전하저장 전극 형성방법에 관한 것으로, 특히 전하저장 전극으로 쓰이는 폴리실리콘막의 표면에 요철형태를 만들어 표면적이 증대된 전하저장 전극을 형성케하는 방법에 관한 것이다.

근래 다이내믹 램 등의 반도체 소자의 집적도가 증가함에 따라 단위 셀을 구성하는 면적이 감소하게 되고 이에 따라 셀 커패시터의 용량이 줄어들어 디램 셀의 정보 저장 능력, 즉 제품의 신뢰성이 저하되는 문제점이 발생하게 된다.

따라서, 디램의 칩 사이즈 및 셀 면적이 작아지더라도 셀 커패시터의 용량을 일정수준 이상으로 유지하기 위한 트레이드 오프(trade-off)가 디램칩의 설계시 중요한 고려 대상이 되어야 한다.

이제까지 0.5 미크론 이하의 디자인 룰하에서 생산되는 디램 셀의 면적은 수 μm^2 으로 제한되고 있으며, 여기서 형성되는 셀 커패시터의 유효면적을 확장시킴으로써 커패시턴스/셀 면적비를 최대화시키기 위한 많은 노력이 이루어져 왔다.

통상 4Mb 디램 이상에서의 셀 구조는 상기한 커패시터 용량의 최대화를 위해 3차원 커패시터로 구성되며, 최근 트렌치 방식과 스택형 방식의 조합, 다층 핀 구조 및 원통구조 방식과 표면적 최대 구조 방식의 조합으로 발전되는 추세에 있다.

위와 같은 다양한 커패시터 구조에 있어 제조공정의 용이성 및 양산성 측면에서 스택형 구조가 일반적으로 유리하다고 알려져 있다. 그러나 모디파이한 스택형 커패시터는 제조공정이 복잡하고 구조상 스텝 커버리지가 나빠져서 후공정인 금속공정에서 메탈 라인이 단락되는 등의 토폴로지(topology)문제가 발생하는 단점이 있다.

본 발명은 이와같은 문제점을 감안하여 안출된 것으로, 간단한 공정에 의해 기판상 양호한 스텝 커버리지를 유지하면서 제한된 면적에서 셀 커패시터의 용량을 증가시키기 위한 전하저장 전극 형성방법을 제공하는 데 그 목적이 있다.

상기한 본 발명의 목적을 달성하기 위하여, 본 발명은 반도체 메모리의 전하저장 전극용 폴리실리콘막 상부에 금속막을 형성한다음, 폴리실리콘막과 금속막을 반응시키고, 잔존하는 금속막 및 폴리실리콘막과 금속막이 반응물을 제거하여, 폴리실리콘막 표면에 연속된 요철을 형성하는 것을 특징으로 한다.

본 발명에 의한 전하저장 전극을 갖는 디램 셀은 한정된 면적에서 커패시터의 용량을 증가시킬 수 있으므로 초고집적 회로에 응용이 가능하다.

이하 본 발명의 일 실시예를 첨부도면을 참고하여 상세히 설명한다.

제1도는 본 발명에 따른 디램 셀 커패시터의 제조공정을 나타낸 것으로서, 반도체 기판(1)위에 통상의 방법으로 필드 산화막(도시되지 않음) 및 게이트 전극(도시되지 않음)을 형성한후, 소정의 이온 주입으로 소오스/드레인 접합(도시되지 않음)을 형성한다. 그리고나서, 결과물 상부에 절연용 산화막(2)을 증착하고, 이후 포토마스킹 작업에 의해 커패시터의 노드 콘택부위 즉, 소오스 접합 부분이 노출되도록 절연용 산화막(2)을 이방성 식각하고 나서, 제1도(a)에서와 같이 전하저장 전극으로 사용될 폴리실리콘막(3)을 소정 두께로 증착한다.

그다음 제1도(b)에서와 같이 폴리실리콘막(3)위로 소정의 금속막(4)을 형성한다. 이 금속막의 재료는 바람직하게 전이금속(예를 들어 W, Ta, Ti, Mo, Ba 등)또는 알루미늄 합금으로 구성되고, 스퍼터링 방법의 의해 약 500-2000Å의 두께로 증착한다.

이후 제1도(c)에 묘사한 것과 같이, 기판을 약 400-1000℃의 온도에서 어닐링하여, 상기 폴리실리콘막(3)과 금속막(4)을 반응시킨다. 그러면 그 계면에서 에너지 분포 영향으로 침(針)상의 금속결합구조 즉 스파이크(spikes; 5)가 형성되도록 한다.

다음에 제1도(d)에서와 같이 상기 금속막(4)을 습식식각법으로 제거한다. 이때 금속 스파이크부분(5)도 같이 식각되게 조절한다. 식각제로서는 $\text{HF}+\text{HNO}_3$, $\text{H}_2\text{SO}_4+\text{H}_2\text{O}_2$, $\text{NH}_4\text{OH}+\text{H}_2\text{O}$ 등의 혼합 용액을 사용한다.

이후 폴리실리콘막(3)이 커패시터의 하부 전극(스토리지 노드)을 형성하도록 포토 레지스트(10)을 형성한다.

이 레지스트(10)를 마스크로 하여, 건식 식각법으로 폴리실리콘막(3)을 식각한다.

이로써 제1도(e)에 나타낸 바와 같이 식각 후 남은 하부 전하저장 전극 E(스토리지 노드)의 단면형상은 그 표면에 연속되는 요철모양이 만들어진 것으로 된다.

한편, 본 발명의 다른 실시예로서, 제2도(a)에 나타낸 것과 같이 실리콘 기판(11)의 메모리 셀 영역에서 절연산화막(1)에 형성된 노드 콘택위로 폴리실리콘막을 증착하고 나서 포토마스킹 공정에 의해 하부 전하저장 전극을 한정하는 폴리실리콘막 패턴(13)을 먼저 형성한다. 그위로 상기 제1도(b)에서 설명한 바와 같은 금속막(14)을 증착하여 형성한다.

그 다음 상기 반도체 기판을 열처리함에 의해 폴리실리콘막(13)과 금속막(14)을 서로 반응시켜 스파이크가 형성되게 한 후 금속막(14)을 습식식각으로 제거함으로써 제2도(b)에 나타낸 바와 같이 폴리실리콘막 표면에서 뿐만 아니라 전극 양끝단 측면에서도 요철이 형성된 전하저장 전극 E가 제조된다.

그다음의 공정은 도면에 표시하지 않았지만 마스크로 사용된 레지스트막(10)을 제거하고 나서 ONO 또는 NO로 구성되는 고유전물질을 하부 전하저장 전극 E를 따라 증착하고, 플레이트로 될 대향 전하저장 전극용 폴리실리콘막을 증착하고 일련의 마스크 작업 및 폴리실리콘막 식각을 수행하여 대향 전하저장 전극 패턴을 형성하는 것으로 이에 의해 셀 커패시터가 완성된다.

이상 설명한 바와 같이, 본 발명의 방법에 의하면 전하저장 전극으로 쓰이는 폴리실리콘막의 표면에 요철 형태를 만들어 표면적이 증대된 전하저장전극을 제조할 수 있으므로 한정된 면적에서 셀 커패시터의 축적용량을 증가시키고, 칩에서 커패시터의 면적을 축소시킬 수 있어 동일 다비이스에 대한 칩 수율을 증대시킬 수 있는 효과를 나타낸다.

(57) 청구의 범위**청구항 1**

반도체 메모리의 전하저장 전극용 폴리실리콘막 상부에 금속막을 형성한 다음, 폴리실리콘막과 금속막을 반응시키고, 잔존하는 금속막 및 폴리실리콘막과 금속막의 반응물을 제거하여, 폴리실리콘막 표면에 연속된 요철을 형성하는 것을 특징으로 하는 커패시터의 전하저장 전극 형성방법.

청구항 2

반도체 기판위에 형성된 디램 소자 영역에 형성된 노드콘택 부위로 전하저장 전극으로 사용될 폴리실리콘막을 소정 두께로 증착하는 단계와, 상기 폴리실리콘층 상에 소정 재료의 금속막을 증착하는 단계와, 상기 기판을 어닐링하여 상기 폴리실리콘막과 금속막을 반응시키어, 그 계면에 침상의 금속 결합 구조를 형성하는 단계와, 상기 금속막 및 상기 침상의 금속결합부분을 제거하는 단계와, 상기 노출된 실리콘층을 포토 마스크에 의해 하부 전하저장 전극으로 사용될 영역만을 남기고 식각하는 단계를 포함하며, 상기 금속막 및 상기 금속 결합 부분의 제거로 상기 폴리실리콘막의 표면에 연속된 요철형태의 주름이 형성되는 것을 특징으로 하는 커패시터의 전하저장 전극 형성방법.

청구항 3

제2항에 있어서, 상기 금속막의 재료는 W, Ta, Ti, Mo, Ba 또는 알루미늄 합금으로 구성되고, 증착시의 두께는 약 500-2000 Å으로 한정되는 것을 특징으로 하는 커패시터의 전하저장 전극 형성방법.

청구항 4

제2항에 있어서, 상기 어닐링은 약 400-1000℃의 온도에서 수행되는 것을 특징으로 하는 커패시터의 전하저장 전극 형성방법.

청구항 5

제2항에 있어서, 상기 금속막 및 상기 침상의 금속결합부분은 습식식각법에 의해 제거되는 것을 특징으로 하는 커패시터의 전하저장 전극 형성방법.

청구항 6

실리콘 기판에 디램 셀의 능동소자영역을 한정하고 나서 노드콘택 위로 하부 전하저장 전극을 한정하는 폴리실리콘막 패턴을 형성한 다음, 상기 폴리실리콘막 패턴의 표면에 금속막을 증착하는 단계와, 상기 기판을 열처리하여 폴리실리콘막과 금속막을 서로 반응시켜 결합 계면에 스파이크가 형성되게 한 후 금속막 및 폴리실리콘막과 금속막의 반응물을 제거하는 단계를 포함하며, 상기 금속막 및 반응물의 제거 후 폴리실리콘막 표면을 따라 요철이 형성되는 것을 특징으로 하는 커패시터의 전하저장 전극 형성방법.

청구항 7

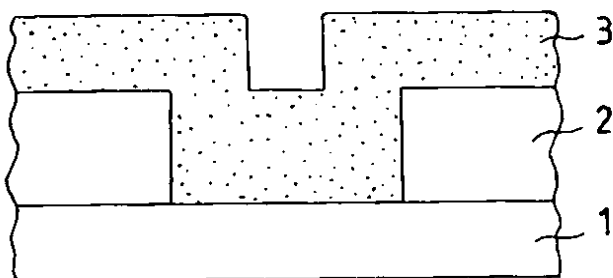
제6항에 있어서, 상기 금속막의 재료는 W, Ta, Ti, Mo, Ba 또는 알루미늄 합금으로 구성되고, 증착시의 두께는 약 500-2000 Å으로 한정되는 것을 특징으로 하는 커패시터의 전하저장 전극 형성방법.

청구항 8

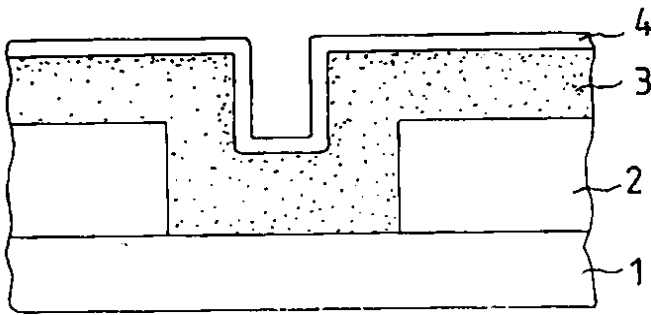
제6항에 있어서, 상기 금속막 및 상기 계면의 스파이크부분은 습식식각법에 의해 제거되는 것을 특징으로 하는 커패시터의 전하저장 전극 형성방법.

청구항 9

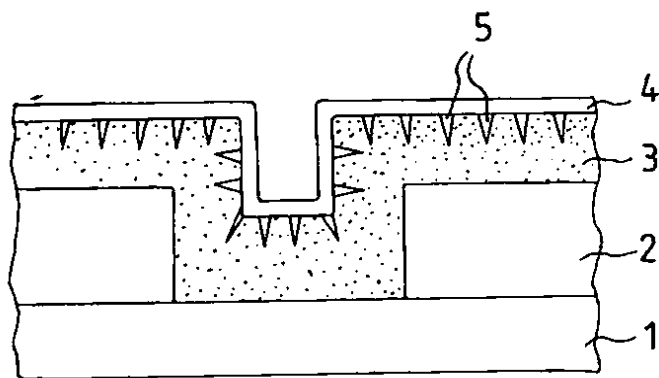
제6항에 있어서, 상기 어닐링은 약 400-1000℃의 온도에서 수행되는 것을 특징으로 하는 커패시터의 전하저장 전극 형성방법.

도면**도면 1a**

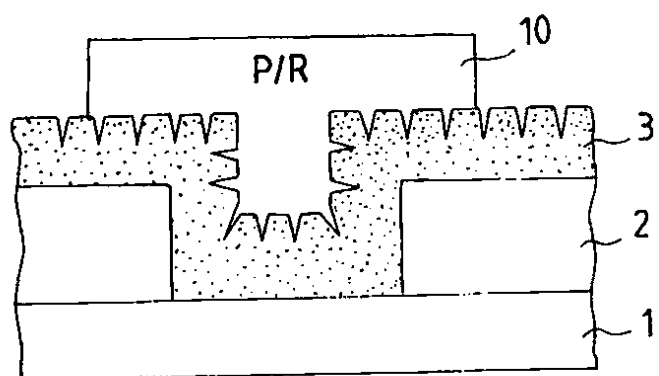
도면 1b



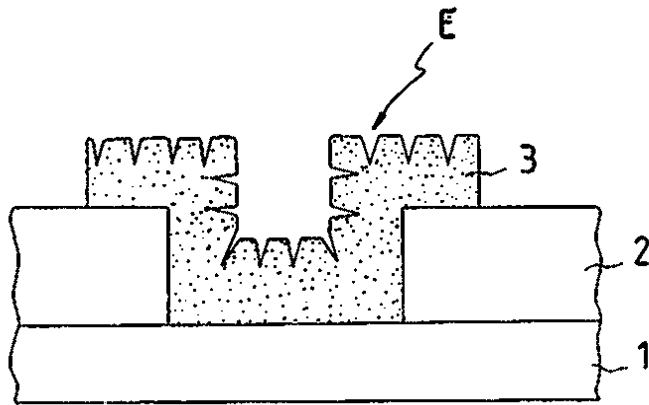
도면 1c



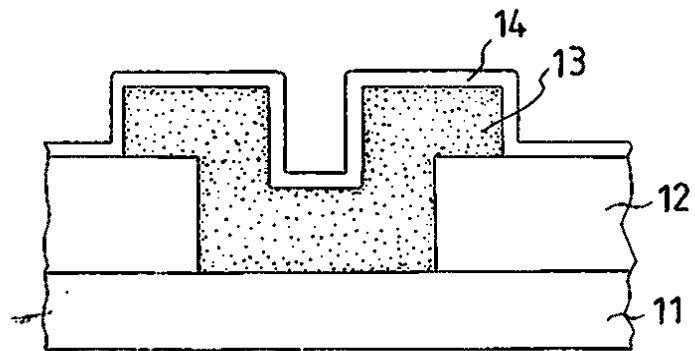
도면 1d



도면 1e



도면 2a



도면 2b

