

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-207628
(P2004-207628A)

(43) 公開日 平成16年7月22日(2004.7.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 27/105	HO 1 L 27/10 4 4 4 C	5 F 0 5 8
HO 1 L 21/316	HO 1 L 21/316 X	5 F 0 8 3

審査請求 未請求 請求項の数 15 O L (全 12 頁)

(21) 出願番号	特願2002-377474 (P2002-377474)	(71) 出願人	302062931 NECエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成14年12月26日(2002.12.26)	(74) 代理人	100088328 弁理士 金田 暢之
		(74) 代理人	100106297 弁理士 伊藤 克博
		(74) 代理人	100106138 弁理士 石橋 政幸
		(72) 発明者	中川 隆史 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		Fターム(参考)	5F058 BA11 BC03 BD05 BF06 BF27 BF29 BJ02 5F083 GA06 GA21 JA15 JA38 JA39 JA40 JA43 PR21

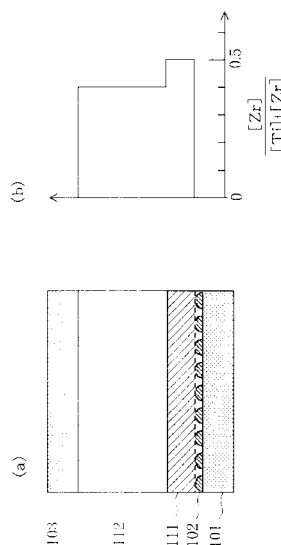
(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【要約】

【課題】 残留分極値を低下させることなくリーク電流が抑えられた強誘電体容量素子を有する半導体記憶装置を提供する。

【解決手段】 一般式 ABO_3 で表され、A格子を占めるA元素として鉛(Pb)を含有し、B格子を占めるB元素としてジルコニウム(Zr)及びチタン(Ti)を含有するペロブスカイト型結晶構造を有する強誘電体層と、該強誘電体層を挟んで配置された下部電極および上部電極とを有する容量素子を有する半導体記憶装置において、前記強誘電体層のZr/Ti比を、下部電極側および上部電極側のいずれの領域においても当該強誘電体層の厚さ方向の中央部のZr/Ti比と同等以上にし、下部電極側および上部電極側の少なくとも一方の領域のZr/Ti比を前記中央部のZr/Ti比より大きくする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一般式 ABO_3 で表され、A 格子を占める A 元素として鉛 (Pb) を含有し、B 格子を占める B 元素としてジルコニウム (Zr) 及びチタン (Ti) を含有するペロブスカイト型結晶構造を有する強誘電体層と、該強誘電体層を挟んで配置された下部電極および上部電極とを有する容量素子を有する半導体記憶装置において、

前記強誘電体層は、Ti に対する Zr の比率 (Zr/Ti 比) が前記下部電極側および上部電極側のいずれにおいても当該強誘電体層の厚さ方向の中央部の Zr/Ti 比と同等以上である領域を有し、前記下部電極側および上部電極側の少なくとも一方の領域の Zr/Ti 比が前記中央部の Zr/Ti 比より大きいことを特徴とする半導体記憶装置。

10

【請求項 2】

前記強誘電体層は、前記下部電極上に形成された第 1 の強誘電体層と、該第 1 の強誘電体層上に形成され前記上部電極に隣接する第 2 の強誘電体層とを有し、前記第 1 の強誘電体層の Zr/Ti 比が前記第 2 の強誘電体層の Zr/Ti 比より大きいことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記強誘電体層は、前記下部電極上に形成された第 1 の強誘電体層と、該第 1 の強誘電体層上に形成され前記上部電極に隣接する第 2 の強誘電体層とを有し、前記第 2 の強誘電体層の Zr/Ti 比が前記第 1 の強誘電体層の Zr/Ti 比より大きいことを特徴とする請求項 1 に記載の半導体記憶装置。

20

【請求項 4】

前記第 1 及び第 2 の強誘電体層の Zr/Ti 比はそれぞれ厚さ方向に沿って一定である請求項 2 又は 3 に記載の半導体記憶装置。

【請求項 5】

前記強誘電体層は、前記下部電極上に形成された第 1 の強誘電体層と、該第 1 の強誘電体層上に形成された第 2 の強誘電体層と、該第 2 の強誘電体層上に形成され前記上部電極に隣接する第 3 の強誘電体層とを有し、前記第 1 及び第 3 の強誘電体層の Zr/Ti 比が前記第 2 の強誘電体層の Zr/Ti 比より大きいことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 6】

前記第 1、第 2 及び第 3 の強誘電体層の Zr/Ti 比はそれぞれ厚さ方向に沿って一定である請求項 5 に記載の半導体記憶装置。

30

【請求項 7】

前記下部電極上にペロブスカイト型結晶構造を有する成長核層を有し、該成長核層を介して前記強誘電体層が形成されている請求項 1 ~ 6 のいずれかに記載の半導体記憶装置。

【請求項 8】

前記成長核層が、複数の島状に形成されている請求項 7 に記載の半導体記憶装置。

【請求項 9】

前記成長核層が、Zr を含まないペロブスカイト型結晶構造を有する材料からなる請求項 7 又は 8 に記載の半導体記憶装置。

40

【請求項 10】

前記成長核層が、チタン酸鉛 ($PbTiO_3$) からなる請求項 9 に記載の半導体記憶装置。

【請求項 11】

前記強誘電体層が、一般式 $Pb(Zr_yTi_{1-y})O_3$ ($0 < y < 1$) で表されるペロブスカイト型結晶構造を有する強誘電体層である請求項 1 ~ 10 のいずれかに記載の半導体記憶装置。

【請求項 12】

請求項 7 ~ 11 のいずれかに記載の半導体記憶装置の製造方法であって、下部電極用の導電膜を形成する工程と、

50

前記導電膜を形成した後に有機金属気相成長法により成長核層を形成する工程と、
前記成長核層を形成した後に有機金属気相成長法により強誘電体膜を形成する工程と、
前記強誘電体膜を形成した後に上部電極形成用の導電膜を形成する工程とを有する半導体
記憶装置の製造方法。

【請求項 13】

前記強誘電体膜の形成工程において、下部電極側の領域を形成する際の成膜速度を、当該
強誘電体膜の厚さ方向の中央部を形成する際の成膜速度より遅くすることを特徴とする請
求項 12 に記載の半導体記憶装置の製造方法。

【請求項 14】

前記強誘電体膜の形成工程において、上部電極側の領域を形成する際の成膜速度を、当該
強誘電体膜の厚さ方向の中央部を形成する際の成膜速度より遅くすることを特徴とする請
求項 12 又は 13 に記載の半導体記憶装置の製造方法。

10

【請求項 15】

前記強誘電体膜の形成工程において、当該強誘電体膜の組成を膜厚方向に沿って制御する
ために原料供給量を変化させる際、形成中の膜表面に原料が供給されない待機工程を設け
ることなく連続的に成膜することを特徴とする請求項 12、13 又は 14 に記載の半導体
記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

20

本発明は、強誘電体容量素子を有する半導体記憶装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、強誘電体の分極特性を利用した容量素子を備えた不揮発性半導体記憶装置が活発に
研究開発されている。

【0003】

この不揮発性半導体記憶装置に用いられる強誘電体材料は、ペロブスカイト構造を有する
結晶であり、 $Pb(Zr_xTi_{1-x})O_3$ で表されるチタン酸ジルコン酸鉛 (PZT) が代
表的なものとして知られている。

【0004】

30

従来、このような強誘電体を用いた容量素子としては、例えば特許文献 1 (特開 2000
- 31399 号公報) に、 $Pb(Zr_xTi_{1-x})O_3$ からなる誘電体が 2 つの電極に挟ま
れた構造を有し、 Zr の組成比 x が前記電極近くで前記誘電体中央部より小さい誘電体素
子が開示されている。そして、この構成によれば、電極付近においては格子マッチングに
優れた組成、誘電体中央部においては分極特性に優れた組成とすることで、残留分極を向
上させ、かつ膜剥がれのない誘電体を実現できると記載されている。

【0005】

また、特許文献 2 (特開 2000 - 67650 号公報) には、単結晶基板上に形成された
導電性薄膜、および前記導電性薄膜上に形成されたペロブスカイト構造を有する $Pb(Zr, Ti)O_3$ 系強誘電体薄膜を含み、前記強誘電体薄膜は、前記導電性薄膜との界面か
ら膜厚方向に向かって漸次 Zr 成分が増加する第 1 層と、前記第 1 層上に形成され Zr 成
分が一定の第 2 層とで形成され、前記第 1 層と第 2 層との境界部において両層の組成がほ
ぼ等しい、強誘電体薄膜素子が開示されている。そして、この構成によれば、配向性が良
好で結晶欠陥が少ない強誘電体薄膜を有する強誘電体薄膜素子が提供できると記載されて
いる。

40

【0006】

一方、特許文献 3 (特開 2000 - 58525 号公報) には、有機金属気相成長法によっ
て、低温で成膜でき、下層のプラグや配線、トランジスタを劣化させることなく、配向性
および結晶性に優れた PZT 等の強誘電体膜を形成する方法が開示されている。具体的
には、導電性材料上に第 1 の成膜条件でペロブスカイト型結晶構造の初期核形成を行い、第

50

2の成膜条件でこの初期核上にさらにペロブスカイト型結晶構造の膜成長を行う。その際、第1の成膜条件において、第2の成膜条件と比較してZrの供給量を減らした条件で或いはZrの原料ガスを供給しない条件で初期核形成を行っている。

【0007】

【特許文献1】

特開2000-31399号公報

【特許文献2】

特開2000-67650号公報

【特許文献3】

特開2000-58525号公報

10

【0008】

【発明が解決しようとする課題】

さらに特願平2001-336083号には、上記特許文献3に記載の成膜方法において導電性材料上に形成された初期核とその上に形成された強誘電体膜との界面における格子歪みを低減することを目的として、強誘電体膜のZr/Ti比を下部電極側から上部電極側へ増加させることが記載されている。Zr/Ti比を下部電極側において小さくすることで格子歪みを低減し、上部電極側へかけて増加させることで抗電界の増大を抑えている。

【0009】

しかしながら、上記のいずれの技術においても、強誘電体膜中に、Zr/Ti比が当該強誘電体膜の厚さ方向の中央部より小さい領域を有するため、リーク電流が増加する課題を有している。

20

【0010】

そこで本発明の目的は、残留分極値を低下させることなくリーク電流が抑えられた強誘電体容量素子を有する半導体記憶装置を提供することにある。

【0011】

【課題を解決するための手段】

本発明は、一般式 ABO_3 で表され、A格子を占めるA元素として鉛(Pb)を含有し、B格子を占めるB元素としてジルコニウム(Zr)及びチタン(Ti)を含有するペロブスカイト型結晶構造を有する強誘電体層と、該強誘電体層を挟んで配置された下部電極および上部電極とを有する容量素子を有する半導体記憶装置において、

30

前記強誘電体層は、Tiに対するZrの比率(Zr/Ti比)が前記下部電極側および上部電極側のいずれにおいても当該強誘電体層の厚さ方向の中央部のZr/Ti比と同等以上である領域を有し、前記下部電極側および上部電極側の少なくとも一方の領域のZr/Ti比が前記中央部のZr/Ti比より大きいことを特徴とする半導体記憶装置に関する。

【0012】

また本発明は、前記強誘電体層が、前記下部電極上に形成された第1の強誘電体層と、該第1の強誘電体層上に形成され前記上部電極に隣接する第2の強誘電体層とを有し、前記第1の強誘電体層のZr/Ti比が前記第2の強誘電体層のZr/Ti比より大きいことを特徴とする上記の半導体記憶装置に関する。

40

【0013】

また本発明は、前記強誘電体層が、前記下部電極上に形成された第1の強誘電体層と、該第1の強誘電体層上に形成され前記上部電極に隣接する第2の強誘電体層とを有し、前記第2の強誘電体層のZr/Ti比が前記第1の強誘電体層のZr/Ti比より大きいことを特徴とする上記の半導体記憶装置に関する。

【0014】

また本発明は、前記強誘電体層が、前記下部電極上に形成された第1の強誘電体層と、該第1の強誘電体層上に形成された第2の強誘電体層と、該第2の強誘電体層上に形成され前記上部電極に隣接する第3の強誘電体層とを有し、前記第1及び第3の強誘電体層のZ

50

r / T i 比が前記第2の強誘電体層の Z r / T i 比より大きいことを特徴とする上記の半導体記憶装置に関する。

【0015】

また本発明は、前記下部電極上にペロブスカイト型結晶構造を有する成長核層を有し、該成長核層を介して前記強誘電体層が形成されている上記の半導体記憶装置に関する。

【0016】

また本発明は、上記のいずれかの半導体記憶装置の製造方法であって、下部電極用の導電膜を形成する工程と、前記導電膜を形成した後に有機金属気相成長法により成長核層を形成する工程と、前記成長核層を形成した後に有機金属気相成長法により強誘電体膜を形成する工程と、前記強誘電体膜を形成した後に上部電極形成用の導電膜を形成する工程とを有する半導体記憶装置の製造方法に関する。

10

【0017】

また本発明は、前記強誘電体膜の形成工程において、下部電極側の領域を形成する際の成膜速度を、当該強誘電体膜の厚さ方向の中央部を形成する際の成膜速度より遅くすることを特徴とする上記の半導体記憶装置の製造方法に関する。

【0018】

また本発明は、前記強誘電体膜の形成工程において、上部電極側の領域を形成する際の成膜速度を、当該強誘電体膜の厚さ方向の中央部を形成する際の成膜速度より遅くすることを特徴とする上記の半導体記憶装置の製造方法に関する。

20

【0019】

また本発明は、前記強誘電体膜の形成工程において、当該強誘電体膜の組成を膜厚方向に沿って制御するために原料供給量を変化させる際、形成中の膜表面に原料が供給されない待機工程を設けることなく連続的に成膜することを特徴とする上記の半導体記憶装置の製造方法に関する。

【0020】

【発明の実施の形態】

本発明における強誘電体層は、一般式 ABO_3 で表され、A格子を占めるA元素として鉛(Pb)を含有し、B格子を占めるB元素としてジルコニウム(Zr)及びチタン(Ti)を含有するペロブスカイト型結晶構造を有する材料(以下「Pb系誘電体材料」という)で形成される。

30

【0021】

このPb系誘電体材料としては、一般式 $(Pb_{1-x}M_x)(Zr_yTi_{1-y})O_3$ で表され、式中のx及びyがそれぞれ $0 < x < 1$ 及び $0 < y < 1$ の範囲にあるものを用いることができる。式中のMとしては、La、Li、Na、Mg、Ca、Sr、Ba及びBiから選ばれる少なくとも一種が挙げられる。所望の素子特性を得る点から、式中のxが $0 < x < 0.2$ の範囲にあるものが好ましく、特に $x = 0$ 、すなわち一般式 $Pb(Zr_yTi_{1-y})O_3$ で表されるものが好ましい。式中のyは、所望の素子特性、特にリーク電流を抑制する点から 0.3 以上が好ましく、 0.35 以上がより好ましく、一方、十分な残留分極値を得る点から 0.8 以下が好ましく、 0.7 以下がより好ましい。

40

【0022】

また本発明の強誘電体層は、Tiに対するZrの比率(原子数比、以下「Zr/Ti比」という)が下部電極側および上部電極側のいずれの領域においても当該強誘電体層の厚さ方向の中央部と同等以上であり、下部電極側および上部電極側の少なくとも一方の領域のZr/Ti比が中央部のZr/Ti比より大きい。これらの下部電極側、上部電極側および中央部の領域はいずれも層状の形態をとることができる。

【0023】

このような強誘電体層としては下記の積層形態が挙げられる。

(1) 下部電極側の領域のZr/Ti比が強誘電体層中央部のZr/Ti比より大きく、その中央部から上部電極側にかけてZr/Ti比が一定である形態。

50

(2) 上部電極側の領域の Z_r / T_i 比が強誘電体層中央部の Z_r / T_i 比より大きく、その中央部から下部電極側にかけて Z_r / T_i 比が一定である形態。

(3) 上部電極側および下部電極側の領域の Z_r / T_i 比がいずれも中央部の Z_r / T_i 比より大きい形態。

【0024】

上記の積層形態(1)~(3)に対応する例として、それぞれ図1~図3に示す構造を挙げることができる。図1~図3のそれぞれにおいて、(a)は容量素子の断面図を示し、(b)はその断面図の厚さ方向の位置を縦軸とし Z_r 含有比率を横軸にとったグラフを示す。

【0025】

図1は、積層形態(1)に対応する構造例を示し、下部電極101上に形成された成長核層102上に、前記の下部電極側領域に相当する Z_r / T_i 比が一定の第1の強誘電体層111が設けられ、その上に Z_r / T_i 比が一定の第2の強誘電体層112が形成されている。上部電極103は、この第2の強誘電体層112上に配置されている。そして図1(b)に示すように、第1の強誘電体層111の Z_r / T_i 比は第2の強誘電体層112より大きく設定されている。

10

【0026】

図2は、積層形態(2)に対応する構造例を示し、下部電極101上に形成された成長核層102上に、 Z_r / T_i 比が一定の第1の強誘電体層121が設けられ、その上に前記の上部電極側領域に相当する Z_r / T_i 比が一定の第2の強誘電体層122が形成されている。上部電極103は、この第2の強誘電体層122上に配置されている。そして図2(b)に示すように、第2の強誘電体層122の Z_r / T_i 比は第1の強誘電体層121より大きく設定されている。

20

【0027】

図3は、積層形態(3)に対応する構造例を示し、下部電極101上に形成された成長核層102上に、前記の下部電極側領域に相当する Z_r / T_i 比が一定の第1の強誘電体層131が設けられ、その上に前記の中央部に相当する Z_r / T_i 比が一定の第2の強誘電体層132が形成され、その上に前記の上部電極側領域に相当する Z_r / T_i 比が一定の第3の強誘電体層133が形成されている。上部電極103は、この第3の強誘電体層133上に配置されている。そして図3(b)に示すように、第1及び第3の強誘電体層131、133の Z_r / T_i 比はいずれも第2の強誘電体層132より大きく設定されている。

30

【0028】

強誘電体層の上部電極側、下部電極側および中央部の領域における Z_r / T_i 比はそれぞれ膜厚方向に沿って一定であっても変化していてもよいが、成膜条件の制御の点から、図1~3に示すように各領域において膜厚方向に沿って一定の領域を有することが好ましい。また、強誘電体層の Z_r / T_i 比は、厚さ方向に沿って、電極側領域と他の領域との境界付近において図1~図3に示すように段階的に変化してもよいし、なめらかに連続的に変化していてもよい。 Z_r / T_i 比が段階的に変化する場合であっても、 Z_r / T_i 比が異なる領域間は連続的に形成されていることが好ましい。

40

【0029】

強誘電体層の中央部の Z_r / T_i 比に対する上部電極側領域または下部電極側領域の Z_r / T_i 比の比率は、所望の素子特性を得る点から1.05~2.0が好ましく、1.1~1.8がより好ましい。

【0030】

上部電極側領域または下部電極側領域の Z_r の含有比率(原子数比)は、 $[Z_r] / ([Z_r] + [T_i])$ 比として、0.3~0.8の範囲内で適宜設定することができ、好ましくは0.4~0.7、さらに好ましくは0.4~0.6の範囲内で設定することができる。このような上部電極側領域および下部電極側領域の厚みはそれぞれ10~100nm、好ましくは20~80nmの範囲で適宜設定することができる。この厚みが薄すぎると

50

リーク電流を十分に抑制できなくなり、厚すぎると所望の残留分極値が得られなくなる傾向がある。

【0031】

強誘電体層の中央部における Z_r の含有比率は、 $[Z_r] / ([Z_r] + [Ti])$ 比として、0.2~0.7の範囲内で適宜設定することができ、好ましくは0.3~0.6、さらに好ましくは0.3~0.5の範囲内で設定することができる。このような強誘電体層中央部の領域の厚みは50~400nm、好ましくは100~300nmの範囲で適宜設定することができる。この厚みが薄すぎると所望の残留分極値が得られなくなる傾向があり、厚すぎると低電圧領域における残留分極値が十分に得られなくなるおそれがある。

【0032】

強誘電体層全体の厚みに対する上部電極側領域と下部電極側領域との合計厚みの比は、強誘電体層の各領域の Z_r / Ti 比に応じて適宜設定されるが、リーク電流の抑制と十分な残留分極値を得る点から、例えば0.05~0.5、好ましくは0.1~0.5、あるいは0.1~0.4の範囲内で設定することができる。

【0033】

なお、強誘電体層の Z_r / Ti 比が膜厚方向に連続的に変化する場合、上部電極側、下部電極側および中央部の領域に係る上記の厚みの範囲および Z_r / Ti 比（あるいは Z_r 含有比率）の範囲は、各領域に含まれる Z_r / Ti 比が一定である部分に係る範囲を示す。

【0034】

本発明における強誘電体層は、その上部電極側領域および下部電極側領域がそれぞれ、上部電極および下部電極に隣接するように配置されていることが好ましい。ただし、下部電極側領域については、後述の成長核層を形成する場合、下部電極と下部電極側領域との間に成長核層が介在するように配置されていることが好ましい。

【0035】

強誘電体層は、化学気相成長法（CVD法）や、ゾルゲル法、スパッタリング法、レーザーアブレーション法等によって形成することができるが、膜厚の均一性やステップカバレッジに優れるCVD法が好ましい。CVD法の中でも、特に有機金属気相成長法（MOCVD法）が好ましい。

【0036】

強誘電体層を挟んで配置される下部電極および上部電極は、ルテニウム（Ru）、酸化ルテニウム（RuO、RuO₂）、イリジウム（Ir）、酸化イリジウム（IrO₂）、白金（Pt）、金（Au）、窒化チタン（TiN）等を主成分とする電極を用いることができる。これらの電極は、CVD法やスパッタリング法等により形成することができる。

【0037】

次に、上述の強誘電体層、下部電極および上部電極を備えた容量素子を有する半導体記憶装置の製造方法について説明する。

【0038】

まず、トランジスタ等の能動素子が形成された半導体基板上に設けられた第1の層間絶縁膜上に下部電極を形成する。その際、例えば、バリア膜としてTiN膜またはTiとTiNとの積層膜（例えば、Ti/TiN/Ti積層膜）をスパッタリング法により形成し、その上に下部電極形成用の例えばRuからなる厚み100nm程度の導電膜をスパッタリング法またはCVD法により形成することができる。下部電極を形成するためのパターンニングは、この導電膜形成後に行ってもよいし、強誘電体膜および上部電極形成用の導電膜を形成した後一括でパターンニングを行ってもよい。また、下部電極は、第1の層間絶縁膜内に設けられ能動素子に導通するプラグに電氣的に接続されるように配置される。

【0039】

次に、下部電極形成用の導電膜上あるいはパターンニングされた下部電極上に、MOCVD法により、厚み1~10nm程度、例えば5nmの成長核層を形成し、次いでこの成長核層上に、厚み50~500nm程度、例えば250nmの前述の強誘電体層を形成するための強誘電体膜を形成する。次に、この強誘電体膜上に、上部電極形成用の例えばRuか

10

20

30

40

50

らなる厚み100nm程度の導電膜をスパッタリング法またはCVD法により形成する。その後、ドライエッチングにより、バリア膜、下部電極用導電膜、強誘電体膜および上部電極用導電膜をパターンニングして、あるいは既に下部電極が形成されている場合は強誘電体膜および上部電極用導電膜をパターンニングして、下部電極、成長核層、強誘電体層および上部電極からなる容量素子が形成される。

【0040】

以上のようにして形成された容量素子上に第2の層間絶縁膜を形成し、この第2の層間絶縁膜に上部電極へ電氣的に通じるプラグを形成し、次いでこのプラグに導通する配線を形成する。

【0041】

以下、MOCVD法を用いた強誘電体膜の形成方法についてさらに説明する。

【0042】

有機金属原料は、室温では固体または液体のものが多いため、固体または液体の原料を用いる場合は、通常、これらの原料を加熱により気化し、必要によりキャリアガスとともに、基板を載置した真空容器（成長槽）内へ輸送する。成膜中の真空容器内は所定の減圧下に保たれ、所定の温度に加熱された基板上に成膜することができる。このような処理は、公知のMOCVD用気相成長装置を用いて行うことができる。その際、原料ガス組成比の制御の点から、原料供給系および真空容器の内壁温度を、原料が内壁上で凝集しない十分な脱離速度（蒸気圧）を持つ温度以上で且つ分解する温度以下に制御することが好ましい。

【0043】

MOCVD法を用いる強誘電体膜の形成は、下層のプラグや配線、トランジスタを劣化させることなく、配向性および結晶性に優れた強誘電体膜を形成する点から450以下で成膜することが好ましく、一方、十分な成膜速度や膜質を得る点から300以上で成膜することが好ましく、350以上がより好ましい。特に450以下で成膜を行うときは、成膜初期においてできるだけ結晶性の良好な成長核を形成することが望ましい。このような成長核を形成するためには、下部電極上に成長核層を形成した後に強誘電体膜を成長することが重要である。この成長核層の形成は、上記の強誘電体膜の成膜温度の範囲で実施することができる。

【0044】

このような成長核層には、前述のPb系誘電体材料であって $[Zr]/([Zr]+[Ti])$ 比が0.15以下のものを用いることができ、結晶性の点からZrを全く含まない材料が好ましい。例えばチタン酸鉛($PbTiO_3$)を用いることができる。また、この成長核層は、下部電極の全体を覆った連続膜としてもよいが、高密度に複数形成された島状であることが好ましい。また成長核層の厚みは1~10nmの範囲にあることが好ましい。このような成長核層の形成により、電界の偏りや誘電率の低下が抑えられ、また配向性や結晶粒径の制御が容易になる。

【0045】

MOCVDの原料としては、例えば、Pb用にビスジピバロイルメタナート鉛($Pb(DPM)_2$)、Ti用にチタンイソプロポキシド($Ti(OiPr)_4$)、Zr用にジルコニウムブトキシド($Zr(OtBu)_4$)、酸化剤として二酸化窒素(NO_2)を用いることができる。

【0046】

これらの原料を用いて、成長核層としてチタン酸鉛からなる層、強誘電体膜として $Pb(Zr_yTi_{1-y})O_3$ 膜を形成する場合は、例えば次のようにして成膜することができる。

【0047】

まず、真空容器内へ、下部電極用導電膜が形成された基板を設置する。成膜中の真空容器内のガスの全圧を例えば50mTorr(6.7Pa)、基板温度を450以下に保持する。本発明の製造方法における成膜温度は、成長核層および強誘電体膜の形成工程を通して、必ずしも一定である必要はなく、例えば、成長核層の形成を比較的低温で実施し、強誘

10

20

30

40

50

電体膜の形成を成長核層の形成温度より高温で実施することができる。

【0048】

次に、 $Pb(DPM)_2$ を、真空容器内へ所定の流量で所定時間供給し、続いて $Pb(DPM)_2$ を供給しながら NO_2 を所定の流量で所定時間供給し、引き続きそのままの状態では $Ti(OiPr)_4$ の供給を開始する。この状態で所定時間保持し、複数の島状構造を有する成長核層を基板上に形成する。

【0049】

次に、原料供給条件を変更し、 $Pb(DPM)_2$ 、 $Zr(OtBu)_4$ 、 $Ti(OiPr)_4$ 、及び NO_2 をそれぞれ所定の流量で供給し、所定時間保持して所定の厚みの強誘電体膜を形成する。その際、形成しようとする前述の積層形態(1)~(3)に応じて、原料供給量比および供給時間を変更してそれぞれ各領域の Zr/Ti 比と厚みを調整する。

10

【0050】

強誘電体膜の形成が終了した後、その上に上部電極形成用の導電膜をスパッタリング法またはCVD法等により形成する。

【0051】

本発明の製造方法における成長核層および強誘電体膜の形成工程においては、少なくとも強誘電体膜の形成工程において、 Zr/Ti 比が異なる領域を形成するために原料供給量等の成膜条件を変更する際に、形成中の膜表面に原料が供給されない待機工程を設けることなく連続的に成膜を行うことが好ましい。連続的な成膜を行うことにより、形成中の膜表面からのA元素の脱離が抑制され、結晶性の優れた強誘電体膜を形成することができる。成長核層の形成から強誘電体膜の形成へ成膜条件を変更するときにおいても連続的に成膜することもできる。

20

【0052】

また、強誘電体膜の形成工程においては、下部電極側領域および上部電極側領域の少なくとも一方の成膜速度を、当該強誘電体膜の厚さ方向の中央部の成膜速度より低くすることが好ましい。特に、 Zr/Ti 比が大きい電極側領域を形成するときは Zr/Ti 比が比較的小さい他の領域を形成するときより成膜速度を低くすることが好ましい。これにより Zr/Ti 比にかかわらず結晶性を向上させることができる。生産性の点から、 Zr/Ti 比を大きくする電極側領域のみ成膜速度を低くし、 Zr/Ti 比が比較的小さい他の領域の成膜速度は結晶性を低下させない範囲内でできるだけ高くすることが好ましい。例えば、図1に示す構成においては、第1の強誘電体層111の成膜速度は第2の強誘電体層112の成膜速度より低いことが好ましい。図2に示す構成においては、第2の強誘電体層122の成膜速度は第1の強誘電体層121の成膜速度より低いことが好ましい。図3に示す構成においては、第1及び第3の強誘電体層131、133の成膜速度が第2の強誘電体層132の成膜速度より低いことが好ましい。電極側領域の成膜速度、特に Zr/Ti 比の大きい電極側領域の成膜速度は、十分な結晶性を得る点から、 0.15 nm/秒 未満が好ましく、 0.1 nm/秒 以下がより好ましく、生産性の点から 0.01 nm/秒 以上が好ましく、 0.05 nm/秒 以上がより好ましい。 Zr/Ti 比の比較的小さい他の領域の成膜速度は、生産性の点から 0.1 nm/秒 以上が好ましく、 0.15 nm/秒 以上がより好ましく、結晶性の点から 0.5 nm/秒 以下が好ましく、 0.3 nm/秒 以下がより好ましい。

30

40

【0053】

【実施例】

以下、実施例を挙げてさらに説明するが本発明はこれらに限定されるものではない。

【0054】

〔実施例1〕

上述の方法に従って、図1に示す積層構造をする下記の容量素子を作製した。

【0055】

上部電極：厚み 100 nm のRu膜、

下部電極：厚み 100 nm のRu膜、

50

成長核層：厚み 5 nm のチタン酸鉛 (PbTiO_3) 成長核層、成膜温度 360 °C、
 第 1 の強誘電体層：厚み 50 nm の $\text{Pb}(\text{Zr}_y\text{Ti}_{1-y})\text{O}_3$ 層 ($y = 0.5$)、成膜速度 = 0.09 nm/秒、成膜温度 440 °C、
 第 2 の強誘電体層：厚み 200 nm の $\text{Pb}(\text{Zr}_y\text{Ti}_{1-y})\text{O}_3$ 層 ($y = 0.4$)、成膜速度 = 0.17 nm/秒、成膜温度 440 °C。

【0056】

〔実施例 2〕

上述の方法に従って、図 2 に示す積層構造をする下記の容量素子を作製した。

【0057】

上部電極：厚み 100 nm の Ru 膜、

10

下部電極：厚み 100 nm の Ru 膜、

成長核層：厚み 5 nm のチタン酸鉛 (PbTiO_3) 成長核層、成膜温度 360 °C、

第 1 の強誘電体層：厚み 200 nm の $\text{Pb}(\text{Zr}_y\text{Ti}_{1-y})\text{O}_3$ 層 ($y = 0.4$)、成膜速度 = 0.17 nm/秒、成膜温度 440 °C、

第 2 の強誘電体層：厚み 50 nm の $\text{Pb}(\text{Zr}_y\text{Ti}_{1-y})\text{O}_3$ 層 ($y = 0.5$)、成膜速度 = 0.09 nm/秒、成膜温度 440 °C。

【0058】

〔比較例 1〕

$\text{Pb}(\text{Zr}_y\text{Ti}_{1-y})\text{O}_3$ ($y = 0.4$) からなる厚み 250 nm 強誘電体層を、成膜速度 0.17 nm/秒で形成した以外は実施例 1 と同様にして容量素子を作製した。

20

【0059】

〔素子特性〕

図 4 に、実施例 1、2 及び比較例 1 の容量素子のヒステリシス特性および電流電圧特性を示す。図 4 (a-1) 及び (a-2) はそれぞれ、実施例 1 の容量素子のヒステリシス特性および電流電圧特性を示し、図 4 (b-1) 及び (b-2) はそれぞれ、実施例 2 の容量素子のヒステリシス特性および電流電圧特性を示し、図 4 (c-1) 及び (c-2) はそれぞれ、比較例 1 の容量素子のヒステリシス特性および電流電圧特性を示す。電流電圧特性を示す図 4 (a-2)、(b-2) 及び (c-2) はそれぞれ、+10 V と -10 V の電圧を印加した場合の電流の絶対値を示す。ヒステリシス特性を示す図 4 (a-1)、(b-1) 及び (c-1) はそれぞれ、±2.5 V、±3.0 V、±4.0 V、±5.0 V の両極性の単発電圧掃引で得られたヒステリシス (シングルショットヒステリシス) を重ね合わせて示したものである。

30

【0060】

電流電圧特性を示す図 4 (a-2) ~ (c-2) から明らかなように、比較例 1 の容量素子はリーク電流が生じているのに対して、実施例 1、2 の容量素子はリーク電流が抑制されていることがわかる。また、実施例 1、2 のヒステリシス特性は、比較例 1 の容量素子と同等であり、ヒステリシス特性、すなわち残留分極値を劣化させることなく、リーク電流を抑制できたことがわかる。

【0061】

図 5 に、実施例 2 の容量素子に ±3.3 V のパルス電圧を所定の回数印加した後に、+3 V、-3 V でそれぞれ反転、非反転の電荷量を測定した結果を示す。図中の黒塗りプロットは +3 V における反転、非反転の電荷量、白抜きプロットは -3 V における反転、非反転の電荷量に対応する。10⁸ 回まで、その反転電荷および非反転電荷はほとんど劣化しないため、本発明によれば分極反転繰り返しによる読み出し電荷の劣化を起こすことなく、リーク電流を抑制できたことがわかる。

40

【0062】

〔発明の効果〕

以上の説明から明らかなように本発明によれば、残留分極値を低下させることなくリーク電流が抑制された強誘電体容量素子が提供できるため、信頼性および容量特性に優れた半導体記憶装置を提供することができる。特にリーク電流が抑制されたことにより、容量特性の低電圧化を容易に行うことができる。

50

【図面の簡単な説明】

【図1】本発明の半導体記憶装置における容量素子の説明図である。

【図2】本発明の半導体記憶装置における容量素子の説明図である。

【図3】本発明の半導体記憶装置における容量素子の説明図である。

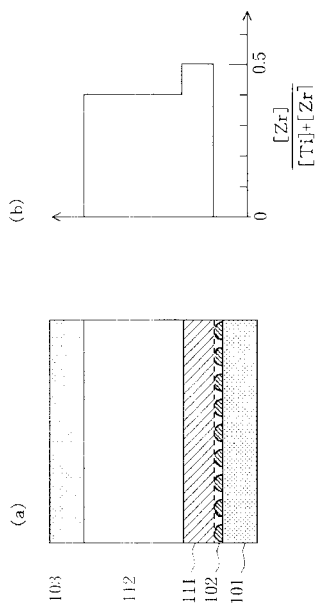
【図4】実施例および比較例の容量素子のヒステリシス特性および電流電圧特性を示す図である。

【図5】実施例の容量素子の分極反転繰り返し特性を示す図である。

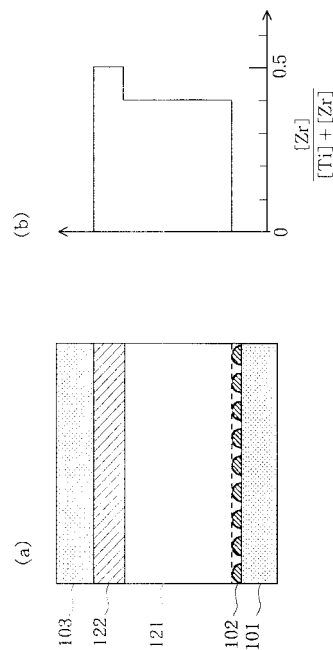
【符号の説明】

- 101 下部電極
- 102 成長核層
- 103 上部電極
- 111 第1の強誘電体層
- 112 第2の強誘電体層
- 121 第1の強誘電体層
- 122 第2の強誘電体層
- 131 第1の強誘電体層
- 132 第2の強誘電体層
- 133 第3の強誘電体層

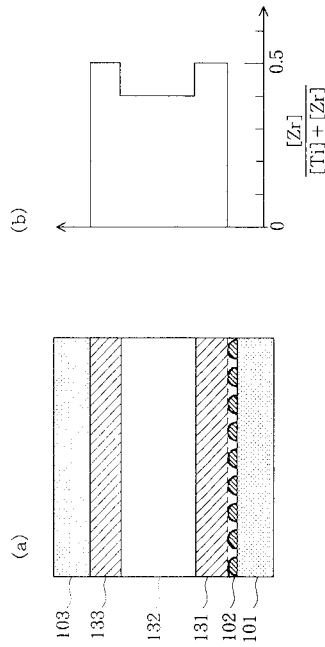
【図1】



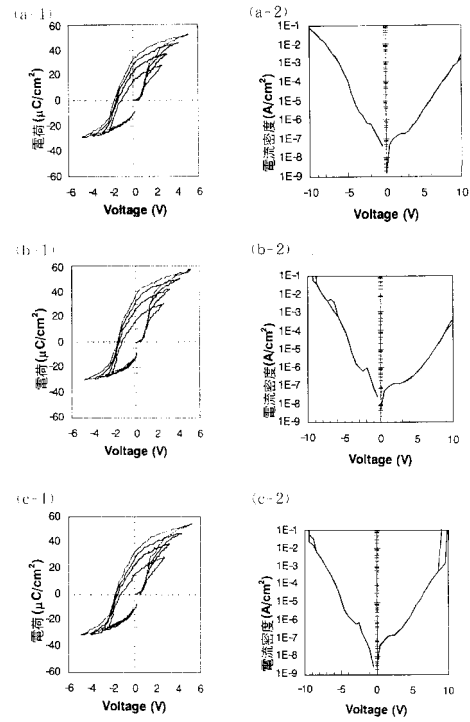
【図2】



【 図 3 】



【 図 4 】



【 図 5 】

