

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-4967  
(P2013-4967A)

(43) 公開日 平成25年1月7日(2013.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	5 F 1 0 2
HO 1 L 29/778 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F 1 4 0
HO 1 L 29/812 (2006.01)		
HO 1 L 21/336 (2006.01)		
HO 1 L 29/78 (2006.01)		

審査請求 有 請求項の数 20 O L 外国語出願 (全 12 頁)

(21) 出願番号 特願2012-122494 (P2012-122494)  
 (22) 出願日 平成24年5月29日 (2012. 5. 29)  
 (31) 優先権主張番号 13/157, 562  
 (32) 優先日 平成23年6月10日 (2011. 6. 10)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 597161115  
 インターナショナル レクティファイアー  
 コーポレイション  
 アメリカ合衆国 カリフォルニア州 90  
 245 エル セガンド ノース セブル  
 ヴェーダ ブールバード 101  
 (74) 代理人 100147485  
 弁理士 杉村 憲司  
 (74) 代理人 100164448  
 弁理士 山口 雄輔  
 (74) 代理人 100165696  
 弁理士 川原 敬祐

最終頁に続く

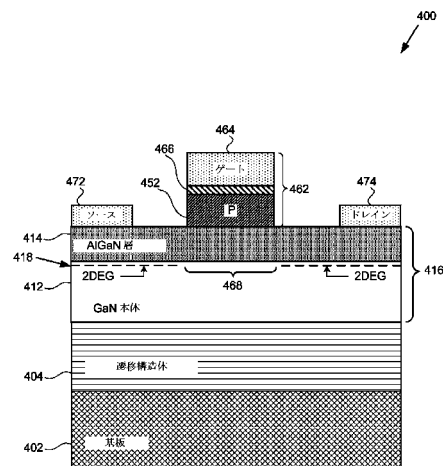
(54) 【発明の名称】 エンハンスメント型 III - V 族高電子移動度トランジスタ (HEMT) および製造方法

(57) 【要約】 (修正有)

【課題】 ノーマリオフ型、すなわちエンハンスメント型トランジスタである III 族窒化物 HEMT を提供する。

【解決手段】 エンハンスメント型高電子移動度トランジスタ (HEMT) 400 は III - V 族半導体 412 上に位置する III - V 族バリア層 414 を含むヘテロ接合 416、および III - V 族バリア層 414 上に形成され、P 型 III - V 族ゲート層 452 を含むゲート構造 462 を具える。P 型 III - V 族ゲート層 452 によりゲート構造 462 下での 2 次元電子ガス (2DEG) の発生を防ぐ。エンハンスメント型 HEMT 400 を製造する方法は、基板 402 を設け、基板 402 に III - V 族半導体 412 を形成し、III - V 族半導体 412 上に III - V 族バリア層 414 を形成し、III - V 族バリア層 414 上に P 型 III - V 族ゲート層 452 を含むゲート構造 462 を形成する。

【選択図】 図 4



## 【特許請求の範囲】

## 【請求項 1】

エンハンスメント型高電子移動度トランジスタ ( H E M T ) であって、  
III - V 族半導体上に位置する III - V 族バリア層を含むヘテロ接合と、  
前記 III - V 族バリア層上に形成され、P 型 III - V 族ゲート層を含むゲート構造と、を  
具え、

前記 P 型 III - V 族ゲート層により前記ゲート構造下の前記ヘテロ接合に 2 次元電子ガス ( 2 D E G ) が形成されるのを防止することを特徴とする、エンハンスメント型高電子移動度トランジスタ。

## 【請求項 2】

請求項 1 に記載のエンハンスメント型 H E M T であって、前記ヘテロ接合が III 族窒化物ヘテロ接合からなる H E M T 。

## 【請求項 3】

請求項 1 に記載のエンハンスメント型 H E M T であって、前記 P 型 III - V 族ゲート層が P 型 III 族窒化物材料からなる H E M T 。

## 【請求項 4】

請求項 1 に記載のエンハンスメント型 H E M T であって、前記ゲート構造が前記 P 型 III - V 族ゲート層上に形成された導電性ゲート電極をさらに具える H E M T 。

## 【請求項 5】

請求項 1 に記載のエンハンスメント型 H E M T であって、前記ゲート構造がチタン ( T i )、アルミニウム ( A l )、およびドーブポリシリコンからなる群から選択された導電性ゲート電極をさらに具える H E M T 。

## 【請求項 6】

請求項 1 に記載のエンハンスメント型 H E M T であって、前記ゲート構造が前記 P 型 III - V 族ゲート層上に形成されたゲート誘電体をさらに具える H E M T 。

## 【請求項 7】

請求項 1 に記載のエンハンスメント型 H E M T であって、前記ゲート構造が酸化アルミニウム (  $A l_2 O_3$  )、窒化ケイ素 (  $S i_3 N_4$  )、および二酸化ケイ素 (  $S i O_2$  ) からなる群から選択されたゲート誘電体をさらに具える H E M T 。

## 【請求項 8】

請求項 1 に記載のエンハンスメント型 H E M T であって、前記 III - V 族半導体が窒化ガリウム ( G a N ) からなる H E M T 。

## 【請求項 9】

請求項 1 に記載のエンハンスメント型 H E M T であって、前記 III - V 族バリア層が窒化アルミニウムガリウム ( A l G a N ) からなる H E M T 。

## 【請求項 10】

請求項 1 に記載のエンハンスメント型 H E M T であって、前記 III - V 族半導体が基板上に形成され、前記基板と前記 III - V 族半導体との間の格子不整合を緩和する遷移構造体をさらに具える H E M T 。

## 【請求項 11】

請求項 1 に記載のエンハンスメント型 H E M T であって、前記 III - V 族半導体が、ケイ素 ( S i )、炭化ケイ素 ( S i C )、およびサファイアからなる群から選択された基板上に形成される H E M T 。

## 【請求項 12】

エンハンスメント型高電子移動度トランジスタ ( H E M T ) を製造する方法であって、  
基板上に III - V 族半導体を形成するステップと、  
前記 III - V 族半導体上に III - V 族バリア層を形成するステップと、  
前記 III - V 族バリア層上に P 型 III - V 族ゲート層を含むゲート構造を形成して前記ゲート構造下に 2 次元電子ガス ( 2 D E G ) が形成されるのを防止するステップと、を含む方法。

10

20

30

40

50

## 【請求項 13】

請求項 12 に記載の方法であって、前記ゲート構造を形成するステップがさらに前記 III - V 族バリア層上にマスクを形成する工程と、前記マスク内に開口を設けて前記 III - V 族バリア層の一部を露出する工程と、前記開口内に前記 P 型 III - V 族ゲート層を形成する工程と、を含む方法。

## 【請求項 14】

請求項 12 に記載の方法であって、前記ゲート構造を形成するステップがさらに前記 III - V 族バリア層上にハードマスクを形成する工程と、前記ハードマスク内に開口を設けて前記 III - V 族バリア層の一部を露出する工程と、前記開口内に前記 P 型 III - V 族ゲート層を形成する工程と、を含む方法。

10

## 【請求項 15】

請求項 12 に記載の方法であって、前記 P 型 III - V 族ゲート層が金属化学気相成長 (MOCVD) 法を用いて形成される方法。

## 【請求項 16】

請求項 12 に記載の方法であって、前記 P 型 III - V 族ゲート層が P 型 III 族窒化物材料からなる方法。

## 【請求項 17】

請求項 12 に記載の方法であって、前記 III - V 族半導体を形成する前に、前記基板と前記 III - V 族半導体との間の格子不整合を緩和する遷移構造体を形成するステップをさらに含む方法。

20

## 【請求項 18】

請求項 12 に記載の方法であって、前記ゲート構造を形成するステップが、前記 P 型 III - V 族ゲート層上にゲート誘電体を形成する工程と、前記ゲート誘電体上に導電性ゲート電極を形成する工程と、をさらに含む方法。

## 【請求項 19】

請求項 12 に記載の方法であって、前記エンハンスメント型 HEMT が III 族窒化物 HEMT からなる方法。

## 【請求項 20】

請求項 12 に記載の方法であって、前記 III - V 族半導体上に前記 III - V 族バリア層を形成するステップが、窒化ガリウム (GaN) 半導体上に窒化アルミニウムガリウム (AlGaN) バリア層を形成する工程を含む方法。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

## 【定義】

本明細書において、「III - V 族半導体」とは、少なくとも 1 つの III 族元素と少なくとも 1 つの V 族元素とを有する化合物半導体、例えば、以下に限定されるものではないが、窒化ガリウム (GaN)、窒化アルミニウムガリウム (AlGaN)、砒化ガリウム (GaAs)、窒化インジウムアルミニウムガリウム (InAlGaN)、窒化インジウムガリウム (InGaN) などを意味するものである。同様に、「III 族窒化物半導体」とは、窒素と少なくとも 1 つの III 族元素とを有する化合物半導体、例えば、以下に限定されるものではないが、GaN、AlGaN、InN、AlN、InGaN、InAlGaN などを意味するものである。

40

## 【0002】

本発明は概して、半導体の分野に関するものである。より詳しくは、本発明は III - V 族高電子移動度トランジスタ (HEMT) の製造に関するものである。

## 【背景技術】

## 【0003】

III 族窒化物ヘテロ接合などの III - V 族窒化物ヘテロ接合構造を用いた高電子移動度トランジスタ (HEMT) は、一般的に圧電分極電界を用いて動作し、抵抗損失を抑えつつ

50

高電流密度を実現可能にする２次元電子ガス（２ＤＥＧ）を生成する。２ＤＥＧはヘテロ接合を形成するⅢ族窒化物材料の界面で自然に発生し、この２ＤＥＧにより、従来のⅢ族窒化物ＨＥＭＴは一般的にゲート電位の印加なしに導通するものであった。したがって、従来のⅢ族窒化物および他のⅢ－Ⅴ族ＨＥＭＴはノーマリオン型、すなわちデプレッション型デバイスである場合が多かった。

【発明の概要】

【発明が解決しようとする課題】

【０００４】

高降伏電圧、高電流密度、および低オン抵抗によりⅢ族ＨＥＭＴはパワーデバイスの用途での使用に有利であるが、従来のⅢ族窒化物ＨＥＭＴ構造はノーマリオンの性質をもつため、このようなデプレッション型トランジスタを電源装置として使用する場合、問題を生ずる可能性がある。例えば、電源用途においては、十分に電力が供給され制御回路が動作可能になる前に電流がⅢ族窒化物ＨＥＭＴに流れないようにすることが望ましい。したがって、例えば始動および他の回路遷移中における電流導通の問題を回避するためには、ノーマリオフ型、すなわちエンハンスメント型トランジスタであるⅢ族窒化物ＨＥＭＴを提供することが望ましい。

10

【０００５】

そのため、電源用途での使用に適したエンハンスメント型Ⅲ－Ⅴ族ＨＥＭＴ、すなわちノーマリオフ型Ⅲ－Ⅴ族ＨＥＭＴを製造可能にする解決法を提供することにより従来技術の欠点や欠陥を解消する必要がある。

20

【課題を解決するための手段】

【０００６】

本発明は、図面の少なくとも１つに示され、または図面に関連付けて説明され、より完全には特許請求の範囲に記載されるようなエンハンスメント型Ⅲ－Ⅴ族高電子移動度トランジスタ（ＨＥＭＴ）およびその製造方法の提供を目的とする。

【図面の簡単な説明】

【０００７】

【図１】ノーマリオン状態を示す、従来のデプレッション型Ⅲ－Ⅴ族高電子移動度トランジスタ（ＨＥＭＴ）に相当する構造体の断面図である。

【図２】本発明の一実施形態によるエンハンスメント型Ⅲ－Ⅴ族高電子移動度トランジスタ（ＨＥＭＴ）の製造方法を表すフロー図である。

30

【図３Ａ】本発明の一実施形態によるエンハンスメント型Ⅲ－Ⅴ族ＨＥＭＴに相当する構造体の製造の初期段階を示す断面図である。

【図３Ｂ】本発明の一実施形態によるエンハンスメント型Ⅲ－Ⅴ族ＨＥＭＴに相当する構造体の製造の中間段階を示す断面図である。

【図３Ｃ】本発明の一実施形態によるエンハンスメント型Ⅲ－Ⅴ族ＨＥＭＴに相当する構造体の製造の中間段階を示す断面図である。

【図３Ｄ】本発明の一実施形態によるエンハンスメント型Ⅲ－Ⅴ族ＨＥＭＴに相当する構造体の製造の中間段階を示す断面図である。

【図３Ｅ】本発明の一実施形態によるエンハンスメント型Ⅲ－Ⅴ族ＨＥＭＴに相当する構造体の製造の中間段階を示す断面図である。

40

【図３Ｆ】本発明の一実施形態によるエンハンスメント型Ⅲ－Ⅴ族ＨＥＭＴに相当する構造体の製造の最終段階手前を示す断面図である。

【図４】本発明の一実施形態によるエンハンスメント型Ⅲ－Ⅴ族ＨＥＭＴに相当する構造体を示す断面図である。

【発明を実施するための形態】

【０００８】

本発明はエンハンスメント型Ⅲ－Ⅴ族高電子移動度トランジスタ（ＨＥＭＴ）およびその製造方法に向けられている。本発明を特定の実施形態につき説明するが、特許請求の範囲により規定される本発明の原理は、これらの特定の実施形態を超えて適用されること

50

が明らかである。さらに、本発明の態様を不明瞭としないようにするために、本発明の説明において、細部については一部省略した。省略したこれらの細部は当業者の知る範囲内のものである。

【0009】

図面およびこれに付随する詳細な説明は、本発明の例示的な実施例に向けたものにすぎない。説明を簡潔にするために、本発明の原理を用いる本発明の他の実施例は特に説明せず、図面にも示さない。なお、特に指摘しないかぎり、各図間の同様のまたは対応する素子は、同様のまたは対応する参照符号で示すこととする。

【0010】

図1はノーマリオン状態を示す、従来のデプレッション型III-V族HEMTに相当する構造体の断面図である。図1に示すとおり、構造体100は窒化ガリウム(GaN)デバイスとして実装されたIII族窒化物HEMTを含む。構造100は支持基板102、遷移構造体104、GaN本体112および窒化アルミニウムガリウム(AlGaN)バリア層114を具えるヘテロ接合116、ソースコンタクト172、ドレインコンタクト174、ならびにゲート162からなる。さらに図1には、ヘテロ接合116におけるGaN本体112とAlGaNバリア層114との界面で発生し、HEMTの電荷キャリアの導通チャネルをなす2次元電子ガス(2DEG)118が示される。図1に図示されるように、ヘテロ接合116により生成された2DEG118は、ソースコンタクト172とドレインコンタクト174の間に障害のない状態で電流を流す、連続した途切れのないチャネルを構成する。すなわち、従来の構造体100に含まれる従来のIII族窒化物HEMTはノーマリオン型、デプレッション型のデバイスである。

10

20

【0011】

すでに説明したとおり、図1の従来の構造体に含まれるGaNHEMTのようなIII族窒化物HEMTは高降伏電圧、高電流密度、および低オン抵抗によりパワーデバイス用途での使用に有利であるが、そのノーマリオンの性質によりパワーデバイス用途において問題が生じる。パワーデバイス用途においては、十分に電力が供給され制御回路が動作可能になる前に電流がIII族窒化物HEMTに流れないようにすることが望ましいが、これは立ち上げおよび他の回路状態における電流導通の問題を回避するためである。

【0012】

図2を参照すると、図2は本発明の一実施形態による、図1の従来の構造体100についての欠点および欠陥を解消するよう構成されたエンハンスメント型III-V族HEMTの製造方法を表すフロー図200を示す。フロー図200において、当業者に明らかであるような細部および特徴は省略されている。例えば、当該技術分野で既知のように、あるステップが1つ以上のサブステップを有してもよく、あるいは特殊な装置または部材を用いてもよい。さらに、フロー図200に示すステップ210~260は、本発明の一実施形態を説明するには十分であるが、本発明の他の実施形態では、フロー図200に示すステップとは異なるステップを用いてもよく、あるいはステップ数を増減させてもよい。

30

【0013】

図3Aを参照すると、図3Aは本発明の一実施形態によるエンハンスメント型III-V族HEMTに相当する構造体310の製造の初期段階における断面図を示す。構造体310はエンハンスメント型III-V族HEMT用の支持基板としての使用に適した基板302を示す。特に、図3Aはフロー図200の処理ステップ210に続く製造段階における構造体310を示す。

40

【0014】

つづいて図3B、3C、3D、および3Fを参照すると、構造体320、330、340、350、および360は、構造体310に対して図2のフロー図200のステップ220、230、240、250、および260を実施した結果を示している。例えば、構造体320は処理ステップ220の後の構造体310を示し、構造体330は処理ステップ230の後の構造体310を示している。図3A~4Fに示す構造体および図4に示す構造体は、本発明の原理の具体的な実施形態であり、本発明の概念を明確にする目的でこ

50

のように詳細に示してあることに注意されたい。また、構造体 310 ~ 360 および 400 の形成に用いる材料、および開示した種々の特徴部の製造に用いる技術のような特定の詳細は、例として提示するものであり、本発明を限定するものとして解釈すべきではないことを理解されたい。

【0015】

図 2 のステップ 210 および図 3 A の構造体 310 から始めに説明すると、フロー図 200 のステップ 210 は、エンハンスメント型 III - V 族 HEMT を製造するための基板 302 を設ける工程からなる。基板 302 は III - V 族半導体素子を製造するための基板として使用するのに適した材料からなればよい。例えば、基板 302 はケイ素 (Si)、炭化ケイ素 (SiC)、またはサファイアからなってもよい。一方、実施形態によっては、基板 302 は、例えば、III - V 族半導体素子が製造される材料と同種の基板であってもよく、基板 302 は GaN と同種であってもよく、あるいは、他の III 族窒化物基板であってもよい。さらに、基板 302 は実質的に単一基板として示されるが、他の実施例において、基板 302 は、例えば絶縁体上シリコン (SOI) または絶縁体上ゲルマニウム (GOI) 基板などの絶縁体上半導体基板に相当してもよい。

10

【0016】

図 2 のステップ 220 および図 3 B の構造体 320 に進むと、フロー図 200 のステップ 220 は基板 302 上に GaN 体 312 を形成する工程からなる。図 3 B に示すように、ネイティブ基板がエンハンスメント型 HEMT の製造に使用されない本発明の方法の実施形態において、遷移構造体 304 は基板 302 と GaN 体 312 との間に形成してもよい。具体例として、基板 302 がシリコン基板である場合、遷移構造体 304 は基板 302 から GaN 体 312 への格子遷移を調節する複数の区別可能な層としてもよく、これにより基板 302 と GaN 体 312 の間の格子不整合を緩和することができる。例として、遷移構造体 304 は基板 302 上に形成された窒化アルミニウム (AlN) 層、および GaN 体 312 への適切な遷移が達成されるまで徐々にアルミニウムが減少しガリウムが増加してゆく一連の AlGaIn 層からなってもよい。

20

【0017】

GaN 体 312 は多くの従来成長技術のうちのいずれかを用いて基板 302 上に形成すればよい。例えば、GaN 体 312 は、いくつか適切な方法を挙げると、分子線エピタキシ (MBE)、有機金属化学気相成長法 (MOCVD)、または水素化物気相エピタキシ (HVPE) を用いて遷移構造体 304 上に形成すればよい。

30

【0018】

図 2 のステップ 230 および図 3 C の構造体 330 については、フロー図 200 のステップ 230 は GaN 体 312 上に AlGaIn バリア層 314 を形成し、これにより 2DEG 318 を発生させるヘテロ接合 316 を形成する工程からなる。ステップ 220 の場合のように、ステップ 230 において、AlGaIn バリア層 314 は例えば MBE、MOCVD、または HVPE のいずれかを用いて GaN 体 312 上に形成してもよい。GaN 体 312 および AlGaIn バリア層 314 を含むヘテロ接合 316 はアンドロップド型 (undoped) でもよく、その場合、GaN 体 312 および AlGaIn バリア層 314 の成長中に生ずる欠陥によりヘテロ接合 316 がわずかな N 導電型の特性をもつことになる。あるいは、ヘテロ接合 316 に N 導電性 GaN 体 312 および N 導電性 AlGaIn バリア層 314 の両方または一方を意図的に設けてもよい。

40

【0019】

図 3 A ~ 3 F および図 4 でもそうであるように、図 3 C は必ずしも縮尺通りではないことに注意されたい。例えば、GaN 体 312 および AlGaIn バリア層 314 は、視覚補助のため同程度の厚さであるように示されるが、これらの要素は通常それぞれ明確に異なる厚さであり、例えば GaN 体 312 で最大およそ 10  $\mu\text{m}$  の厚さ、AlGaIn バリア層 314 ではおよそ 50 nm 未満の厚さとなる。さらに、図 3 A ~ 3 F および図 4 に示す実施例は GaN のエンハンスメント型 HEMT の製造課程を表すが、ヘテロ接合 316 の構成要素に対する制限は一般的に、GaN 体 312 を形成する III - V 族半導体よりもバン

50

ドギャップが広いIII-V族半導体からバリア層314がなるということ、およびIII-V族半導体がいずれもヘテロ接合界面で2DEG318を生成するよう選択されるということのみであることに注意されたい。このようなヘテロ接合は、該図に表すとおりGaNを用いて、あるいは上記「定義」部に記載したように他の好適なIII-V族半導体材料を用いて形成してもよい。

#### 【0020】

続いて図2のステップ240および図3Dの構造体340については、フロー図200のステップ240は、AlGaNバリア層314上にハードマスク342を形成してハードマスク342に開口344を設けることによりAlGaNバリア層314の一部を露出させる工程からなる。ハードマスク342は、例えば二酸化ケイ素(SiO<sub>2</sub>)または窒化ケイ素(Si<sub>3</sub>N<sub>4</sub>)からなってもよく、プラズマ化学気相成長(PECVD)法を用いてAlGaNバリア層314上に成膜してもよい。例えばエッチング処理によりハードマスク342をさらに処理して開口344を形成してもよい。なお、フロー図200のステップ240におけるAlGaNバリア層314のマスキングは、この実施例においてはハードマスク342を用いて実施することを特徴とするが、より一般的には、例えば図2に表されるようにハードマスクを用いるか、あるいはフォトレジストなどのソフトマスク材料または他種のポリマーマスクを用いてマスキングを行う。

10

#### 【0021】

次に、フロー図200のステップ250および図3Eの構造体350については、フロー図200のステップ250は、開口344内のAlGaNバリア層314上にP型III族窒化物ゲート層352を選択的に形成する工程からなる。図3A~3Fおよび図4に示す実施例により表される特徴に照らして、P型III族窒化物ゲート層352は例えばP型AlGaNまたはP型GaNからなってもよい。より一般的には、またヘテロ接合316の形成に用いる材料によっては、P型III族窒化物ゲート層352に対応するP型ゲート層は適切なP型III-V族半導体材料からなってもよい。

20

#### 【0022】

P型III族窒化物ゲート層352は、例えばMOCVD法により開口344内に選択的に形成してもよい。図3Eに示すように、AlGaNバリア層314上にP型III族窒化物ゲート層352が存在することにより、P型III族窒化物ゲート層352の下の2DEG318が遮断される。当業者には理解されるように、少なくとも公称N型のAlGaNバリア層314上にP型III族窒化物ゲート層352を設けることにより、P型III族窒化物ゲート層352下に2DEG318がほぼ存在しない状態にするPN接合が形成され、これによりP型ゲート層352下に2DEG318が形成されるのを防止することができる。

30

#### 【0023】

この方法は、ハードマスク342の開口344内のP型半導体材料を選択成長させてP型III族窒化物ゲート層352を形成することを特徴とするが、本発明者はP型III族窒化物ゲート層352を形成する他の方法を検討する。例えば、別の実施形態において、ステップ210~230の後に、例えばブランケット層としてP型III族窒化物材料層をAlGaNバリア層314上に形成してもよい。このようなP型III族窒化物材料の層はその後適切にマスキングされ、P型III族窒化物ゲート層352に対応するP型III族窒化物材料層の領域を保護し、P型III族窒化物材料層の保護されない部分は、P型III族窒化物ゲート層352を残して除去してもよい。

40

#### 【0024】

フロー図200のステップ260に進み、図3Fを参照すると、フロー図200のステップ260はP型III族窒化物ゲート層352を含むゲート構造362の製造を完了する工程からなる。図3Fに示すように、ゲート構造362は、P型III族窒化物ゲート層352上に形成される導電性ゲート電極364を含む。導電性ゲート電極364は、例えばドーパポリシリコンまたはチタン(Ti)もしくはアルミニウム(Al)のような金属などの適切な導電性材料からなればよい。実施例によっては、図3Fの例図で示されるよう

50

に、ゲート構造 3 6 2 が P 型 III 族窒化物ゲート層 3 5 2 上に形成されるゲート誘電体 3 6 6 をさらに有してもよい。ゲート誘電体 3 6 6 は、P 型 III 族窒化物ゲート層 3 5 2 と導電性ゲート電極 3 6 4 との間に配置してもよく、またゲート誘電体 3 6 6 は例えば酸化アルミニウム ( $Al_2O_3$ )、二酸化ケイ素 ( $SiO_2$ )、または窒化ケイ素 ( $Si_3N_4$ ) からなってもよい。

#### 【0025】

次に図 4 に進むと、図 4 は本発明の一実施形態によるエンハンスメント型 III - V 族 HEMT に対応する構造体 4 0 0 の断面図を示す。構造体 4 0 0 は例えば図 2 のフロー図 2 0 0 の方法によって製造してもよく、ここでフロー図 2 0 0 の方法はオーミックなソースコンタクト 4 7 2 およびオーミックなドレインコンタクト 4 7 4 をそれぞれ形成する工程をさらに含む。構造体 4 0 0 は、ソースコンタクト 4 7 2 およびドレインコンタクト 4 7 4 に加えて、ヘテロ接合 4 1 6 上に形成され、ゲート構造 4 6 2 下に 2 DEG 4 1 8 が形成されるのを防止するゲート構造 4 6 2 を有する。P 型 III 族窒化物ゲート層 4 5 2、導電性ゲート電極 4 6 4、およびゲート誘電体 4 6 6 を含むゲート構造 4 6 2 は、図 3 F の P 型 III 族窒化物ゲート層 3 5 2、導電性ゲート電極 3 6 4、およびゲート誘電体 3 6 6 を含むゲート構造 3 6 2 に対応し、図 4 の GaN 体 4 1 2、Al GaN バリア層 4 1 4、および分断された 2 DEG 4 1 8 を含むヘテロ接合 4 1 6 は、図 3 E および 3 F の GaN 体 3 1 2、Al GaN バリア層 3 1 4、および遮断された 2 DEG 3 1 8 を含むヘテロ接合 3 1 6 に対応する。さらに、図 4 の基板 4 0 2 および遷移構造体 4 0 4 はそれぞれ図 3 A ~ 3 F に示す基板 3 0 2、および図 3 B および 3 F に示す遷移構造体 3 0 4 にそれぞれ

10

20

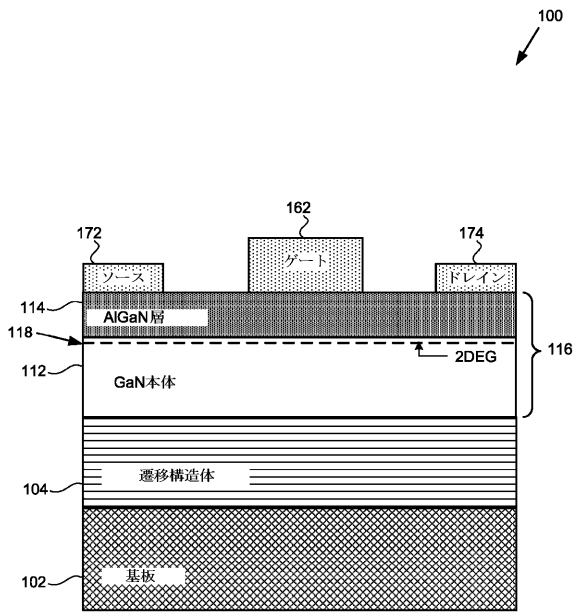
対応する。  
図 4 に図示するように、また上述した理由により、ゲート電圧を印加しない場合、ゲート構造 4 6 2 の一部に P 型 III 族窒化物ゲート層 4 5 2 が含まれることにより、ゲート構造 4 6 2 下での 2 DEG 4 1 8 の発生が妨げられ、2 DEG 遮断部 4 6 8 が形成される。その結果、図 4 に示す III 族窒化物 HEMT はノーマリオフ型、すなわちエンハンスメント型デバイスとなる。適切なゲート電圧を積極的にゲート構造 4 6 2 の導電性ゲート電極 4 6 4 に印加することにより 2 DEG 遮断部 4 6 8 を解消し、ヘテロ接合 4 1 6 を介してソースコンタクト 4 7 2 とドレインコンタクト 4 7 4 を接続する連続的な高電子移動度 2 DEG チャンネルを要求に応じてその都度設けることができる。

このように、本願において開示する構想により、電源用途での使用に適したエンハンスメント型 III - V 族 HEMT を製造することが可能となり有利である。本発明の上記の説明から、本発明の範囲を逸脱することなく種々の技術を用いて本発明の構想を実現することができることは明らかである。また、特定の実施例を特に参照して本発明を説明したが、本発明の趣旨および範囲を逸脱することなく本発明の形態および細部を変更可能であることは、当業者により理解されるであろう。上述した実施例は、あらゆる点において例示的なものにすぎず、限定的なものではないと考えるべきである。さらに、本発明は上述した特定の実施例に限定されず、本発明の範囲を逸脱することなく、多くの再構成、変更、および代替が可能であることも理解されたい。

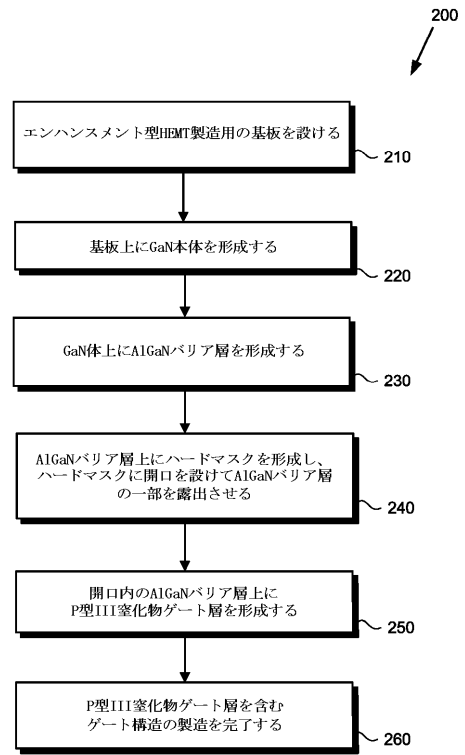
30



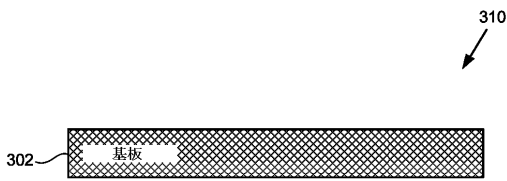
【 図 1 】



【 図 2 】



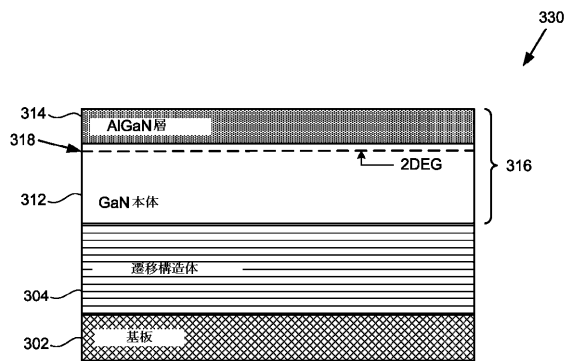
【 図 3 A 】



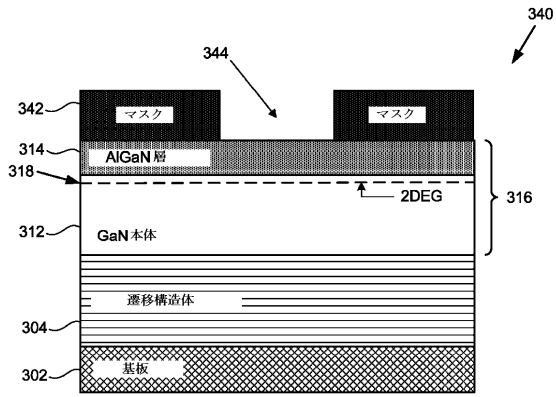
【 図 3 B 】



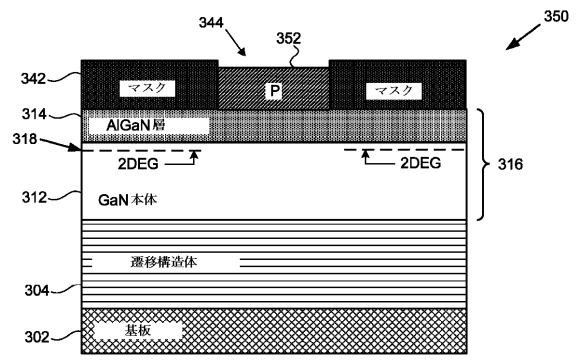
【 図 3 C 】



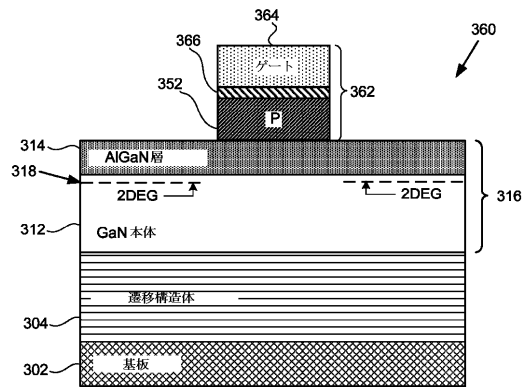
【図3D】



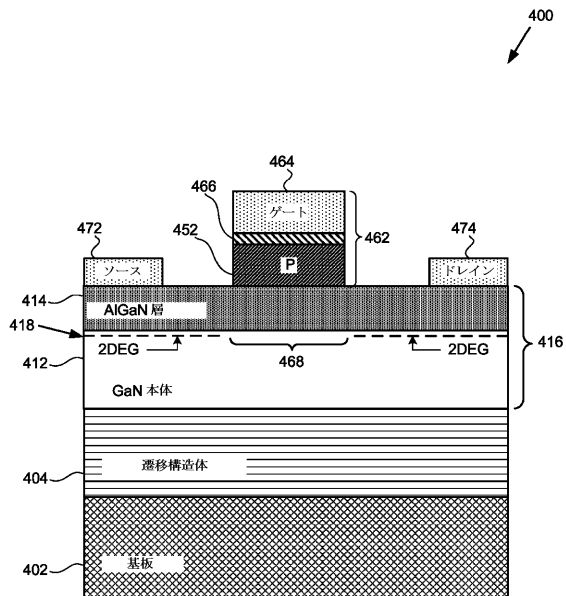
【図3E】



【図3F】



【図4】



---

フロントページの続き

(72)発明者 ツィ ヒ

アメリカ合衆国 カリフォルニア州 90245 エル セガンド イー パーム アベニュー  
1629 ナンバー 2

Fターム(参考) 5F102 GB01 GC01 GD04 GD10 GJ02 GJ03 GJ04 GJ10 GK04 GL04  
GM04 GM08 GQ01 GT01 GT02 GT03 HC02  
5F140 AA06 AC36 BA01 BA02 BA06 BA09 BA16 BB06 BB18 BD07  
BD11

【外国語明細書】

2013004967000001.pdf