

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年5月2日(02.05.2013)

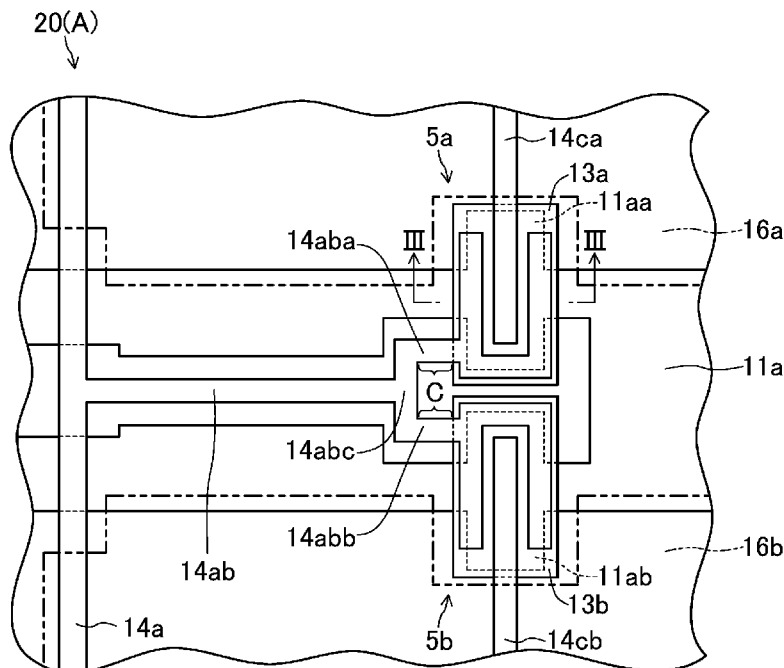


(10) 国際公開番号
WO 2013/061556 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) *H01L 21/336* (2006.01)
G02F 1/13 (2006.01) *H01L 29/786* (2006.01)
G02F 1/1343 (2006.01)
- (21) 国際出願番号: PCT/JP2012/006723
- (22) 国際出願日: 2012年10月19日(19.10.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-235653 2011年10月27日(27.10.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
(71) 出願人 (米国についてのみ): 加藤 睦人 (KATO, Mutsuto). 井上 智博 (INOUE, Tomohiro).
- (74) 代理人: 特許業務法人前田特許事務所 (MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町
2丁目5番7号 大阪丸紅ビル5階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: LIQUID-CRYSTAL PANEL AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 液晶表示パネル及びその製造方法



(57) Abstract: Each pixel, which is provided with a mutually adjacent first sub-pixel and second sub-pixel, of a TFT substrate (20) which configures a liquid-crystal display panel comprises a first source electrode (14aba) which splits toward the first sub-pixel side and configures a portion of each first TFT (5a), and a second source electrode (14abb) which splits toward the second sub-pixel side and configures a portion of each second TFT (5b), after each source line (14a), which extends between pixels, is integrally extracted along each gate line (11a) which extends between the first sub-pixel and the second sub-pixel of each pixel. Each gate line (11a) opens at the part where each source line (14a) splits.

(57) 要約: 液晶表示パネルを構成する TFT 基板 (20) では、互いに隣り合う第1副画素及び第2副画素を有する各画素において、各画素の間に延びる各ソース線 (14a) が各画素の第1副画素及び第2副画素の間に延びる各ゲート線 (11a) に沿って単一に引き出された後に第1副画素側に分岐して各第1 TFT (5a) の一部を構成する第1ソース電極 (14aba) とを

と、第2副画素側に分岐して各第2 TFT (5b) の一部を構成する第2ソース電極 (14abb) とを有し、各ゲート線 (11a) が各ソース線 (14a) の分岐した部分で開口している。

明 細 書

発明の名称：液晶表示パネル及びその製造方法

技術分野

[0001] 本発明は、液晶表示パネル及びその製造方法に関し、特に、薄膜トランジスタ基板を備えた液晶表示パネルにおいて、薄膜トランジスタ基板の各薄膜トランジスタのソース電極と、対向基板の共通電極との間に発生した短絡欠陥を修正する技術に関するものである。

背景技術

[0002] アクティブマトリクス駆動方式の液晶表示パネルは、例えば、画像の最小単位である各画素毎に、薄膜トランジスタ（Thin Film Transistor、以下、「T F T」とも称する）、及びT F Tに接続された画素電極を有するT F T基板と、T F T基板に対向するように設けられ、共通電極を有する対向基板と、T F T基板の各画素電極及び対向基板の共通電極の間に設けられた液晶層とを備えている。ここで、多くのT F T基板では、各画素の液晶層、すなわち、各画素の液晶容量に充電された電荷を安定に保持するために、各画素毎に補助容量が設けられている。

[0003] 例えば、特許文献1には、液晶表示パネルの色ずれを防止するために、マトリクス状に配列された（上記画素に相当する）各単位画素を複数の副画素領域に分割し、各副画素領域に（上記T F Tに相当する）アクティブ素子、（上記液晶容量に相当する）液晶キャパシタ、及び（上記補助容量に相当する）蓄積キャパシタを配置し、同一単位画素内において、副画素領域における蓄積キャパシタと液晶キャパシタとの容量比を副画素領域毎に異ならせた液晶表示パネルが開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2008-15512号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、ＴＦＴ基板を備えた液晶表示パネルでは、各画素のＴＦＴにおいて、ソース電極及びドレイン電極の間に導電性を有する異物が介在すると、ソース電極及びドレイン電極の間が短絡して、その画素が正常に動作しなくなるおそれがあるので、例えば、基板検査工程において、各画素のＴＦＴの何れかでソース電極及びドレイン電極の間が短絡した短絡欠陥が検出された場合には、修正工程において、レーザー光の照射により、短絡欠陥が検出された画素の画素電極と、短絡したドレイン電極とを切り離して黒点化することが多い。

[0006] しかしながら、上記修正工程において、短絡欠陥が検出された画素の画素電極と、短絡したドレイン電極とを切り離しても、液晶表示パネルを運搬する際の振動やパネル表面に対する加圧などに起因して、ソース電極及びドレイン電極の間を短絡させていた異物を介して、ＴＦＴ基板側の短絡した又は短絡していたソース電極と、対向基板側の共通電極との間が短絡するおそれがある。また、上記基板検査工程において、短絡欠陥として検出されないレベルであっても、仮に、ソース電極及びドレイン電極の間に導電性を有する異物が潜在していれば、液晶表示パネルを運搬する際の振動やパネル表面に対する加圧などにより、ソース電極及びドレイン電極の間に潜在する異物が顕在化して、ＴＦＴ基板側のソース電極と、対向基板側の共通電極との間が短絡するおそれもある。なお、特許文献１に開示された液晶表示パネルのように、ゲート線及びソース線の交差する部分の近傍にＴＦＴが設けられた液晶表示パネルでは、上記修正工程において、レーザー光を照射する際に、ＴＦＴに接続されたゲート線及びソース線を損傷させるおそれがあるので、改善の余地がある。

[0007] 本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、薄膜トランジスタ基板の各薄膜トランジスタのソース電極と、対向基板の共通電極との間に発生した短絡欠陥を可及的に容易に修正することにある。

課題を解決するための手段

- [0008] 上記目的を達成するために、本発明は、各画素において、各ソース線が各ゲート線に沿って単一に引き出された後に第1副画素側に分岐した第1ソース電極と、第2副画素側に分岐した第2ソース電極とを備えるようにしたものである。
- [0009] 具体的に本発明に係る液晶表示パネルは、互いに隣り合う第1副画素及び第2副画素を有する画素と、該第1副画素及び第2副画素の間に配置されたゲート線と、該ゲート線と交差する方向の上記画素の縁に沿って配置されたソース線と、上記第1副画素に設けられた第1薄膜トランジスタと、該第1薄膜トランジスタに設けられた第1ソース電極と、上記第2副画素に設けられた第2薄膜トランジスタと、該第2薄膜トランジスタに設けられた第2ソース電極とを備えた薄膜トランジスタ基板と、上記薄膜トランジスタ基板に対向して設けられ、共通電極を有する対向基板と、上記薄膜トランジスタ基板及び対向基板の間に設けられた液晶層とを備え、上記ソース線は、上記ゲート線に沿って延びる引き出し部、及び該引き出し部から上記第1ソース電極と上記第2ソース電極とに分岐する分岐部を有し、上記ゲート線は、上記分岐部で開口している。
- [0010] 上記の構成によれば、ソース線がゲート線に沿って延びる引き出し部、及び引き出し部から第1ソース電極と第2ソース電極とに分岐する分岐部を有し、ゲート線がソース線の分岐部で開口しているので、液晶表示パネルの各画素において、薄膜トランジスタ基板側の第1薄膜トランジスタの第1ソース電極、又は第2薄膜トランジスタの第2ソース電極と、対向基板の共通電極との間が短絡した短絡欠陥が検出された場合には、短絡欠陥が検出された画素において、ゲート線の開口した部分を介してレーザー光を照射することにより、短絡した第1ソース電極又は第2ソース電極を切断して、対応する第1薄膜トランジスタ又は第2薄膜トランジスタをその薄膜トランジスタが接続されたソース線から分離することになる。これにより、短絡欠陥が検出された画素において、共通電極に入力される信号がソース線に入力されなく

なるので、薄膜トランジスタ基板に設けられた薄膜トランジスタのソース電極と、対向基板の共通電極との間に発生した短絡欠陥が修正される。ここで、短絡欠陥を修正する際にレーザー光を照射する箇所（第1ソース電極又は第2ソース電極に分岐する分岐部）は、各ソース線の各ゲート線と交差する方向に延びる部分から離間していると共に、ゲート線に重なっていないので、レーザー光の照射によるソース線及びゲート線の損傷が抑制され、例えば、薄膜トランジスタがソース線及びゲート線の交差する部分の近傍に配置された場合よりも短絡欠陥が容易に修正される。したがって、薄膜トランジスタ基板の薄膜トランジスタのソース電極と、対向基板の共通電極との間に発生した短絡欠陥を可及的に容易に修正することが可能になる。

[0011] また、本発明に係る液晶表示パネルは、各々、互いに隣り合うように配置された第1副画素及び第2副画素を有し、マトリクス状に設けられた複数の画素と、該各画素の第1副画素及び第2副画素の間に、互いに平行に延びるようにそれぞれ設けられた複数のゲート線と、該各ゲート線と交差する方向の該各画素の間に、互いに平行に延びるようにそれぞれ設けられた複数のソース線と、上記各画素の第1副画素毎にそれぞれ設けられた複数の第1薄膜トランジスタと、上記各画素の第2副画素毎にそれぞれ設けられた複数の第2薄膜トランジスタとを備えた薄膜トランジスタ基板と、上記薄膜トランジスタ基板に対向するように設けられ、共通電極を有する対向基板と、上記薄膜トランジスタ基板及び対向基板の間に設けられた液晶層とを備え、上記薄膜トランジスタ基板は、上記各画素において、上記各ソース線が上記各ゲート線に沿って単一に引き出された後に上記第1副画素側に分岐して上記各第1薄膜トランジスタの一部を構成する第1ソース電極と、上記第2副画素側に分岐して上記各第2薄膜トランジスタの一部を構成する第2ソース電極とを有し、上記各ゲート線は、上記各ソース線の分岐した部分で開口している。

[0012] 上記の構成によれば、各画素において、各ソース線が各ゲート線に沿って単一に引き出された後に第1副画素側に分岐した第1ソース電極と、第2副

画素側に分岐した第2ソース電極とを備え、各ゲート線が各ソース線の分岐した部分、すなわち、第1ソース電極及び第2ソース電極の部分で開口しているので、液晶表示パネルの各画素において、薄膜トランジスタ基板側の第1薄膜トランジスタの第1ソース電極、又は第2薄膜トランジスタの第2ソース電極と、対向基板の共通電極との間が短絡した短絡欠陥が検出された場合には、短絡欠陥が検出された画素において、各ゲート線の開口した部分を介してレーザー光を照射することにより、短絡した第1ソース電極又は第2ソース電極を切断して、対応する第1薄膜トランジスタ又は第2薄膜トランジスタをその薄膜トランジスタが接続されたソース線から分離することになる。これにより、短絡欠陥が検出された画素において、共通電極に入力される信号がソース線に入力されなくなるので、薄膜トランジスタ基板に設けられた各薄膜トランジスタのソース電極と、対向基板の共通電極との間に発生した短絡欠陥が修正される。ここで、短絡欠陥を修正する際にレーザー光を照射する箇所（第1ソース電極又は第2ソース電極）は、各ソース線の各ゲート線と交差する方向に延びる部分から離間していると共に、ゲート線に重なっていないので、レーザー光の照射による各ソース線及び各ゲート線の損傷が抑制され、例えば、薄膜トランジスタがソース線及びゲート線の交差する部分の近傍に配置された場合よりも短絡欠陥が容易に修正される。したがって、薄膜トランジスタ基板の各薄膜トランジスタのソース電極と、対向基板の共通電極との間に発生した短絡欠陥を可及的に容易に修正することが可能になる。

[0013] 上記各ゲート線は、上記各ソース線の単一に引き出された部分で開口していてもよい。

[0014] 上記の構成によれば、各ゲート線が各ソース線の単一に引き出された部分で開口しているので、各ゲート線と各ソース線との重なる面積が抑制され、各ゲート線と各ソース線との交差部分に形成される寄生容量が小さくなる。

[0015] 上記各第1薄膜トランジスタは、島状に設けられた第1半導体層を有し、上記第1ソース電極は、上記第1半導体層に重ならないように3 μ m以上の

線状に形成された被切断部を有し、上記各第2薄膜トランジスタは、島状に設けられた第2半導体層を有し、上記第2ソース電極は、上記第2半導体層に重ならないように3 μm 以上の線状に形成された被切断部を有していてもよい。

[0016] 上記の構成によれば、第1ソース電極が第1半導体層に重ならないように3 μm 以上の線状に形成された被切断部を有し、第2ソース電極が第2半導体層に重ならないように3 μm 以上の線状に形成された被切断部を有しているので、短絡欠陥を修正する際には、各被切断部にレーザー光を照射することにより、短絡した第1ソース電極又は第2ソース電極が確実に切断される。

[0017] 上記各第1薄膜トランジスタ及び各第2薄膜トランジスタは、上記隣り合う一対のソース線の間部分に設けられていてもよい。

[0018] 上記の構成によれば、各第1薄膜トランジスタ及び各第2薄膜トランジスタが隣り合う一対のソース線の間部分に設けられているので、短絡欠陥を修正する際にレーザー光を照射する箇所（第1ソース電極又は第2ソース電極）が、各ソース線の各ゲート線と交差する方向に延びる部分から具体的に離間される。また、例えば、液晶分子の配向をピコメートルレベルで精密に制御する光配向技術を適用した液晶表示パネルでは、各副画素の中央を中心に十字状の暗部が形成されるので、その暗部を利用して、各第1薄膜トランジスタ及び各第2薄膜トランジスタを始め、容量線、並びに容量線に重なるドレイン電極の延設部を配置することにより、補助容量の配置に起因する各画素の開口率の低下が抑制される。

[0019] また、本発明に係る液晶表示パネルの製造方法は、各々、互いに隣り合うように配置された第1副画素及び第2副画素を有し、マトリクス状に設けられた複数の画素と、該各画素の第1副画素及び第2副画素の間に、互いに平行に延びるようにそれぞれ設けられた複数のゲート線と、該各ゲート線と交差する方向の該各画素の間に、互いに平行に延びるようにそれぞれ設けられた複数のソース線と、上記各画素の第1副画素毎にそれぞれ設けられた複数

の第1薄膜トランジスタと、上記各画素の第2副画素毎にそれぞれ設けられた複数の第2薄膜トランジスタとを備え、上記各画素において、上記各ソース線が上記各ゲート線に沿って単一に引き出された後に上記第1副画素側に分岐して上記各第1薄膜トランジスタの一部を構成する第1ソース電極と、上記第2副画素側に分岐して上記各第2薄膜トランジスタの一部を構成する第2ソース電極とを有し、上記各ゲート線が上記各ソース線の分岐した部分で開口した薄膜トランジスタ基板を作製する薄膜トランジスタ基板作製工程と、共通電極を有する対向基板を作製する対向基板作製工程と、上記薄膜トランジスタ基板作製工程で作製された薄膜トランジスタ基板、及び上記対向基板作製工程で作製された対向基板を液晶層を介して貼り合わせるにより、貼合体を作製する貼合体作製工程と、上記貼合体作製工程で作製された貼合体の各画素において、上記第1ソース電極又は第2ソース電極と上記共通電極との間が短絡した短絡欠陥を検出する欠陥検出工程と、上記欠陥検出工程で短絡欠陥が検出された画素において、上記各ゲート線の開口した部分を介してレーザー光を照射することにより、上記短絡した第1ソース電極又は第2ソース電極を切断して、対応する上記第1薄膜トランジスタ又は第2薄膜トランジスタを該薄膜トランジスタが接続されたソース線から分離する欠陥修正工程とを備える。

[0020] 上記の方法によれば、薄膜トランジスタ基板作製工程で作製された薄膜トランジスタ基板では、各画素において、各ソース線が各ゲート線に沿って単一に引き出された後に第1副画素側に分岐した第1ソース電極と、第2副画素側に分岐した第2ソース電極とを備え、各ゲート線が各ソース線の分岐した部分、すなわち、第1ソース電極及び第2ソース電極の部分で開口しているので、欠陥検出工程において、貼合体作製工程で作製された貼合体、すなわち、液晶表示パネルの各画素において、薄膜トランジスタ基板側の第1薄膜トランジスタの第1ソース電極、又は第2薄膜トランジスタの第2ソース電極と、対向基板の共通電極との間が短絡した短絡欠陥が検出された場合には、欠陥修正工程において、短絡欠陥が検出された画素において、各ゲート

線の開口した部分を介してレーザー光を照射することにより、短絡した第1ソース電極又は第2ソース電極を切断して、対応する第1薄膜トランジスタ又は第2薄膜トランジスタをその薄膜トランジスタが接続されたソース線から分離することになる。これにより、短絡欠陥が検出された画素において、共通電極に入力される信号がソース線に入力されなくなるので、薄膜トランジスタ基板に設けられた各薄膜トランジスタのソース電極と、対向基板の共通電極との間に発生した短絡欠陥が修正される。ここで、欠陥修正工程において、短絡欠陥を修正する際にレーザー光を照射する箇所（第1ソース電極又は第2ソース電極）は、各ソース線の各ゲート線と交差する方向に延びる部分から離間していると共に、ゲート線に重なっていないので、レーザー光の照射による各ソース線及び各ゲート線の損傷が抑制され、例えば、薄膜トランジスタがソース線及びゲート線の交差する部分の近傍に配置された場合よりも短絡欠陥が容易に修正される。したがって、薄膜トランジスタ基板の各薄膜トランジスタのソース電極と、対向基板の共通電極との間に発生した短絡欠陥を可及的に容易に修正することが可能になる。

[0021] 上記薄膜トランジスタ基板は、上記各画素において、上記各ゲート線が上記各第1薄膜トランジスタの一部を構成する第1ゲート電極と、該第1ゲート電極から離間して上記各第2薄膜トランジスタの一部を構成する第2ゲート電極とを有し、上記欠陥修正工程では、上記短絡した第1ソース電極又は第2ソース電極に対応する上記第1ゲート電極又は第2ゲート電極を該ゲート電極が接続されたゲート線から分離してもよい。

[0022] 上記の方法によれば、欠陥修正工程では、短絡した第1ソース電極又は第2ソース電極に対応する第1ゲート電極又は第2ゲート電極をそのゲート電極が接続されたゲート線から分離するので、短絡欠陥が発生した副画素の薄膜トランジスタと、それに対応するゲート線及びソース線との電気的な接続が解除されることにより、薄膜トランジスタの短絡欠陥に起因する不具合が低減される。

発明の効果

[0023] 本発明によれば、各画素において、各ソース線が各ゲート線に沿って単一に引き出された後に第1副画素側に分岐した第1ソース電極と、第2副画素側に分岐した第2ソース電極とを備えているので、薄膜トランジスタ基板の各薄膜トランジスタのソース電極と、対向基板の共通電極との間に発生した短絡欠陥を可及的に容易に修正することができる。

図面の簡単な説明

[0024] [図1]図1は、実施形態1に係る液晶表示パネルを構成するTFT基板の平面図である。

[図2]図2は、図1中の領域Aを拡大したTFT基板の平面図である。

[図3]図3は、図2中のIII-III線に沿ったTFT基板及びそれを備えた液晶表示パネルの断面図である。

[図4]図4は、TFT基板におけるTFTが形成された領域を拡大した平面図である。

[図5]図5は、ソース電極及び共通電極の間に短絡欠陥が発生した液晶表示パネルの断面図である。

[図6]図6は、ソース電極及びドレイン電極の間に短絡欠陥が発生した液晶表示パネルの断面図である。

[図7]図7は、実施形態1に係る液晶表示パネルの製造方法を示すTFT基板の平面図である。

[図8]図8は、実施形態2に係る液晶表示パネルの製造方法を示すTFT基板の平面図である。

発明を実施するための形態

[0025] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0026] 《発明の実施形態1》

図1～図7は、本発明に係る液晶表示パネル及びその製造方法の実施形態1を示している。具体的に、図1は、本実施形態の液晶表示パネル50を構成するTFT基板20の平面図であり、図2は、図1中の領域Aを拡大した

TFT基板20の平面図である。また、図3は、図2中のIII-III線に沿ったTFT基板20及びそれを備えた液晶表示パネル50の断面図である。さらに、図4は、TFT基板20における第1TFT5a及び第2TFT5bが形成された領域、すなわち、短絡欠陥を修正する際にレーザー光が照射される領域の近傍を拡大した平面図である。

[0027] 液晶表示パネル50は、図3に示すように、互いに対向するように設けられたTFT基板20及び対向基板30と、TFT基板20及び対向基板30の間に設けられた液晶層40と、TFT基板20及び対向基板30を互いに接着すると共に、TFT基板20及び対向基板30の間に液晶層40を封入するためのシール材（不図示）とを備えている。ここで、TFT基板20、対向基板30及びそれらを備えた液晶表示パネル50では、図1に示すように、各々、図中の縦方向に互いに隣り合うように配置された第1副画素Pa及び第2副画素Pbを有する複数の画素Pがマトリクス状に設けられている。

[0028] TFT基板20は、図1～図3に示すように、透明基板10aと、各画素Pの第1副画素Pa及び第2副画素Pbの間に互いに平行に延びるように透明基板10a上にそれぞれ設けられた複数のゲート線11aと、各ゲート線11aの延びる方向（図1中の横方向）の各画素Pの間に互いに平行に延びるように透明基板10a上にそれぞれ設けられた複数の容量線11bと、各ゲート線11a及び各容量線11bと直交する方向（図1中の縦方向）の各画素Pの間に互いに平行に延びるようにそれぞれ設けられた複数の第1ソース線14aと、各ゲート線11a及び各容量線11bと直交する方向の各画素Pの間に互いに平行に延びると共に、各第1ソース線14aと隣り合うようにそれぞれ設けられた複数の第2ソース線14bと、各第1副画素Pa毎にそれぞれ設けられた複数の第1TFT5aと、各第2副画素Pb毎にそれぞれ設けられた複数の第2TFT5bと、各第1TFT5a及び各第2TFT5bを覆うように設けられた層間絶縁膜15と、各第1副画素Paにおいて層間絶縁膜15上にそれぞれ設けられ、各第1TFT5aに接続された複

数の第1画素電極16aと、各第2副画素Pbにおいて層間絶縁膜15上にそれぞれ設けられ、各第2TF5bに接続された複数の第2画素電極16bと、各第1画素電極16a及び各第2画素電極16bを覆うように設けられた配向膜（不図示）とを備えている。

[0029] 容量線11bは、図1に示すように、隣り合う一对のゲート11aの間で2列の格子状に設けられている。

[0030] 第1TF5aは、図1～図3に示すように、透明基板10a上にゲート線11aの一部として設けられた第1ゲート電極11aaと、第1ゲート電極11aaを覆うように設けられたゲート絶縁膜12と、ゲート絶縁膜12上に第1ゲート電極11aaに重なるように島状に設けられた第1半導体層13aと、第1半導体層13a上に第1ゲート電極11aaに重なりと共に、互いに離間及び対峙するように設けられた第1ソース電極14aba及び第1ドレイン電極14caとを備えている。

[0031] 第1ソース電極14abaは、図1及び図2に示すように、第1ソース線14a又は第2ソース線14bからゲート線11aに沿って単一に引き出された後に、第1副画素Pa側にU字状に分岐された部分である。ここで、第1ソース線14a又は第2ソース線14bからゲート線11aに沿って単一に引き出された部分は、図2に示すように、第1ソース線14a又は第2ソース線14bがゲート線11aに沿って延びる引き出し部14abになっている。

[0032] 第1ドレイン電極14caは、図1に示すように、各第1副画素Paにおいて、その中央を中心に十字状に延設され、その十字状に延設された部分の中央で層間絶縁膜15に形成されたコンタクトホール15aを介して第1画素電極16aに接続されていると共に、ゲート絶縁膜12を介して容量線11bに重なることにより、各第1副画素Paの補助容量を構成している。

[0033] 第2TF5bは、図1～図3に示すように、透明基板10a上にゲート線11aの一部として設けられた第2ゲート電極11abと、第2ゲート電極11abを覆うように設けられたゲート絶縁膜12と、ゲート絶縁膜12

上に第2ゲート電極11abに重なるように島状に設けられた第2半導体層13bと、第2半導体層13b上に第2ゲート電極11abに重なりと共に、互いに離間及び対峙するように設けられた第2ソース電極14abb及び第2ドレイン電極14cbとを備えている。

[0034] 第2ソース電極14abbは、図1及び図2に示すように、第1ソース線14a又は第2ソース線14bからゲート線11aに沿って単一に引き出された後に、第2副画素Pa側にU字状に分岐された部分である。ここで、第1ソース電極14aba及び第2ソース電極14abbの間は、図2に示すように、引き出し部14abから第1ソース電極14aba及び第2ソース電極14abbに分岐する分岐部14abcとなっている。

[0035] 第2ドレイン電極14cbは、図1に示すように、各第2副画素Pbにおいて、その中央を中心に十字状に延設され、その十字状に延設された部分の中央で層間絶縁膜15に形成されたコンタクトホール15aを介して第2画素電極16bに接続されていると共に、ゲート絶縁膜12を介して容量線11bに重なることにより、各第2副画素Pbの補助容量を構成している。

[0036] 第1TF T5a及び第2TF T5bは、図1に示すように、ゲート線11aと直交する方向（図中の縦方向）に沿って隣り合うもの同士が互いに異なるソース線（第1ソース線14a及び第2ソース線14b）に接続されており、第1TF T5a及び第2TF T5bと第1ソース線14a又は第2ソース線14bとの接続構造が千鳥状に配置されている。すなわち、図1に示すように、図中の右下側の第1TF T5a及び第2TF T5bは、図中の中央に延びる第1ソース線14aに接続され、それらに図中の縦方向に沿って隣り合う図中の右上側の第1TF T5a及び第2TF T5bは、図中の右側に延びる第2ソース線14bに接続され、図中の左下側の第1TF T5a及び第2TF T5bは、図中の中央に延びる第2ソース線14bに接続され、それらに図中の縦方向に沿って隣り合う図中の左上側の第1TF T5a及び第2TF T5bは、図中の左側に延びる第1ソース線14aに接続されている。

[0037] ゲート線 1 1 a は、図 1 及び図 2 に示すように、第 1 ソース線 1 4 a 及び第 2 ソース線 1 4 b の分岐した部分（第 1 ソース電極 1 4 a b a 及び第 2 ソース電極 1 4 a b b の間の分岐部 1 4 a b c）と、単一に引き出された部分（引き出し部 1 4 a b）とで開口している。ここで、第 1 ゲート電極 1 1 a a 及び第 2 ゲート電極 1 1 a b は、図 1 及び図 2 に示すように、ゲート線 1 1 a の開口した領域を介して互いに離間している。

[0038] 第 1 ソース電極 1 4 a b a 及び第 2 ソース電極 1 4 a b b は、図 2 に示すように、第 1 半導体層 1 3 a 及び第 2 半導体層 1 3 b にそれぞれ重ならないように、 $3\mu\text{m}$ 以上に線状に形成された被切断部 C をそれぞれ有している。ここで、第 1 T F T 5 a 及び第 2 T F T 5 b の近傍の具体的な寸法を例示すると、図 4 に示すように、D a が $10\mu\text{m}$ 程度であり、D b が $15\mu\text{m}$ 程度であり、D c が $6\mu\text{m}$ 程度であり、D d が $7\mu\text{m}$ 程度であり、D e が $4\mu\text{m}$ 程度であり、D f が $7\mu\text{m}$ 程度であり、D g が $10\mu\text{m}$ 程度であり、D h が $4.5\mu\text{m}$ 程度である。なお、第 1 副画素 P a 及び第 2 副画素 P b の各大きさは、縦 $375\mu\text{m}$ 程度×横 $250\mu\text{m}$ 程度である。

[0039] 対向基板 3 0 は、図 3 に示すように、透明基板 1 0 b と、透明基板 1 0 b 上に枠状に且つその枠内に格子状に設けられたブラックマトリクス 2 1 と、ブラックマトリクス 2 1 の各格子間にそれぞれ設けられた赤色層、緑色層及び青色層などの複数の着色層（不図示）と、ブラックマトリクス 2 1 及び各着色層を覆うように設けられた共通電極 2 2 と、共通電極 2 2 上に柱状に設けられた複数のフォトスペーサ（不図示）と、共通電極及び各フォトスペーサを覆うように設けられた配向膜（不図示）とを備えている。

[0040] 液晶層 4 0 は、電気光学特性を有するネマチックの液晶材料などにより構成され、負の誘電率異方性（ $\Delta\epsilon < 0$ ）の液晶分子を含んでいる。

[0041] 上記構成の液晶表示パネル 5 0 は、T F T 基板 2 0 上の各第 1 画素電極 1 6 a 及び各第 2 画素電極 1 6 b と対向基板 3 0 上の共通電極 2 2 との間に配置する液晶層 4 0 に各画素 P 毎に所定の電圧を印加して、液晶層 4 0 の配向状態を変えることにより、各画素 P 毎にパネル内を透過する光の透過率を調

整して、画像を表示するように構成されている。ここで、液晶表示パネル50では、各画素Pの第1副画素Pa及び第2副画素Pbを個別に駆動させることにより、各画素Pの第1副画素Pa及び第2副画素Pbにおける輝度を互いに異ならせるように制御されている。

[0042] 次に、本実施形態の液晶表示パネル50を製造する方法について説明する。ここで、図5は、第1ソース電極14aba及び共通電極22の間に短絡欠陥Saが発生した液晶表示パネル50の断面図である。また、図6は、第1ソース電極14aba及び第1ドレイン電極14caの間に短絡欠陥Sbが発生した液晶表示パネル50の断面図である。さらに、図7は、本実施形態の液晶表示パネル50の製造方法を示すTF T基板20の平面図である。なお、本実施形態の製造方法は、TF T基板作製工程、対向基板作製工程、貼合体作製工程、欠陥検出工程及び欠陥修正工程を備える。

[0043] <TF T基板作製工程>

まず、ガラス基板などの透明基板10aの基板全体に、例えば、スパッタリング法により、チタン膜（厚さ25nm程度）及び銅膜（厚さ400nm程度）などを順に成膜して、金属積層膜を形成した後に、その金属積層膜に対して、フォトリソグラフィ、エッチング及びレジストパターンの剥離洗浄を行うことにより、第1ゲート電極11aa及び第2ゲート電極11abを有するゲート線11a、並びに容量線11bを形成する。

[0044] 続いて、ゲート線11a及び容量線11bが形成された基板全体に、例えば、プラズマCVD（Chemical Vapor Deposition）法により、窒化シリコン膜（厚さ400nm程度）などを成膜して、ゲート絶縁膜12を形成する。

[0045] さらに、ゲート絶縁膜12が形成された基板全体に、例えば、プラズマCVD法により、例えば、真性アモルファスシリコン膜（厚さ200nm程度）、及びリンがドーパされたn+アモルファスシリコン膜（厚さ20nm程度）を順に成膜した後に、真性アモルファスシリコン膜及びn+アモルファスシリコン膜の積層膜に対して、フォトリソグラフィ、エッチング及びレジストパターンの剥離洗浄を行うことにより、第1ゲート電極11aa及び第

2 ゲート電極 1 1 a b の上方に島状の第 1 半導体層形成層 (1 3 a) 及び第 2 半導体層形成層 (1 3 b) をそれぞれ形成する。

[0046] 続いて、上記第 1 半導体層形成層 (1 3 a) 及び第 2 半導体層形成層 (1 3 b) が形成された基板全体に、例えば、スパッタリング法により、チタン膜 (厚さ 3 0 n m 程度) 及び銅膜 (厚さ 4 0 0 n m 程度) などを順に成膜して、金属積層膜を形成した後に、その金属積層膜に対して、フォトリソグラフィ、エッチング及びレジストパターンの剥離洗浄を行うことにより、第 1 ソース電極 1 4 a b a 及び第 2 ソース電極 1 4 a b b を有する第 1 ソース線 1 4 a、第 1 ソース電極 1 4 a b a 及び第 2 ソース電極 1 4 a b b を有する第 2 ソース線 1 4 b、第 1 ドレイン電極 1 4 c a、並びに第 2 ドレイン電極 1 4 c b を形成する。

[0047] そして、第 1 ソース電極 1 4 a b a 及び第 1 ドレイン電極 1 4 c a、並びに第 2 ソース電極 1 4 a b b 及び第 2 ドレイン電極 1 4 c b をマスクとして、上記第 1 半導体層形成層 (1 3 a) 及び第 2 半導体層形成層 (1 3 b) の n + アモルファスシリコン層をエッチングで除去することにより、第 1 半導体層 1 3 a 及びそれを備えた第 1 T F T 5 a、並びに第 2 半導体層 1 3 b 及びそれを備えた第 2 T F T 5 b を形成する。

[0048] さらに、第 1 T F T 5 a 及び第 2 T F T 5 b が形成された基板全体に、例えば、プラズマ C V D 法により、窒化シリコン膜 (厚さ 2 0 0 n m 程度) などを成膜し、無機絶縁膜を形成する。

[0049] 続いて、上記無機絶縁膜が形成された基板全体に、例えば、スピンコート法又はスリットコート法により、アクリル系の感光性樹脂膜を塗布し、その塗布された感光性樹脂膜に対して、露光、現像及びベーキングを行うことにより、第 1 ドレイン電極 1 4 c a 及び第 2 ドレイン電極 1 4 c b の上方にコンタクトホール 1 5 a の一部となる開口部を有する有機絶縁膜 (厚さ 2 5 0 0 n m 程度) を形成する。

[0050] さらに、上記有機絶縁膜の開口部から露出する上記無機絶縁膜をエッチングで除去して、コンタクトホール 1 5 a を形成することにより、無機絶縁膜

及び有機絶縁膜の積層膜からなる層間絶縁膜 15 を形成する。

[0051] そして、層間絶縁膜 15 が形成された基板全体に、例えば、スパッタリング法により、ITO (Indium Tin Oxide) 膜 (厚さ 100 nm 程度) などの透明導電膜を成膜した後に、その透明導電膜に対して、フォトリソグラフィ、エッチング及びレジストパターンの剥離洗浄を行うことにより、第 1 画素電極 16 a 及び第 2 画素電極 16 b を形成する。

[0052] 最後に、第 1 画素電極 16 a 及び第 2 画素電極 16 b が形成された基板全体に、例えば、スピコート法又はスリットコート法により、配向膜材料膜を塗布し、その塗布された配向膜材料に対して、露光、現像及びベーキングを行うことにより、配向膜 (厚さ 100 nm 程度) を形成する。ここで、配向膜材料膜は、例えば、一定時間の UV (ultraviolet) 光の照射により側鎖が UV 光の照射方向に傾くように構成された高分子有機化合物の薄膜により形成されている。

[0053] 以上のようにして、TFE 基板 20 を作製することができる。

[0054] <対向基板作製工程>

まず、ガラス基板などの透明基板 10 b の基板全体に、例えば、スピコート法又はスリットコート法により、黒に着色されたアクリル系の感光性樹脂を塗布し、その塗布された感光性樹脂をフォトマスクを介して露光した後に、現像することにより、ブラックマトリクス 21 (厚さ 2 μ m 程度) を形成する。

[0055] 続いて、ブラックマトリクス 21 が形成された基板上に、例えば、スピコート法又はスリットコート法により、赤、緑又は青に着色されたアクリル系の感光性樹脂を塗布し、その塗布された感光性樹脂をフォトマスクを介して露光した後に、現像することによりパターンニングして、選択した色の着色層 (例えば、赤色層) を厚さ 2 μ m 程度に形成する。さらに、他の 2 色についても同様な工程を繰り返して、他の 2 色の着色層 (例えば、緑色層及び青色層) を厚さ 2 μ m 程度に形成する。

[0056] その後、上記各着色層が形成された基板上に、例えば、スパッタリング法

により、ITO膜（厚さ100nm程度）を成膜して、共通電極22を形成する。

[0057] さらに、共通電極22が形成された基板全体に、例えば、スピンコート法又はスリットコート法により、感光性のアクリル樹脂などからなる感光性樹脂膜を塗布した後に、その感光性樹脂膜に対して、露光、現像及びベーキングを行うことにより、フォトスペーサ（厚さ1μm程度）を形成する。

[0058] 最後に、上記フォトスペーサが形成された基板全体に、例えば、スピンコート法又はスリットコート法により、配向膜材料膜を塗布し、その塗布された配向膜材料に対して、露光、現像及びベーキングを行うことにより、配向膜（厚さ100nm程度）を形成する。

[0059] 以上のようにして、対向基板30を作製することができる。

[0060] <貼合体作製工程>

まず、例えば、上記対向基板作製工程で作製された対向基板30の表面に、UV硬化及び熱硬化の併用型樹脂などからなるシール材を枠状に印刷した後に、そのシール材の内側に液晶材料を滴下する。

[0061] 続いて、上記液晶材料が滴下された対向基板30と、上記TF基板作製工程で作製されたTF基板20とを、減圧下で貼り合わせた後に、その貼り合わせた貼合体を大気圧に開放することにより、その貼合体の表面及び裏面を加圧する。

[0062] さらに、上記貼合体に挟持されたシール材にUV光を照射した後に、その貼合体を加熱することによりシール材を硬化させる。

[0063] 最後に、上記シール材を硬化させた貼合体を、例えば、ダイシングにより分断することにより、その不要な部分を除去する。

[0064] 以上のようにして、液晶表示パネル50（貼合体）を作製することができる。

[0065] <欠陥検出工程>

上記貼合体作製工程で作製された液晶表示パネル50に対して、各ゲート線11a、各容量線11b、各第1ソース線14a、各第2ソース線14b

及び共通電極 22 に所定の検査信号を入力して、点灯検査を行うことにより、例えば、図 5 に示すように、膜残りなどの導電性を有する異物 F を介して、第 1 ソース電極 14 a b a と共通電極 22 との間が短絡した短絡欠陥 S a を検出する。ここで、短絡欠陥 S a は、例えば、図 6 に示すように、第 1 ソース電極 14 a b a 及び第 1 ドレイン電極 14 c a の間で発生した短絡欠陥 S b を引き起こした異物 F が、液晶表示パネルを運搬する際の振動やパネル表面に対する加圧などに起因して移動することにより、発生するものと考えられる。

[0066] <欠陥修正工程>

上記欠陥検出工程で短絡欠陥 S a が検出された場合には、図 7 に示すように、短絡欠陥 S a が検出された第 1 副画素 P において、第 1 ソース電極 14 a b a の R a 部にレーザー光 L を照射することにより、第 1 ソース電極 14 a b a を被切断部 C で切断することにより、第 1 ソース線 14 a から第 1 T F T 5 a を分離する。ここで、レーザー光 L は、例えば、Y A G (Yttrium Aluminium Garnet) レーザーなどを用いて、 $1\mu\text{m} \times 5\mu\text{m}$ 程度のスポットサイズで出力されたものである。その後、第 1 T F T 5 a が分離された第 1 副画素 P において、レーザー光の照射により、容量線 11 b と第 1 ドレイン電極 14 c a とを接続することにより、当該第 1 副画素 P a を黒点化する。

[0067] 以上のようにして、本実施形態の短絡欠陥 S a が修正された液晶表示パネル 50 を製造することができる。

[0068] 以上説明したように、本実施形態の液晶表示パネル 50 及びその製造方法によれば、T F T 基板作製工程で作製された T F T 基板 20 では、各画素 P において、各第 1 ソース線 14 a 又は各第 2 ソース線 14 b が各ゲート線 11 a に沿って単一に引き出された後に第 1 副画素 P a 側に分岐した第 1 ソース電極 14 a b a と、第 2 副画素 P b 側に分岐した第 2 ソース電極 14 a b b とを備え、各ゲート線 11 a が各第 1 ソース線 14 a 又は各第 2 ソース線 14 b の分岐した部分、すなわち、第 1 ソース電極 14 a b a 及び第 2 ソース電極 14 a b b の部分で開口しているので、欠陥検出工程において、貼合

体作製工程で作製された貼合体、すなわち、液晶表示パネル50の各画素Pにおいて、TF T基板20側の第1TF T5 aの第1ソース電極14 a b a、又は第2TF T5 bの第2ソース電極14 a b bと、対向基板20の共通電極22との間が短絡した短絡欠陥S aが検出された場合には、欠陥修正工程において、短絡欠陥S aが検出された画素Pにおいて、各ゲート線11 aの開口した部分を介してレーザー光Lを照射することにより、短絡した第1ソース電極14 a b a又は第2ソース電極14 a b bを切断して、対応する第1TF T5 a又は第2TF T5 bをそのTF Tが接続された第1ソース線14 a又は第2ソース線14 bから分離することになる。これにより、短絡欠陥S aが検出された画素Pにおいて、共通電極22に入力される信号が第1ソース線14 a又は第2ソース線14 bに入力されなくなるので、TF T基板20に設けられた各TF T（第1TF T5 a及び第2TF T5 b）のソース電極（第1ソース電極14 a b a及び第2ソース電極14 a b b）と、対向基板30の共通電極22との間に発生した短絡欠陥S aを修正することができる。ここで、欠陥修正工程において、短絡欠陥S aを修正する際にレーザー光Lを照射する箇所（第1ソース電極14 a b a又は第2ソース電極14 a b b）は、各第1ソース線14 a又は各第2ソース線14 bの各ゲート線11 aと直交する方向に延びる部分から離間していると共に、ゲート線11 aに重なっていないので、レーザー光Lの照射による各第1ソース線14 a又は各第2ソース線14 b及び各ゲート線11 aの損傷を抑制することができ、例えば、TF Tがソース線及びゲート線の交差する部分の近傍に配置された場合よりも短絡欠陥を容易に修正することができる。したがって、TF T基板20に設けられた各TF T（第1TF T5 a及び第2TF T5 b）のソース電極（第1ソース電極14 a b a及び第2ソース電極14 a b b）と、対向基板30の共通電極22との間に発生した短絡欠陥S aを可及的に容易に修正することができる。

[0069] また、本実施形態の液晶表示パネル50によれば、各ゲート線11 aが各第1ソース線14 a又は各第2ソース線14 bの単一に引き出された部分で

開口しているので、各ゲート線 1 1 a と各第 1 ソース線 1 4 a 及び各第 2 ソース線 1 4 b との重なる面積を抑制することができ、各ゲート線 1 1 a と各第 1 ソース線 1 4 a 及び各第 2 ソース線 1 4 b との交差部分に形成される寄生容量を小さくすることができる。

[0070] また、本実施形態の液晶表示パネル 5 0 によれば、第 1 ソース電極 1 4 a b a が第 1 半導体層 1 3 a に重ならないように 3 μ m 以上の線状に形成された被切断部 C を有し、第 2 ソース電極 1 4 a b b が第 2 半導体層 1 3 b に重ならないように 3 μ m 以上の線状に形成された被切断部 C を有しているので、短絡欠陥 S a を修正する際には、各被切断部 C にレーザー光 L を照射することにより、短絡した第 1 ソース電極 1 4 a b a 又は第 2 ソース電極 1 4 a b b を確実に切断することができる。

[0071] また、本実施形態の液晶表示パネル 5 0 によれば、各第 1 T F T 5 a 及び各第 2 T F T 5 b が画素 P を介して隣り合う第 1 ソース線 1 4 a 及び第 2 ソース線 1 4 b の中間部分に設けられているので、短絡欠陥 S a を修正する際にレーザー光 L を照射する箇所（第 1 ソース電極 1 4 a b a 又は第 2 ソース電極 1 4 a b b）を、各第 1 ソース線 1 4 a 又は各第 2 ソース線 1 4 b の各ゲート線 1 1 a と交差する方向に延びる部分から具体的に離間させることができる。また、液晶分子の配向をピコメートルレベルで精密に制御する光配向技術を適用した液晶表示パネル 5 0 では、各第 1 副画素 P a 及び各第 2 副画素 P b の中央を中心に十字状の暗部が形成されるので、その暗部を利用して、各第 1 T F T 5 a 及び各第 2 T F T 5 b を始め、容量線 1 1 b、並びに容量線 1 1 b に重なる第 1 ドレイン電極 1 4 c a 及び第 2 ドレイン電極 1 4 c b の各延設部を配置することにより、補助容量の配置に起因する各画素 P の開口率の低下を抑制することができる。

[0072] また、本実施形態の液晶表示パネル 5 0 によれば、短絡欠陥 S a が修正された画素 P では、第 1 副画素 P a が黒点化するものの、第 2 副画素 P b が正常に駆動するので、画素 P 全体が黒点化する場合よりも表示品位を向上させることができる。

[0073] 《発明の実施形態 2》

図 8 は、本実施形態の液晶表示パネル 50 の製造方法を示す T F T 基板 20 a の平面図である。なお、以下の実施形態において、図 1 ～図 7 と同じ部分については同じ符号を付して、その詳細な説明を省略する。

[0074] 上記実施形態 1 では、短絡欠陥 S a が検出された画素 P に対して、切断用のレーザー光 L を 1 箇所照射する液晶表示パネル 50 の製造方法を例示したが、本実施形態では、短絡欠陥 S a が検出された画素 P に対して、切断用のレーザー光 L を 3 箇所照射する液晶表示パネル 50 の製造方法を例示する。

[0075] 具体的には、欠陥修正工程において、欠陥検出工程で短絡欠陥 S a が検出された場合には、図 8 に示すように、短絡欠陥 S a が検出された第 1 副画素 P において、第 1 ソース電極 14 a b a の R a 部、並びにゲート線 11 a の R b 部及び R c 部にレーザー光 L をそれぞれ照射することにより、第 1 ソース電極 14 a b a を被切断部 C で切断すると共に、ゲート線 11 a を第 1 ゲート電極 11 a a の前側及び後側で切断することにより、第 1 ソース線 14 a 及びゲート線 11 a から第 1 T F T 5 a を分離する。その後、第 1 T F T 5 a が分離された第 1 副画素 P において、レーザー光の照射により、容量線 11 b と第 1 ドレイン電極 14 c a とを接続することにより、当該第 1 副画素 P a を黒点化する。これにより、本実施形態の短絡欠陥 S a が修正された液晶表示パネル 50 を製造することができる。

[0076] 以上説明したように、本実施形態の液晶表示パネル 50 及びその製造方法によれば、上記実施形態 1 と同様に、T F T 基板作製工程で作製された T F T 基板 20 では、各画素 P において、各第 1 ソース線 14 a 又は各第 2 ソース線 14 b が各ゲート線 11 a に沿って単一に引き出された後に第 1 副画素 P a 側に分岐した第 1 ソース電極 14 a b a と、第 2 副画素 P b 側に分岐した第 2 ソース電極 14 a b b とを備え、各ゲート線 11 a が各第 1 ソース線 14 a 又は各第 2 ソース線 14 b の分岐した部分、すなわち、第 1 ソース電極 14 a b a 及び第 2 ソース電極 14 a b b の部分で開口しているので、T

ＴＦＴ基板２０に設けられた各ＴＦＴ（第１ＴＦＴ５ａ及び第２ＴＦＴ５ｂ）のソース電極（第１ソース電極１４ａｂａ及び第２ソース電極１４ａｂｂ）と、対向基板３０の共通電極２２との間に発生した短絡欠陥Ｓａを可及的に容易に修正することができる。

[0077] また、本実施形態の液晶表示パネル５０の製造方法によれば、欠陥修正工程では、短絡した第１ソース電極１４ａｂａに対応する第１ゲート電極１１ａａをその第１ゲート電極１１ａａが接続されたゲート線１１ａから分離するので、短絡欠陥Ｓａが発生した第１副画素Ｐａの第１ＴＦＴ５ａと、それに対応するゲート線１１ａ及び第１ソース線１４ａとの電気的な接続が解除されることにより、第１ＴＦＴ５ａの短絡欠陥Ｓａに起因する不具合を低減することができる。

[0078] なお、上記各実施形態では、ＴＦＴを備えた液晶表示パネルを例示したが、本発明は、ＴＦＴ以外の３端子のスイッチング素子を備えた液晶表示パネルにも適用することができる。

[0079] また、上記各実施形態では、点灯検査後に短絡欠陥を修正する製造方法を例示したが、本発明は、ＴＦＴ基板作製工程で作製されたＴＦＴ基板に対して、電荷検出法などを用いたアレイ検査を行い、ＴＦＴのソース電極及びドレイン電極の間で発生した短絡欠陥を検出した後に、その短絡欠陥を修正することにより、パネル化した後に懸念される各ＴＦＴのソース電極と、対向基板の共通電極との間における短絡欠陥の発生を抑制する製造方法にも適用することができる。

[0080] また、上記各実施形態では、ボトムゲート構造のＴＦＴを備えた液晶表示パネルを例示したが、本発明は、トップゲート構造のＴＦＴを備えた液晶表示パネルにも適用することができる。

[0081] また、上記各実施形態では、各画素の間に第１ソース線及び第２ソース線の２本のソース線が設けられたＴＦＴ基板を備えた液晶表示パネルを例示したが、本発明は、各画素の間に１本のソース線が設けられたＴＦＴ基板を備えた液晶表示パネルにも適用することができる。

[0082] また、上記各実施形態では、画素電極に接続されたＴＦＴの電極をドレイン電極としたＴＦＴ基板を備えた液晶表示パネルを例示したが、本発明は、画素電極に接続されたＴＦＴの電極をソース電極と呼ぶＴＦＴ基板を備えた液晶表示パネルにも適用することができる。

産業上の利用可能性

[0083] 以上説明したように、本発明は、ＴＦＴ基板の各ＴＦＴのソース電極と、対向基板の共通電極との間に発生した短絡欠陥を容易に修正することができるので、液晶表示パネルを備えた液晶テレビなどについて有用である。

符号の説明

[0084] C	被切断部
L	レーザー光
P	画素
P a	第１副画素
P b	第２副画素
S a	短絡欠陥
5 a	第１ＴＦＴ
5 b	第２ＴＦＴ
1 1 a	ゲート線
1 1 a a	第１ゲート電極
1 1 a b	第２ゲート電極
1 3 a	第１半導体層
1 3 b	第２半導体層
1 4 a	第１ソース線
1 4 a b	引き出し部
1 4 b	第２ソース線
1 4 a b a	第１ソース電極
1 4 a b b	第２ソース電極
1 4 a b c	分岐部

2 0	T F T 基板
2 2	共通電極
3 0	対向基板
4 0	液晶層
5 0	液晶表示パネル（貼合体）

請求の範囲

[請求項1]

互いに隣り合う第1副画素及び第2副画素を有する画素と、該第1副画素及び第2副画素の間に配置されたゲート線と、該ゲート線と交差する方向の上記画素の縁に沿って配置されたソース線と、上記第1副画素に設けられた第1薄膜トランジスタと、該第1薄膜トランジスタに設けられた第1ソース電極と、上記第2副画素に設けられた第2薄膜トランジスタと、該第2薄膜トランジスタに設けられた第2ソース電極とを備えた薄膜トランジスタ基板と、

上記薄膜トランジスタ基板に対向して設けられ、共通電極を有する対向基板と、

上記薄膜トランジスタ基板及び対向基板の間に設けられた液晶層とを備え、

上記ソース線は、上記ゲート線に沿って延びる引き出し部、及び該引き出し部から上記第1ソース電極と上記第2ソース電極とに分岐する分岐部を有し、

上記ゲート線は、上記分岐部で開口している、液晶表示パネル。

[請求項2]

各々、互いに隣り合うように配置された第1副画素及び第2副画素を有し、マトリクス状に設けられた複数の画素と、該各画素の第1副画素及び第2副画素の間に、互いに平行に延びるようにそれぞれ設けられた複数のゲート線と、該各ゲート線と交差する方向の該各画素の間に、互いに平行に延びるようにそれぞれ設けられた複数のソース線と、上記各画素の第1副画素毎にそれぞれ設けられた複数の第1薄膜トランジスタと、上記各画素の第2副画素毎にそれぞれ設けられた複数の第2薄膜トランジスタとを備えた薄膜トランジスタ基板と、

上記薄膜トランジスタ基板に対向するように設けられ、共通電極を有する対向基板と、

上記薄膜トランジスタ基板及び対向基板の間に設けられた液晶層とを備え、

上記薄膜トランジスタ基板は、上記各画素において、上記各ソース線が上記各ゲート線に沿って単一に引き出された後に上記第1副画素側に分岐して上記各第1薄膜トランジスタの一部を構成する第1ソース電極と、上記第2副画素側に分岐して上記各第2薄膜トランジスタの一部を構成する第2ソース電極とを有し、

上記各ゲート線は、上記各ソース線の分岐した部分で開口している、液晶表示パネル。

[請求項3] 上記各ゲート線は、上記各ソース線の単一に引き出された部分で開口している、請求項2に記載の液晶表示パネル。

[請求項4] 上記各第1薄膜トランジスタは、島状に設けられた第1半導体層を有し、

上記第1ソース電極は、上記第1半導体層に重ならないように3 μ m以上の線状に形成された被切断部を有し、

上記各第2薄膜トランジスタは、島状に設けられた第2半導体層を有し、

上記第2ソース電極は、上記第2半導体層に重ならないように3 μ m以上の線状に形成された被切断部を有している、請求項2又は3に記載の液晶表示パネル。

[請求項5] 上記各第1薄膜トランジスタ及び各第2薄膜トランジスタは、上記隣り合う一対のソース線の間部分に設けられている、請求項2乃至4の何れか1つに記載の液晶表示パネル。

[請求項6] 各々、互いに隣り合うように配置された第1副画素及び第2副画素を有し、マトリクス状に設けられた複数の画素と、該各画素の第1副画素及び第2副画素の間に、互いに平行に延びるようにそれぞれ設けられた複数のゲート線と、該各ゲート線と交差する方向の該各画素の間に、互いに平行に延びるようにそれぞれ設けられた複数のソース線と、上記各画素の第1副画素毎にそれぞれ設けられた複数の第1薄膜トランジスタと、上記各画素の第2副画素毎にそれぞれ設けられた複

数の第2薄膜トランジスタとを備え、上記各画素において、上記各ソース線が上記各ゲート線に沿って単一に引き出された後に上記第1副画素側に分岐して上記各第1薄膜トランジスタの一部を構成する第1ソース電極と、上記第2副画素側に分岐して上記各第2薄膜トランジスタの一部を構成する第2ソース電極とを有し、上記各ゲート線が上記各ソース線の分岐した部分で開口した薄膜トランジスタ基板を作製する薄膜トランジスタ基板作製工程と、

共通電極を有する対向基板を作製する対向基板作製工程と、

上記薄膜トランジスタ基板作製工程で作製された薄膜トランジスタ基板、及び上記対向基板作製工程で作製された対向基板を液晶層を介して貼り合わせることにより、貼合体を作製する貼合体作製工程と、

上記貼合体作製工程で作製された貼合体の各画素において、上記第1ソース電極又は第2ソース電極と上記共通電極との間が短絡した短絡欠陥を検出する欠陥検出工程と、

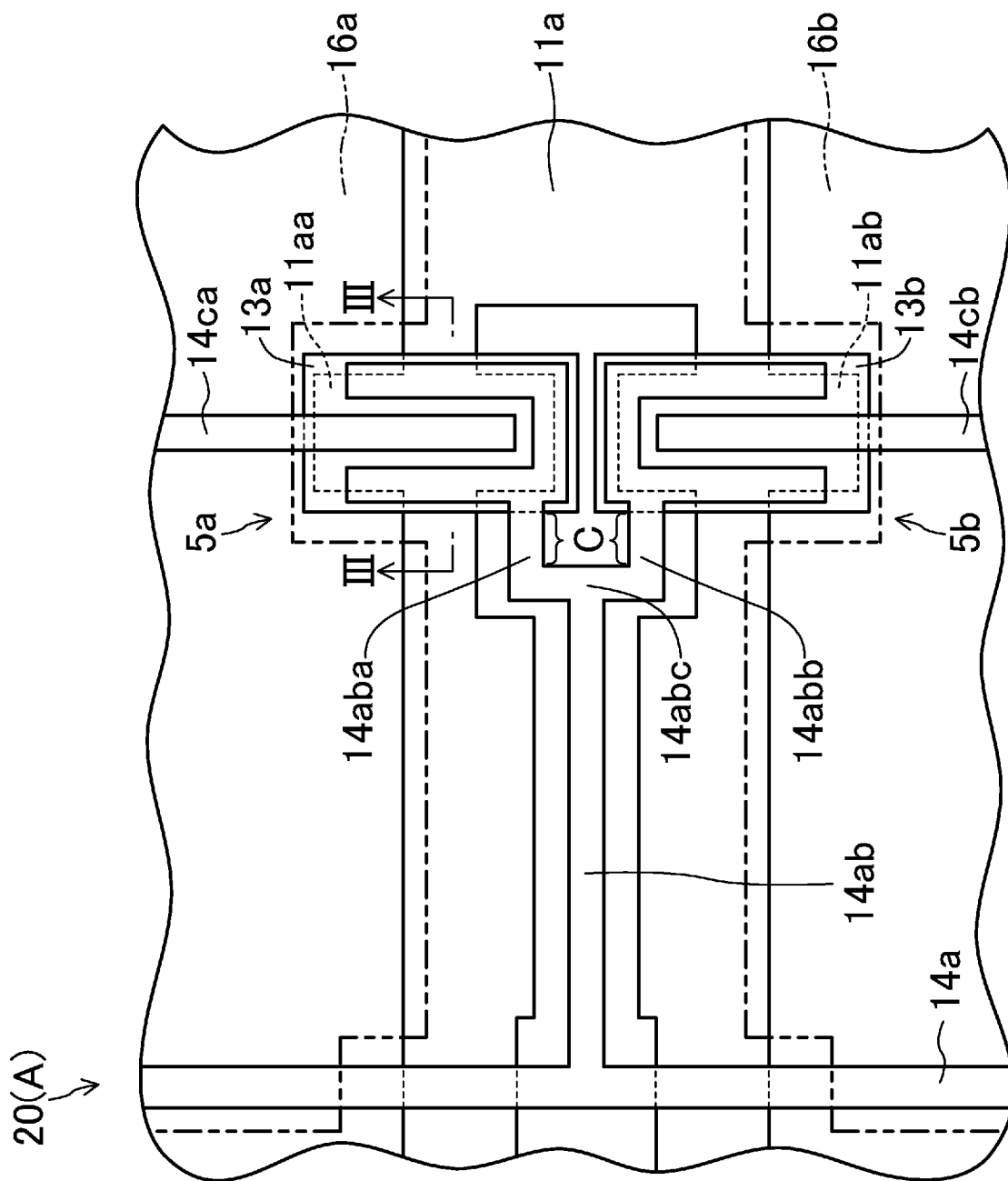
上記欠陥検出工程で短絡欠陥が検出された画素において、上記各ゲート線の開口した部分を介してレーザー光を照射することにより、上記短絡した第1ソース電極又は第2ソース電極を切断して、対応する上記第1薄膜トランジスタ又は第2薄膜トランジスタを該薄膜トランジスタが接続されたソース線から分離する欠陥修正工程とを備える、液晶表示パネルの製造方法。

[請求項7]

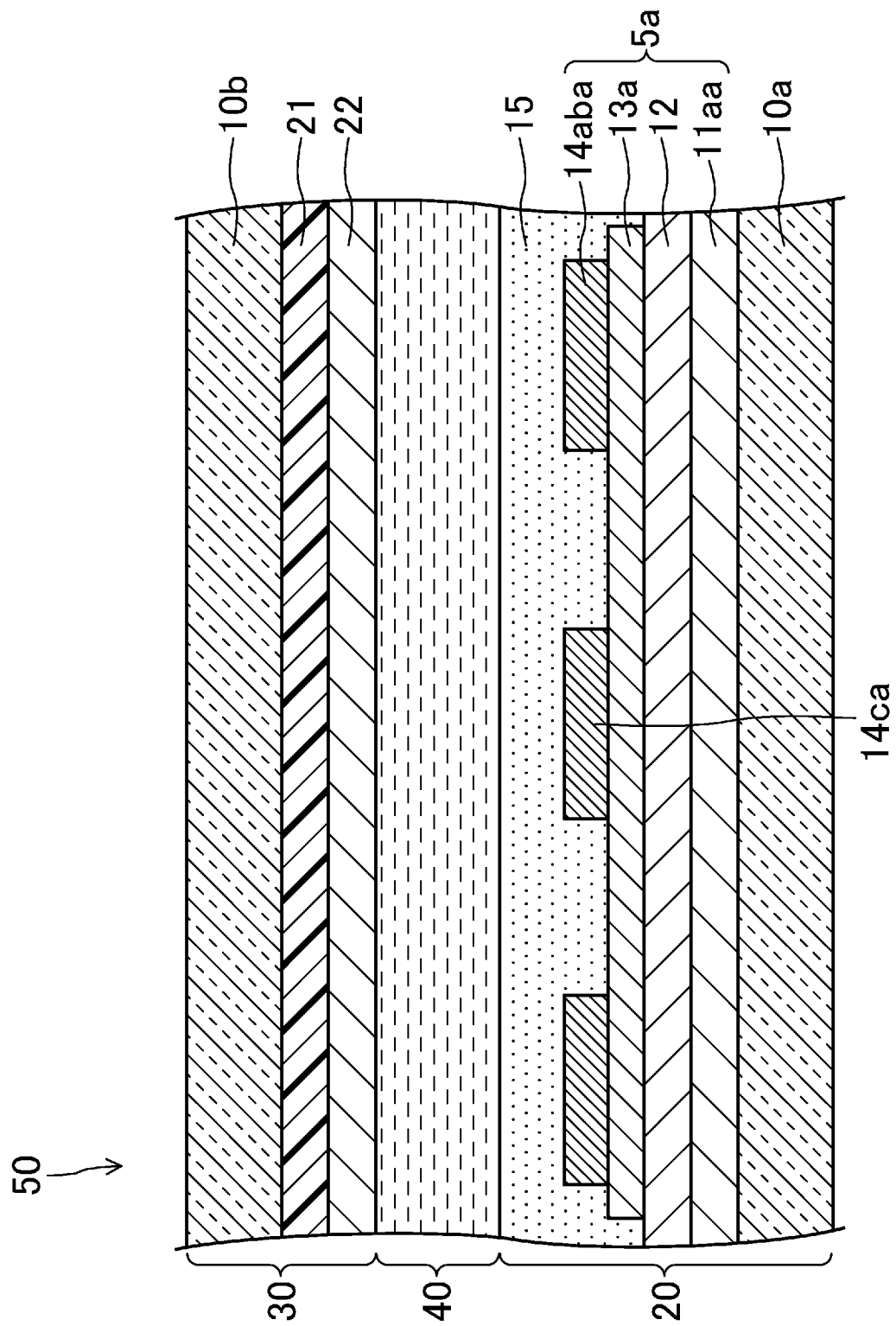
上記薄膜トランジスタ基板は、上記各画素において、上記各ゲート線が上記各第1薄膜トランジスタの一部を構成する第1ゲート電極と、該第1ゲート電極から離間して上記各第2薄膜トランジスタの一部を構成する第2ゲート電極とを有し、

上記欠陥修正工程では、上記短絡した第1ソース電極又は第2ソース電極に対応する上記第1ゲート電極又は第2ゲート電極を該ゲート電極が接続されたゲート線から分離する、請求項6に記載の液晶表示パネルの製造方法。

[図2]



[図3]



20

5a

14ca

13a

11aa

14aba

De

Dd

Dc

Df

Dg

Dh

11a

14abb

C

Da

Db

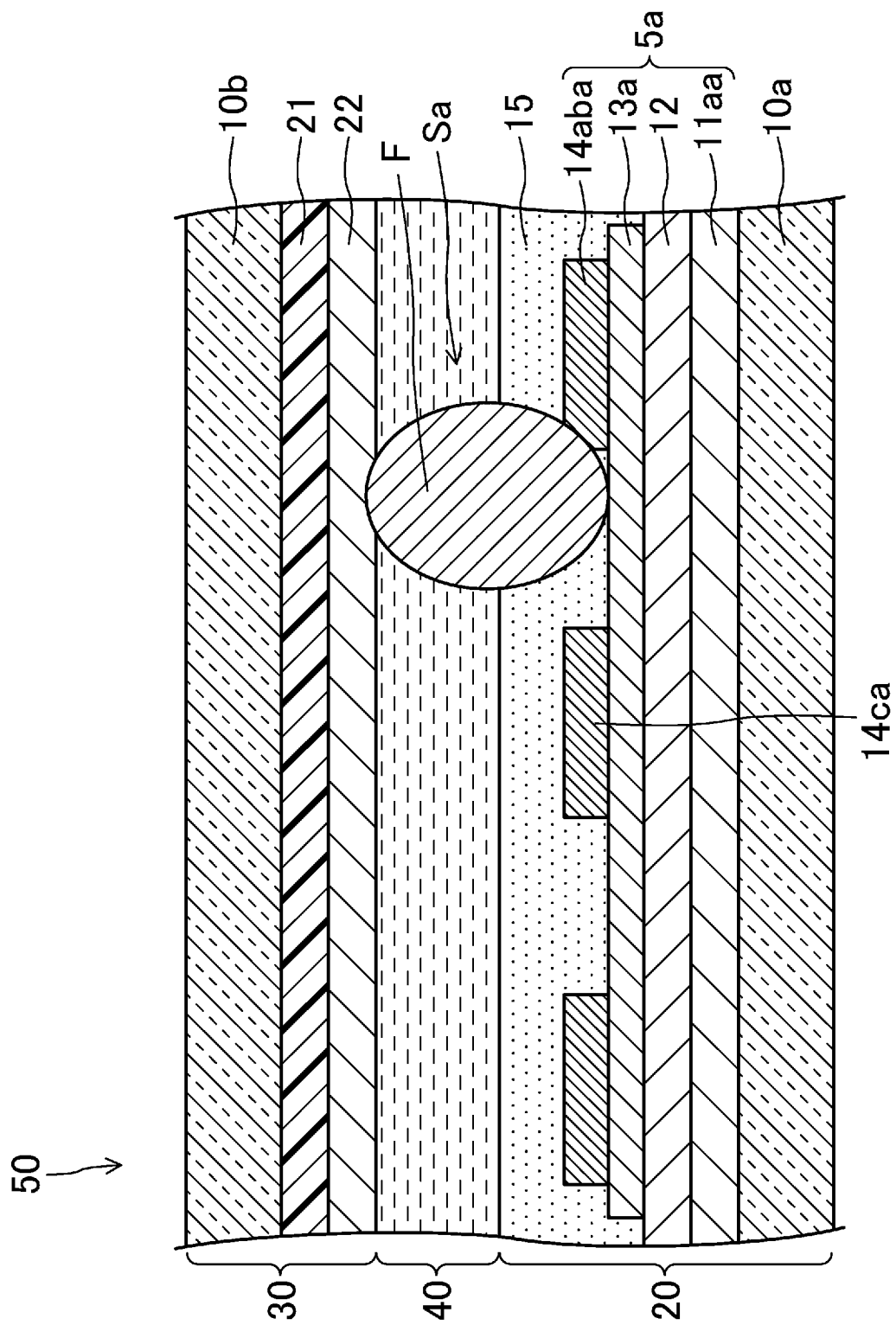
11ab

13b

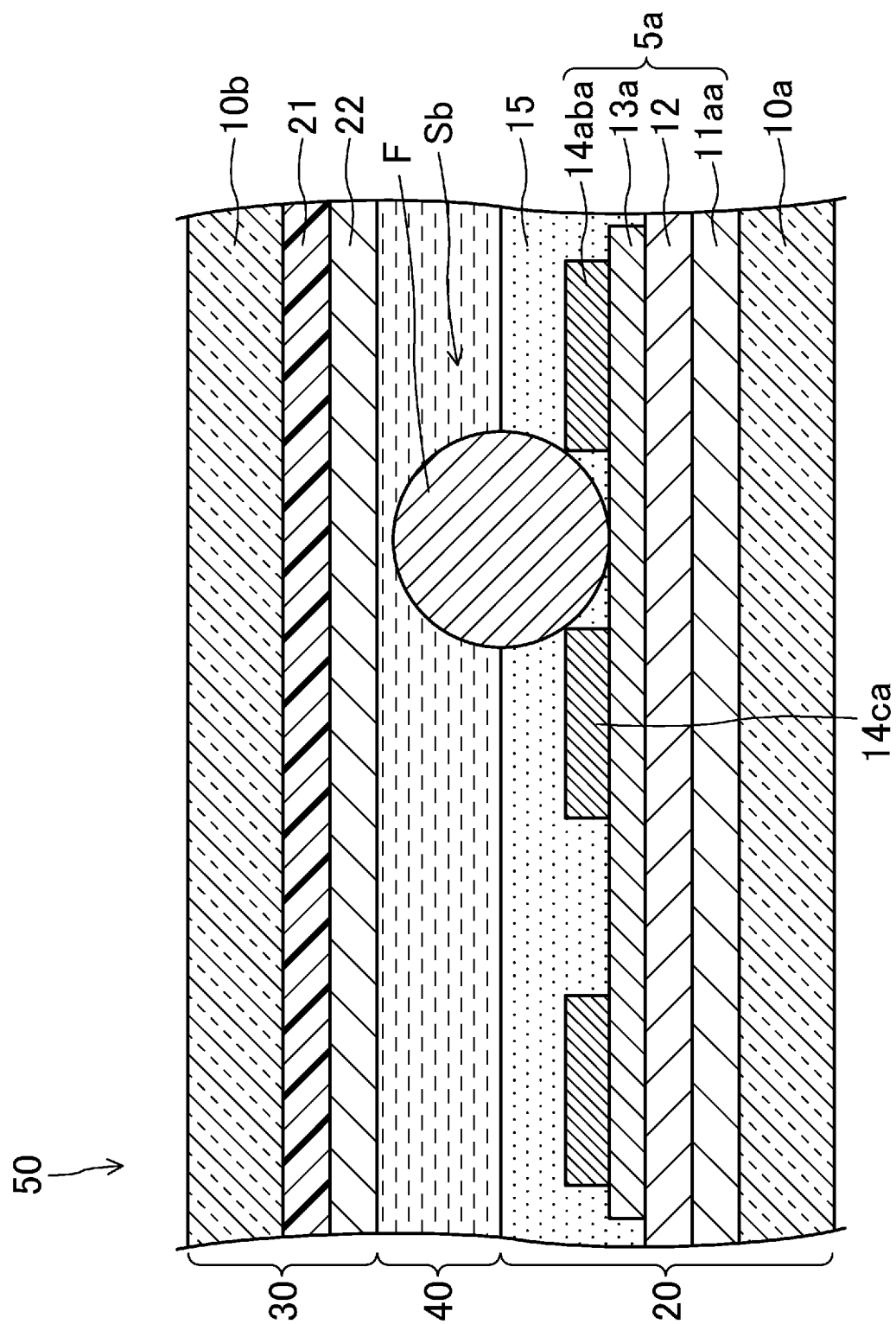
5b

14cb

[図5]

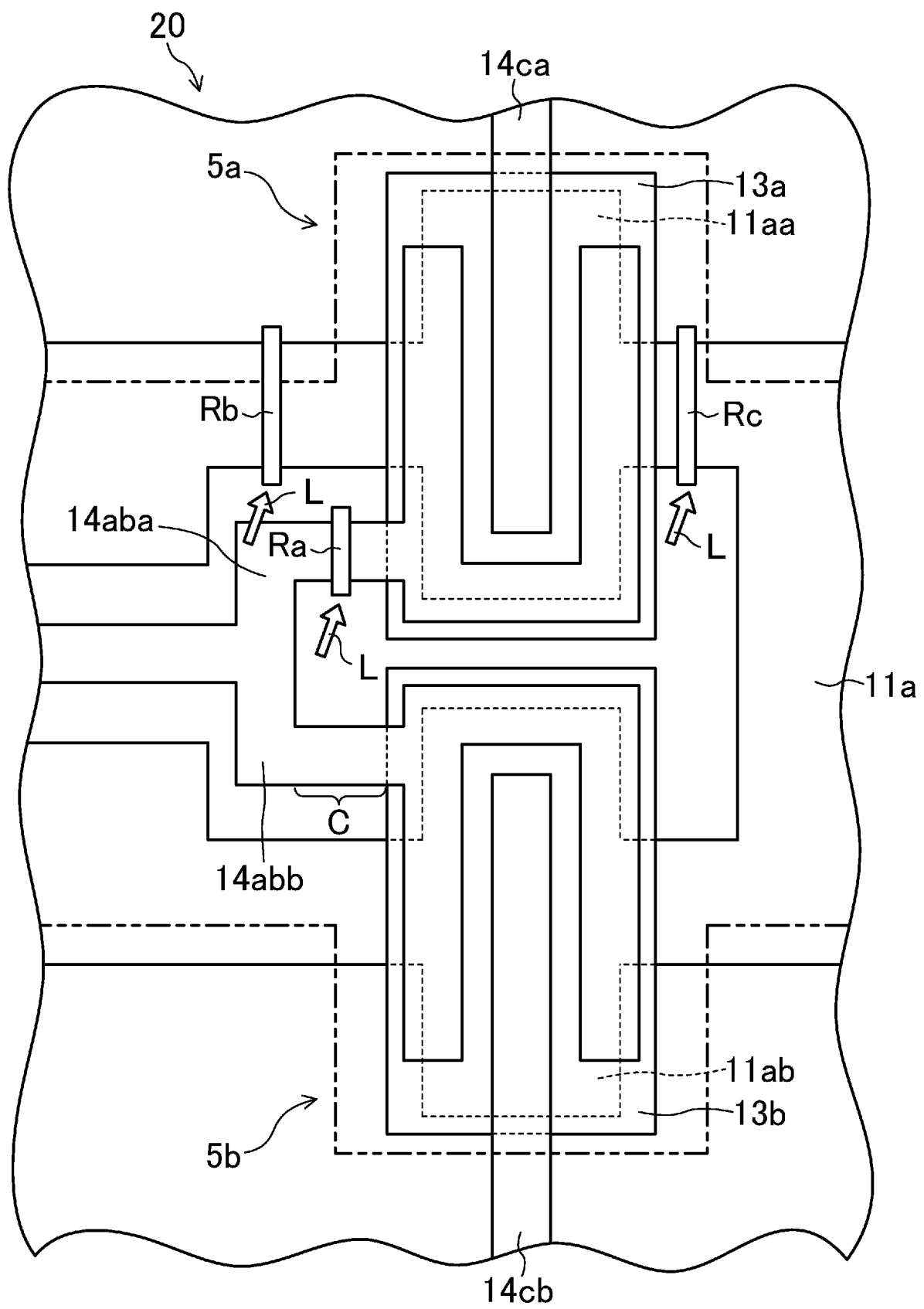


[図6]



[illegible]

[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/006723

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/13(2006.01)i, G02F1/1343(2006.01)i,
H01L21/336(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/13, G02F1/1343, H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/001578 A1 (Sharp Corp.), 31 December 2008 (31.12.2008), entire text; all drawings & US 2010/0109989 A1 & EP 2159632 A1 & CN 101646975 A	1-7
A	WO 2006/064789 A1 (Sharp Corp.), 22 June 2006 (22.06.2006), entire text; all drawings & JP 2011-191791 A & US 2009/0262274 A1 & US 2010/0296020 A1	1-7
A	JP 2008-089646 A (Sharp Corp.), 17 April 2008 (17.04.2008), entire text; all drawings (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 November, 2012 (28.11.12)

Date of mailing of the international search report
11 December, 2012 (11.12.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/006723

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-163943 A (Samsung Electronics Co., Ltd.), 10 June 2004 (10.06.2004), entire text; all drawings & US 2004/0094766 A1 & US 2006/0072048 A1 & US 2010/0149447 A1 & KR 10-2004-0042412 A & CN 1501152 A	1-7

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G02F1/1368(2006.01)i, G02F1/13(2006.01)i, G02F1/1343(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G02F1/1368, G02F1/13, G02F1/1343, H01L21/336, H01L29/786			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1 9 2 2－1 9 9 6 年 1 9 7 1－2 0 1 2 年 1 9 9 6－2 0 1 2 年 1 9 9 4－2 0 1 2 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	WO 2009/001578 A1（シャープ株式会社） 2008.12.31, 全文、全図 & US 2010/0109989 A1 & EP 2159632 A1 & CN 101646975 A	1-7	
A	WO 2006/064789 A1（シャープ株式会社） 2006.06.22, 全文、全図 & JP 2011-191791 A & US 2009/0262274 A1 & US 2010/0296020 A1	1-7	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願			
の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 2 8 . 1 1 . 2 0 1 2		国際調査報告の発送日 1 1 . 1 2 . 2 0 1 2	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 福田 知喜 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5	2 L 3 7 0 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-089646 A (シャープ株式会社) 2008.04.17, 全文、全図 (ファミリーなし)	1-7
A	JP 2004-163943 A (三星電子株式会社) 2004.06.10, 全文、全図 & US 2004/0094766 A1 & US 2006/0072048 A1 & US 2010/0149447 A1 & KR 10-2004-0042412 A & CN 1501152 A	1-7