

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7224930号  
(P7224930)

(45)発行日 令和5年2月20日(2023.2.20)

(24)登録日 令和5年2月10日(2023.2.10)

(51)国際特許分類	F I
H 0 4 N 25/767 (2023.01)	H 0 4 N 5/374 2 0 0
H 0 4 N 25/531 (2023.01)	H 0 4 N 5/353 2 0 0
H 0 4 N 25/76 (2023.01)	H 0 4 N 5/374
H 0 4 N 25/40 (2023.01)	H 0 4 N 5/341

請求項の数 8 (全15頁)

(21)出願番号	特願2019-9316(P2019-9316)	(73)特許権者	000001007 キャノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成31年1月23日(2019.1.23)	(74)代理人	100090273 弁理士 國分 孝悦
(65)公開番号	特開2020-120247(P2020-120247 A)	(72)発明者	青山 祐三 東京都大田区下丸子3丁目30番2号 キャノン株式会社内
(43)公開日	令和2年8月6日(2020.8.6)	審査官	西谷 憲人
審査請求日	令和4年1月21日(2022.1.21)		

最終頁に続く

(54)【発明の名称】 撮像装置及び撮像装置の制御方法

(57)【特許請求の範囲】

【請求項1】

複数の画素を有し、前記複数の画素のうちの第1の画素群により取得された第1の画像信号、及び前記複数の画素のうちの第2の画素群により取得された第2の画像信号を同時に読み出すように構成された撮像素子と、  
前記撮像素子から前記第1の画像信号及び前記第2の画像信号が同時に読み出されるときには垂直同期信号を高フレームレートに対応する画像信号の読み出し周期に同期させるよう前記垂直同期信号を制御し、前記撮像素子に係る低消費電力制御が行われる場合、前記撮像素子から前記第1の画像信号のみが読み出されるときには前記撮像素子が低消費電力状態である期間を増大させるよう前記垂直同期信号を制御することを含む処理を実行するための命令であって、メモリに記憶された前記命令を実行するプロセッサを有する制御手段とを有することを特徴とする撮像装置。

【請求項2】

前記撮像素子に係る前記低消費電力制御が行われる場合、前記撮像素子から前記第1の画像信号のみが読み出されるときには前記撮像素子が前記低消費電力状態である期間が最大となるよう前記垂直同期信号を制御することを特徴とする請求項1記載の撮像装置。

【請求項3】

前記第1の画像信号は、前記垂直同期信号が複数回入力される毎に前記撮像素子から読み出される画像信号であり、

前記第1の画像信号の1フレーム期間が前記撮像素子からの前記第1の画像信号の読み

出しにかかる時間より長い場合に前記撮像素子に係る低消費電力制御を行うことを特徴とする請求項 1 又は 2 記載の撮像装置。

【請求項 4】

前記第 2 の画像信号のフレームレートは、前記第 1 の画像信号のフレームレートよりも速いことを特徴とする請求項 1 ~ 3 の何れか 1 項に記載の撮像装置。

【請求項 5】

前記第 2 の画像信号は、前記垂直同期信号が入力される毎に前記撮像素子から読み出される画像信号であることを特徴とする請求項 1 ~ 4 の何れか 1 項に記載の撮像装置。

【請求項 6】

前記第 1 の画像信号はライブビュー表示に用いられる画像信号であり、前記第 2 の画像信号はオートフォーカス制御に用いられる画像信号であることを特徴とする請求項 1 ~ 5 の何れか 1 項に記載の撮像装置。

10

【請求項 7】

複数の画素を有し、前記複数の画素のうちの第 1 の画素群により取得された第 1 の画像信号、及び前記複数の画素のうちの第 2 の画素群により取得された第 2 の画像信号を同時に読み出すように構成された撮像素子を有する撮像装置の制御方法であって、前記撮像素子から前記第 1 の画像信号及び前記第 2 の画像信号が同時に読み出されるときには垂直同期信号を高フレームレートに対応する画像信号の読み出し周期に同期させるよう前記垂直同期信号を制御し、

前記撮像素子に係る低消費電力制御が行われる場合、前記撮像素子から前記第 1 の画像信号のみが読み出されるときには前記撮像素子が低消費電力状態である期間を増大させるよう前記垂直同期信号を制御することを特徴とする撮像装置の制御方法。

20

【請求項 8】

複数の画素を有し、前記複数の画素のうちの第 1 の画素群により取得された第 1 の画像信号、及び前記複数の画素のうちの第 2 の画素群により取得された第 2 の画像信号を同時に読み出すように構成された撮像素子を有する撮像装置のコンピュータに、前記撮像素子から前記第 1 の画像信号及び前記第 2 の画像信号が同時に読み出されるときには垂直同期信号を高フレームレートに対応する画像信号の読み出し周期に同期させるよう前記垂直同期信号を制御する処理と、

前記撮像素子に係る低消費電力制御が行われる場合、前記撮像素子から前記第 1 の画像信号のみが読み出されるときには前記撮像素子が低消費電力状態である期間を増大させるよう前記垂直同期信号を制御する処理を実行させるためのプログラム。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置及び撮像装置の制御方法に関する。

【背景技術】

【0002】

近年の撮像装置においては、撮像素子から複数の画像信号を異なる信号チャンネルで同時に読み出す技術を採用することにより、高解像度の映像撮影とともに撮影機能の付加価値を高めることが可能となっている。例えば、特許文献 1 には、次のような技術が提案されている。撮像素子を構成する画素のうちの第 1 の画素群によって第 1 の画像信号を取得し、第 1 の画像信号よりも速いフレームレートで第 2 の画素群によって第 2 の画像信号を取得する。そして、それぞれ取得した第 1 の画像信号を映像表示のために使い、第 2 の画像信号をオートフォーカス制御のために使い、さらに第 1 の画像信号と第 2 の画像信号とを合成して合焦時の映像表示に使うことで合焦確認を円滑かつ正確に行う技術が提案されている。

40

【先行技術文献】

【特許文献】

【0003】

50

【文献】特開 2017 - 34344 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

また、回路を動作させないときには、その回路への電力供給を遮断することにより消費電力を低減する省電力制御を行う装置がある。そこで、本発明は、撮像素子から複数の画像信号を同時に読み出すことができる撮像装置において、画像信号の適切な読み出し及び消費電力の低減を可能にすることを目的とする。

【課題を解決するための手段】

【0005】

本発明に係る撮像装置は、複数の画素を有し、前記複数の画素のうちの第1の画素群により取得された第1の画像信号、及び前記複数の画素のうちの第2の画素群により取得された第2の画像信号を同時に読み出すように構成された撮像素子と、前記撮像素子から前記第1の画像信号及び前記第2の画像信号が同時に読み出されるときには垂直同期信号を高フレームレートに対応する画像信号の読み出し周期に同期させるよう前記垂直同期信号を制御し、前記撮像素子に係る低消費電力制御が行われる場合、前記撮像素子から前記第1の画像信号のみが読み出されるときには前記撮像素子が低消費電力状態である期間を増大させるよう前記垂直同期信号を制御することを含む処理を実行するための命令であって、メモリに記憶された前記命令を実行するプロセッサを有する制御手段とを有することを特徴とする。

【発明の効果】

【0006】

本発明によれば、撮像素子から複数の画像信号を同時に読み出すことができる撮像装置において、画像信号の適切な読み出し及び消費電力の低減が可能となる。

【図面の簡単な説明】

【0007】

【図1】本実施形態における撮像素子の構成例を示す図である。

【図2】本実施形態における撮像素子の外形構成の例を示す図である。

【図3】本実施形態における画素部及びカラムADC部の構成例を示す図である。

【図4】本実施形態における撮像素子の構成例を示す断面図である。

【図5】本実施形態における撮像装置の構成例を示す図である。

【図6】本実施形態における撮像装置の動作例を示すタイミングチャートである。

【図7】本実施形態における複数の画像信号を出力しない場合の動作例を説明する図である。

【図8】本実施形態における複数の画像信号を出力する場合の動作例を説明する図である。

【図9】本実施形態における撮像装置の動作例を示すフローチャートである。

【発明を実施するための形態】

【0008】

以下、本発明の実施形態を図面に基づいて説明する。

【0009】

図1は、本発明の一実施形態における撮像素子10の概略構成例を示すブロック図である。撮像素子10は、全体制御演算部30により制御され、撮像して得られる画像信号を撮像信号処理回路20に出力する。撮像素子10は、画素部101、垂直出力線102、転送信号線103、リセット信号線104、行選択信号線105、カラムアナログ・デジタル変換部(カラムADC部)111、行走査回路112、及び列走査回路113を有する。また、撮像素子10は、タイミング制御回路114、水平信号線115-a、115-b、切り替えスイッチ116、フレームメモリ117、リサイズ変換部118、素子内演算部119、及びパラレル・シリアル変換部(P/S変換部)120を有する。

【0010】

撮像素子10は、例えば図2に一例を示すように第1のチップ100と第2のチップ1

10

20

30

40

50

10 とにより構成され、第2のチップ110上に第1のチップ100が積層されている。図2(a)は撮像素子10を光の入射する側の斜め上から見た図であり、図2(b)は撮像素子10の断面図である。例えば、複数の画素部101がマトリクス状(2次元状)に配列されて、光入射側に配置される(つまり、光学像の受光側に位置する)第1のチップ(撮像層)100に形成される。また、例えば、カラムADC111、行走査回路112、列走査回路113、及びタイミング制御回路114等の画素駆動回路が第2のチップ(回路層)110に形成される。また、例えば、フレームメモリ117、リサイズ変換部118、素子内演算部119、及びP/S変換部120が第2のチップ(回路層)110に形成される。第1のチップ100と第2のチップ110とは、マイクロバンプ201及び各チップのマイクロパッド202により電氣的に接続される。このように、第1のチップ100に画素部101を形成し、第2のチップ110に画素駆動回路やメモリ回路や演算回路等を形成することで、撮像素子10の撮像層と回路層とで製造プロセスを分けることが可能となる。その結果、回路層における配線の細線化、高密度化による撮像素子10の高速化、小型化、及び高機能化を図ることができる。

#### 【0011】

画素部101は、マトリクス状に配列されており、入射光を電気信号に光電変換して出力する。画素部101は、水平方向(行方向)において、転送信号線103、リセット信号線104、及び行選択信号線105に接続され、垂直方向(列方向)において、垂直出力線102に接続される。なお、垂直出力線102の各々は、読み出し行単位に応じて接続先が異なっている。

#### 【0012】

カラムADC部111は、垂直出力線202に接続され、垂直出力線202を介して入力されるアナログ電圧信号をデジタル信号に変換する。行走査回路112は各行の走査を行い、列走査回路113は各列の走査を行う。タイミング制御回路114は、全体制御演算部30の制御下で、行走査回路112、列走査回路113、及びカラムADC部111の動作タイミングを制御する。水平信号線115-a、115-bは、列走査回路113によってそれぞれ制御されるタイミングに応じて、カラムADC部111から出力される出力信号(画像信号)を切り替えスイッチ116に出力する。

#### 【0013】

切り替えスイッチ116は、チャンネル毎の水平信号線115-a、115-bから出力される画像信号を順次フレームメモリ117へ選択的に出力するためのスイッチである。フレームメモリ117は、切り替えスイッチ116より出力された画像信号を画像データとして一時的に記憶する。素子内演算部119は、駆動モードに応じてリサイズや圧縮の演算を行う。リサイズ変換部118は、素子内演算部119にて算出された結果を基にフレームメモリ117に保存された画像データを必要な画角にリサイズする。

#### 【0014】

リサイズ変換部118においてリサイズされた画像データは、P/S変換部120にてパラレル・シリアル変換されて、撮像素子10外の撮像信号処理回路20へと送られる。撮像素子10と撮像信号処理回路20とは、複数のレーンで接続されている。本実施形態では、駆動モードに応じて、異なる画素の信号や同一の画素の信号が、第1のレーン121及び第2のレーン122に振り分けて、或いは第1のレーン121のみを用いて、撮像素子10から撮像信号処理回路20へ転送される。なお、リサイズや圧縮の処理が不要である場合には、切り替えスイッチ116から直接P/S変換部120への画像信号の転送が行われる。

#### 【0015】

図3は、本実施形態における撮像素子10の画素部101及びカラムADC部111の構成例を示す図である。図3に示すように、画素部101は、フォトダイオード301、転送トランジスタ302、リセットトランジスタ303、増幅トランジスタ304、選択トランジスタ305、及びフローティングディフュージョン(FD部)206を有する。また、カラムADC部111は、比較器311、アップダウンカウンタ312、メモリ3

10

20

30

40

50

13、及びデジタル・アナログ変換器(DAC)314を有する。図3に示す例では、トランジスタ302~305として、例えばNチャネル型のMOSトランジスタを用いているが、これに限定されるものではない。

【0016】

フォトダイオード301は、受光した光をその光量に応じた電荷量の光電荷(ここでは、電子)に光電変換する。フォトダイオード301のアノードは、接地されている。フォトダイオード301のカソードは、転送トランジスタ302を介して増幅トランジスタ304のゲートと電氣的に接続されている。この増幅トランジスタ304のゲートと電氣的に繋がったノードはFD部306を構成する。

【0017】

転送トランジスタ302は、フォトダイオード301のカソードとFD部306との間に接続される。転送トランジスタ302は、ゲートに図示しない転送信号線103を介して転送パルスTRSが与えられることによってオン状態となり、フォトダイオード301で光電変換された光電荷をFD部306に転送する。

【0018】

リセットトランジスタ303は、ドレインが画素電源Vddに接続され、ソースがFD部306に接続される。リセットトランジスタ303は、ゲートに図示しないリセット信号線104を介してリセットパルスRSTが与えられることによってオン状態となる。これにより、フォトダイオード301からFD部306への信号電荷の転送に先立って、FD部306の電荷を画素電源Vddに捨てることによってFD部306の電位が画素電源Vddにリセットされる。

【0019】

増幅トランジスタ304は、ゲートがFD部306に接続され、ドレインが画素電源Vddに接続される。増幅トランジスタ304は、FD部306に蓄積された電荷を電圧信号に変換する。増幅トランジスタ304は、リセットトランジスタ303によってリセットした後のFD部306の電位をリセットレベルとして出力する。また、増幅トランジスタ304は、転送トランジスタ302によって信号電荷を転送した後のFD部306の電位を信号レベルとして出力する。

【0020】

選択トランジスタ305は、例えば、ドレインが増幅トランジスタ304のソースに接続され、ソースが垂直出力線102に接続される。選択トランジスタ305は、ゲートに図示しない行選択信号線105を介して選択パルスSELが与えられることによってオン状態となる。これにより、画素101を選択状態として、増幅トランジスタ304から出力される信号が垂直出力線102に出力される。画素部101から垂直出力線102を介して出力される画像信号は、カラムADC部111に伝送される。

【0021】

なお、選択トランジスタ305は、画素電源Vddと増幅トランジスタ304のドレインとの間に接続するようにしても良い。また、画素部101としては、図3に示した4トランジスタ構成のものに限られるものではなく、増幅トランジスタ304と選択トランジスタ305を兼用した3トランジスタ構成のもの等であっても良い。

【0022】

比較器311は、一对の入力端子の一方に垂直出力線102が接続され、他方にDAC314が接続される。DAC314は、タイミング制御回路114から入力される基準信号に基づいてレベルがランプ的に変化するランプ信号を出力する。すなわち、ランプ信号は、出力が開始されてから時間の経過とともに信号のレベルが一方向に(増加又は減少の一方で)変化する信号である。タイミング制御回路114は、全体制御演算部30からの指令に基づきDAC314へ基準信号を出力する。

【0023】

そして比較器311は、DAC314から入力されるランプ信号のレベルと、垂直出力線102から入力される画像信号のレベルとを比較する。例えば、比較器311は、画像

10

20

30

40

50

信号のレベルがランプ信号のレベルより低い場合にはハイレベルの比較信号を出力し、画像信号のレベルがランプ信号のレベルより高い場合にはローレベルの比較信号を出力する。

【0024】

アップダウンカウンタ312は、比較器311に接続される。アップダウンカウンタ312は、例えば比較信号がハイレベルとなる期間、又はローレベルとなる期間をカウントする。このカウント処理により、各画素部101の出力信号(アナログ画像信号)がデジタル値に変換される。なお、比較器311とアップダウンカウンタ312との間にアンド回路を設けてアンド回路にパルス信号を入力し、このパルス信号の個数をアップダウンカウンタ312によりカウントするようにしてもよい。

【0025】

メモリ313は、アップダウンカウンタ312と接続され、アップダウンカウンタ312によりカウントされたカウント値を記憶する。なお、コラムADC部111は、画素部101のリセット時の画像信号に基づきリセットレベルに対応したカウント値をカウントし、また、所定の撮像時間後の画像信号に基づくカウント値をカウントして、これらの差分値をメモリ313に記憶させてもよい。その後、メモリ313に記憶された画像信号は、列走査回路113からの信号に同期して、水平信号線115-a、115-bに伝送される。

【0026】

図4は、図1~図3に示した本実施形態における撮像素子10の断面構造の例を示す図である。図4において、401は撮像層、402は回路層であり、撮像層401が第1のチップ100に該当し、回路層402が第2のチップ110に該当する。また、図4において、403、405はSi基板、404、406は配線層、407、409、410はn型拡散領域、408はp+拡散領域、411、417はトランジスタのゲート配線である。また、図4において、412、418は信号伝搬用配線、413、419はマイクロパッド、414、420はビア(VIA)、415はマイクロバンプ、416はトランジスタの拡散領域である。

【0027】

撮像層401は、Si基板403上に配線層404が形成されている。Si基板403には、フォトダイオード301としてのn型拡散領域407が形成され、フォトダイオード301の表面部(配線層404との境界部)にはp+拡散領域408が形成されている。Si基板403には、その表面部にFD部のn+拡散領域409及びスイッチ用トランジスタのn+拡散領域410が複数形成されている。

【0028】

配線層404には、SiO<sub>2</sub>等の絶縁層内に、各トランジスタのゲート配線411や信号伝搬用配線412が形成され、さらにその表面部にはCu等により形成されるマイクロパッド413が形成されている。n+拡散領域409、n+拡散領域410とトランジスタのゲート配線411から転送トランジスタ302、リセットトランジスタ303、増幅トランジスタ304、選択トランジスタ305がそれぞれ構成される。配線層404には、n+拡散領域410をマイクロパッド413と接続するためのビア414が形成されている。

【0029】

回路層402は、Si基板405上に配線層406が形成されている。Si基板405には、表面部にトランジスタの拡散領域416が複数形成されている。配線層406には、SiO<sub>2</sub>等の絶縁層内に、各トランジスタのゲート配線417や信号伝搬用配線418が形成され、さらにその表面部にはCu等により形成されるマイクロパッド419が形成されている。トランジスタ拡散領域416やトランジスタのゲート配線417や信号伝搬用配線418等から各種回路が構成される。回路断面の詳細は本発明の本質ではないため、ここでは説明を省略する。配線層406には、拡散領域416等をマイクロパッド419と接続するためのビア420が形成されている。

【0030】

10

20

30

40

50

なお、図4には、撮像層401及び回路層402を積層接続端子としてマイクロバンプを用いて接続する構成例を示したが、マイクロバンプを用いずに直接接続することも可能である。

#### 【0031】

図5は、図1～4で説明した撮像素子10を用いた撮像装置の構成例を示すブロック図である。本実施形態における撮像装置は、レンズ501、レンズ駆動部502、メカニカルシャッタ503、絞り504、シャッタ・絞り駆動部505、撮像素子10、撮像信号処理回路507、第1のメモリ部508、及び全体制御演算部30を有する。本実施形態における撮像装置は、記録媒体制御インターフェイス部（記録媒体制御I/F部）510、表示部511、記録媒体512、外部インターフェイス部（外部I/F部）513、第2のメモリ部514、操作部515を有する。

10

#### 【0032】

本実施形態における撮像装置において、レンズ部501を通った被写体像は絞り504にて適切な光量に調整され、撮像素子10上の撮像面に結像される。撮像素子10上の撮像面に結合した被写体像は、画素部101のフォトダイオード301にて光電変換され、さらにゲイン調整やアナログ信号からデジタル信号への変換を行うA/D変換が行われ、R、Gr、Gb、Bの画像信号として取り込まれる。そして、このR、Gr、Gb、Bの画像信号が撮像信号処理回路20に送られる。撮像信号処理回路20では、画像信号に対してノイズを軽減するローパスフィルタ処理やシェーディング処理、ホワイトバランス処理等の各種の画像信号処理、さらに各種の補正、画像データの圧縮等が行われる。

20

#### 【0033】

レンズ部501は、レンズ駆動部502によってズーム、フォーカス等が駆動制御される。メカニカルシャッタ503及び絞り504は、シャッタ・絞り駆動部505によって駆動制御される。全体制御演算部30は、撮像装置全体の制御と各種演算を行う。第1のメモリ部508は、画像データを一時的に記憶する。記録媒体制御I/F部510は、記録媒体512に対する画像データの記録又は読み出しの制御を行う。表示部511は、画像データの表示等を行う。記録媒体512は、半導体メモリ等の着脱可能な記録媒体であり、画像データの記録又は読み出しを行う。外部I/F部513は、外部コンピュータ等と通信を行うためのインターフェイスである。第2のメモリ部514は、全体制御演算部30での演算結果等を記憶する。操作部515にてユーザーが設定した撮像装置の駆動条件に関する情報は、全体制御演算部30に送られ、これらの情報に基づいて撮像装置全体の制御が行われる。

30

#### 【0034】

図6は、本実施形態における撮像装置の動作例を示すタイミングチャートである。以下では、撮像素子10と撮像信号処理回路20とは8本の線（Lane0-7）で結線されているものとする。そして、ストリームAの画像信号が伝送される第1のレーン121がLane0-1の2本であり、ストリームBの画像信号が伝送される第2のレーン122がLane2-3の2本であるとする。また、ストリームAの画像信号はライブビュー表示用の画像信号であり、ストリームBの画像信号はオートフォーカス（AF）制御に係るAF評価値の算出用の画像信号であるとする。

40

#### 【0035】

ライブビュー表示状態でオートフォーカス非動作であるときには、第1のレーン121のLane0、Lane1の2本のみが動作しており、2本のレーンからストリームAの1つの画像信号（フレームデータ）601が出力される（状態A）。ここで出力されるデータは、ライブビュー画像用に加算間引きした画像信号が出力される。

#### 【0036】

ユーザーによりリリースボタンが半押しされてオートフォーカス動作の指示があると、撮像素子10のストリームAについては動作したままで、ストリームBについても同時に動作する（状態B）。したがって、第1のレーン121からはストリームAの画像信号601が出力され、第2のレーン122からはストリームBの画像信号602が出力される

50

。ここで、ストリーム B の画像信号としては、A F 評価値の算出用に加算間引きした画像信号が出力される。また、ストリーム B については高速フレームレートでの読み出しが可能であり、図 6 ではストリーム B のフレームレートがストリーム A のフレームレートの 8 倍である場合を一例として示している。

**【 0 0 3 7 】**

その後、レンズ駆動部 5 0 2 を介してレンズ 5 0 1 をフォーカス駆動させて A F 評価値が合焦状態を示すようになると合焦状態であることをユーザーに通知して、ストリーム B についての動作を停止し、ストリーム A だけの状態に戻る（状態 C）。したがって、第 2 のレーン 1 2 2 からストリーム B の画像信号は出力されず、第 1 のレーン 1 2 1 からストリーム A の画像信号 6 0 1 が出力されるだけとなる。

10

**【 0 0 3 8 】**

図 7 は、低消費電力制御が行われている状態で、ストリーム B について動作せず、ストリーム A の画像信号のみを読み出すときの撮像素子 1 0 の動作を示している。

**【 0 0 3 9 】**

撮像素子 1 0 では、画像信号を出力する画素群に関して、リセット区間 7 0 1 で画素群のリセット動作が行われる。そして、蓄積時間後の画像信号の読み出し区間 7 0 2 において、各行順に画素群から信号が読み出されて画素信号として出力される。ここで、本実施形態では、例えば低輝度環境下で画像を適正露出にするために長時間蓄積を行うとき 1 フレーム期間が延長される。そして、1 フレーム期間が延長されて画像信号の読み出し時間（ $t_r$ ）より 1 フレーム時間（ $T_F$ ）が長くなる場合、本実施形態における撮像装置は、撮像素子 1 0 に係る低消費電力制御を行う。撮像素子 1 0 に係る低消費電力制御では、撮像素子 1 0 を最小限の回路にだけ電力供給するスタンバイ状態にして消費電力を低減させる。

20

**【 0 0 4 0 】**

撮像素子 1 0 の駆動タイミングは、全体制御演算部 2 0 から入力される垂直同期信号により規定される。ここでは、ストリーム A における 1 フレーム期間（ $T_F$ ）に、8 回の垂直同期信号が発生されるものとする。すなわち、ストリーム A の画像信号は、垂直同期信号が 8 回入力される毎に撮像素子 1 0 から読み出されるものとする。なお、この例に限らず、ストリーム A の画像信号は、垂直同期信号が任意の複数回入力される毎に撮像素子 1 0 から読み出すようにしてもよい。

30

**【 0 0 4 1 】**

時刻  $T_{71}$  において入力される 1 回目の垂直同期信号により、撮像素子 1 0 は、ストリーム A の画像信号の読み出しを開始する。時刻  $T_{71}$  において開始した画像信号の読み出しが終了する、読み出し時間（ $t_r$ ）が経過した後の時刻  $T_{72}$  において、2 回目の垂直同期信号が撮像素子 1 0 に入力される。この 2 回目の垂直同期信号が入力されると、撮像素子 1 0 は、最小限の回路にだけ電力供給するスタンバイ状態（低消費電力状態）に遷移する。その後、時刻  $T_{73} \sim T_{77}$  において、それぞれ垂直同期信号が入力される。

**【 0 0 4 2 】**

そして、フレーム期間終了の読み出し時間（ $t_r$ ）前の時刻  $T_{78}$  において、8 回目の垂直同期信号が撮像素子 1 0 に入力される。この 8 回目の垂直同期信号が入力されることで、撮像素子 1 0 は、スタンバイ状態を解除して画像信号を読み出す準備（スタンバイ状態から通常状態への復帰）を行う。時刻  $T_{78}$  から読み出し時間（ $t_r$ ）経過後の時刻  $T_{79}$  において垂直同期信号が入力されると、撮像素子 1 0 は、ストリーム A の次フレームの画像信号の読み出しを開始する。

40

**【 0 0 4 3 】**

図 7 に示したように撮像素子 1 0 を駆動すると、ストリーム A の 1 フレームあたりのスタンバイ期間は、 $(T_F - 2 \times t_r)$  となる。なお、図 7 に示す例では、フレーム期間終了に対して読み出し時間（ $t_r$ ）前に 8 回目の垂直同期信号を入力して撮像素子 1 0 のスタンバイ状態を解除するようにしている。しかし、次フレームの読み出し開始である時刻  $T_{79}$  までにスタンバイ状態を解除できれば良く、8 回目の垂直同期信号を入力するタイ

50

ミングは、フレーム期間終了の読み出し時間（ $t_r$ ）前に限定されるものではない。

【0044】

図8は、低消費電力制御が行われている状態で、ストリームBについても動作させて、ストリームAの画像信号とストリームBの画像信号とを同時に読み出すときの撮像素子10の動作を示している。

【0045】

撮像素子10では、ストリームAの画像信号を出力する第1の画素群に関して、リセット区間801で第1の画素群のリセット動作が行われる。そして、蓄積時間後の画像信号の読み出し区間802において、ストリームAの画像信号を出力する第1の画素群から各行順に信号が読み出されてストリームAの画素信号として出力される。また、ストリームBの画像信号を出力する第2の画素群に関して、リセット区間811で第2の画素群のリセット動作が行われる。そして、蓄積時間後の画像信号の読み出し区間812において、ストリームBの画像信号を出力する第2の画素群から各行順に信号が読み出されてストリームBの画素信号として出力される。

10

【0046】

ストリームBに係る駆動タイミングもストリームAに係る駆動タイミングと同様に、入力される垂直同期信号により規定される。本実施形態に示す例では、ストリームBの画像信号は、ストリームAにおける1フレーム期間（ $TF$ ）において、等しい時間間隔で8回読み出す必要がある。したがって、図8に示すように、一定期間が経過する毎の時刻 $T81 \sim T89$ において垂直同期信号が入力され、垂直同期信号が入力されるタイミングは一定になる。したがって、ストリームAの1フレームあたりのスタンバイ期間は、 $(6/8) \times TF$ となる。

20

【0047】

このように本実施形態では、撮像素子10から1つのストリームの画像信号を出力する場合には、撮像素子10が低消費電力状態となるスタンバイ期間が増大するように、垂直同期信号の入力タイミングが制御される。好ましくは、撮像素子10が低消費電力状態となるスタンバイ期間が最大となるように垂直同期信号の入力タイミングを制御する。また、撮像素子10から2つのストリームの画像信号を同時に出力する場合には、フレームレートが速い方のストリームでの画像信号の読み出し周期に同期させるよう垂直同期信号の入力タイミングが制御される。これにより、撮像素子から複数の画像信号を同時に読み出すことができる撮像装置において、読み出しを行う画像信号に応じて、画像信号の適切な読み出し及び消費電力の低減が可能となる。なお、撮像素子10から複数のストリームの画像信号を同時に出力する場合には、フレームレートが最も高いストリームでの画像信号の読み出し周期に同期させるよう垂直同期信号の入力タイミングを制御すればよい。

30

【0048】

図9は、本実施形態における撮像装置の動作例を示すフローチャートである。図9には、前述したようにストリームAの画像信号としてライブビュー表示用の画像信号を出力し、ストリームBの画像信号としてオートフォーカス（ $AF$ ）制御に係る $AF$ 評価値の算出用の画像信号を出力する場合を例に示している。

【0049】

撮像装置が起動した後に操作入力によってライブビュー表示を開始すると、まずステップS901では、全体制御演算部30は、撮像素子10のストリームAについてのみ駆動させる。ストリームAについて駆動させると、ステップS902では、全体制御演算部30による制御に従って、撮像素子10における第1のレーン121からライブビュー画像用に加算間引きした画像信号（ライブビュー表示用の画像信号）が出力される。撮像素子10から出力された画像信号は、撮像信号処理回路20で所定の画像処理を施されてライブビュー画像が生成され、表示部511で表示される。

40

【0050】

ステップS903では、全体制御演算部30は、撮像素子10でライブビュー画像を撮像する蓄積時間を基にフレーム期間を延長する必要があるか否かを判定する。フレーム期

50

間を延長すると全体制御演算部 30 が判定した場合（ステップ S 9 0 3 で Y E S）、処理はステップ S 9 0 4 へ進む。

【 0 0 5 1 】

ステップ S 9 0 4 では、全体制御演算部 30 は、図 7 において説明したストリーム A に係る画像信号の読み出しを基準にした垂直同期信号のタイミングの調整を行い、フレームの所定期間中をスタンバイ状態にさせるように制御しステップ S 9 0 5 に進む。例えば、全体制御演算部 30 は、ストリーム A の 1 フレーム期間において、撮像素子 10 がスタンバイ状態となる期間が最大となるように垂直同期信号のタイミングを調整する。

【 0 0 5 2 】

なお、ステップ S 9 0 3 においてフレーム期間を延長しないと全体制御演算部 30 が判定した場合（ステップ S 9 0 3 で N O）、撮像素子 10 をスタンバイ状態にする制御が不要であるので何もせずステップ S 9 0 5 に進む。

【 0 0 5 3 】

ステップ S 9 0 5 では、全体制御演算部 30 は、S W 1 指示、つまりはリリースボタンが半押し状態でオートフォーカス動作の要求が入力されたか否かを判定する。S W 1 指示がないと全体制御演算部 30 が判定した場合（ステップ S 9 0 5 で N O）、処理はステップ S 9 0 2 に戻り、繰り返し前述したライブビュー撮像動作を行う。一方、S W 1 指示があると全体制御演算部 30 が判定した場合（ステップ S 9 0 5 で Y E S）、処理はステップ S 9 0 6 に進む。

【 0 0 5 4 】

ステップ S 9 0 6 では、全体制御演算部 30 は、撮像素子 10 のストリーム B についても駆動させる。ストリーム B について駆動させると、ステップ S 9 0 7 では、全体制御演算部 30 は、図 8 において説明したストリーム B に係る画像信号の読み出しを基準にした垂直同期信号のタイミングの調整を行う。すなわち、全体制御演算部 30 は、フレームレートが速いストリーム B に係る画像信号の読み出し周期に同期させるように垂直同期信号のタイミングを調整する。このとき、ストリーム A におけるフレーム期間が延長されており、既にスタンバイ制御が行われていれば撮像素子 10 がスタンバイ状態となる期間が変更される。

【 0 0 5 5 】

ステップ S 9 0 8 では、ステップ S 9 0 7 において調整した垂直同期信号に従い、撮像素子 10 における第 2 のレーン 1 2 2 から A F 評価用に加算間引きした画像信号（A F 評価用の画像信号）が出力される。ストリーム B は、ストリーム A よりも高速フレームレートで動作する。なお、A F 評価用の画像信号の出力を行う期間においても、全体制御演算部 30 による制御に従って、撮像素子 10 における第 1 のレーン 1 2 1 からライブビュー表示用の画像信号は所定のタイミングで出力される。

【 0 0 5 6 】

ステップ S 9 0 9 では、全体制御演算部 30 は、レンズ駆動部 5 0 2 を制御してレンズ 5 0 1 をフォーカス駆動させる。このとき、ステップ S 9 0 8 において取得した画像信号を基に撮像信号処理回路 2 0 で A F 評価値を算出して、算出された A F 評価値を基に全体制御演算部 30 はピント合わせを行う。

【 0 0 5 7 】

ステップ S 9 1 0 では、全体制御演算部 30 は、合焦状態であるか否かを判定する。合焦状態でないと全体制御演算部 30 が判定した場合（ステップ S 9 1 0 で N O）、処理はステップ S 9 0 8 に戻り、合焦状態になるまで繰り返しオートフォーカス動作が実行される。一方、合焦状態であると全体制御演算部 30 が判定した場合（ステップ S 9 1 0 で Y E S）、処理はステップ S 9 1 1 に進む。

【 0 0 5 8 】

ステップ S 9 1 1 では、全体制御演算部 30 は、ストリーム B についての駆動を停止して、撮像素子 10 からの A F 評価用の画像信号の出力を停止させる。ステップ S 9 1 2 では、全体制御演算部 30 は、ステップ S 9 0 4 でのストリーム A を基準にした垂直同期信

10

20

30

40

50

号のタイミングに調整して、S W 1 指示以前の状態に戻して処理を終了させる。

【 0 0 5 9 】

以上のように本実施形態によれば、ストリーム A の画像信号のみを出力する場合と、ストリーム A の画像信号及びストリーム B の画像信号の両方を出力する場合とで、撮像素子 1 0 のスタンバイ期間を適切に切り替えることが可能となる。したがって、撮像素子から複数の画像信号を同時に読み出すことができる撮像装置において、読み出しを行う画像信号に応じた、画像信号の適切な読み出し及び消費電力の低減が可能となる。

【 0 0 6 0 】

なお、前述した実施形態においては、本発明をデジタルカメラに適用した場合を例にして説明したが、これに限定されるものではない。すなわち、本発明は、撮像素子が付随したあらゆるデバイスに適用してもよい。例えば、携帯電話端末や携帯型の画像ビューワ、カメラを備えるテレビ、デジタルフォトフレーム、音楽プレーヤー、ゲーム機、電子ブックリーダー等、画像を撮像可能な装置であれば、本発明は適用可能である。

【 0 0 6 1 】

( 本発明の他の実施形態 )

本発明は、前述の実施形態の 1 以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける 1 つ以上のプロセッサがプログラムを読み出し実行する処理でも実現可能である。また、1 以上の機能を実現する回路 ( 例えば、A S I C ) によっても実現可能である。

【 0 0 6 2 】

なお、前記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【 符号の説明 】

【 0 0 6 3 】

1 0 : 撮像素子    2 0 : 撮像信号処理回路    3 0 : 全体制御演算部    1 0 1 : 画素部    1 1  
1 : カラム A D C 部    1 1 2 : 行走査回路    1 1 3 : 列走査回路    1 1 4 : タイミング制御回路

10

20

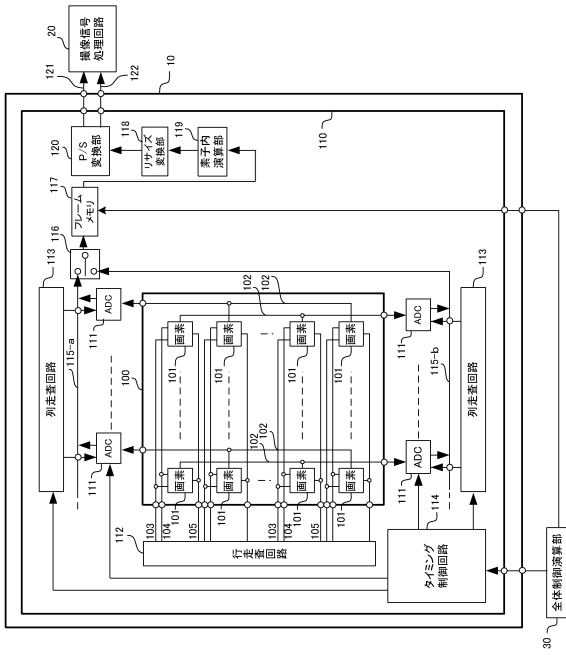
30

40

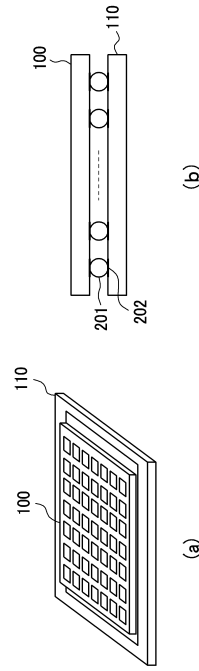
50

【図面】

【図 1】



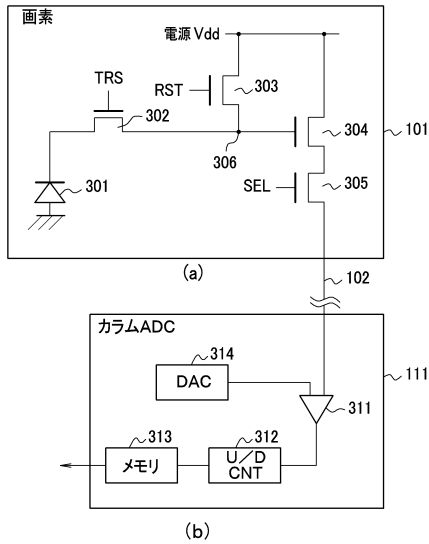
【図 2】



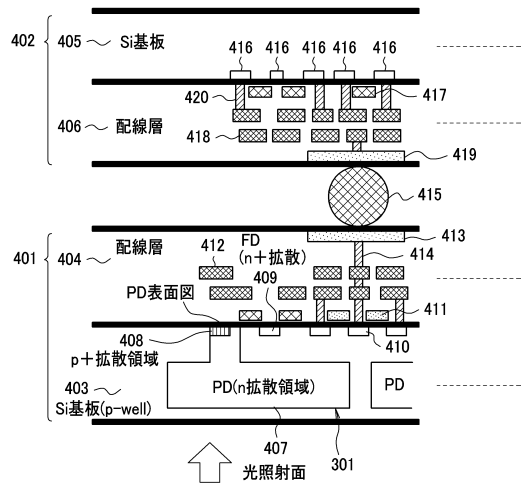
10

20

【図 3】



【図 4】

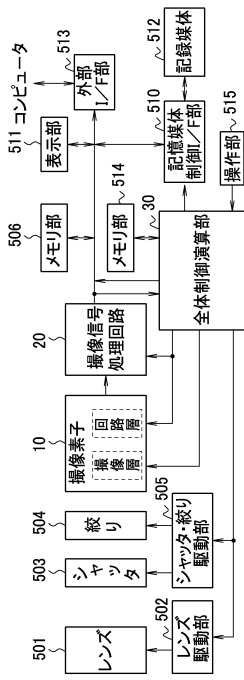


30

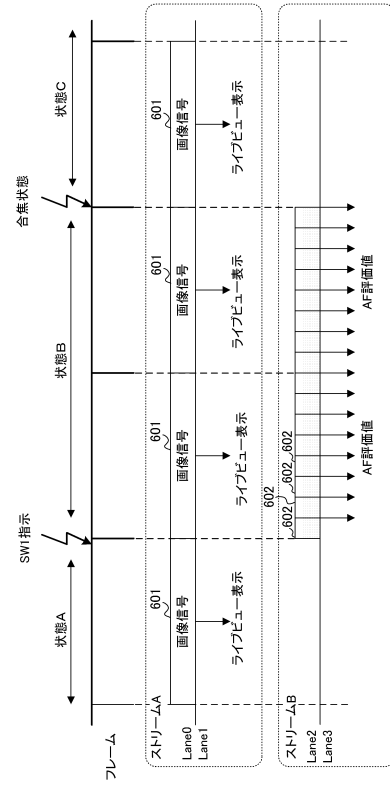
40

50

【図 5】



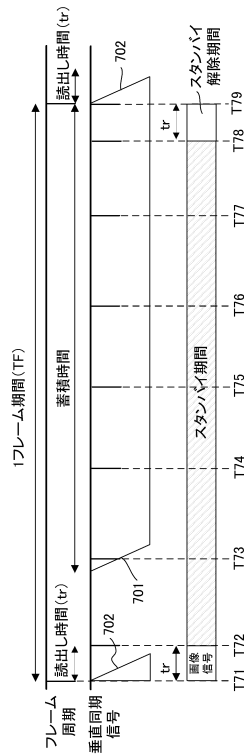
【図 6】



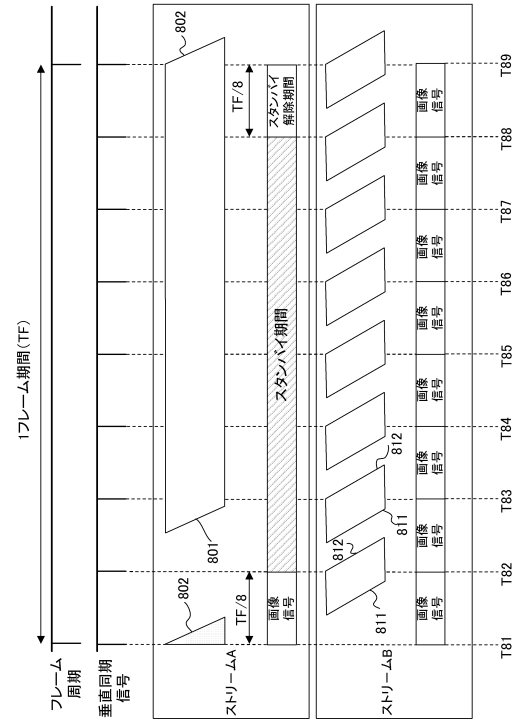
10

20

【図 7】



【図 8】

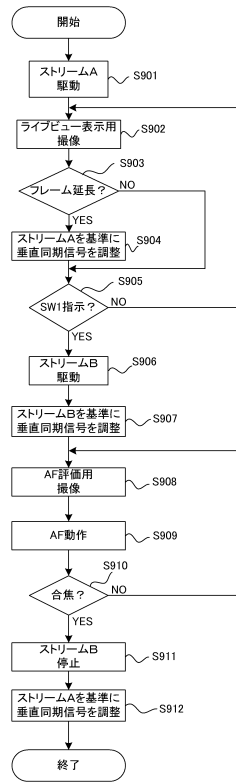


30

40

50

【図9】



10

20

30

40

50

---

フロントページの続き

- (56)参考文献 特開2015-114416(JP,A)  
国際公開第2014/007004(WO,A1)  
特開2001-285723(JP,A)  
特開2011-254416(JP,A)  
特開2006-157152(JP,A)  
米国特許出願公開第2015/0163440(US,A1)
- (58)調査した分野 (Int.Cl., DB名)  
H04N 5/374  
H04N 5/353  
H04N 5/341