

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-88744
(P2004-88744A)

(43) 公開日 平成16年3月18日(2004.3.18)

(51) Int. Cl.⁷

H01P 1/36
H01P 1/365

F I

H01P 1/36 Z
H01P 1/365 B

テーマコード (参考)

審査請求 未請求 請求項の数 6 O L (全 18 頁)

(21) 出願番号 特願2003-176047 (P2003-176047)
(22) 出願日 平成15年6月20日 (2003.6.20)
(31) 優先権主張番号 特願2002-196439 (P2002-196439)
(32) 優先日 平成14年7月4日 (2002.7.4)
(33) 優先権主張国 日本国 (JP)

(71) 出願人 000006231
株式会社村田製作所
京都府長岡京市天神二丁目26番10号
(74) 代理人 100091432
弁理士 森下 武一
(72) 発明者 長谷川 隆
京都府長岡京市天神二丁目26番10号
株式会社村田製作所内

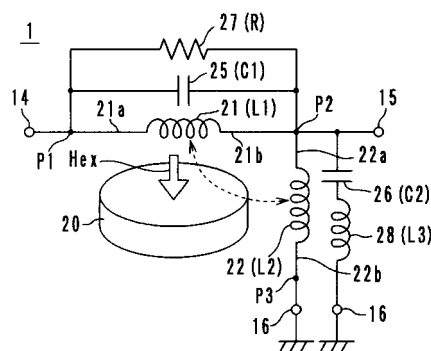
(54) 【発明の名称】 2ポート型アイソレータおよび通信装置

(57) 【要約】

【課題】 使用周波数 f の2倍波 ($2f$) や3倍波 ($3f$) の伝搬を抑えることができる2ポート型アイソレータおよび通信装置を提供する。

【解決手段】 第1中心電極21の一端部21aは入力ポートP1に電氣的に接続され、他端部21bは出力ポートP2に電氣的に接続されている。第2中心電極22の一端部22aは出力ポートP2に電氣的に接続され、他端部22bはアースに電氣的に接続されている。第1整合用コンデンサ25と抵抗27からなる並列RC回路は、入力ポートP1と出力ポートP2の間に電氣的に接続されている。第2整合用コンデンサ26とインダクタ28の直列共振回路は出力ポートP2とアースの間に電氣的に接続されている。第2整合用コンデンサ26とインダクタ28の直列共振回路はトラップ回路を形成しており、その共振周波数は、使用周波数 f の2倍波 ($2f$) と3倍波 ($3f$) の間に設定されている。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

永久磁石と、
 前記永久磁石により直流磁界が印加されるフェライトと、
 前記フェライトの主面もしくは内部に配置され、一端が第 1 入出力ポートに電氣的に接続され、他端が第 2 入出力ポートに電氣的に接続されている第 1 中心電極と、
 前記第 1 中心電極と電氣的絶縁状態で交差して前記フェライトの主面もしくは内部に配置され、一端が第 2 入出力ポートに電氣的に接続され、他端がアースに電氣的に接続されている第 2 中心電極と、
 前記第 1 入出力ポートと前記第 2 入出力ポートの間に電氣的に接続された第 1 整合用コンデンサと、
 前記第 1 入出力ポートと前記第 2 入出力ポートの間に電氣的に接続された抵抗と、
 前記第 2 入出力ポートとアースの間に電氣的に接続された、第 2 整合用コンデンサとインダクタの直列共振回路と、
 を備えたことを特徴とする 2 ポート型アイソレータ。

【請求項 2】

第 2 整合用コンデンサとインダクタの前記直列共振回路の共振周波数が、使用周波数の 2 倍波と 3 倍波の間にあることを特徴とする請求項 1 に記載の 2 ポート型アイソレータ。

【請求項 3】

永久磁石と、
 前記永久磁石により直流磁界が印加されるフェライトと、
 前記フェライトの主面もしくは内部に配置され、一端が第 1 入出力ポートに電氣的に接続され、他端が第 2 入出力ポートに電氣的に接続されている第 1 中心電極と、
 前記第 1 中心電極と電氣的絶縁状態で交差して前記フェライトの主面もしくは内部に配置され、一端が第 2 入出力ポートに電氣的に接続され、他端が第 3 ポートに電氣的に接続されている第 2 中心電極と、
 前記第 1 入出力ポートと前記第 2 入出力ポートの間に電氣的に接続された第 1 整合用コンデンサと、
 前記第 1 入出力ポートと前記第 2 入出力ポートの間に電氣的に接続された抵抗と、
 前記第 2 入出力ポートと前記第 3 ポートの間に電氣的に接続された第 2 整合用コンデンサと、
 前記第 3 ポートとアースの間に電氣的に接続されたインダクタと、
 を備えたことを特徴とする 2 ポート型アイソレータ。

【請求項 4】

前記第 2 中心電極のインダクタンスおよび前記第 2 整合用コンデンサからなる並列共振回路と前記インダクタとで構成された回路の共振周波数が、使用周波数の 2 倍波と 3 倍波の間にあることを特徴とする請求項 3 に記載の 2 ポート型アイソレータ。

【請求項 5】

絶縁層を積み重ねて構成した積層基板に、前記第 1 整合用コンデンサおよび第 2 整合用コンデンサのそれぞれのコンデンサ電極と前記インダクタのインダクタ電極が設けられていることを特徴とする請求項 1 ~ 請求項 4 のいずれかに記載の 2 ポート型アイソレータ。

【請求項 6】

請求項 1 ~ 請求項 5 のいずれかに記載の 2 ポート型アイソレータを備えたことを特徴とする通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、2 ポート型アイソレータ、特に、マイクロ波帯で使用される 2 ポート型アイソレータおよび通信装置に関する。

【0002】

【従来の技術】

一般に、アイソレータは、信号を伝送方向のみに通過させ、逆方向への伝送を阻止する機能を有しており、自動車電話、携帯電話などの移動体通信機器の送信回路部に使用されている。

【0003】

従来、この種のアイソレータとして、3ポート型アイソレータ(第1~第3中心電極の三つの中心電極を有するアイソレータ)の場合には、特開2001-320205号公報や特開2001-320206号公報や特開平11-308013号公報や特開2000-114818号公報記載のものが知られている。また、2ポート型アイソレータ(第1中心電極および第2中心電極の二つの中心電極を有するアイソレータ)の場合には、特開2001-237613号公報や特開2001-185912号公報記載のものが知られている。

10

【0004】

ところが、これらの3ポート型アイソレータや2ポート型アイソレータは、信号が入力ポートP1から出力ポートP2に伝搬する際、二つの共振回路が共振し、挿入損失が大きくなるという問題があった。

【0005】

そこで、この問題を解消するため、特開平9-232818号公報の図11に記載の低損失の2ポート型アイソレータが提案されている。この2ポート型アイソレータの電気等価回路を図21に示す。2ポート型アイソレータ301は、第1中心電極321の一端部321aが、入力ポートP1を介して入力外部電極314に電氣的に接続されている。第1中心電極321の他端部321bは、出力ポートP2を介して出力外部電極315に電氣的に接続されている。

20

【0006】

一方、第2中心電極322の一端部322aは、出力ポートP2を介して出力外部電極315に電氣的に接続されている。第2中心電極322の他端部322bは、第3ポートP3を介してアース外部電極316に電氣的に接続されている。整合用コンデンサ325と抵抗327からなる並列RC回路は、入力ポートP1と出力ポートP2の間に電氣的に接続されている。整合用コンデンサ326は出力ポートP2とアース外部電極316の間に電氣的に接続されている。アース外部電極316はアースに電氣的に接続されている。

30

【0007】

そして、第1中心電極321と整合用コンデンサ325にて、第1のLC並列共振回路を構成し、第2中心電極322と整合用コンデンサ326にて、第2のLC並列共振回路を構成している。この構成では、入力ポートP1から出力ポートP2に信号が伝搬する際、入力ポートP1と出力ポートP2間の第1のLC並列共振回路は共振することがなく、第2のLC並列共振回路が共振しているだけなので、挿入損失を小さくできる。

【0008】**【発明が解決しようとする課題】**

ところで、特開2001-237613号公報などに記載された2ポート型アイソレータは、入力ポートとアース間、並びに、出力ポートとアース間にそれぞれ一つづつのLC並列共振回路を有しており、これらはいずれもローパスフィルタとして作用する。

40

【0009】

ところが、図21に示す従来の2ポート型アイソレータ301は、出力ポートP2とアース間に入っている第2のLC並列共振回路がローパスフィルタとして作用するのに対して、入力ポートP1と出力ポートP2間に入っている第1のLC並列共振回路はハイパスフィルタとして作用する。従って、移動体通信機器の使用周波数 f の2倍波($2f$)や3倍波($3f$)での減衰量が、上記特開2001-237613号公報などに記載された2ポート型アイソレータよりも悪くなるという不具合があった。

【0010】

そこで、本発明の目的は、使用周波数 f の2倍波($2f$)や3倍波($3f$)の伝搬を抑え

50

ることができる2ポート型アイソレータおよび通信装置を提供することにある。

【0011】

【課題を解決するための手段および作用】

前記目的を達成するため、本発明に係る2ポート型アイソレータは、

- (a) 永久磁石と、
 - (b) 永久磁石により直流磁界が印加されるフェライトと、
 - (c) フェライトの主面もしくは内部に配置され、一端が第1入出力ポートに電氣的に接続され、他端が第2入出力ポートに電氣的に接続されている第1中心電極と、
 - (d) 第1中心電極と電氣的絶縁状態で交差してフェライトの主面もしくは内部に配置され、一端が第2入出力ポートに電氣的に接続され、他端がアースに電氣的に接続されている第2中心電極と、
 - (e) 第1入出力ポートと第2入出力ポートの間に電氣的に接続された第1整合用コンデンサと、
 - (f) 第1入出力ポートと第2入出力ポートの間に電氣的に接続された抵抗と、
 - (g) 第2入出力ポートとアースの間に電氣的に接続された、第2整合用コンデンサとインダクタの直列共振回路と、
- を備えたことを特徴とする。第2整合用コンデンサとインダクタの直列共振回路の共振周波数は、使用周波数の2倍波と3倍波の間にあることが好ましい。

【0012】

また、本発明に係る2ポート型アイソレータは、

- (h) 永久磁石と、
 - (i) 永久磁石により直流磁界が印加されるフェライトと、
 - (j) フェライトの主面もしくは内部に配置され、一端が第1入出力ポートに電氣的に接続され、他端が第2入出力ポートに電氣的に接続されている第1中心電極と、
 - (k) 第1中心電極と電氣的絶縁状態で交差して前記フェライトの主面もしくは内部に配置され、一端が第2入出力ポートに電氣的に接続され、他端が第3ポートに電氣的に接続されている第2中心電極と、
 - (l) 第1入出力ポートと第2入出力ポートの間に電氣的に接続された第1整合用コンデンサと、
 - (m) 第1入出力ポートと第2入出力ポートの間に電氣的に接続された抵抗と、
 - (n) 第2入出力ポートと第3ポートの間に電氣的に接続された第2整合用コンデンサと、
 - (o) 第3ポートとアースの間に電氣的に接続されたインダクタと、
- を備えたことを特徴とする。第2中心電極のインダクタンスおよび第2整合用コンデンサからなる並列共振回路とインダクタとで構成された回路の共振周波数は、使用周波数の2倍波と3倍波の間にあることが好ましい。

【0013】

以上の構成により、第1中心電極を伝搬する使用周波数 f の2倍波($2f$)や3倍波($3f$)を減衰させることができる。

【0014】

また、絶縁層を積み重ねて構成した積層基板に、第1整合用コンデンサおよび第2整合用コンデンサのそれぞれのコンデンサ電極とインダクタのインダクタ電極を設けたことを特徴とする。これにより、第1整合用コンデンサ、第2整合用コンデンサおよびインダクタ相互間のはんだによる接続箇所が減り、接続信頼性が向上する。

【0015】

また、本発明に係る通信装置は、上述の2ポート型アイソレータを備えることにより、周波数特性が向上する。

【0016】

【発明の実施の形態】

以下に、本発明に係る2ポート型アイソレータおよび通信装置の実施の形態について添付

の図面を参照して説明する。

【0017】

[第1実施形態、図1～図11]

本発明に係る2ポート型アイソレータの一実施形態の分解斜視図を図1に示す。該2ポート型アイソレータ1は、集中定数型アイソレータである。図1に示すように、2ポート型アイソレータ1は、概略、金属製上側ケース4と金属製下側ケース8とからなる金属ケースと、永久磁石9と、フェライト20と中心電極21, 22とからなる中心電極組立体13と、積層基板30を備えている。

【0018】

金属製上側ケース4は略箱形状であり、上面部4aおよび四つの側面部4bからなる。金属製下側ケース8は、底面部8aおよび左右の側面部8bからなる。金属製上側ケース4および金属製下側ケース8は磁気回路を形成するため、例えば、軟鉄などの強磁性体からなる材料で形成され、その表面にAgやCuがめっきされる。

10

【0019】

中心電極組立体13は、円板状のマイクロ波フェライト20の上面に2組の第1および第2中心電極21, 22を、絶縁層(図示せず)を介在させて直交して交差するように配置している。本第1実施形態では、中心電極21, 22を二つのラインで構成した。第1中心電極21と第2中心電極22のそれぞれの両端部21a, 21b, 22a, 22bは、フェライト20の下面に延在し、それぞれの端部21a～22bが相互に分離している。

【0020】

中心電極21, 22は銅箔を用いてフェライト20に巻きつけてもよいし、フェライト20上あるいは内部に銀ペーストを印刷して形成してもよい。あるいは、特開平9-232818号公報記載のように積層基板で形成されていてもよい。ただし、印刷した方が中心電極21, 22の位置精度が高いため、積層基板30との接続が安定する。特に、今回のように微小な中心電極用接続電極51～54(後述)で接続する場合には、中心電極21, 22を印刷形成した方が信頼性、作業性が良い。

20

【0021】

積層基板30は、図2に示すように、中心電極用接続電極51～54と、コンデンサ電極55, 56や抵抗27を裏面に設けた誘電体シート41と、コンデンサ電極57, 58を裏面に設けた誘電体シート42と、インダクタ電極(インダクタ)28を裏面に設けた誘電体シート43と、グランド電極59を裏面に設けた誘電体シート44と、側面ビアホール65を設けた誘電体シート45と、入力外部電極14や出力外部電極15やアース外部電極16を設けた誘電体シート46などにて構成されている。中心電極用接続電極51は入力ポートP1とされ、中心電極用接続電極53, 54は出力ポートP2とされ、中心電極用接続電極52は第3ポートP3とされる。

30

【0022】

この積層基板30は、以下のようにして作製される。すなわち、誘電体シート41～46は、 Al_2O_3 を主成分とし、 SiO_2 , SrO , CaO , PbO , Na_2O , K_2O , MgO , BaO , CeO_2 , B_2O_3 のうちの1種類あるいは複数種類を副成分として含む低温焼結誘電体材料にて作製する。

40

【0023】

さらに、積層基板30の焼成条件(特に焼成温度1000以下)では焼結せず、積層基板30の基板平面方向(X-Y方向)の焼成収縮を抑制する収縮抑制シート47, 48を作製する。この収縮抑制シート47, 48の材料は、アルミナ粉末および安定化ジルコニア粉末の混合材料である。シート41～48の厚みは10 μ m～200 μ m程度である。

【0024】

電極28, 51～59は、パターン印刷などの方法によりシート41～44の裏面に形成される。電極28, 51～59の材料としては、抵抗率が低く、誘電体シート41～46と同時焼成可能なAg, Cu, Ag-Pdなどが用いられる。電極28, 51～59の厚みは2 μ m～20 μ m程度であり、通常は表皮厚の2倍以上に設定される。

50

【0025】

抵抗27は、パターン印刷等の方法により誘電体シート41の裏面に形成される。抵抗27の材料としては、サーメット、カーボン、ルテニウムなどが使用される。抵抗27は積層基板30の上面に印刷で形成してもよいし、チップ抵抗で形成してもよい。

【0026】

ビアホール60や側面ビアホール65や外部電極14~16は、誘電体シート41~46にレーザ加工やパンチング加工などにより、予めビアホール用孔を形成した後、そのビアホール用孔に導電ペーストを充填することにより形成される。

【0027】

中心電極用接続電極51~54は、積層基板30の4辺のそれぞれの中央部近傍に配置されている。また、入力外部電極14および出力外部電極15も積層基板30の対向する2辺の中央部に配置されている。 10

【0028】

コンデンサ電極57は、誘電体シート42を間に挟んでコンデンサ電極55に対向して第1整合用コンデンサ25を構成する。さらに、コンデンサ電極58は、誘電体シート42を間に挟んでコンデンサ電極56に対向して第2整合用コンデンサ26を構成する。これら整合用コンデンサ25, 26、抵抗27およびインダクタ28は、電極51~54や外部電極14~16やビアホール60, 65とともに、積層基板30の内部に電気回路を構成する。

【0029】

以上の誘電体シート41~46は積層され、さらに、誘電体シート41~46の積層体の上下両側から収縮抑制シート47, 48で挟み込んだ後、焼成される。これにより、焼結体が得られ、その後、超音波洗浄法や湿式ホーニング法によって、未焼結の収縮抑制材料を除去し、図1に示すような積層基板30とする。 20

【0030】

積層基板30の両端部には、それぞれ入力外部電極14、出力外部電極15およびアース外部電極16が設けられる。入力外部電極14はコンデンサ電極55に電氣的に接続され、出力外部電極15はコンデンサ電極56に電氣的に接続されている。アース外部電極16は、インダクタ電極28およびグランド電極59のそれぞれの端部に電氣的に接続されている。この後、Niめっきを下地としてAuめっきが施される。Niめっきは、電極のAgとAuめっきの固着強度を強くする。Auめっきは、はんだ濡れ性を良くするとともに、導電率が高いのでアイソレータ1を低損失にできる。 30

【0031】

なお、この積層基板30は、通常、マザーボード状態で作成される。このマザーボードに所定のピッチでハーフカット溝を形成し、ハーフカット溝に沿って折ることにより、マザーボードから所望のサイズの積層基板30を得る。あるいは、マザーボードをダイサーやレーザなどで切断することにより、所望のサイズの積層基板30を切り出してもよい。

【0032】

こうして得られた積層基板30は、内部に整合用コンデンサ25, 26、抵抗27およびインダクタ28を有している。整合用コンデンサ25, 26は必要な静電容量値精度で製作される。しかし、トリミングをする場合には、整合用コンデンサ25, 26と中心電極21, 22を接続する前に行なわれる。つまり、積層基板30は、単体の状態で、内部(2層目)のコンデンサ電極55, 56を表層の誘電体とともにトリミング(削除)される。トリミングには、例えば、切削機やYAGの基本波、2倍波、3倍波のレーザが用いられる。レーザを用いれば、早くかつ精度の良い加工が得られる。なお、トリミングは、マザーボード状態の積層基板30に対して効率良く行ってもよい。 40

【0033】

このように、積層基板30の上面に近いコンデンサ電極55, 56をトリミング用コンデンサ電極としているので、トリミング時に除去する誘電体層の厚みを最小限にできる。さらに、トリミングの障害となる電極が少なくなるので(本第1実施形態の場合は接続電極 50

5 1 ~ 5 4 のみ)、トリミング可能なコンデンサ電極領域が広くなり、静電容量調整範囲を広くできる。

【0034】

また、積層基板30には抵抗27も内蔵されており、整合用コンデンサ25, 26と同様に抵抗27も、表層の誘電体とともにトリミングすることにより、抵抗値Rを調整することができる。抵抗27は1箇所でも幅が細くなると抵抗値Rが上がるので、幅方向の途中まで削る。

【0035】

以上の構成部品は以下のようにして組み立てられる。すなわち、図1に示すように、永久磁石9は金属製上側ケース4の天井に接着剤によって固定される。中心電極組立体13の中心電極21, 22の各々の端部21a ~ 22bが積層基板30の表面に形成された中心電極用接続電極51 ~ 54にはんだ80にて電氣的に接続されることにより、積層基板30上に中心電極組立体13が実装される。なお、中心電極21, 22と中心電極用接続電極51 ~ 54のはんだ付けは、マザーボード状態の積層基板30に対して効率良く行ってもよい。

【0036】

積層基板30は金属製下側ケース8の底面部8a上に載置され、積層基板30の下面に配設されているグラウンド電極59がはんだ80によって底面部8aと接続固定される。これにより、アースポート16が底面部8aに電氣的に容易に接続される。

【0037】

そして、金属製下側ケース8と金属製上側ケース4は、それぞれの側面部8bと4bをはんだ等で接合することにより金属ケースを構成し、ヨークとしても機能する。つまり、この金属ケースは、永久磁石9と中心電極組立体13と積層基板30を囲む磁路を形成する。また、永久磁石9はフェライト20に直流磁界を印加する。

【0038】

こうして、図3に示す2ポート型アイソレータ1が得られる。図4はアイソレータ1の電気等価回路図である。第1中心電極21の一端部21aは、入力ポートP1(中心電極用接続電極51)を介して入力外部電極14に電氣的に接続されている。第1中心電極21の他端部21bは、出力ポートP2(中心電極用接続電極54)を介して出力外部電極15に電氣的に接続されている。第2中心電極22の一端部22aは、出力ポートP2(中心電極用接続電極53)を介して出力外部電極15に電氣的に接続されている。第2中心電極22の他端部22bは、第3ポートP3(中心電極用接続電極52)を介してアース外部電極16に電氣的に接続されている。第1整合用コンデンサ25と抵抗27からなる並列RC回路は、入力ポートP1と出力ポートP2の間に電氣的に接続されている。第2整合用コンデンサ26とインダクタ28の直列共振回路は出力ポートP2とアースの間に電氣的に接続されている。第3ポートP3はアースに電氣的に接続されている。

【0039】

なお、第2整合用コンデンサ26とインダクタ28の接続位置は入れ替えてもよい。すなわち、出力ポートP2側にインダクタ28を接続し、アース側に第2整合用コンデンサ26を接続してもよい。

【0040】

以上の構成からなる2ポート型アイソレータ1は、出力ポートP2とアースの間に第2整合用コンデンサ26とインダクタ28の直列共振回路を接続している。この直列共振回路はトラップ回路を形成しており、その共振周波数は使用周波数fの2倍波(2f)と3倍波(3f)の間に設定されている。そして、このトラップ回路によって、減衰極が2倍波(2f)と3倍波(3f)の間に形成される。これにより、第1中心電極21を伝搬する2倍波(2f)や3倍波(3f)の減衰量を大きくすることができる。

【0041】

前記トラップ回路のアドミッタンスYおよび共振周波数f(0)は、以下の(1)式と(2)式で表される。

10

20

30

40

50

$$Y = (C_2) / j(\omega^2 L_3 C_2 - 1), \quad \omega = 2\pi f \quad \dots (1)$$

$$f(0) = 1 / \{2 \sqrt{(L_3 C_2)^{-1} / 2}\} \quad \dots (2)$$

【0042】

図5、図6、図7、図8および図9はそれぞれ、2ポート型アイソレータ1のアイソレーション特性、挿入損失特性、入力反射損失特性、出力反射損失特性および減衰特性を示すグラフである（実施例1の実線参照）。比較のために、図5～図9には、図21に示した従来の2ポート型アイソレータ301の特性も併せて記載している（比較例1の点線参照）。表1-1は、第1および第2中心電極21, 22のインダクタンスと整合用コンデンサ25, 26の静電容量C1, C2とインダクタ28のインダクタンスL3の数値を示す。

【0043】

ここに、フェライト20としては、直径が2.0mmで厚みが0.4mmのものを使用した。そして、中心電極21, 22の電極幅Wを0.2mmとし、電極間隔Sを0.2mmとし、電極長さlを2mmとすることにより、自己インダクタンスを0.7nHに設定した。抵抗27の抵抗値Rは、いずれも60Ωとした。表1-1中の中心電極21, 22のインダクタンスは比透磁率を1と仮定した場合の自己インダクタンスで、実際にはこれにフェライト20などによる実効透磁率を掛けたものがインダクタンスL1, L2となる。また、実施例1において、19pFの第2整合用コンデンサ26と0.2nHのインダクタ28との直列共振回路のアドミッタンスYは、前記(1)式より、893MHz～960MHzの帯域で、22pFのコンデンサのアドミッタンスと略等しい値となる。そして、この直列共振回路の共振周波数f(0)は、前記(2)式より、2.6GHz付近となる。

【0044】

表1-2は、使用周波数である893MHz～960MHzでの帯域内最悪値と、2倍波(1786MHz～1920MHz)の減衰量と、3倍波(2679MHz～2880MHz)の減衰量とをまとめたものである。

【0045】

【表1】

(表 1 - 1)

	第 1 中心電極 21 の自己イン ダクタンス	第 2 中心電極 22 の自己イン ダクタンス	整合用コ ンデンサ 電容量 C1	整合用コ ンデンサ 電容量 C2	イン ダク タンス L3
比較例 1	0.7 nH	0.7 nH	22 pF	22 pF	—
実施例 1	0.7 nH	0.7 nH	22 pF	19 pF	0.2 nH

(表 1 - 2)

	入力反射 損失 (dB)	挿入損失 (dB)	アイソレー ション (dB)	出力反射 損失 (dB)	2 倍波の 減衰量 (dB)	3 倍波の 減衰量 (dB)
比較例 1	22.4	0.75	12.2	11.8	14.0	18.7
実施例 1	21.5	0.84	12.3	10.9	19.5	30.3

10

20

30

40

50

【0046】

また、本第 1 実施形態は、入力外部電極 14 および出力外部電極 15 を、アイソレータ 1 の対向する一対の側面の中央位置に設けている。これにより、アイソレータ 1 を携帯電話などのプリント基板に実装する際、アイソレータ 1 を 180° 回転させれば、入力信号線路と出力信号線路が左右逆に配設されているプリント基板にも実装することが可能となる。従って、プリント基板の入力信号線路と出力信号線路の方向に合わせて 2 種類のアイソレータ 1 を作製する必要がなくなる。このため、アイソレータ 1 を低コスト化できる。

【0047】

特に、この 2 ポート型アイソレータ 1 は、ポート P 1 を入力ポートとした場合と、ポート P 2 を入力ポートとした場合とで、反射損失の周波数特性が大きく異なり、磁場方向反転

(永久磁石 9 の N S 方向反転) だけでなく、内部構造も変更した 2 種類のアイソレータ 1 を作製する必要があるので、低コスト化の効果は大きい。

【 0 0 4 8 】

また、積層基板 3 0 に整合用コンデンサ 2 5 , 2 6 とインダクタ 2 8 を内蔵しているので、整合用コンデンサ 2 5 , 2 6 およびインダクタ 2 8 相互間のはんだによる接続箇所を減らすことができ、接続信頼性の高いアイソレータ 1 が得られる。さらに、部品点数および製造工数を低減できるので、低コストのアイソレータ 1 となる。

【 0 0 4 9 】

また、積層基板 3 0 は、仕様に合わせて種々に変形できる。例えば、図 1 0 に示している積層基板 3 0 A は、中心電極用接続電極 5 1 ~ 5 4 と、コンデンサ電極 5 5 , 5 6 a や抵抗 2 7 を裏面に設けた誘電体シート 4 1 と、コンデンサ電極 5 7 a を裏面に設けた誘電体シート 4 2 と、コンデンサ電極 5 6 b やインダクタ電極 2 8 を裏面に設けた誘電体シート 4 3 と、グラウンド電極 5 9 を裏面に設けた誘電体シート 4 4 と、入力外部電極 1 4 や出力外部電極 1 5 やアース外部電極 1 6 を設けた誘電体シート 4 6 などにて構成されている。中心電極用接続電極 5 1 は入力ポート P 1 とされ、中心電極用接続電極 5 3 , 5 4 は出力ポート P 2 とされ、中心電極用接続電極 5 2 は第 3 ポート P 3 とされる。

10

【 0 0 5 0 】

コンデンサ電極 5 5 は、誘電体シート 4 2 を間に挟んでコンデンサ電極 5 7 a の略左半分に対向して第 1 整合用コンデンサ 2 5 を構成する。さらに、コンデンサ電極 5 6 a , 5 6 b は、誘電体シート 4 2 , 4 3 を間に挟んでコンデンサ電極 5 7 a に対向して第 2 整合用コンデンサ 2 6 を構成する。これら整合用コンデンサ 2 5 , 2 6 、抵抗 2 7 およびインダクタ 2 8 は、電極 5 1 ~ 5 4 や外部電極 1 4 ~ 1 6 やビアホール 6 0 , 6 5 とともに、積層基板 3 0 A の内部に電気回路を構成する。

20

【 0 0 5 1 】

また、図 1 1 に示している積層基板 3 0 B は、中心電極用接続電極 5 1 ~ 5 4 と、コンデンサ電極 5 5 , 5 9 a や抵抗 2 7 を裏面に設けた誘電体シート 4 1 と、コンデンサ電極 5 7 , 5 8 a やインダクタ電極 2 8 を裏面に設けた誘電体シート 4 2 と、コンデンサ電極 5 8 b を裏面に設けた誘電体シート 4 3 と、グラウンド電極 5 9 を裏面に設けた誘電体シート 4 4 と、入力外部電極 1 4 や出力外部電極 1 5 やアース外部電極 1 6 を設けた誘電体シート 4 6 などにて構成されている。

30

【 0 0 5 2 】

コンデンサ電極 5 5 は、誘電体シート 4 2 を間に挟んでコンデンサ電極 5 7 に対向して第 1 整合用コンデンサ 2 5 を構成する。さらに、コンデンサ電極 5 8 a , 5 8 b は、誘電体シート 4 2 , 4 4 を間に挟んでコンデンサ電極 5 9 a やグラウンド電極 5 9 に対向して第 2 整合用コンデンサ 2 6 を構成する。これら整合用コンデンサ 2 5 , 2 6 、抵抗 2 7 およびインダクタ 2 8 は、電極 5 1 ~ 5 4 や外部電極 1 4 ~ 1 6 やビアホール 6 0 , 6 5 とともに、積層基板 3 0 B の内部に電気回路を構成する。

【 0 0 5 3 】

[第 2 実施形態、図 1 2 ~ 図 1 9]

第 2 実施形態の 2 ポート型アイソレータは、積層基板以外は前記第 1 実施形態の 2 ポート型アイソレータ 1 と同様のものである。従って、分解斜視図や外観斜視図は、前記第 1 実施形態の図 1 や図 3 と同様なものになる。

40

【 0 0 5 4 】

図 1 2 に示すように、積層基板 3 0 C は、中心電極用接続電極 5 1 ~ 5 4 と、コンデンサ電極 5 5 , 5 6 や抵抗 2 7 を裏面に設けた誘電体シート 4 1 と、コンデンサ電極 5 7 , 5 8 を裏面に設けた誘電体シート 4 2 と、インダクタ 2 8 を裏面に設けた誘電体シート 4 3 と、グラウンド電極 5 9 を裏面に設けた誘電体シート 4 4 と、入力外部電極 1 4 や出力外部電極 1 5 やアース外部電極 1 6 を設けた誘電体シート 4 6 などにて構成されている。この積層基板 3 0 C は、前記第 1 実施形態の積層基板 3 0 と同様の製法により作製される。

【 0 0 5 5 】

50

コンデンサ電極 57 は、誘電体シート 42 を間に挟んでコンデンサ電極 55 に対向して整合用コンデンサ 25 を構成する。さらに、コンデンサ電極 58 は、誘電体シート 42 を間に挟んでコンデンサ電極 56 に対向して整合用コンデンサ 26 を構成する。

【0056】

図 13 は、図 12 に示されている積層基板 30C を有した 2ポート型アイソレータ 1C の電気等価回路図である。入力ポート P1 と出力ポート P2 の間には、第 1 中心電極 21 と第 1 整合用コンデンサ 25 と抵抗 27 からなる並列回路が接続されている。出力ポート P2 と第 3 ポート P3 の間には、第 2 中心電極 22 および第 2 整合用コンデンサ 26 からなる並列回路が接続されている。さらに、第 3 ポート P3 とアース外部電極 16 の間には、インダクタ 28 が接続されている。

10

【0057】

以上の構成からなる 2ポート型アイソレータ 1C は、出力ポート P2 とアースの間に、第 2 中心電極 22 のインダクタンス L2 および第 2 整合用コンデンサ C2 からなる並列共振回路とインダクタ 28 とを電氣的に直列に接続している。この LC 並列共振回路と直列インダクタからなる回路は、トラップ回路を形成しており、その共振周波数は、使用周波数の 2 倍波 (2f) と 3 倍波 (3f) の間に設定されている。そして、このトラップ回路によって、減衰極が 2 倍波と 3 倍波の間に形成される。これにより、挿入損失特性を劣化させることなく、第 1 中心電極 21 を伝搬する使用周波数 f の 2 倍波や 3 倍波の減衰量を大きくすることができる。

【0058】

図 14、図 15、図 16、図 17 および図 18 はそれぞれ、2ポート型アイソレータ 1C のアイソレーション特性、挿入損失特性、入力反射損失特性、出力反射損失特性および減衰特性を示すグラフである（実施例 2 の実線参照）。比較のために、図 14～図 18 には、図 21 に示した従来の 2ポート型アイソレータ 301 の特性も併せて記載している（比較例 2 の点線参照）。表 2-1 は、第 1 および第 2 中心電極 21, 22 のインダクタンスと整合用コンデンサ 25, 26 の静電容量 C1, C2 とインダクタ 28 のインダクタンス L3 の数値を示す。

20

【0059】

抵抗 27 の抵抗値 R は、いずれも 60 Ω とした。表 2-1 中のインダクタンスは比透磁率を 1 と仮定した場合の中心電極 21, 22 の実質的な自己インダクタンスで、実際にはこれにフェライト 20 などによる実効透磁率を掛けたものがインダクタンス L1, L2 となる。

30

【0060】

ここで、本第 2 実施形態のトラップ回路のインピーダンス Z および共振周波数 f(0) は、以下の (3) 式と (4) 式で表される。

$$Z = j \left\{ L_3 - \frac{L_2}{\left(\frac{1}{L_2 C_2} - 1 \right)} \right\} \dots (3)$$

$$f(0) = \frac{1}{2\pi} \cdot \left[\frac{\left(\frac{1}{L_2} + \frac{1}{L_3} \right) + 1}{L_2 C_2} \right]^{1/2}$$

$$= \frac{1}{2\pi} \cdot \left[\frac{1}{C_2} \cdot \left\{ \left(\frac{1}{L_2} \right) + \left(\frac{1}{L_3} \right) \right\} \right]^{1/2}$$

… (4)

【0061】

従って、例えば、実効透磁率を 2 とすると、表 2-1 中の第 2 中心電極 22 の自己インダクタンスと整合用コンデンサ 26 の静電容量 C2 とインダクタ 28 のインダクタンス L3 の数値を用いて、(4) 式よりトラップ回路の共振周波数は 2.6 GHz となることわかる。なお、この場合、インダクタンス L2 は、第 2 中心電極 22 の自己インダクタンスに実効透磁率の 2 を掛けた値となる。

40

【0062】

表 2-2 は、実施例 2 と比較例 2 のそれぞれの 2ポート型アイソレータ 1C, 301 の、使用周波数である 893 MHz ~ 960 MHz での帯域内最悪値と、2 倍波 (1786 MHz ~ 1920 MHz) の減衰量と、3 倍波 (2679 MHz ~ 2880 MHz) の減衰量とをまとめたものである。

50

【 0 0 6 3 】

【 表 2 】

(表 2 - 1)

	第 1 中心電極 21 の自己イン ダクタンス	第 2 中心電極 22 の自己イン ダクタンス	整合用コ ンデンサ電 容量 C1	整合用コ ンデンサ電 容量 C2	インダク タンス L3
比較例 2	0.7 nH	0.7 nH	22 pF	22 pF	—
実施例 2	0.7 nH	0.7 nH	22 pF	22 pF	0.2 nH

(表 2 - 2)

	入力反射 損失 (dB)	挿入損失 (dB)	アイソレ ーション (dB)	出力反射 損失 (dB)	2 倍波の 減衰量 (dB)	3 倍波の 減衰量 (dB)
比較例 2	22.4	0.75	12.2	11.8	14.0	18.7
実施例 2	22.7	0.75	11.9	11.8	18.7	27.5

10

20

30

40

【 0 0 6 4 】

また、積層基板 30C は、仕様に合わせて種々に変形できる。例えば、図 19 に示している積層基板 30D は、中心電極用接続電極 51 ~ 54 と、コンデンサ電極 55, 56a や抵抗 27 を裏面に設けた誘電体シート 41 と、コンデンサ電極 57a を裏面に設けた誘電体シート 42 と、コンデンサ電極 56b やインダクタ電極 28 を裏面に設けた誘電体シート 43 と、グランド電極 59 を裏面に設けた誘電体シート 44 と、入力外部電極 14 や出力外部電極 15 やアース外部電極 16 を設けた誘電体シート 46 などにて構成されている。中心電極用接続電極 51 は入力ポート P1 とされ、中心電極用接続電極 53, 54 は出

50

力ポート P 2 とされ、中心電極用接続電極 5 2 は第 3 ポート P 3 とされる。

【 0 0 6 5 】

コンデンサ電極 5 5 は、誘電体シート 4 2 を間に挟んでコンデンサ電極 5 7 a の略左半分に対向して第 1 整合用コンデンサ 2 5 を構成する。さらに、コンデンサ電極 5 6 a , 5 6 b は、誘電体シート 4 2 , 4 3 を間に挟んでコンデンサ電極 5 7 a に対向して第 2 整合用コンデンサ 2 6 を構成する。これら整合用コンデンサ 2 5 , 2 6 、抵抗 2 7 およびインダクタ 2 8 は、電極 5 1 ~ 5 4 や外部電極 1 4 ~ 1 6 やビアホール 6 0 , 6 5 とともに、積層基板 3 0 D の内部に電気回路を構成する。

【 0 0 6 6 】

[第 3 実施形態、図 2 0]

第 3 実施形態は、本発明に係る通信装置として、携帯電話を例にして説明する。

【 0 0 6 7 】

図 2 0 は携帯電話 2 2 0 の R F 部分の電気回路ブロック図である。図 2 0 において、2 2 2 はアンテナ素子、2 2 3 はデュプレクサ、2 3 1 は送信側アイソレータ、2 3 2 は送信側増幅器、2 3 3 は送信側段間用帯域通過フィルタ、2 3 4 は送信側ミキサ、2 3 5 は受信側増幅器、2 3 6 は受信側段間用帯域通過フィルタ、2 3 7 は受信側ミキサ、2 3 8 は電圧制御発振器 (V C O) 、 2 3 9 はローカル用帯域通過フィルタである。

【 0 0 6 8 】

ここに、送信側アイソレータ 2 3 1 として、前記第 1 または第 2 実施形態の 2 ポート型アイソレータ 1 , 1 C を使用することができる。これらのアイソレータを実装することにより、周波数特性の向上した、かつ、信頼性の高い携帯電話を実現することができる。

【 0 0 6 9 】

[他の実施形態]

なお、本発明は前記実施形態に限定するものではなく、その要旨の範囲内で種々に変更することができる。例えば、永久磁石 9 の N 極と S 極を反転させれば、入力ポート P 1 と出力ポート P 2 が入れ替わる。また、前記実施形態では、積層基板にインダクタ 2 8 を内蔵しているが、インダクタ 2 8 をチップインダクタや空芯コイルで形成してもよい。さらに、整合用コンデンサ 2 5 , 2 6 を単板コンデンサで形成してもよい。

【 0 0 7 0 】

【 発明の効果 】

以上の説明で明らかのように、本発明によれば、第 2 入出力ポートとアースの間において第 2 整合用コンデンサに対して直列にインダクタを接続したり、第 3 ポートとアースの間においてインダクタを接続したりすることにより、トラップ回路を形成している。そして、このトラップ回路によって減衰極が形成されるので、第 1 中心電極を伝搬する使用周波数 f の 2 倍波 ($2 f$) や 3 倍波 ($3 f$) を減衰することができる。この結果、高性能で信頼性が高くかつ小型の 2 ポート型アイソレータや通信装置を得ることができる。

【 図面の簡単な説明 】

【 図 1 】 本発明に係る 2 ポート型アイソレータの一実施形態を示す分解斜視図。

【 図 2 】 図 1 に示した積層基板の分解斜視図。

【 図 3 】 図 1 に示した 2 ポート型アイソレータの外観斜視図。

【 図 4 】 図 1 に示した 2 ポート型アイソレータの電気等価回路図。

【 図 5 】 アイソレーション特性を示すグラフ。

【 図 6 】 挿入損失特性を示すグラフ。

【 図 7 】 入力反射損失特性を示すグラフ。

【 図 8 】 出力反射損失特性を示すグラフ。

【 図 9 】 減衰特性を示すグラフ。

【 図 1 0 】 図 1 に示した積層基板の変形例を示す分解斜視図。

【 図 1 1 】 図 1 に示した積層基板の別の変形例を示す分解斜視図。

【 図 1 2 】 本発明に係る 2 ポート型アイソレータの別の実施形態に用いられる積層基板を示す分解斜視図。

10

20

30

40

50

【図 1 3】図 1 2 に示した積層基板を用いた 2 ポート型アイソレータの電気等価回路図。

【図 1 4】アイソレーション特性を示すグラフ。

【図 1 5】挿入損失特性を示すグラフ。

【図 1 6】入力反射損失特性を示すグラフ。

【図 1 7】出力反射損失特性を示すグラフ。

【図 1 8】減衰特性を示すグラフ。

【図 1 9】図 1 2 に示した積層基板の変形例を示す分解斜視図。

【図 2 0】本発明に係る通信装置の電気回路ブロック図。

【図 2 1】従来 of 2 ポート型アイソレータの電気等価回路図。

【符号の説明】

10

1, 1 C ... 集中定数型アイソレータ

4 ... 金属製上側ケース

8 ... 金属製下側ケース

9 ... 永久磁石

1 3 ... 中心電極組立体

1 4 ... 入力外部電極

1 5 ... 出力外部電極

1 6 ... アース外部電極

2 0 ... フェライト

2 1 ... 第 1 中心電極

2 2 ... 第 2 中心電極

2 1 a, 2 1 b, 2 2 a, 2 2 b ... 端部

2 5, 2 6 ... 整合用コンデンサ

2 7 ... 抵抗

2 8 ... インダクタ

3 0, 3 0 A, 3 0 B, 3 0 C, 3 0 D ... 積層基板

4 1 ~ 4 6 ... 誘電体シート

5 5, 5 6, 5 7, 5 8 ... コンデンサ電極

5 9 ... グランド電極

2 2 0 ... 携帯電話

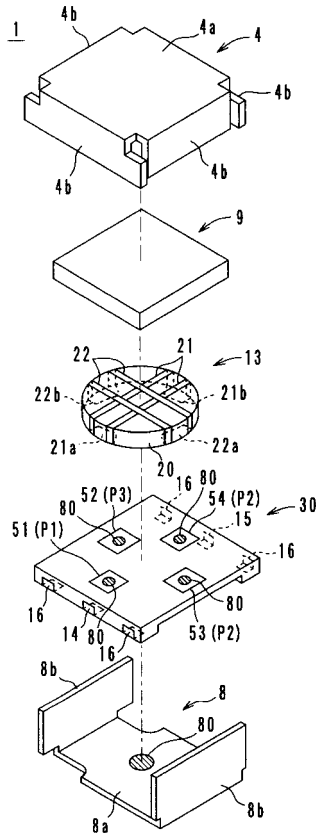
30

P 1 ... 入力ポート (第 1 入出力ポート)

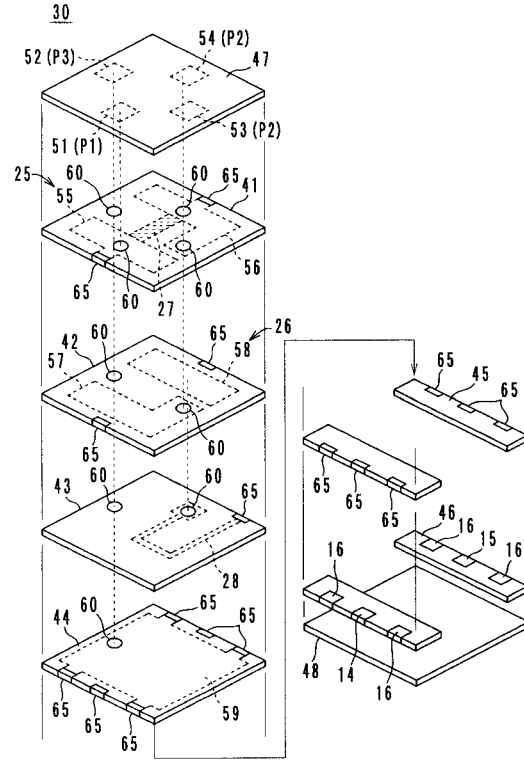
P 2 ... 出力ポート (第 2 入出力ポート)

P 3 ... アースポート (第 3 ポート)

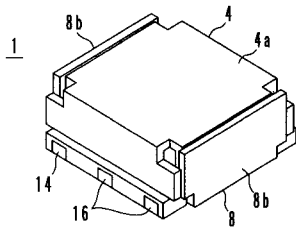
【図 1】



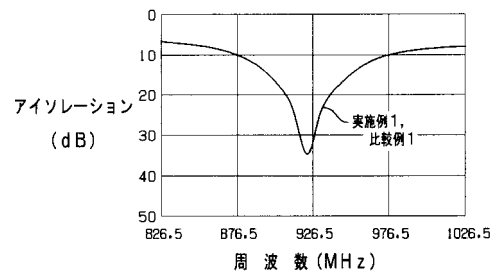
【図 2】



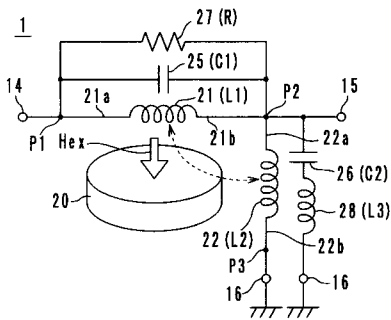
【図 3】



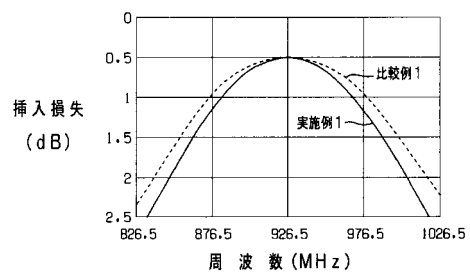
【図 5】



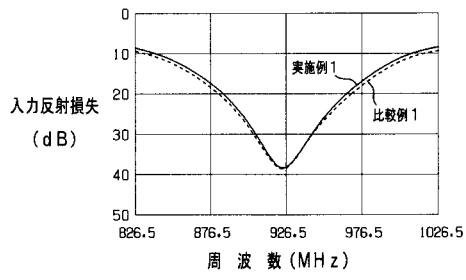
【図 4】



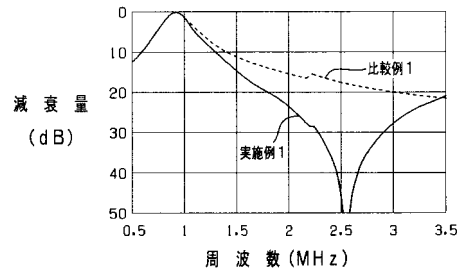
【図 6】



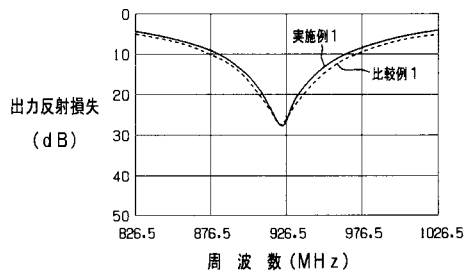
【 図 7 】



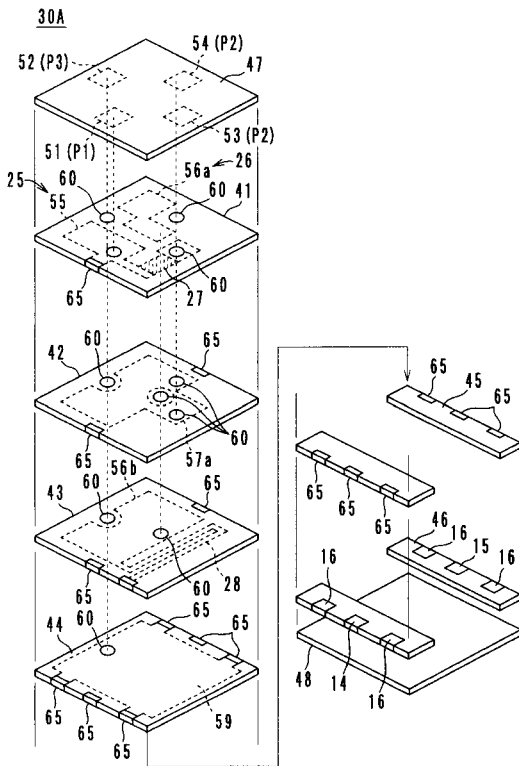
【 図 9 】



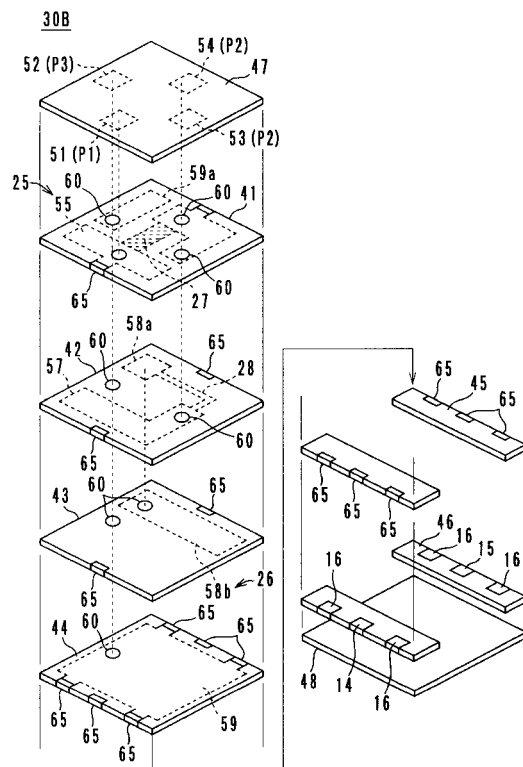
【 図 8 】



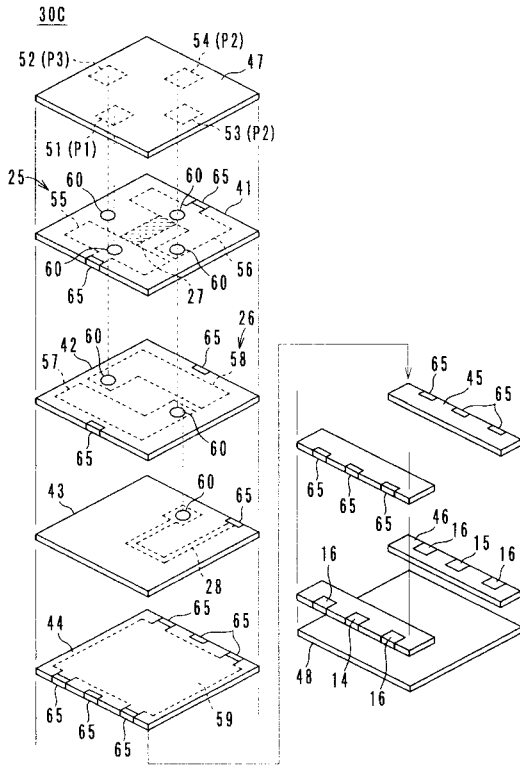
【 図 10 】



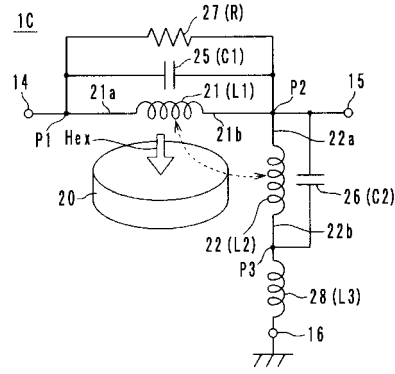
【 図 11 】



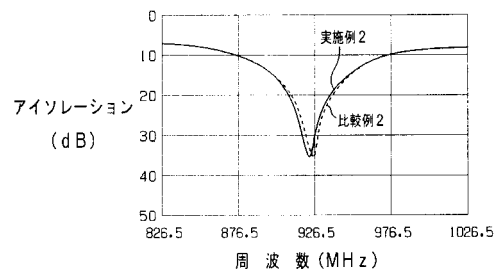
【図 1 2】



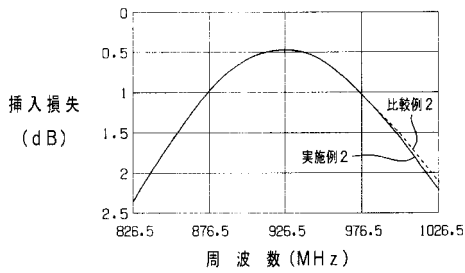
【図 1 3】



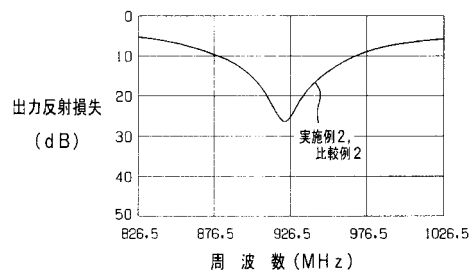
【図 1 4】



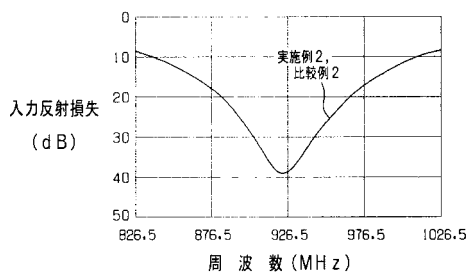
【図 1 5】



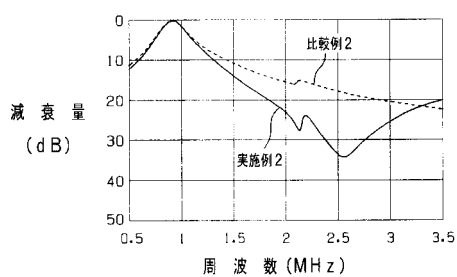
【図 1 7】



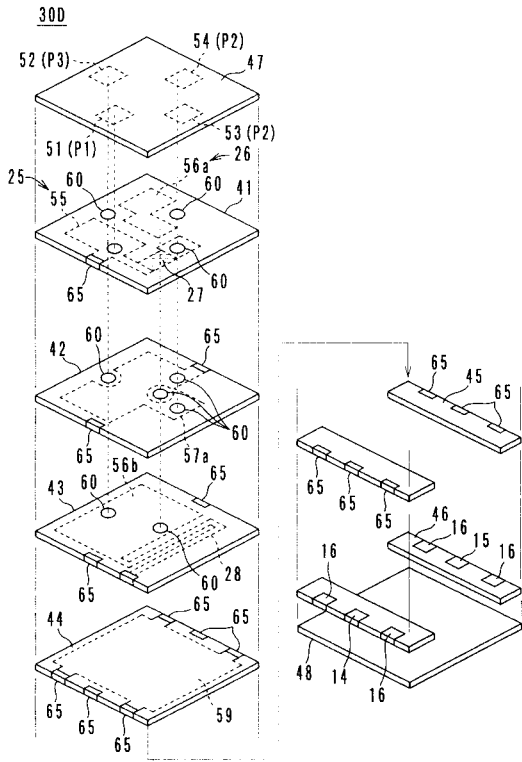
【図 1 6】



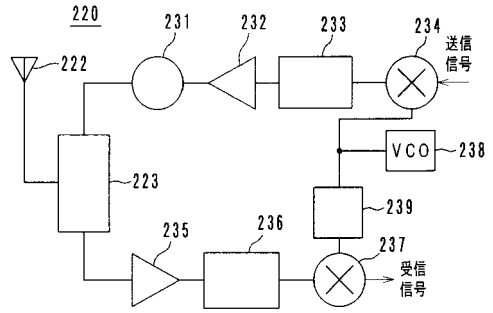
【図 1 8】



【 図 19 】



【 図 20 】



【 図 21 】

