

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成23年4月14日(2011.4.14)

【公開番号】特開2010-93818(P2010-93818A)

【公開日】平成22年4月22日(2010.4.22)

【年通号数】公開・登録公報2010-016

【出願番号】特願2009-235587(P2009-235587)

【国際特許分類】

H 03 F 3/70 (2006.01)

H 03 F 3/34 (2006.01)

H 03 K 5/08 (2006.01)

【F I】

H 03 F	3/70	
H 03 F	3/34	A
H 03 K	5/08	T

【手続補正書】

【提出日】平成23年2月24日(2011.2.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

コンパレータベース／ゼロクロスベーススイッチドキャパシタ回路における誤差を補償するための方法であって、

前記コンパレータベース／ゼロクロスベーススイッチドキャパシタ回路によって、入力信号を用いて第1の出力信号を生成すること、

前記コンパレータベース／ゼロクロスベーススイッチドキャパシタ回路によって、逆極性の前記入力信号を用いて第2の出力信号を生成すること、及び

前記第2の出力信号を前記第1の出力信号から減算することであって、前記コンパレータベース／ゼロクロスベーススイッチドキャパシタ回路に関する最終出力信号を生成する、減算すること、

を含む方法。

【請求項2】

前記第1の出力信号は、正極性の入力信号から生成され、

前記第2の出力信号は、負極性の入力信号から生成される、請求項1に記載の方法。

【請求項3】

一方の極性を有する前記入力信号を第1の入力キャパシタに格納すること、及び

前記逆極性の前記入力信号を第2の入力キャパシタに格納すること、  
をさらに含む、請求項1に記載の方法。

【請求項4】

第1の入力キャパシタからの前記入力信号をコンパレータの入力に接続することであって、前記第1の出力信号を生成する、接続することをさらに含む、請求項1に記載の方法。

【請求項5】

前記第1の出力信号を第1の出力キャパシタに格納することをさらに含む、請求項4に記載の方法。

**【請求項 6】**

前記第1の入力キャパシタを前記コンパレータの前記入力から接続解除すること、及び第2の入力キャパシタを前記コンパレータの前記入力に接続することであって、前記第2の出力信号を生成する、接続すること、  
をさらに含む、請求項5に記載の方法。

**【請求項 7】**

前記第2の出力信号を第2の出力キャパシタに格納することをさらに含む、請求項6に記載の方法。

**【請求項 8】**

前記第1の出力キャパシタ及び前記第2の出力キャパシタを共に接続することであって、前記第2の出力信号を前記第1の出力信号から減算する、接続することをさらに含む、請求項7に記載の方法。

**【手続補正2】**

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

別の方法は、コンパレータベース／ゼロクロスベース回路におけるオフセット誤差も補償する。該方法は、コンパレータベース／ゼロクロスベース回路内のコンパレータへの入力を第1の既知の電圧に設定すること、コンパレータベースゼロクロスベース回路によって生成された出力信号をシステムオフセットとして格納すること、入力電圧をコンパレータベースゼロクロスベース回路に接続することによってコンパレータベースゼロクロスベース回路を動作させることであって、出力信号を生成する、動作させること、及び生成された出力信号から格納されたシステムオフセットを減算することであって、コンパレータベースゼロクロスベース回路に関する最終出力信号を提供する、減算することを含む。

さらに、別の方法は、コンパレータベース回路のオフセットをキャンセルする。該方法は、コンパレータベース回路内のコンパレータへの入力を第1の既知の入力信号に設定すること、コンパレータベース回路によって生成された出力信号をシステムオフセットとして格納すること、入力電圧をコンパレータベース回路に接続することによってコンパレータベース回路を動作させることであって、出力信号を生成する、動作させること、及び生成された出力信号から格納されたシステムオフセットを減算することであって、コンパレータベース回路に関する最終出力信号を提供する、減算することを含む。

ここで、1つの例としての実施の形態によれば、該コンパレータ入力が設定される該第1の既知の信号は0ボルト信号である。

さらに、別の1つの回路は、誤差キャンセルを有するコンパレータベース／ゼロクロスベーススイッチドキャパシタ回路である。該回路は、逆極性を有する入力信号を格納するように構成されるサンプリング段、一対の入力スイッチであって、各入力スイッチは、サンプリング段に接続される入力を有する、一対の入力スイッチ、一対のスイッチにおける各入力スイッチからの出力に接続される第1の入力を有するコンパレータ、コンパレータの出力に接続される制御入力を有する制御電流源、制御電流源の出力とコンパレータの入力との間に接続されるフィードバックキャパシタ、一対の出力スイッチであって、各出力スイッチは、制御電流源の出力に接続される入力を有する、一対の出力スイッチ、一対の出力キャパシタであって、該出力キャパシタの各入力は、出力スイッチの一方の出力に接続され、該出力キャパシタの各出力は、コンパレータの第2の入力に接続される、一対の出力キャパシタ、並びに入力スイッチ及び出力スイッチへの制御信号を生成するコントローラであって、該コントローラは、出力スイッチが出力キャパシタに選択的に接続されることと同期して入力スイッチをコンパレータの入力に選択的に接続して、該コンパレータベース／ゼロクロスベース回路が2つの出力信号を生成することを可能にする信号を生成するように構成され、2つの出力信号の一方は、一方の出力キャパシタに格納され、他方

は他方の出力キャパシタに格納される、コントローラを備える。

ここで、1つの例としての実施の形態によれば、該サンプリング段は、負極性を有する該入力信号を生成する負利得スイッチング回路、及び正極性を有する該入力信号を生成する正利得スイッチング回路を備える。

また、1つの例としての実施の形態によれば、該負利得スイッチング回路及び該正利得スイッチング回路は、2つの入力キャパシタであって、入力スイッチの一方が該2つのキャパシタの一方をコンパレータに接続することに応答して、該一方のキャパシタが、負極性を有する入力信号をコンパレータへ配信することを可能にし、且つ、入力スイッチの他方が該2つのキャパシタの他方をコンパレータに接続することに応答して、該他方のキャパシタが、正極性を有する入力信号をコンパレータへ配信することを可能にするように逆極性で構成される、2つの入力キャパシタ、を備える。

また、1つの例としての実施の形態によれば、該コントローラは、出力スイッチの一方の出力を出力キャパシタの一方に接続する信号と同期して、一方の入力キャパシタの出力をコンパレータの入力に接続する制御信号を生成して、コンパレータベース／ゼロクロスベース回路の一方の出力信号を一方の出力キャパシタに格納し、且つ、出力スイッチの他方の出力を接続する信号と同期して、他方の入力キャパシタの出力をコンパレータの入力に接続する制御信号を生成して、コンパレータベース／ゼロクロスベース回路の他方の出力信号を他方の出力キャパシタに格納するように構成される。

また、1つの例としての実施の形態によれば、該コントローラは、一方の出力キャパシタの出力を他方の出力キャパシタの出力に接続し、一方の出力信号を他方の出力信号から減算して、コンパレータベース／ゼロクロスベーススイッチドキャパシタ回路に関する最終出力信号を生成することを可能にする、出力スイッチへの信号を生成するように構成される。