



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

229 994

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 22 03 83
(21) PV 1945-83

(51) Int. Cl.³
G 11 C 8/00

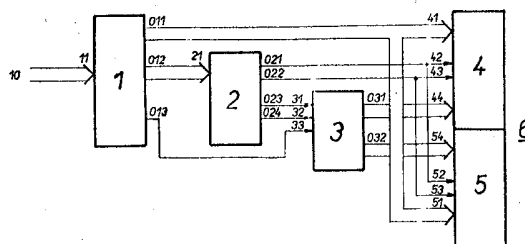
(40) Zveřejněno 28 10 83
(45) Vydáno 01 02 86

(75)
Autor vynálezu

ŠMID ZBYNĚK ing., BRNO

(54) Zapojení adresových obvodů operační paměti

Cílem vynálezu je zjednodušit zapojení a umožnit snadnou změnu rozmístění oblastí paměti typu RAM a paměti typu ROM. Uvedeného cíle se dosáhne zapojením s registrem adresy paměti a s výběrovými obvody, přičemž skupina vstupů registru adresy paměti tvoří současně skupinu vstupů zapojení. První skupina výstupů registru adresy paměti je připojen na první skupinu vstupů oblasti paměti typu RAM operační paměti a na první skupinu vstupů oblasti paměti typu ROM operační paměti. Druhá skupina výstupů registru adresy paměti je připojena na skupinu vstupů kodéru, výstup registru adresy paměti je připojen na třetí vstup výběrových obvodů. První výstup kodéru je připojen na první vstup oblasti paměti typu RAM operační paměti a na první vstup oblasti paměti typu ROM operační paměti, druhý výstup kodéru je připojen na druhý vstup oblasti paměti typu RAM operační paměti a na druhý vstup oblasti paměti typu ROM operační paměti. Třetí výstup kodéru je připojen na první vstup výběrových obvodů, čtvrtý výstup kodéru je připojen na druhý vstup výběrových obvodů. První skupina výstupů výběrových obvodů je připojena na druhou skupinu vstupů oblasti paměti typu RAM operační paměti, druhá skupina výstupů výběrových obvodů je připojena na druhou skupinu vstupů oblasti paměti typu ROM operační paměti. Vynálezu lze využít zejména v malých výpočetních prostředcích, na příklad v inteligentních terminálech.



Vynález se týká zapojení adresových obvodů operační paměti, zejména pro malé výpočetní prostředky.

Významnou skupinu malých výpočetních prostředků tvoří tak zvané jazykově orientované systémy s operační pamětí, obsahující oblast paměti typu ROM a oblast paměti typu RAM. V rozsáhlé oblasti paměti typu ROM, určené pouze pro čtení informace, je umístěn překladač některého vyššího programovacího jazyka a zpravidla za tímto překladačem je k dispozici oblast paměti typu RAM, určená ke čtení i k zápisu informace pro uživatelské programy. V případě systému s použitím stránkování bez možnosti mapování paměti, je privilegovaně přístupná základní, zpravidla nultá stránka. V této stránce je nutné umístit útvary typu zásobník návratných adres podprogramů a podobně do oblasti paměti typu RAM a na druhé straně některé důležité konstanty do oblasti paměti typu ROM. Je tedy potřebné vytvořit relativně krátké, vzájemně proložené oblasti paměti typu RAM a paměti typu ROM. Vývoj polovodičových paměťových obvodů však spěje ke stále vyšším kapacitám jednotlivých obvodů. To se řeší kóděrem logické adresy procesoru výpočetního prostředku na fyzickou adresu paměti.

Nevýhodou klasického kóděru je jeho relativní složitost, zejména při nestejnolehlém promítání jednotlivých oblastí paměti typu RAM a paměti typu ROM vzhledem k jednomu nebo několika bitům adresy a dále obtížná variabilnost při případné změně rozmístění oblasti paměti typu RAM a paměti typu ROM.

Uvedené nevýhody odstraňuje zapojení adresových obvodů operační paměti podle vynálezu, jehož podstatou je, že skupina vstupů registru adresy paměti tvoří současně skupinu vstupů zapojení, první skupina výstupů registru adresy paměti je připojena na první skupinu vstupů oblasti paměti typu RAM operační paměti a na první skupinu vstupů oblasti paměti typu ROM operační

paměti, druhá skupina výstupů registru adresy paměti je připojena na skupinu vstupů kodéru, výstup registru adresy paměti je připojen na třetí vstup výběrových obvodů, první výstup kodéru je připojen na první vstup oblasti paměti typu RAM operační paměti a na první vstup oblasti paměti typu ROM operační paměti, druhý výstup kodéru je připojen na druhý vstup oblasti paměti typu RAM operační paměti a na druhý vstup oblasti paměti typu ROM operační paměti, třetí výstup kodéru je připojen na první vstup výběrových obvodů, čtvrtý výstup kodéru je připojen na druhý vstup výběrových obvodů, první skupina výstupů výběrových obvodů je připojena na druhou skupinu vstupů oblasti paměti typu RAM operační paměti, druhá skupina výstupů výběrových obvodů je připojena na druhou skupinu vstupů oblasti paměti typu ROM operační paměti.

Výhodou zapojení adresových obvodů operační paměti podle vynálezu je jeho jednoduchost a možnost snadné změny rozmístění oblastí paměti typu RAM a paměti typu ROM.

Příklad zapojení adresových obvodů operační paměti podle vynálezu je znázorněn na připojených výkresech, na nichž obr. 1 představuje blokové schéma zapojení, obr. 2 příklad rozdělení oblastí paměti typu RAM a paměti typu ROM, obr. 3 další příklad rozdělení oblastí paměti typu RAM a paměti typu ROM.

Skupina vstupů 11 registru 1 adresy paměti pro šestnácti-bitovou logickou adresu tvoří současně skupinu vstupů 10 zapojení pro připojení na procesor neznázorněného výpočetního prostředku. První skupina výstupů 011 registru 1 adresy paměti pro bity 0 až 7 a 10 až 13 logické adresy je připojena na první skupinu vstupů 41 oblasti 4 paměti typu RAM operační paměti 6 a na první skupinu vstupů 51 oblasti 5 paměti typu ROM operační paměti 6. Druhá skupina výstupů 012 registru 1 adresy paměti pro bity 8 až 15 logické adresy je připojena na skupinu vstupů 21 kodéru 2. Výstup 013 registru 1 adresy paměti pro bit 13 logické adresy je připojen na třetí vstup 33 výběrových obvodů 3. První výstup 021 kodéru 2 pro bit 8 fyzické adresy je připojen na první vstup 42 oblasti 4 paměti typu RAM operační paměti 6 a na první vstup 52 oblasti 5 paměti typu ROM operační paměti 6. Druhý výstup 022 kodéru 2 pro bit 9 fyzické adresy je připojen na druhý vstup 43 oblasti 4 paměti typu RAM operační paměti 6 a na

druhý vstup 53 oblasti 5 paměti typu ROM operační paměti 6. Třetí výstup 023 kodéru 2 pro bit 14 fyzické adresy je připojen na první vstup 31 výběrových obvodů 3. Čtvrtý výstup 024 kodéru 2 pro bit 15 fyzické adresy je připojen na druhý vstup 32 výběrových obvodů 3. První skupina výstupů 031 výběrových obvodů 3 pro řídicí signály je připojena na druhou skupinu vstupů 44 oblasti 4 paměti typu RAM operační paměti 6. Druhá skupina výstupů 032 výběrových obvodů 3 pro řídicí signály je připojena na druhou skupinu vstupů 54 oblasti 5 paměti typu ROM operační paměti 6. Bity logické adresy, vystupující na první skupině výstupů 011 registru 1 adresy paměti, jsou shodné s bity fyzické adresy. Bity fyzické adresy, vystupující na prvním až čtvrtém výstupu 021 až 024 kodéru 2, jsou takové bity, které jsou nebo mohou být odlišné od odpovídajících bitů logické adresy. Kodér 2 je tvořen programovatelnou rychlou polovodičovou pamětí typu ROM o kapacitě 256 čtyřbitových slov. Počet vstupů ve skupině vstupů 21 kodéru 2 určuje minimální rozměry vzájemně vyměnitelných částí oblastí 4, 5 paměti typu RAM a paměti typu ROM. Volba bitů na prvním až čtvrtém výstupu 021 až 024 kodéru 2, které slouží k modifikaci vstupní logické adresy na výstupní fyzickou adresu paměti, závisí na potřebě vzájemné výměny částí oblastí 4, 5 paměti typu RAM a paměti typu ROM.

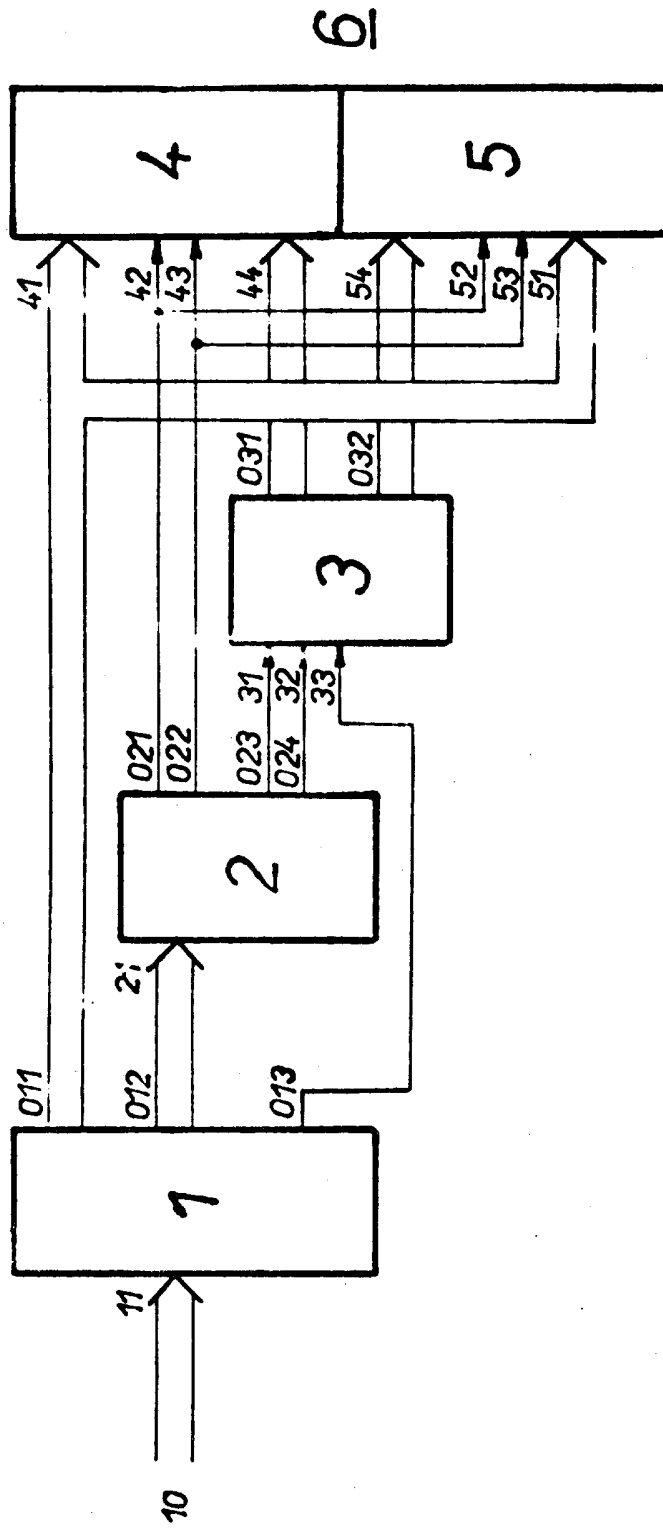
Do registru 1 adresy paměti vstupuje šestnáctibitová logická adresa z procesoru výpočetního prostředku. Zde je uložena po dobu potřebnou pro zápisový nebo čtecí cyklus paměti. Tato logická adresa je pomocí kodéru 2 modifikována na fyzickou adresu paměti. Modifikovány jsou přitom pouze nezbytně nutné bity adresy s ohledem na velikost vzájemně zaměnitelných částí oblastí 4, 5 paměti typu RAM a paměti typu ROM a s ohledem na jejich vzájemnou polohu. Na skupinu vstupů 21 kodéru 2 je nutné přivést takový počet bitů logické adresy směrem od nejvyšších k najnižším bitům, aby se hranice zaměněných částí oblastí 4, 5 paměti typu RAM a paměti typu ROM kryla se změnou nejnižšího bitu přiváděného do kodéru 2. Čísla výstupních bitů kodéru 2 a jejich počet je určen podle toho, které části oblastí 4, 5 paměti typu RAM a paměti typu ROM se navzájem zaměňují. Je-li oblast 5 paměti typu ROM menší než oblast 4 paměti typu RAM, je možno zanedbat další, to je parazitní vzájemné záměny v oblasti 4 paměti typu RAM, neboť nemění nic na požadavku jednoznačnosti přiřazení určitých slov paměti určité adrese. Příkladem toho by mohl být

obr. 2 za předpokladu, že jeho spodní polovina, to je bit 15 rovný logické jedničce, by tvořila oblast 4 paměti typu RAM. Zde by spodní, to je parazitní záměna částí oblastí 4, 5 paměti typu RAM a paměti typu ROM nebyla na závažu. Nižší bity takto modifikované fyzické adresy jsou přivedeny jako adresa jednotlivých paměťových obvodů v oblasti 4, 5 paměti typu RAM a paměti typu ROM, vyšší bity pak ovládají přes výběrové obvody 3 řídicí signály, přiváděné na druhou skupinu vstupů 44 oblasti 4 paměti typu RAM a na druhou skupinu vstupů 54 oblasti 5 paměti typu ROM operační paměti 6. Činnost zapojení je dále zřejmá z obr. 2 a z obr. 3, kde šrafovaná část představuje oblast paměti typu ROM a nešrafovaná oblast paměti typu RAM, a sice pro vstupní bity logické adresy registru 1 adresy paměti a pro vstupní bity logické adresy kodéru 2.

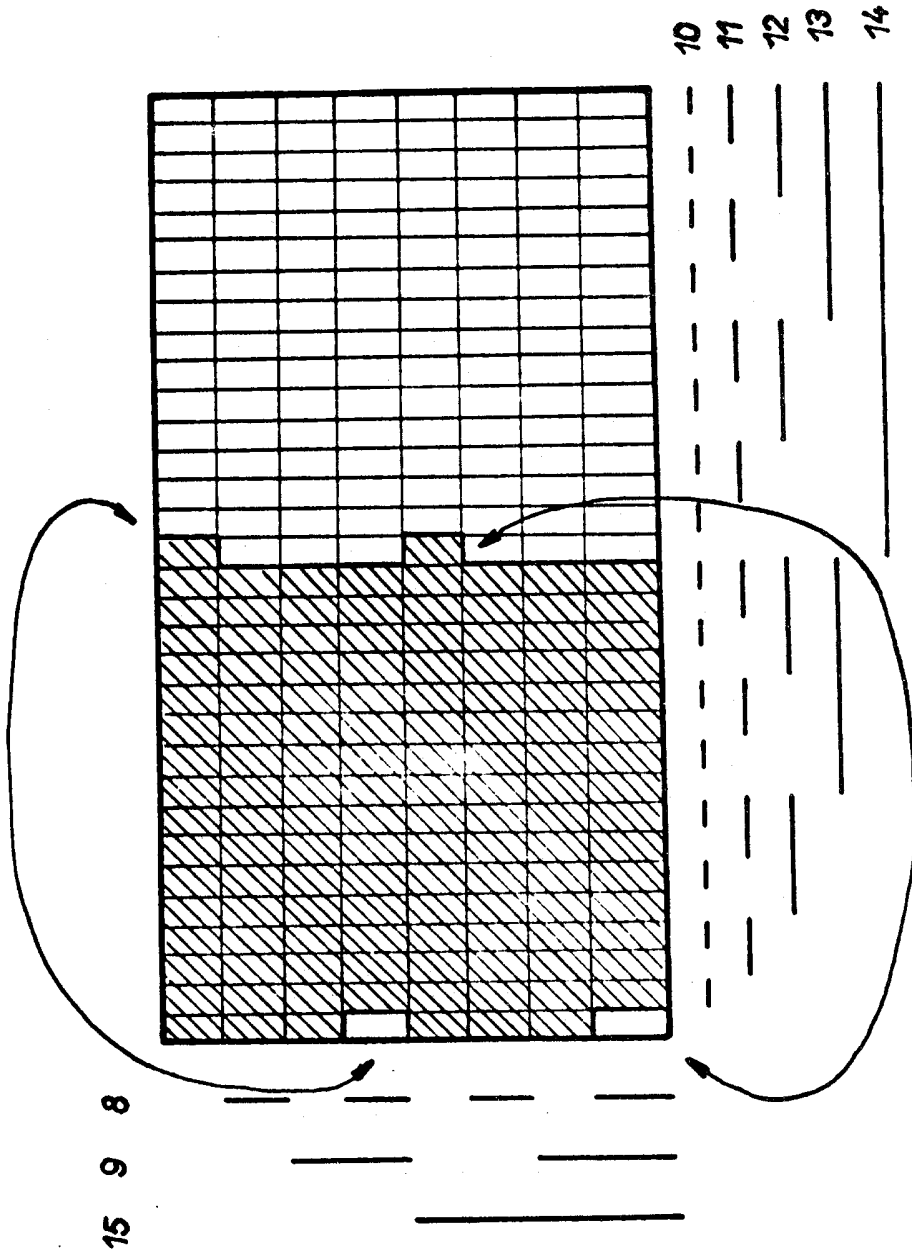
Vynálezu lze použít zejména pro malé výpočetní prostředky, na příklad pro inteligentní terminály.

Zapojení adresových obvodů operační paměti obsahující oblast paměti typu RAM a oblast paměti typu ROM, s registrem adresy paměti a s výběrovými obvody, vyznačené tím, že skupina vstupů (11) registru (1) adresy paměti tvoří současně skupinu vstupů (10) zapojení, první skupina výstupů (011) registru (1) adresy paměti je připojena na první skupinu vstupů (41) oblasti (4) paměti typu RAM operační paměti (6) a na první skupinu vstupů (51) oblasti (5) paměti typu ROM operační paměti (6), druhá skupina výstupů (012) registru (1) adresy paměti je připojena na skupinu vstupů (21) kodéru (2), výstup (013) registru (1) adresy paměti je připojen na třetí vstup (33) výběrových obvodů (3), první výstup (021) kodéru (2) je připojen na první vstup (42) oblasti (4) paměti typu RAM operační paměti (6) a na první vstup (52) oblasti (5) paměti typu ROM operační paměti (6), druhý výstup (022) kodéru (2) je připojen na druhý vstup (43) oblasti (4) paměti typu RAM operační paměti (6) a na druhý vstup (53) oblasti (5) paměti typu ROM operační paměti (6), třetí výstup (023) kodéru (2) je připojen na první vstup (31) výběrových obvodů (3), čtvrtý výstup (024) kodéru (2) je připojen na druhý vstup (32) výběrových obvodů (3), první skupina výstupů (031) výběrových obvodů (3) je připojena na druhou skupinu vstupů (44) oblasti (4) paměti typu RAM operační paměti (6), druhá skupina výstupů (032) výběrových obvodů (3) je připojena na druhou skupinu vstupů (54) oblasti (5) paměti typu ROM operační paměti (6).

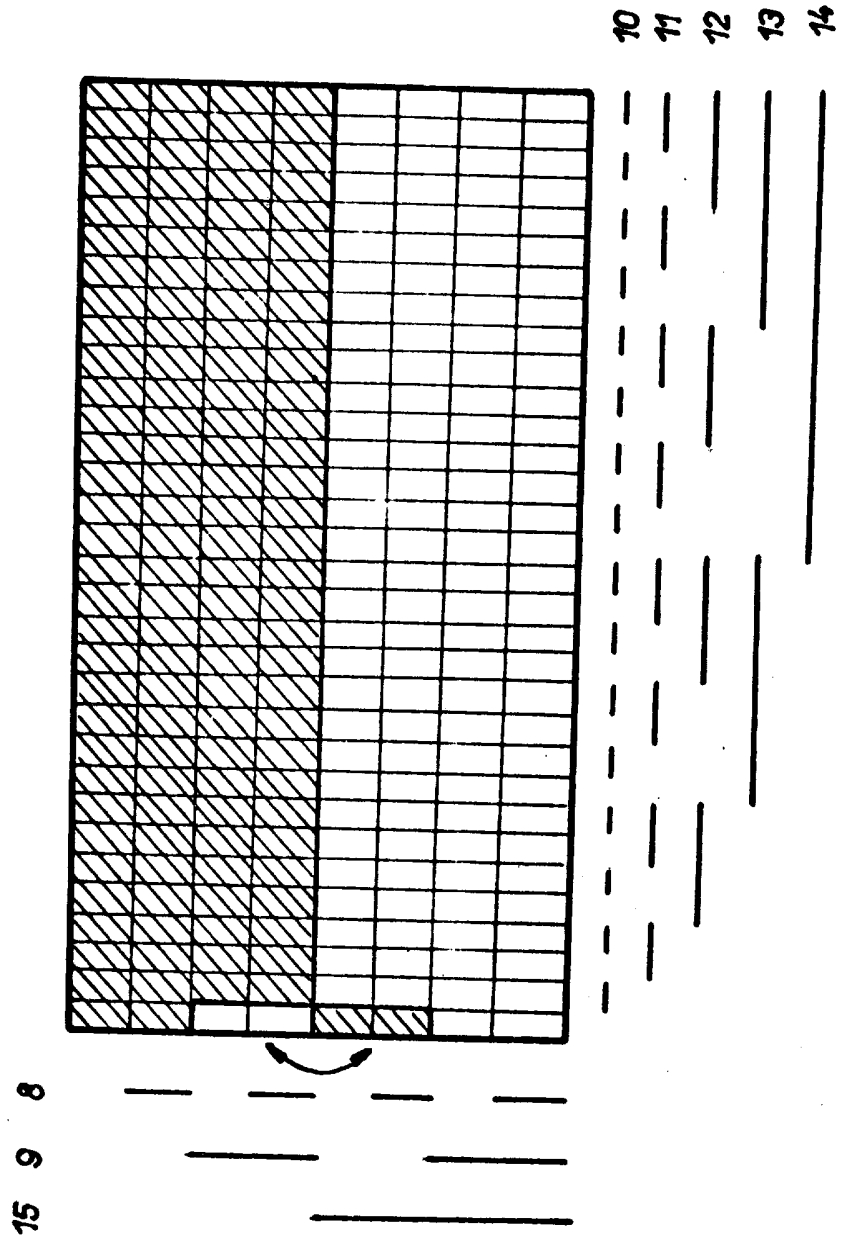
3 výkresy



OBR. 1



OBR. 2



OBR. 3