

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-505501

(P2007-505501A)

(43) 公表日 平成19年3月8日(2007.3.8)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80	5 F 1 O 2
HO 1 L 29/778 (2006.01)		
HO 1 L 29/812 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 24 頁)

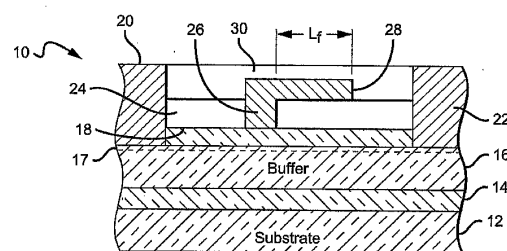
(21) 出願番号	特願2006-526270 (P2006-526270)	(71) 出願人	592054856
(86) (22) 出願日	平成16年9月8日 (2004.9.8)		クリー インコーポレイテッド
(85) 翻訳文提出日	平成18年5月9日 (2006.5.9)		C R E E I N C .
(86) 国際出願番号	PCT/US2004/029345		アメリカ合衆国 ノースカロライナ州 2
(87) 国際公開番号	W02005/029589		7703 ダラム シリコン ドライブ
(87) 国際公開日	平成17年3月31日 (2005.3.31)		4600
(31) 優先権主張番号	60/501,576	(74) 代理人	100077481
(32) 優先日	平成15年9月9日 (2003.9.9)		弁理士 谷 義一
(33) 優先権主張国	米国 (US)	(74) 代理人	100088915
(31) 優先権主張番号	10/930,160		弁理士 阿部 和夫
(32) 優先日	平成16年8月31日 (2004.8.31)	(72) 発明者	ブリミット パリーク
(33) 優先権主張国	米国 (US)		アメリカ合衆国 93117 カリフォル
			ニア州 ゴレタ シャドウブルック ドラ
			イブ 6832

最終頁に続く

(54) 【発明の名称】 フィールドプレートを有するワイドバンドギャップトランジスタデバイス

(57) 【要約】

活性層との電氣的コンタクトで形成された金属のソースおよびドレインコンタクト(20, 22)を有する活性半導体層を備えるトランジスタ構造。ゲートコンタクト(26)が、活性層内の電界を変調するためにソースコンタクトとドレインコンタクトとの間に形成されている。スペーサ層(24)が、活性層の上に形成されている。導電性フィールドプレート(28)がスペーサ層の上に形成され、ゲートコンタクトの端からドレインコンタクトに向かって距離 L_f 延びている。フィールドプレートは、ゲートコンタクトに電氣的に接続されている。



【特許請求の範囲】

【請求項 1】

基板上に形成された複数の活性半導体層と、
前記複数の活性層との電氣的コンタクトで形成されたソースコンタクトと、
前記複数の活性層との電氣的コンタクトで同様に形成されたドレインコンタクトであって、前記複数の活性層の最上部の上の前記ソースコンタクトと前記ドレインコンタクトとの間にスペースがあるドレインコンタクトと、
前記ソースコンタクトと前記ドレインコンタクトとの間の前記複数の活性層の前記最上部との電氣的コンタクトで形成されたゲートと、
前記ゲートと前記ドレインコンタクトとの間の前記複数の活性層の最上部の表面に形成されたエピタキシャル材料のスペーサ層であって、前記ゲートは前記スペーサ層により覆われていないスペーサ層と、
前記スペーサ層の上に前記ゲートの一部として形成されたフィールドプレートとを備えることを特徴とするトランジスタ。

【請求項 2】

前記フィールドプレートは、前記スペーサ層の上に前記ゲートの端から前記ドレインコンタクトに向かって距離 L_f 延びていることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 3】

前記スペーサ層は、前記ゲートと前記ドレインコンタクトとの間にステップ配置で複数のスペース層を有することを特徴とする請求項 1 に記載のトランジスタ。

【請求項 4】

前記フィールドプレートは、前記スペーサ層ステップ配置の上に形成されて複数のフィールドプレートの部分を形成し、各部分は各部分と前記複数の活性層の最上部との間の距離が異なることを特徴とする請求項 3 に記載のトランジスタ。

【請求項 5】

高電子移動度トランジスタ (HEMT) を備える請求項 1 に記載のトランジスタであって、前記複数の活性層は、少なくとも、前記基板の上のバッファ層および前記バッファ層の上のバリア層を備え、二次元電子ガスは前記バッファ層と前記バリア層との間にあり、前期バリア層は前記複数の活性層の最上部であることを特徴とするトランジスタ。

【請求項 6】

前記 HEMT は、ガリウム窒化物ベースであることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 7】

前記バッファ層と前記基板との間に核生成層をさらに備える請求項 5 に記載のトランジスタ。

【請求項 8】

金属半導体接合 FET (MESFET) を備える請求項 1 に記載のトランジスタであって、前記複数の活性層は、少なくとも、前記基板の上のバッファ層および前記バッファ層の上のチャンネル層を備え、前記チャンネル層は前記複数の活性層の最上部にあることを特徴とするトランジスタ。

【請求項 9】

前記 MESFET は、シリコンカーバイドベースであることを特徴とする請求項 8 に記載のトランジスタ。

【請求項 10】

前記ゲートはガンマ型であることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 11】

前記フィールドプレートは、前記フィールドプレートを有しない類似のトランジスタと比較してピーク動作電界の低減を提供することを特徴とする請求項 1 に記載のトランジスタ。

【請求項 1 2】

前記ゲートは、前記複数の活性層の前記最上部内に少なくとも部分的にリセス化されていることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 1 3】

前記トランジスタのさらされた表面の少なくともいくらかを覆うパシベーション層をさらに備えることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 1 4】

前記フィールドプレートおよび前記フィールドプレートと前記ドレインコンタクトとの間の前記スペーサ層の表面を覆う第 2 のスペーサ層をさらに備え、前期第 2 のスペーサ層の上の、前記ゲートの端から前記ドレインコンタクトに向かって延びている第 2 のフィールドプレートをさらに備えることを特徴とする請求項 1 に記載のトランジスタ。 10

【請求項 1 5】

前記スペーサ層および前記フィールドプレートの上に、少なくとも 1 つの追加のスペーサ層とフィールドプレートの対をさらに備えることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 1 6】

基板上に形成された複数の活性半導体層と、
前記複数の活性層との電気的コンタクトで形成されたソースコンタクトと、
前記複数の活性層との電気的コンタクトで同様に形成されたドレインコンタクトであって、前記複数の活性層の最上部の上の前記ソースコンタクトと前記ドレインコンタクトとの間にスペースがあるドレインコンタクトと、 20
前記ソースコンタクトと前記ドレインコンタクトとの間の前記複数の活性層の前記最上部との電気的コンタクトで形成されたゲートと、
前記ゲートと前記ドレインコンタクトとの間の前記複数の活性層の最上部の表面に形成された、前記ゲートコンタクトを覆うスペーサ層と、
前記スペーサ層の上に形成され、前記ゲートに電気的に接続されているフィールドプレートと
を備えることを特徴とするトランジスタ。

【請求項 1 7】

前記フィールドプレートは、少なくとも部分的に前記ゲートオーバーラップし、前記スペーサ層の上を前記ドレインコンタクトに向かって延びていることを特徴とする請求項 1 6 に記載のトランジスタ。 30

【請求項 1 8】

前記ゲートと前記フィールドプレートとの間を前記スペーサ層を通して走っている 1 つまたは複数の導電性ビアをさらに備え、前記ビアは前記フィールドプレートに前記ゲートとの電気的接続を提供することを特徴とする請求項 1 6 に記載のトランジスタ。

【請求項 1 9】

前記フィールドプレートと前記ゲートとの間の 1 つまたは複数の導電性経路をさらに備え、前記経路のそれぞれは、前記スペーサ層の外を走っていて、前記フィールドプレートに前記ゲートとの電気的接続を提供することを特徴とする請求項 1 6 に記載のトランジスタ。 40

【請求項 2 0】

前記スペーサ層は、前記ゲートと前記ドレインコンタクトとの間のステップ配置の複数のスペーサ層を備えることを特徴とする請求項 1 6 に記載のトランジスタ。

【請求項 2 1】

前記フィールドプレートは前記スペーサ層ステップ配置の上に形成されて複数のフィールドプレートの部分を形成し、各部分は各部分と前記複数の活性層の最上部との間の距離が異なることを特徴とする請求項 2 0 に記載のトランジスタ。

【請求項 2 2】

高電子移動度トランジスタ (H E M T) を備える請求項 1 6 に記載のトランジスタであ 50

って、前記複数の活性層は、少なくとも、前記基板の上のバッファ層および前記バッファ層の上のバリア層を備え、二次元電子ガスは前記バッファ層と前記バリア層との間にあり、前記バリア層は前記複数の活性層の最上部であることを特徴とするトランジスタ。

【請求項 23】

前記 H E M T は、ガリウム窒化物ベースであることを特徴とする請求項 22 に記載のトランジスタ。

【請求項 24】

前記バッファ層と前記基板との間に核生成層をさらに備える請求項 22 に記載のトランジスタ。

【請求項 25】

金属半導体接合 F E T (M E S F E T) を備える請求項 16 に記載のトランジスタであって、前記複数の活性層は、少なくとも、前記基板の上のバッファ層および前記バッファ層の上のチャネル層を備え、前記チャネル層は前記複数の活性層の最上部にあることを特徴とするトランジスタ。

【請求項 26】

前記 M E S F E T は、シリコンカーバイドベースであることを特徴とする請求項 25 に記載のトランジスタ。

【請求項 27】

前記ゲートはガンマ型であることを特徴とする請求項 16 に記載のトランジスタ。

【請求項 28】

前記フィールドプレートは、前記フィールドプレートを有しない類似のトランジスタと比較してピーク動作電界の低減を提供することを特徴とする請求項 16 に記載のトランジスタ。

【請求項 29】

前記ゲートは、前記複数の活性層の前記最上部内に少なくとも部分的にリセス化されていることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 30】

前記トランジスタのさらされた表面の少なくともいくらかを覆うパシベーション層をさらに備えることを特徴とする請求項 16 に記載のトランジスタ。

【請求項 31】

活性半導体層と、

前記活性層との電氣的コンタクトで形成された金属のソースコンタクトおよびドレインコンタクトと、

前記活性層内の電界を変調するための前記ソースコンタクトと前記ドレインコンタクトとの間に形成されたゲートコンタクトと、

前記活性層の上に形成されたスペーサ層と、

前記スペーサ層の上に形成され、前記ゲートコンタクトの端から前記ドレインコンタクトに向かって距離 L_f 延びている、前記ゲートコンタクトに電氣的に接続されている導電性フィールドプレートと

を備えることを特徴とするトランジスタ構造。

【請求項 32】

前記フィールドプレートは、前記フィールドプレートを有しない類似のトランジスタと比較してピーク動作電界の低減を提供することを特徴とする請求項 31 に記載のトランジスタ構造。

【請求項 33】

前記スペーサ層は、誘電体層、ドーパされた又は空乏化したワイドバンドギャップ材料、またはそれらの組み合わせからなることを特徴とする請求項 31 に記載のトランジスタ構造。

【請求項 34】

活性半導体層と、

10

20

30

40

50

前記活性層との電気的コンタクトで形成された金属のソースコンタクトおよびドレインコンタクトと、

前記活性層内の電界を変調するための前記ソースコンタクトと前記ドレインコンタクトとの間に形成されたゲートコンタクトと、

前記活性半導体層の上の前記スペーサの上に形成され、前記ゲートコンタクトの端から前記ドレインコンタクトに向かって距離 L_f 延びている導電性フィールドプレートであって、前記ゲートコンタクトに電気的に接続されていて、前記フィールドプレートを有しない類似のトランジスタと比較して前記トランジスタ内のピーク動作電界の低減を提供するフィールドプレートと

を備えることを特徴とするトランジスタ。

10

【請求項 35】

基板の上に形成された複数の活性半導体層と、

前記複数の活性層との電気的コンタクトで形成されたソースコンタクトおよびドレインコンタクトと、

前記ソースコンタクトと前記ドレインコンタクトとの間の前記複数の活性層の前記最上部との電気的コンタクトで形成されたゲートと、

前記ゲートと前記ドレインコンタクトとの間の前記複数の活性層の前記最上部の表面に形成された第1のスペーサ層であって、前記ゲートは前記スペーサ層によって覆われていない第1のスペーサ層と、

前記ゲートの一部として前記スペーサ層の上に形成され、前記ドレインコンタクトに向かって前記スペーサ層の上を延びている第1のフィールドプレートと、

前記フィールドプレートおよび前記フィールドプレートと前記ドレインコンタクトとの間の前記スペーサ層の表面を覆っている第2のスペーサ層と

を備え、さらに、前記第2のスペーサ層の上にあり、前記ゲートの端から前記ドレインコンタクトに向かって延びている第2のフィールドプレートを備えることを特徴とするトランジスタ。

20

【請求項 36】

前記第1および第2のフィールドプレートは、前記ゲートに電気的に接続されている請求項1に記載のトランジスタ。

【請求項 37】

前記第2のスペーサ層および前記第2のフィールドプレートの上に、少なくとも1つの追加のスペーサ層とフィールドプレートの対をさらに備え、フィールドプレートのそれぞれは前記ゲートに電気的に接続されていることを特徴とする請求項1に記載のトランジスタ。

30

【請求項 38】

基板の上のバッファ層と、

前記バッファ層の上のチャネル層と、

前記チャネル層との電気的コンタクトで形成されたソースおよびドレインコンタクトと

、前記ソースコンタクトと前記ドレインコンタクトとの間に前記チャネル層との電気的コンタクトで形成されたゲートと、

少なくとも前記ゲートと前記ドレインコンタクトとの間の前記チャネル層の表面に形成されたスペーサ層と、

前記ゲートとの電気的コンタクトでスペーサ層の上に形成されたフィールドプレートとを備えることを特徴とする金属半導体接合FET(MESFET)。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2003年9月に出願されたパリーク(Parikh)らの米国特許出願第60/501,576号の仮出願の利益を主張する。

50

【0002】

本発明は、トランジスタに関し、より具体的にはフィールドプレートを用いるトランジスタに関する。

【背景技術】

【0003】

高電子移動度トランジスタ（HEMT）は、シリコン（Si）またはガリウム砒素（GaAs）のような半導体材料から頻繁に作製される固体トランジスタの一般的なタイプである。Siの1つの短所は、電子移動度が低く（ $600 \sim 1450 \text{ cm}^2 / \text{V} \cdot \text{s}$ ）高いソース抵抗を生じさせることである。この抵抗は、SiベースのHEMTの高いパフォーマンスゲインを低下させうる（非特許文献1参照）。

10

【0004】

GaAsベースのHEMTは、民間用および軍事用のレーダ、携帯電話機、および衛星通信における信号増幅のスタンダードとなった。GaAsは、Siよりも高い電子移動度（約 $6000 \text{ cm}^2 / \text{V} \cdot \text{s}$ ）を有し、Siよりもソース抵抗が低く、これらはGaAsベースのデバイスがより高い周波数で動作することを可能にする。しかしながら、GaAsは比較的小さいバンドギャップ（室温で 1.42 eV ）および比較的小さい降伏電圧を有し、そのことはGaAsベースのHEMTが高周波数で大電力を提供することを妨げる。

【0005】

AlGaIn/GaNなどのワイドバンドギャップ半導体の製造における改良は、高周波数・高温・および大電力アプリケーションのためのAlGaIn/GaN HEMTの開発に注目を集めた。AlGaIn/GaNは大きなバンドギャップを有し、また高いピークおよび飽和電子速度値も有する（非特許文献2参照）。AlGaIn/GaN HEMTはまた、 $10^{13} / \text{cm}^2$ を超える2次元電子ガス（2DEG）面密度および比較的高い電子移動度（ $2019 \text{ cm}^2 / \text{Vs}$ まで）を有する（非特許文献3参照）。これらの特徴は、AlGaIn/GaN HEMTが非常に高い電圧および大電力での動作をRF、マイクロ波、およびミリ波周波数で提供できるようにする。

20

【0006】

AlGaIn/GaN HEMTはサファイア基板上で成長されていて、 4.6 W/mm の電力密度および 7.6 W の総電力が確認された（非特許文献4）。より最近では、SiC上で成長されたAlGaIn/GaN HEMTが 8 GHz で 9.8 W/mm の電力密度（非特許文献5）および 9 GHz で 22.9 の総出力電力（非特許文献6）を記録した。

30

【0007】

パリーク（Parikh）らの米国特許出願第5,192,987号は、バッファおよび基板の上に成長されたGaIn/AlGaInベースのHEMTを開示している。他のAlGaIn/GaN HEMTおよび電界効果トランジスタ（FET）は、非特許文献7および8に説明されている。これらのデバイスの中には、 67 GHz にものぼる利得帯域幅積（ f_T ）（非特許文献9）や 10 GHz で 2.84 W/mm の高電力密度（非特許文献10および11）を示したものがある。

40

【0008】

【特許文献1】米国特許第6,586,781号

【特許文献2】米国特許第5,290,393号

【特許文献3】米国特許第5,686,738号

【特許文献4】米国特許第5,393,993号

【特許文献5】米国特許第5,523,589号

【特許文献6】米国特許第5,739,554号

【特許文献7】米国特許第6,316,793号

【特許文献8】米国特許第6,548,333号

【特許文献9】米国特許出願公開第2002/0167023号

50

- 【特許文献10】米国特許出願公開第2003/00020092号
- 【特許文献11】米国特許第5,192,987号
- 【特許文献12】米国特許第5,296,395号
- 【特許文献13】米国特許第5,686,737号
- 【特許文献14】「Silicon Carbide Metal-Semiconductor Field Effect Transistors and Methods of Fabricating Silicon Carbide Metal-Semiconductor Field Effect Transistors」、米国特許出願第09/567,717号、2000年5月10日出願
- 【非特許文献1】CRS Press、「The Electrical Engineering Handbook」、第2版、Dorf、1997年、p. 994 10
- 【非特許文献2】B. Belmont, K. Kim and M. Shur, J. Appl. Phys., 74, p. 1818 (1993)
- 【非特許文献3】R. Gaska, J.W. Yang, A. Osinsky, Q. Chen, M.A. Khan, A.O. Orlov, G.L. Snider and M.S. Shur, Appl. Phys. Lett., 72, 707 (1998)
- 【非特許文献4】Y.F. Wu et al., IEICE Trans. Electron., E-82-C, 1895 (1999)
- 【非特許文献5】Y.F. Wu, D. Kapolnek, J.P. Ibbettson, P. Parikh, B.P. Keller and U.K. Mishra, IEEE Trans. Electron. Dev., 48, 586 (2001) 20
- 【非特許文献6】M. Micovic, A. Kurdoghlian, P. Janke, P. Hashimoto, D.W.S. Wong, J.S. Moon, L. McCray and C. Nguyen, IEEE Trans. Electron. Dev., 48, 591 (2001)
- 【非特許文献7】Gaska et al., "High-Temperature Performance of AlGa_N/Ga_N HFET's on SiC Substrates," IEEE Electron Device Letters, Vol. 18, No. 10, October 1997, p. 492 30
- 【非特許文献8】Ping et al., "DC and Microwave Performance of High Current AlGa_N Heterostructure Field Effect Transistors Grown on P-type SiC Substrates," IEEE Electron Devices Letters, Vol. 19, No. 2, February 1998, p. 54
- 【非特許文献9】K. Chu et al., WOCSEMMAD, Monterey, CA (February 1998)
- 【非特許文献10】G. Sullivan et al., "High Power 10-GHz Operation of AlGa_N HFET's in Insulating SiC," IEEE Electron Device Letters, Vol. 19, No. 6, p. 198 (June 1998) 40
- 【非特許文献11】Wu et al., IEEE Electron Device Letters, Vol. 19, No. 2, p. 50 (February 1998)
- 【発明の開示】
- 【発明が解決しようとする課題】
- 【0009】
- 電子トラッピングおよびその結果であるDC特性とRF特性との間の差異は、AlGa 50

N / G a N H E M TのようなG a Nベースのトランジスタの性能において制限的要素であった。このトラッピング問題を軽減するためにシリコン窒化物 (S i N) パッシベーション (p a s s i v a t i o n) が用いられ、10 G H zで10 W / m mを超える電力密度を有する高性能デバイスをもたらした。特許文献1は、G a Nベースのトランジスタにおいてトラッピング効果を低減する方法および構造を開示している。しかしながら、これらの構造に存在する高い電界によって、電荷トラッピングは依然として問題でありうる。

【課題を解決するための手段】

【0010】

本発明は、ゲートに接続されたフィールドプレートを用いて、改善されたトランジスタ構造を提供し、動作特性を改善する。本発明による1つのトランジスタは、基板上に形成された複数の活性半導体層を備える。ソースコンタクトは、その複数の活性層との電気的コンタクトで形成されていて、ドレインコンタクトも、その複数の活性層との電気的コンタクトで形成されていて、その複数の活性層の最上部にあるソースコンタクトとドレインコンタクトとの間にスペースを伴う。ゲートは、その複数の活性層の最上部との電気的コンタクトでソースコンタクトとドレインコンタクトとの間に形成されている。エピタキシ材料からなるスペーサ層は、その複数の活性層の最上部の表面にゲートコンタクトとドレインコンタクトとの間に形成されていて、ゲートは、スペーサ層により覆われていない。フィールドプレートは、ゲートの一部としてスペーサ層上に形成されている。

【0011】

本発明によるトランジスタの別の実施形態は、基板上に形成された複数の活性半導体層を備える。ソースコンタクトは、その複数の活性層との電気的コンタクトで形成されている。ドレインコンタクトも、その複数の活性層との電気的コンタクトで形成されていて、その複数の活性層の最上部にあるソースコンタクトとドレインコンタクトとの間にスペースを伴う。ゲートは、その複数の活性層の最上部との電気的コンタクトでソースコンタクトとドレインコンタクトとの間に形成されている。スペーサ層は、その複数の活性層の最上部の表面にゲートコンタクトとドレインコンタクトとの間に形成されていて、ゲートコンタクトを覆っている。フィールドプレートはスペーサ層上に形成されていて、ゲートに電気的に接続されている。

【0012】

本発明によるトランジスタの別の実施形態は、基板上に形成された複数の活性半導体層を備える。ソースおよびドレインコンタクトは、その複数の活性層との電気的コンタクトで形成されている。ゲートは、その複数の活性層の最上部との電気的コンタクトでソースコンタクトとドレインコンタクトとの間に形成されている。第1のスペーサ層は、その複数の活性層の最上部の表面にゲートとドレインコンタクトとの間に形成されていて、ゲートは、そのスペーサ層により覆われていない。第1のフィールドプレートは、ゲートの一部としてスペーサ層上に形成されていて、スペーサ層上をドレインコンタクトに向かって延びている。第2のスペーサ層は、そのフィールドプレートおよびそのフィールドプレートとドレインコンタクトとの間のスペーサ層の表面を覆い、さらに、第2のスペーサ層上にあってゲートの端からドレインコンタクトに向かって延びている第2のフィールドプレートを備える。

【0013】

これら及び他のさらなる本発明の特徴および利点は、添付の図面とともに参照することで以下の詳細な説明から当業者に明らかになるだろう。

【発明を実施するための最良の形態】

【0014】

本発明によるフィールドプレートの配置は、多くの異なるトランジスタ構造とともに用いることができる。ワイドバンドギャップトランジスタ構造は、一般に活性領域を備え、金属のソースコンタクトおよびドレインコンタクトが活性領域との電気的コンタクトで形成され、ゲートコンタクトがソースコンタクトとドレインコンタクトとの間に活性領域内

10

20

30

40

50

の電界を変調するために形成されている。活性領域の上にスペーサ層が形成されている。スペーサ層は、誘電体層、アンドープの又は空乏化したワイドバンドギャップエピタキシシ材料などのエピタキシシ材料の層、またはこれらの組み合わせからなることができる。導電性のフィールドプレートがスペーサ層の上に形成され、ゲートコンタクトの端からドレインコンタクトに向かって距離 L_f 延びている。フィールドプレートは、ゲートコンタクトに電氣的に接続されることができる。このフィールドプレートの配置は、デバイス内のピーク電界を低減し、降伏電圧の増加およびトラッピングの低減という結果を生じる。電界の低減は、リーク電流の低減および信頼性の向上などの他の利益ももたらす。

【0015】

本発明によるフィールドプレートの配置を用いることができるトランジスタのあるタイプは、高電子移動度トランジスタ (HEMT) であり、一般にはバッファ層およびバッファ層の上のバリア層を備える。二次元電子ガス (2DEG) 層 / チャネルが、バッファ層とバリア層との間の接合面に形成されている。ゲートコンタクトがソースコンタクトとドレインコンタクトとの間のバリア層の上に形成され、本発明によると、スペーサ層が少なくともゲートとドレインコンタクトとの間のバリア層の上に形成されている。スペーサ層は、ゲートとソースコンタクトとの間のバリア層を覆うこともできる。スペーサ層は、ゲートコンタクトの形成前または後に形成されることができる。スペーサ層は、誘電体層、アンドープの又は空乏化した III 族窒化物材料の層、またはこれらの組み合わせからなることができる。Al、Ga、または In の合金などの異なる III 族元素をスペーサ層で用いることができ、適当なスペーサ層の材料は $Al_x Ga_{1-x} N$ ($0 < x < 1$) である。導電性のフィールドプレートがスペーサ層の上に形成され、ゲートの端からドレインコンタクトに向かって距離 L_f 延びている。いくつかの実施形態で、フィールドプレートは、ゲートコンタクトの延長として同一の堆積ステップで形成される。他の実施形態で、フィールドプレートとゲート電極は、別々の堆積ステップで形成される。さらに他の実施形態で、フィールドプレートは、ソースコンタクトと接続されることができる。

【0016】

本発明によるフィールドプレートの配置を用いることができるトランジスタの別のタイプは金属半導体接合 FET (MESFET) であり、基板の上のバッファ層およびバッファ層の上のチャネル層を備え、バッファ層は基板とチャネル層との間にある。ソースコンタクトがチャネル層とのオーミックコンタクトで備えられ、ドレインコンタクトもチャネル層とのオーミックコンタクトで備えられている。ソースコンタクトとドレインコンタクトとの間にチャネル層上のスペースが残っていて、ゲートがソースコンタクトとドレインコンタクトとの間のチャネル層の上に備えられている。スペーサ層が、少なくともゲートとドレインコンタクトとの間のチャネル層の上に備えられている。スペーサ層は、ゲートとソースコンタクトとの間のスペースを覆うこともできる。フィールドプレートが、ゲートとの電氣的コンタクトでスペーサ層の上に備えられている。

【0017】

HEMT および MESFET の両方についてのこのフィールドプレートの配置は、フィールドプレートを有しないデバイスと比較してデバイス内のピーク電界を低減し、降伏電圧の増加およびトラッピングの低減という結果を生じさせることができる。電界の低減は、リーク電流の低減および信頼性の向上などの他の利益ももたらす。

【0018】

図 1 および 2 は、本発明による窒化物ベースの基板 12 を備える HEMT 10 の一実施形態を示し、基板 12 は、シリコンカーバイド、サファイア、スピネット (spinet)、ZnO、シリコン、ガリウム窒化物、アルミニウム窒化物、または III 族窒化物材料の成長をサポートすることができる任意の他の材料とすることができる。いくつかの実施形態で、基板 12 は、Durham, NC の Cree, Inc. から商業的に入手可能な半絶縁性 4H-SiC からなることができる。

【0019】

核生成層 14 が基板 12 上に生成され、基板 12 と HEMT 10 の次の層との間の格子

10

20

30

40

50

不整合を低減することができる。核生成層 14 は、膜厚がおよそ 1000 オングストローム () であるべきだが、他の膜厚を用いることもできる。核生成層 14 は、多くの異なる材料からなることができ、適切な材料は $Al_z Ga_{1-z} N$ ($0 < z < 1$) である。本発明による一実施形態で、核生成層は AlN ($Al_z Ga_{1-z} N, z = 1$) からなる。核生成層 14 は、有機金属気相成長法 (MOCVD)、高蒸気圧エピタキシ (high vapor pressure epitaxy) (HVPE)、または分子線エピタキシ (MBE) などの既知の半導体成長技法を用いて基板 12 上に形成されることができる。さらに他の実施形態で、核生成層は、HEMT 10 内のバッファ層などの別の層の一部として形成されることができる (以下に詳細に説明する)。

【0020】

10

核生成層 14 の形成は、基板 12 に用いられる材料に依存しうる。たとえば、様々な基板の上に核生成層 14 を形成する方法が特許文献 2 および 3 に教示されており、それぞれは本明細書で完全に記載されたかのように参照により組み込まれる。シリコンカーバイドの上に核生成層を形成する方法が特許文献 4、5、および 6 に開示されており、それぞれは本明細書で完全に記載されたかのように参照により組み込まれる。

【0021】

HEMT 10 は、核生成層 14 上に形成された高抵抗バッファ層 16 をさらに備え、適切なバッファ層 16 は $Al_x Ga_y In_{(1-x-y)} N$ ($0 < x < 1, 0 < y < 1, x + y < 1$) などの III 族窒化物材料からなる。本発明による別の実施形態で、バッファ層 16 は、膜厚およそ 2 μm で層の一部に Fe がドーピングされた GaN 層からなる。

20

【0022】

バリア層 18 が、バッファ層 16 がバリア層 18 と核生成層 14 との間にはさまれるように、バッファ層上に形成されている。バッファ層 16 およびバリア層 18 のそれぞれは、ドーピングされた又はアンドーピングの III 族窒化物材料からなることができる。バリア層 18 は、 $InGaN$ 、 $AlGaIn$ 、 AlN 、またはそれらの組み合わせなどの異なる材料の 1 つまたは複数の層からなることができる。一実施形態で、バリア層 18 は、0.8 nm の AlN および 22.5 nm の $Al_x Ga_{1-x} N$ (フォトルミネッセンスによる測定で $x = 0.195$) からなる。例示的構造は、特許文献 1、7、8、9、および 10 に示されており、それらのそれぞれは本明細書で完全に記載されたかのように参照により組み込まれる。他の窒化物ベースの HEMT 構造は、特許文献 11 および 12 に示されており、それらのそれぞれは本明細書で完全に記載されたかのように参照により組み込まれる。バッファ層 16 およびバリア層 18 は、核生成層 14 の成長に用いられたのと同じの方法を用いてつくることができる。二次元電子ガス (2DEG) 層 / チャネル 17 が、バッファ層 16 とバリア層 18 との間のヘテロ界面に形成されている。デバイス間の電気的分離が、活性 HEMT の外部でメサエッチまたはイオン注入によりなされている。

30

【0023】

金属のソースコンタクト 20 およびドレインコンタクト 22 が形成され、バリア層 18 を通過してオーミックコンタクトをつくる。スペーサ層 24 が、ソースコンタクトとドレインコンタクトとの間のバリア層 18 の表面に形成されることができる。スペーサ層 24 は、誘電体 (SiN または SiO) などの非導電性材料の 1 つの層、または異なる誘電体などの非導電性材料の複数の異なる層からなることができる。代替実施形態で、スペーサ層は、エピタキシャル材料の 1 つもしくは複数の層だけ、または誘電体材料の層との組み合わせからなることができる。スペーサ層は多くの異なる厚さとすることができ、適切な厚さの範囲はおよそ 0.05 から 0.5 ミクロンである。スペーサ層 24 は、主にフィールドプレートを上記の上に堆積できるように配置され、フィールドプレートはゲート 26 からドレインコンタクト 22 に向かって延びている。したがって、本発明によるいくつかの実施形態で、スペーサ層 24 はバリア層 18 の表面上のゲート 26 とドレインコンタクト 22 との間にのみ備えられることができる。

40

【0024】

スペーサ層 24 がソースコンタクトとドレインコンタクトとの間のバリア層 18 を覆う

50

実施形態で、スペーサ層 24 をバリア層 18 までエッチングし、ゲート電極 26 の底面がバリア層 18 の表面上にあるようにゲート電極 26 を堆積することができる。スペーサ層 24 がバリア層 18 の一部のみを覆う実施形態で、ゲート 26 をスペーサ層 24 に隣接してバリア層 18 上に堆積することができる。さらに他の実施形態で、ゲート 26 をスペーサ層 24 の前に堆積することができる。

【0025】

フィールドプレート 28 は、ゲート電極を形成している金属をパターニングし、ゲート 26 の上部がゲート 26 の端からドレイン 22 に向かって距離 L_f 延びているフィールドプレート構造 28 を形成するように、スペーサ層 24 にわたり延びているようにすることによって、ゲートの一部として形成されることができる。言い換えると、スペーサ層 24 上のゲート金属の一部が、フィールドプレート 28 を形成する。その構造は次に、シリコン窒化物などの誘電体パシベーション 30 により覆われることができる。誘電体パシベーション 30 を形成する方法は、上述の特許文献および非特許文献において詳細に説明されている。

10

【0026】

ゲート 26 が適切なレベルにバイアスされているとき、ソースコンタクト 20 とドレインコンタクト 22 との間を 2DEG 層 / チャネル 17 を介して電流が流れることができる。ソースコンタクト 20 およびドレインコンタクト 22 は、チタン、アルミニウム、金、またはニッケルの合金を含むがこれらに制限されない異なる材料から作られることができる。ゲート 26 もまた、金、ニッケル、白金、パラジウム、イリジウム、チタン、クロム、チタンとタングステンの合金、または白金シリサイドを含むがこれらに制限されない異なる材料から作られることができる。ゲート 26 は、多くの異なる長さをとることができる、ゲート長の適切な範囲は 0.01 から 2 ミクロンである。本発明による一実施形態で、好ましいゲート長 (L_g) はおよそ 0.5 ミクロンである。いくつかの実施形態で、フィールドプレート 28 はゲート 26 の延長として同一の堆積ステップで形成される。他の実施形態で、フィールドプレート 28 およびゲート 26 は、別々の堆積ステップで形成される。ソースコンタクト 20 およびドレインコンタクト 22 の形成は、上述の特許文献および非特許文献に詳細に説明されている。

20

【0027】

フィールドプレート 28 は、ゲート 26 の端からバリア層の上を異なる距離 L_f 延びていることができ、他の距離を用いることもできるが距離の適切な範囲は 0.1 から 1.5 μm である。フィールドプレート 28 は、多くの異なる導電性材料からなることができ、適切な材料はゲート 26 に用いられているのと同じ金属などの金属である。ゲート 26 およびフィールドプレート 28 は、標準的な配線形成 (metalization) 方法を用いて堆積することができる。

30

【0028】

図 3 および 4 に、本発明による図 1 および 2 の HEMT 10 に類似する HEMT 40 の別の実施形態を示す。図 3 および 4 の HEMT 40 ならびにそれ以降の図面の同一または類似する特徴については、図 1 および 2 と同一の参照番号を用いる。HEMT 40 は、基板 12、核生成層 14、バッファ層 16、2DEG 17、バリア層 18、ソースコンタクト 20、およびドレインコンタクト 22 を備える。ゲート 42 が、バリア層 18 の形成の後に形成されている。スペーサ / パシベーション層 44 が、デバイス上に形成され、特に、ゲート 42 の上ならびにゲート 42 とソースコンタクト 20 およびドレインコンタクト 22 との間のバリア層 18 の表面に形成されている。他の実施形態で、スペーサ / パシベーション層 44 は、ゲート 42 の上およびゲート 42 とドレインコンタクト 22 との間のバリア層 18 の表面にのみ備えられることができる。次にフィールドプレート 46 がスペーサ / パシベーション層 44 上に形成され、ゲート 42 にオーバーラップしてゲート / ドレイン領域に距離 L_f 延びている。図 3 および 4 に示す実施形態で、スペーサ / パシベーション層 44 はフィールドプレート 46 に対するスペーサ層としての役割を果たす。ゲート 42 上のフィールドプレート 46 のオーバーラップは、最適な結果のために可変である

40

50

。

【0029】

フィールドプレート46はゲート42に電氣的に接続されることができ、図3は、他の接続構造も用いることができることを理解されたいが、代替的ゲート構造を2つ示している。フィールドプレート46は、第1の導電性経路48を介してゲート42に接続されることができ、第1の導電性経路48は、HEMT40の活性領域の外を、ゲート42に電氣的コンタクトをつくるのに用いられるゲートコンタクト50まで及んでいる。ゲートコンタクト50と反対側のHEMT40の活性領域の外にある(点線で示される)第2の導電性経路52も用いることができる。導電性経路52は、ゲート42とフィールドプレート46との間に結合(couple)されている。導電性ビア(via)(図示せず)も、フィールドプレート46をゲート42に接続させるのに用いることができ、ビアのそれぞれはパシベーション層44を通してその2つの間を走っている。ビアをフィールドプレート46の下に周期的に配置することができ、それによってゲート42からフィールドプレート46への電流の効率的な広がり提供される。

10

20

【0030】

図1および2のHEMT10のように、フィールドプレート46はゲート42の端からバリア層の上を異なる距離 L_f 延びることができ、他の距離も用いることができるが距離の適切な範囲は0.1から1.5 μm である。いくつかの実施形態で、フィールドプレート46は0.2から1 μm の距離 L_f 延びることができる。他の実施形態で、フィールドプレート46は0.5から0.9 μm の距離 L_f 延びることができる。好ましい実施形態で、フィールドプレート46はおよそ0.7 μm の距離 L_f 延びることができる。

【0031】

図5は、本発明によるHEMT60の別の実施形態を示していて、HEMT60は、基板12、核生成層14、バッファ層16、2DEG17、バリア層18、ソースコンタクト20、およびドレインコンタクト22を含む、HEMT10および40のそれらと類似した多くの特徴を有する。しかしながら、HEMT60は高周波数動作に特に適応したガンマ()型のゲートを有する。ゲート長はデバイスの速度の決定において重要なデバイス寸法の1つであり、高周波数デバイスではゲート長がより短い。短いゲートコンタクトは、高周波数動作に悪影響を与えうる高抵抗につながる。Tゲートが高周波数動作で一般に用いられるが、フィールドプレートのTゲートとのうまく結合した配置(well-coupled placement)を実現することは困難である可能性がある。

30

【0032】

ガンマゲート62は、低ゲート抵抗を可能にし、ゲートのフットプリント(footprint)の制御された限定を可能にする。スペーサ/パシベーション層64が備えられ、これは、ガンマゲート62ならびにガンマゲート62とソースコンタクト20およびドレインコンタクト22との間のバリア層18の表面を覆う。ガンマゲート62の水平部分とスペーサ層の上部との間にスペースが残りうる。HEMT60は、ガンマゲート62をオーバーラップするスペーサ層64上のフィールドプレート66も備え、フィールドプレート66は好ましくは、水平に覆いかぶさる部分がなくガンマゲートの側面に堆積されている。この配置は、密接な配置およびフィールドプレートとその下の活性層との有効な結合を可能にする。

40

【0033】

図3および4に示され、上に説明されたフィールドプレート46のように、フィールドプレート66はゲート62に多くの異なる方法で電氣的に接続されることができ、第1の伝導性経路(図示せず)がフィールドプレート66とゲートコンタクトとの間に備えられることができ、または第2の伝導性経路(図示せず)がフィールドプレート66とゲート62との間に備えられることができ、伝導性経路の両方はHEMTの活性領域の外にある。スペーサ層64を通過する伝導性ビアをフィールドプレート66とゲート62との間に用いることもできる。

【0034】

50

図6は、本発明による図1に示したHEMT10に類似するHEMT80の別の実施形態を示して、同様に基板12、核生成層14、バッファ層16、2DEG17、バリア層18、ソースコンタクト20、ドレインコンタクト22、スペーサ層24、およびフィールドプレート構造28を有するゲート26を備える。HEMT80は、スペーサ層24上に形成された、 n^+ ドープされたコンタクト層82も備える。ゲートコンタクト26の形成前に、コンタクト層82はエッチングされ、スペーサ層24の表面の一部が見えるようになる。次に、スペーサ層24のさらに小さな一部がバリア層18までエッチングされることができ。また、コンタクト層82、スペーサ層24、およびバリア層は、ソースコンタクト20およびドレインコンタクト22を堆積できるようにバッファ層16までエッチングされることができ。コンタクト層82は、低アクセス領域抵抗を提供することに加えて、オーミックなソースコンタクト20およびドレインコンタクト22の形成を促進する。

10

【0035】

図7は本発明によるHEMT90の別の実施形態を示して、上で説明したHEMTのそれらと類似する基板12、核生成層14、バッファ層16、2DEG17、バリア層18、ソースコンタクト20、およびドレインコンタクト22を備える。HEMT90は、ゲート92およびフィールドプレート94も備える。しかしながら、HEMT90は1つのスペーサ層を有する代わりに、より多くのスペーサ層を用いることができることを理解されたいが、この場合では2つの複数のスペーサ層95を備える。第1のスペーサ層96が、少なくともゲート92とドレインコンタクト22との間のバリア層18の上に形成され、好ましいスペーサ層はゲート92とソースコンタクト20との間のバリア層18の上にもある。第2のスペーサ層98が第1のスペーサ層96の上に形成され、多くの異なる方法で配置することができる。第2のスペーサ層98は、好ましくは第1のスペーサ層96の上部表面のすべては覆わずに、ステップ100を形成する。フィールドプレート94はスペーサ層上に形成され、フィールドプレート94はステップ100のために本質的に第1および第2のフィールドプレート部分102、104を備え、これらのそれぞれはそれとバリア層18との間に異なる間隔を有する。

20

【0036】

第1および第2のスペーサ層96、98は多くの異なる材料からなることができ、一般的にはこれらの層はエピタキシャル材料またはSiNおよびSiOなどの誘電体材料からなる。本発明による一実施形態で、第1のスペーサ層96をエピタキシャル材料として、第2のスペーサ層98を誘電体材料とすることができる。別の実施形態で、第1のスペーサ層96を再びエピタキシャル材料として、第2のスペーサ層98もまた第1のスペーサ層96と同一または異なる材料のエピタキシャル材料とすることができる。第1のスペーサ層が誘電体材料からなり、第2のスペーサ層がエピタキシャル材料からなるようにすることもできるが、用いられる誘電体材料のタイプによっては結晶構造の喪失のために第2の（エピタキシャル）層98を形成することが困難になりうる。エピタキシャル材料を用いることでより良いフィールドプレート結合（field plate coupling）が一般的に提供されるが、エピタキシャル材料により導入されるキャパシタンスは誘電体材料のそれよりも大きくなりうる。

30

40

【0037】

第1および第2のフィールドプレート102、104を有することにより、HEMT90は2つの異なる電圧で改善された動作特性を示すことができ、第1のフィールドプレート102がHEMT90の改善された動作をある電圧で可能にし、第2のフィールドプレート104がより高い第2の電圧で改善された動作を可能にする。たとえば、第1のスペーサ層102がエピタキシャル（一般にはAlGaInまたは同様の材料）であるHEMT90の実施形態で、第1のフィールドプレート102の下層102の物理的寸法および誘電率は一定である。一定の寸法および誘電率は、第1のフィールドプレートがHEMT90の改善された動作特性を第1の電圧で提供することを可能にする。

【0038】

50

第2の層98が誘電体材料で作られている場合、その誘電体材料は一般に第1の層96のエピタキシャル材料よりも低い誘電率を有する。結果として、第2のフィールドプレート104の下側の材料の全体の誘電率は、第1のフィールドプレート102の下側の材料の誘電率より低くなる。このことは、低いキャパシタンスおよび低減されたカップリングという結果を生じさせる。低い誘電率に加えて第2のフィールドプレート104とバリア層18との間のより大きな距離は、第2のフィールドプレート104がより高い電圧で改善された動作特性を提供するという結果を生じさせる。

【0039】

第1および第2の層96、98がエピタキシャルで、第1および第2のフィールドプレート102、104の下側の誘電率が同一であるが、第2のフィールドプレート104とバリア層18との間の距離が大きくなっているようなHEMT90の実施形態においてでも、より高い電圧で改善された動作特性が提供される。しかしながら、より高い動作電圧は、第2のスペーサ材料が誘電体材料であった場合とは一般に異なる。

【0040】

ゲート92、フィールドプレート102、104、およびスペーサ層94、96は多くの異なる方法で形成されることができ、1つの形成方法は第1の(エピタキシャル)スペーサ層94をバリア層18上に堆積し、次にバリア層をエッチングしてゲート92のためのスペースを設けることである。次に、ゲート92を堆積することができ、第2のスペーサ層96を第1の層96の上に堆積することができる。他の実施形態で、第2のスペーサ層96はゲート92の堆積前にエッチングされることができ、あるいは、第1および第2のスペーサ層96、98を堆積し、次に2つのエッチングステップでエッチングすることができる。第1のエッチングは両方の層96、98を通してであり、第2のエッチングはステップ100を形成するために第2の層98を通してである。ゲート92を次に堆積し、フィールドプレート102、104を第1のスペーサ96および第2のスペーサ98の上に次に堆積することができる。あるいは、第1および第2のスペーサ層96、98を形成し、次にエッチングすることができ、ゲート92およびフィールドプレートは1つまたは複数の形成ステップで形成される。さらに他の実施形態で、エピタキシャルまたは誘電体材料からなる単一のスペーサ層をエッチングし、結果として生じるフィールドプレートが第1および第2の部分を持つようなステップを提供することができる。

【0041】

本発明によるゲートおよびフィールドプレート構造は、図1~7に示されている形を越えて多くの異なる方法で用いることができる。図8、9、および10はHEMT110、130、および140をそれぞれ示し、各HEMTは上で説明したHEMTのそれらと類似する基板12、核生成層14、バッファ層16、2DEG17、バリア層18、ソースコンタクト20、およびドレインコンタクト22を備える。HEMT110(図8)は、ゲート112がバリア層18内にリセス化されて(recessed)いることを除いて、図1および2のHEMT10に類似する。HEMTのフィールドプレート114はスペーサ層116上に堆積されていて、ゲート112からドレインコンタクト22に向かって延びている。フィールドプレート114は、HEMT10のフィールドプレート28と同一の動作改善を提供する。HEMT130(図9)は、ゲート132がリセス化されていることを除いて、図3および4のHEMT10に類似する。フィールドプレート134はスペーサ層136上に堆積されていて、同一の動作利益を提供する。本明細書に説明されるHEMTは、部分的にのみリセス化されているゲートを備えることができる。HEMT140は、ゲート142が部分的にリセス化されていることを除いて、HEMT130に類似する。そのフィールドプレート144はスペーサ層146上に堆積されていて、同一の動作利益を提供する。

【0042】

図11は、本発明によるさらに別の実施形態のHEMT150を示していて、基板12、核生成層14、バッファ層16、2DEG17、バリア層18、ソースコンタクト20、およびドレインコンタクト22を有する。HEMT150はゲート152、スペーサ層

154、およびゲートの一部であるフィールドプレート156も有する。HEMT150はさらに、フィールドプレート156を覆う第2のスペーサ層158、スペーサ層154、およびスペーサ層154より上の部分のゲート152を備える。第2のフィールドプレート159は、第2のスペーサ層158の上にあり、一般にゲート152からドレイン22に向かって延びていて、第2のフィールドプレートは第2のスペーサ層158を通る1つまたは複数のビアにより（図示せず）、またはHEMT150の活性領域の外に形成されている1つまたは複数の導電性経路によりゲートに電氣的に結合されている。本発明による他のHEMTは、追加のスペーサ層とフィールドプレートの対を備えることができ、1つの追加の対が点線で示されている。構造は、誘電体パシベーション層（図示せず）により覆われることもできる。

10

【0043】

図3および4の実施形態によるGaNベースのHEMT構造が構築され、テストされた。その結果が図12のグラフ160に示されている。当初のテストでは、51%の付加電力効率（PAE）で20.4 W/mmの電力密度が示され、82 Vおよび42 GHzでクラスBで動作した。より最近のテストでは、82 Vおよび42 GHzで55%のPAEで32 W/mmの電力密度の改善された性能が達成された。

【0044】

デバイス性能に対するフィールドプレート距離（ L_f ）の効果がテストされた。フィールドプレート長 L_f が0から0.9 μm の距離まで変えられ、ついでその結果であるデバイスのPAEが測定された。図12に示すように、PAEはフィールドプレート長が0.5 μm まで延ばされると改善を示し、最適な長さはだいたい0.7 μm であった。しかしながら、最適な長さは動作電圧および周波数に加えて特定のデバイスデザインにも依存しうる。

20

【0045】

上で説明したフィールドプレート配置は他のタイプのトランジスタにおいて用いることができる。図13は、本発明による金属半導体接合FET（MESFET）の一実施形態を示していて、MESFETは、他の材料系のMESFETも用いることができるが、好ましくはシリコンカーバイド（SiC）ベースである。MESFET170は、シリコンカーバイドバッファ174およびシリコンカーバイドチャンネル層176が形成されているシリコンカーバイド基板を備え、バッファ174はチャンネル層176と基板172との間にはさまれている。ソースコンタクト178およびドレインコンタクト180がチャンネル176と接触して形成されている。

30

【0046】

非導電性スペーサ層182が、チャンネル層176上にソースコンタクト178とドレインコンタクト180との間に形成されている。上で説明し、図1および2に示したスペーサ層24のように、スペーサ層182は、誘電体などの非導電性材料の層、または異なる誘電体もしくはエピタキシャル材料などの複数の異なる非導電性材料の層を備えることができる。

【0047】

また、図1および2のスペーサ層24のように、スペーサ層182はチャンネル層176までエッチングされることができ、ゲート184が、ゲート184の底面がチャンネル層176の表面上にあるように堆積されることができ、ゲート184を形成している金属は、スペーサ層182にわたって延びているようにパターンニングし、それによりゲート184の上部がゲート184の端からドレインコンタクト180に向かって距離 L_f 延びているフィールドプレート構造186を形成するようにされることができ、最後に、この構造はシリコン窒化物などの誘電体パシベーション層188によって覆われることができる。

40

【0048】

シリコンカーバイドベースのMESFETデバイスの作製については、特許文献13および14に詳細に説明されていて、それぞれが本明細書に参照によって全体として組み込

50

まれている。

【0049】

図14は、本発明による別の実施形態のMESFET190を示し、MESFET190は、図12のMESFET170に類似するが、図3および4に示されたHEMT40のそれらに類似するゲートおよびフィールドプレート構造を有する。MESFET190は、シリコンカーバイド基板172、バッファ174、およびチャネル176を備える。さらに、ソースコンタクト178、ドレインコンタクト180、およびチャネル176に堆積されたゲート192も備える。スペーサ層194が、ゲート192の上ならびにゲート192とソースコンタクト178およびドレインコンタクト180との間のチャネル176の表面に堆積されている。フィールドプレート186がスペーサ層194上に堆積され、ゲート192にオーバーラップしている。フィールドプレート196は、上で説明した図3および4のHEMT40の導電性経路によってゲート192にカップリングされている。共にMESFETの活性領域の外を走る、ゲートコンタクトへの第1の導電性経路（図示せず）またはゲート192への第2の導電性経路（図示せず）を含む、多くの異なる導電性経路を用いることができる。フィールドプレート196は、スペーサ層194を通る導電性ビア（図示せず）によってゲート192に結合されることもできる。

10

【0050】

ちょうど上述のHEMTのように、本発明によるMESFETの異なる実施形態は、リセス化されているゲートを備えることができる。図15は、本発明によるMESFET200の一実施形態を示し、リセス化されているゲート202を有する。図12および13のMESFET170および190のように、MESFET200も、シリコンカーバイド基板172、バッファ174、チャネル176、ソースコンタクト178、およびドレインコンタクト180を備える。ゲート202は、チャネル176の上に堆積されている。スペーサ層204が、ゲート202の上ならびにゲート202とソースコンタクト178およびドレインコンタクト180との間のチャネル176の表面に堆積されている。スペーサ層204は、よりゲート202の形に合致するように図14のスペーサ層194よりも薄い。ゲート202はチャネル176内に部分的にリセス化されていて、フィールドプレート206はスペーサ層204上に堆積され、ゲート202にオーバーラップしている。フィールドプレート206は、図3および4のHEMT40で説明されたような1つまたは複数の導電性経路によってゲート202に結合されている。

20

30

【0051】

また、本発明によるMESFETの異なる実施形態は、図7のHEMT90で説明されたような複数のスペーサ層を備えることができることを理解されたい。本発明によるいくつかの実施形態で、MESFETは、2つ以上の層を用いることもできるが、ステップ配置の2つのスペーサ層を有することができる。これらの層は、これも上で説明したように、エピタキシャルまたは誘電体材料からなることができ、ステップ配置は2つの電圧で改善された動作特性を提供する2つのフィールドプレートを効率的に提供する。本発明によるMESFETは、図11に示し、上で説明したHEMT150に類似した複数のスペーサ層およびフィールドプレートを備えることができることを理解されたい。

【0052】

本発明は、その特定の好ましい構成を参照して相当に詳細に説明してきたが、他のバージョンが可能である。フィールドプレート配置は、多くの異なるデバイスで用いることができる。フィールドプレートは、また、多くの異なる形を有することができ、多くの異なる方法によりソースコンタクトに接続されることができる。したがって、本発明の精神および範囲は、上で説明した本発明の好ましいバージョンに制限されるべきではない。

40

【図面の簡単な説明】

【0053】

【図1】本発明によるHEMTの一実施形態の平面図である。

【図2】図1のHEMTの断面図である。

【図3】本発明によるHEMTの別の実施形態の平面図である。

50

【図 4】図 3 の H E M T の断面図である。

【図 5】ガンマ型のゲートを有する本発明による H E M T の別の実施形態の断面図である。

【図 6】 n^+ ドープされたコンタクト層を有する本発明による H E M T の別の実施形態の断面図である。

【図 7】複数のスペーサ層を有する本発明による H E M T の別の実施形態の断面図である。

【図 8】リセスゲートを有する本発明による H E M T の別の実施形態の断面図である。

【図 9】リセスゲートを有する本発明による H E M T の別の実施形態の断面図である。

【図 10】リセスゲートを有する本発明による H E M T の別の実施形態の断面図である。

10

【図 11】複数のフィールドプレート有する本発明による H E M T の別の実施形態の断面図である。

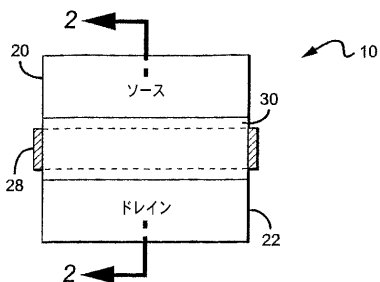
【図 12】本発明により構成された特定の H E M T の性能を示しているグラフである。

【図 13】本発明による M E S F E T の一実施形態の断面図である。

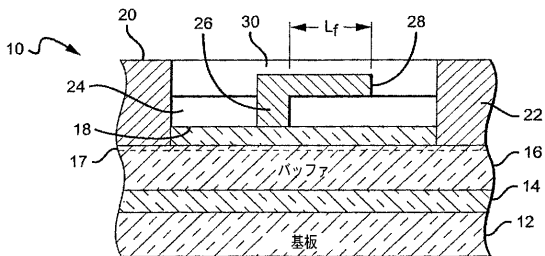
【図 14】本発明による M E S F E T の別の実施形態の断面図である。

【図 15】リセスゲートを有する本発明による M E S F E T のさらに別の実施形態の断面図である。

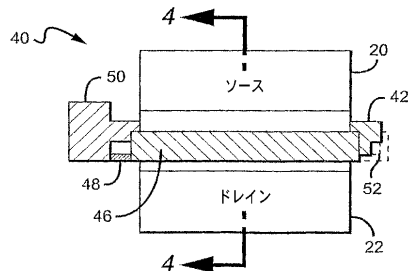
【図 1】



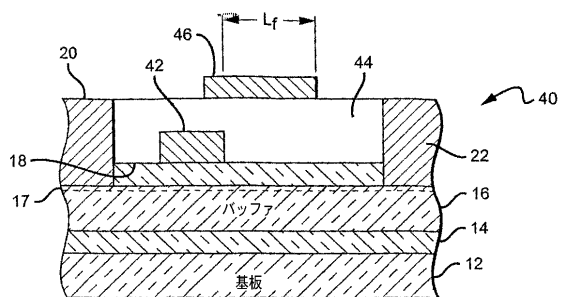
【図 2】



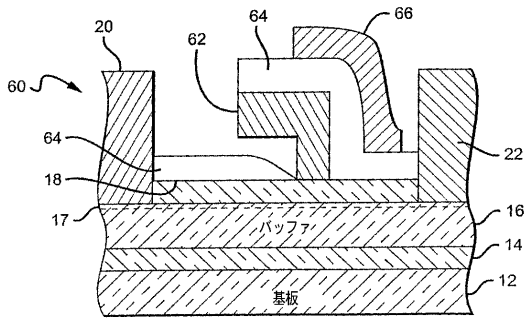
【図 3】



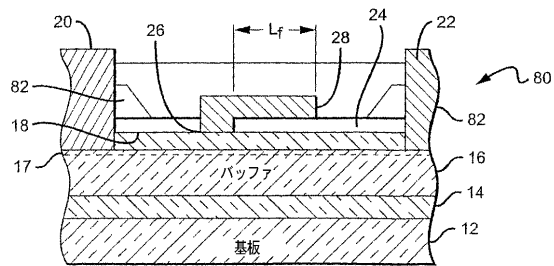
【図 4】



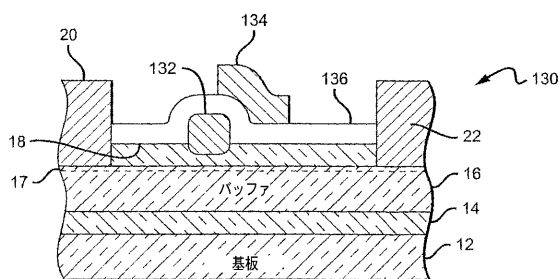
【 図 5 】



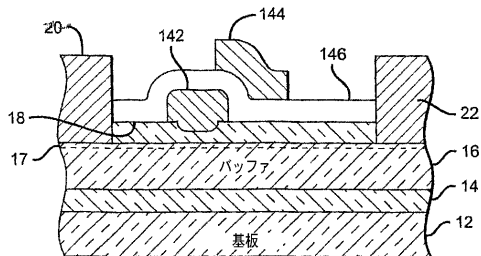
【 図 6 】



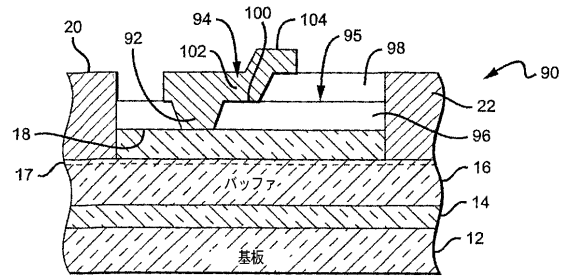
【 图 9 】



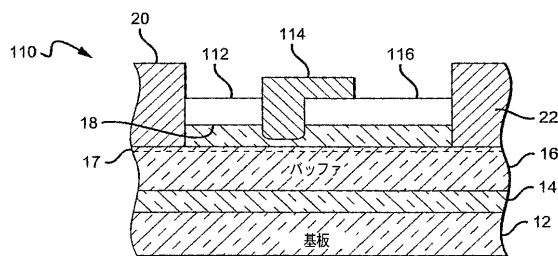
【 図 1 0 】



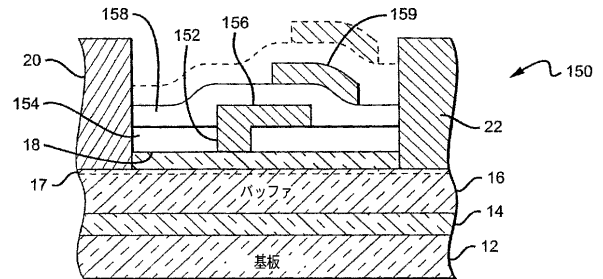
【 図 7 】



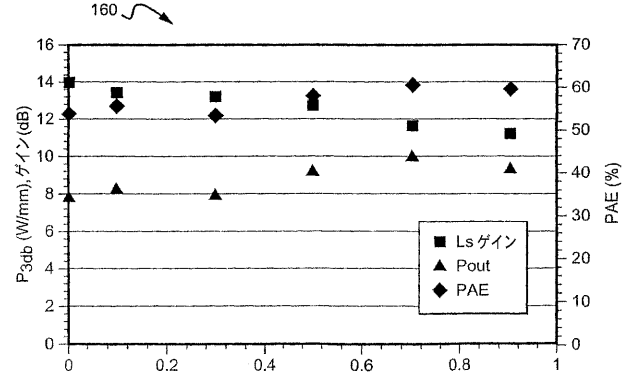
【 図 8 】



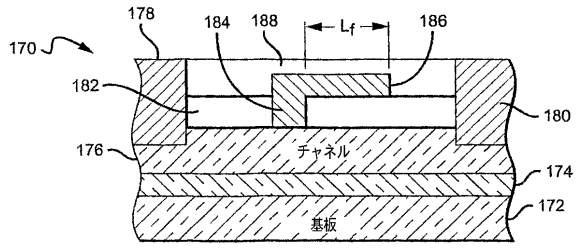
【 図 1 1 】



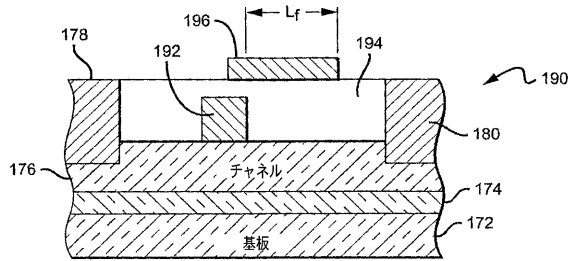
【 図 1 2 】



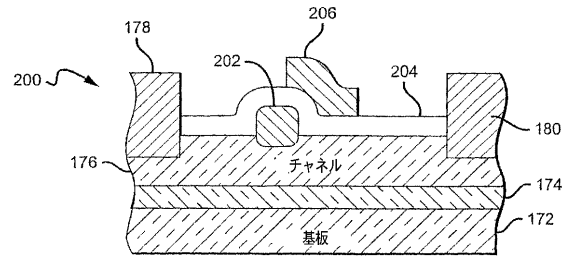
【図 1 3】



【図 1 4】



【図 1 5】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US2004/029345

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L29/778 H01L29/423 H01L29/812 H01L29/06		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, COMPENDEX, IBM-TDB, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/017648 A1 (KASAHARA KENSUKE ET AL) 14 February 2002 (2002-02-14) paragraphs '0073! - '0076!; figure 15	1,2, 5-13, 31-34, 36,38
X	US 2002/005528 A1 (NAGAHARA MASAKI) 17 January 2002 (2002-01-17) paragraph '0093! - paragraph '0101!; figures 3-19 --- -/--	1,2, 5-13, 31-34, 36,38
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *&* document member of the same patent family		
Date of the actual completion of the international search 18 February 2005		Date of mailing of the international search report 01/03/2005
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer Berthold, K

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US2004/029345

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	ASANO K ET AL: "Novel high power AlGaAs/GaAs HFET with a field-modulating plate operated at 35 V drain voltage" ELECTRON DEVICES MEETING, 1998. IEDM '98 TECHNICAL DIGEST., INTERNATIONAL SAN FRANCISCO, CA, USA 6-9 DEC. 1998, PISCATAWAY, NJ, USA, IEEE, US, 6 December 1998 (1998-12-06), pages 59-62, XP010321500 ISBN: 0-7803-4774-9 abstract; figures 1,2	16-19
X	WAKEJIMA A ET AL: "HIGH POWER DENSITY AND LOW DISTORTION INGaP CHANNEL FETs WITH FIELD-MODULATING PLATE" IEICE TRANSACTIONS ON ELECTRONICS, INSTITUTE OF ELECTRONICS INFORMATION AND COMM. ENG. TOKYO, JP, vol. E85-C, no. 12, December 2002 (2002-12), pages 2041-2045, XP001161324 ISSN: 0916-8524 abstract; figure 1	16,31, 34,38
X	MOK P K T ET AL: "A NOVEL HIGH-VOLTAGE HIGH-SPEED MESFET USING A STANDARD GaAs DIGITAL IC PROCESS" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE INC. NEW YORK, US, vol. 41, no. 2, 1 February 1994 (1994-02-01), pages 246-250, XP000478051 ISSN: 0018-9383 abstract; figure 1	1-4, 10-21, 27-38
Y		14,15, 22-26
X	US 2001/015446 A1 (INOUE KAORU ET AL) 23 August 2001 (2001-08-23)	1,2, 5-13, 31-34, 36,38
Y	paragraphs '0061! - '0067!; figure 6	14,15, 22-26
X	KARMALKAR S ET AL: "Very high voltage AlGaN/GaN high electron mobility transistors using a field plate deposited on a stepped insulator" SOLID STATE ELECTRONICS, ELSEVIER SCIENCE PUBLISHERS, BARKING, GB, vol. 45, no. 9, September 2001 (2001-09), pages 1645-1652, XP004317729 ISSN: 0038-1101 page 1650 - page 1651; figures 1,6,7	1-11,13, 31-34, 36,38
	-/--	

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US2004/029345

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	LI J ET AL: "High breakdown voltage GaN HFET with field plate" ELECTRONICS LETTERS, IEE STEVENAGE, GB, vol. 37, no. 3, 1 February 2001 (2001-02-01), pages 196-197, XP006016221 ISSN: 0013-5194 abstract; figure 1	1,2, 5-11,13, 16, 31-34, 36,38
X	US 2003/006437 A1 (MIZUTA MASASHI ET AL) 9 January 2003 (2003-01-09) abstract; figure 11	1,31,34, 38
P,X	WO 2004/068590 A (KABUSHIKI KAISHA TOSHIBA; SAITO, WATARU; OMURA, ICHIRO; OHASHI, HIROMI) 12 August 2004 (2004-08-12) the whole document	1,2,16, 31,34-38
P,X	XING H ET AL: "HIGH BREAKDOWN VOLTAGE ALGAN-GAN HEMTS ACHIEVED BY MULTIPLE FIELD PLATES" IEEE ELECTRON DEVICE LETTERS, IEEE INC. NEW YORK, US, vol. 25, no. 4, April 2004 (2004-04), pages 161-163, XP001190361 ISSN: 0741-3106 abstract; figure 1	1,14,15, 31,34-38

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US2004/029345

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 2002017648	A1	14-02-2002	JP	2002016245 A	18-01-2002
US 2002005528	A1	17-01-2002	JP	2002100642 A	05-04-2002
US 2001015446	A1	23-08-2001	JP	2001230407 A	24-08-2001
			US	2004113158 A1	17-06-2004
			US	2005001234 A1	06-01-2005
US 2003006437	A1	09-01-2003	JP	3180776 B2	25-06-2001
			JP	2000100831 A	07-04-2000
			US	6483135 B1	19-11-2002
WO 2004068590	A	12-08-2004	WO	2004068590 A1	12-08-2004

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 イーフェン ウー

アメリカ合衆国 9 3 1 1 7 カリフォルニア州 ゴレタ ファイアサイド レーン 5 2 8

Fターム(参考) 5F102 FA08 GB01 GC01 GD01 GJ02 GJ03 GJ04 GJ10 GK04 GQ01

GR11 GT01 GT03 GV07 GV08 HC01