

(43) 공개일자 2022년12월29일

- (71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
- (72) 발명자
김경록
울산광역시 울주군 언양읍 유니스트길 50
- 정재원
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
- (74) 대리인
리애평특허법인

(54) 발명의 명칭 3진수 논리회로

본 발명은 3진수 논리회로에 관한 것으로, 본 발명의 일 실시예는, 입력 단자 및 출력 단자와 전기적으로 연결되
는, 제1 인버터부, 상기 입력 단자 및 출력 단자와 전기적으로 연결되고, 상기 제1 인버터부와 병렬로 배치되는
제2 인버터부, 상기 제1 인버터부와 상기 출력 단자 사이에 배치되고, 터널 PN 정선을 포함하는, 제1 정선부, 및
상기 제2 인버터부와 상기 출력 단자 사이에 배치되고, 터널 PN 정선을 포함하는, 제2 정선부를 포함하고, 상기
입력 단자에 인가되는 입력 전압의 절대값이 제1 입력 전압보다 작을 때, 상기 출력 단자는 제1 출력 전압을 출
력하고, 상기 입력 전압의 절대값이 상기 제1 입력 전압보다 크고 제2 입력 전압보다 작을 때, 상기 출력 단자는
제2 출력 전압을 출력하고, 상기 입력 전압의 절대값이 상기 제2 입력 전압보다 클 때, 상기 출력 단자는 제3 출
력 전압을 출력하는, 3진수 논리회로를 제공한다.

10



(52) CPC특허분류

H03K 19/0948 (2013.01)

(72) 발명자

최영은

울산광역시 울주군 언양읍 유니스트길 50

김우석

울산광역시 울주군 언양읍 유니스트길 50

전재현

울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호	1711128659
과제번호	2016M3A7B4909943
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노·소재기술개발(R&D)
연구과제명	그래핀 배리스터 기반 삼진로직 아키텍처 연구
기 여 율	1/2
과제수행기관명	울산과학기술원
연구기간	2021.01.01 ~ 2021.07.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711129075
과제번호	2015M3D1A1068062
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	미래소재디스커버리지원(R&D)
연구과제명	멀티레벨 소재 설계 및 응용연구
기 여 율	1/2
과제수행기관명	포항공과대학교
연구기간	2021.01.04 ~ 2021.12.03

명세서

청구범위

청구항 1

입력 단자 및 출력 단자와 전기적으로 연결되는, 제1 인버터부;

상기 입력 단자 및 출력 단자와 전기적으로 연결되고, 상기 제1 인버터부와 병렬로 배치되는, 제2 인버터부;

상기 제1 인버터부와 상기 출력 단자 사이에 배치되고, 터널 PN 정선을 포함하는, 제1 정선부; 및

상기 제2 인버터부와 상기 출력 단자 사이에 배치되고, 터널 PN 정선을 포함하는, 제2 정선부;를 포함하고,

상기 입력 단자에 인가되는 입력 전압의 절대값이 제1 입력 전압보다 작을 때, 상기 출력 단자는 제1 출력 전압을 출력하고, 상기 입력 전압의 절대값이 상기 제1 입력 전압보다 크고 제2 입력 전압보다 작을 때, 상기 출력 단자는 제2 출력 전압을 출력하고, 상기 입력 전압의 절대값이 상기 제2 입력 전압보다 클 때, 상기 출력 단자는 제3 출력 전압을 출력하는, 3진수 논리회로.

청구항 2

제1항에 있어서,

상기 제1 인버터부는 제1 문턱전압을 갖는 제1 트랜지스터, 및 상기 제1 트랜지스터와 병렬로 배치되고, 제2 문턱전압을 갖는 제2 트랜지스터를 포함하고,

상기 제2 인버터부는 제3 문턱전압을 갖는 제3 트랜지스터와, 상기 제3 트랜지스터와 병렬로 배치되고, 제4 문턱전압을 갖는 제4 트랜지스터를 포함하고,

상기 제1 트랜지스터와 상기 제3 트랜지스터는 p형 채널을 갖고, 상기 제2 트랜지스터와 상기 제4 트랜지스터는 n형 채널을 갖는, 3진수 논리회로.

청구항 3

제2항에 있어서,

상기 제1 문턱전압의 절대값과 상기 제4 문턱전압의 절대값이 같고,

상기 제2 문턱전압의 절대값과 상기 제3 문턱전압의 절대값이 같은, 3진수 논리회로.

청구항 4

제2항에 있어서,

상기 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터 및 제4 트랜지스터는 탄소나노튜브 트랜지스터인, 3진수 논리회로.

청구항 5

제4항에 있어서,

상기 제1 트랜지스터와 상기 제4 트랜지스터는 제1 직경을 갖는 탄소나노튜브를 포함하고,

상기 제2 트랜지스터와 상기 제3 트랜지스터는 제2 직경을 갖는 탄소나노튜브를 포함하고,

상기 제1 직경은 상기 제2 직경보다 작은, 3진수 논리회로.

청구항 6

제1항에 있어서,

상기 제1 정선부 및 제2 정선부는 탄소나노튜브 터널 PN 정선을 포함하는, 3진수 논리회로.

청구항 7

제6항에 있어서,

상기 탄소나노튜브 터널 PN 정선에 인가되는 전기장은 1 MV/cm 이상인, 3진수 논리회로.

청구항 8

제6항에 있어서,

상기 탄소나노튜브 터널 PN 정선은 n형 도판트로 고농도 도핑된 제1 영역과, p형 도판트로 고농도 도핑된 제2 영역을 갖는, 3진수 논리회로.

청구항 9

제8항에 있어서,

상기 탄소나노튜브 터널 PN 정선은 적어도 $3 \times 10^{18} \text{ cm}^{-3}$ 으로 도핑된, 3진수 논리회로.

청구항 10

제6항에 있어서,

상기 탄소나노튜브 터널 PN 정선은 상기 입력 전압의 절대값이 상기 제1 입력 전압의 절대값보다 크고 상기 제2 입력 전압의 절대값보다 작을 때, 터널링 전류를 이용하여 전압을 분배하는, 3진수 논리회로.

청구항 11

제1항에 있어서,

상기 제1 출력 전압은 동작 전압(Vdd)과 동일한 크기를 갖고,

상기 제2 출력 전압은 상기 동작 전압의 절반(Vdd/2)의 크기를 갖고,

상기 제3 출력 전압은 접지 전압과 동일한 크기를 갖는, 3진수 논리회로.

청구항 12

제1 동작 전극, 제1 공통 전극, 및 상기 제1 동작 전극과 상기 제1 공통 전극 사이에 개재되는 제1 탄소나노튜브 채널을 포함하는, 제1 트랜지스터부;

상기 제1 트랜지스터부와 상기 제1 공통 전극을 공유하고, 제1 접지 전극, 및 상기 제1 공통 전극과 상기 제1 접지 전극 사이에 개재되는 제2 탄소나노튜브 채널을 포함하는, 제2 트랜지스터부;

제2 동작 전극, 제2 공통 전극, 및 상기 제2 동작 전극과 상기 제2 공통 전극 사이에 개재되는 제3 탄소나노튜브 채널을 포함하는, 제3 트랜지스터부;

상기 제3 트랜지스터부와 상기 제2 공통 전극을 공유하고, 제2 접지 전극, 및 상기 제2 공통 전극과 상기 제2 접지 전극 사이에 개재되는 제4 탄소나노튜브 채널을 포함하는 제4 트랜지스터부;

입력 단자와 전기적으로 연결되고, 상기 제1 탄소나노튜브 채널, 제2 탄소나노튜브 채널, 제3 탄소나노튜브 채널, 및 제4 탄소나노튜브 채널의 일부 영역 상에 배치되는, 게이트 전극;

출력 단자와 전기적으로 연결되는 출력 전극;

상기 제1 공통 전극 및 상기 출력 전극과 전기적으로 연결되는 제1 탄소나노튜브 정선; 및

상기 제2 공통 전극 및 상기 출력 전극과 전기적으로 연결되는 제2 탄소나노튜브 정선;을 포함하는, 3진수 논리회로.

청구항 13

제12항에 있어서,

상기 제1 탄소나노튜브 채널과, 상기 제4 탄소나노튜브 채널은 제1 직경을 갖는 탄소나노튜브를 포함하고,
상기 제2 탄소나노튜브 채널과, 상기 제3 탄소나노튜브 채널은 제2 직경을 갖는 탄소나노튜브를 포함하고,
상기 제1 직경은 상기 제2 직경보다 작은, 3진수 논리회로.

청구항 14

제12항에 있어서,

상기 제1 탄소나노튜브 채널과 상기 제3 탄소나노튜브 채널은 p형 탄소나노튜브를 포함하고,
상기 제2 탄소나노튜브 채널과 상기 제4 탄소나노튜브 채널은 n형 탄소나노튜브를 포함하는, 3진수 논리회로.

청구항 15

제12항에 있어서,

상기 제1 탄소나노튜브 정션 및 제2 탄소나노튜브 정션은 p형 도핑된 p형 탄소나노튜브와, n형 도핑된 n형 탄소나노튜브를 포함하는, 3진수 논리회로.

청구항 16

제13항에 있어서,

상기 제1 탄소나노튜브 정션 및 제2 탄소나노튜브 정션은 적어도 $3 \times 10^{18} \text{ cm}^{-3}$ 으로 도핑된, 3진수 논리회로.

발명의 설명

기술 분야

[0001] 본 발명은 3진수 논리회로에 관한 것으로, 보다 상세하게는 탄소나노튜브를 이용하여 집적도가 향상된 3진수 논리회로에 관한 것이다.

배경 기술

[0002] 2진수 논리 기반의 디지털 시스템은 많은 양의 데이터를 빠르게 처리하기 위하여, 소자의 소형화를 통하여 정보의 밀도(Bit density)를 증가하였다. 그러나, 30-nm 이하로 소자가 소형화되어 고집적화되며, 전류 누설과 소비 전력 증가가 문제가 되고 있다. 따라서, 이러한 한계를 극복하고, 정보의 밀도를 증가하기 위하여, 다중 값 논리(Multi-valued logic) 중 하나인 3진수 논리회로에 대한 관심이 급증하였다.

[0003] 다중 값 논리회로를 구현하기 위한 방법 중 대표적인 방법으로, 다중 문턱전압 기반의 회로를 구성하는 방법이 있다. 이 때, 직경을 조절하여 문턱전압을 결정할 수 있는 탄소나노튜브는 다중 문턱전압 기반의 회로 구현에 적합한 물질로 알려져 있다.

[0004] 한국 등록특허공보 등록번호 제10-1689159(2016.12.23. 공고)호는 3진수 논리회로에 관한 것으로, 일 실시예에 따른 3진수 논리회로는 전원전압 (V_{DD} 와 GND) 사이에 직렬로 연결된 풀업 소자와 풀다운 소자 그리고 입력 전압(V_{IN})과 출력전압(V_{OUT})을 포함하되, 상기 입력 전압(V_{IN})에 의해 모두 꺼진 경우, 상기 풀업 소자와 상기 풀다운 소자가 모두 출력전압(V_{OUT})에만 영향을 받는 단순 저항으로 동작하며 전압 분배를 통해 제 3의 진수 (“1” 상태)를 형성하고, 상기 풀업 소자 또는 풀다운 소자의 한쪽만 켜져 전류를 흘려주게 되면 V_{DD} (“2” 상태) 또는 GND (“0” 상태)가 출력전압(V_{OUT})으로 출력되도록 하여, bit density를 확연히 높일 수 있는 효과가 있다.

[0005] 그러나, 상술한 종래 기술은 풀업 소자와 풀다운 소자만으로 구성되어, 각 상태로의 천이가 느린 문제가 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 1. 한국 등록특허공보 등록번호 제10-1689159(2016.12.23. 공고)호

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 기술적 과제는 집적도가 향상된 3진수 논리 회로를 제공하는 것이다.

과제의 해결 수단

[0008] 상술한 기술적 과제를 해결하기 위하여 본 발명의 일 실시예는, 입력 단자 및 출력 단자와 전기적으로 연결되는, 제1 인버터부, 상기 입력 단자 및 출력 단자와 전기적으로 연결되고, 상기 제1 인버터부와 병렬로 배치되는, 제2 인버터부, 상기 제1 인버터부와 상기 출력 단자 사이에 배치되고, 터널 PN 정선을 포함하는, 제1 정선부, 및 상기 제2 인버터부와 상기 출력 단자 사이에 배치되고, 터널 PN 정선을 포함하는, 제2 정선부를 포함하고, 상기 입력 단자에 인가되는 입력 전압의 절대값이 제1 입력 전압보다 작을 때, 상기 출력 단자는 제1 출력 전압을 출력하고, 상기 입력 전압의 절대값이 상기 제1 입력 전압보다 크고 제2 입력 전압보다 작을 때, 상기 출력 단자는 제2 출력 전압을 출력하고, 상기 입력 전압의 절대값이 상기 제2 입력 전압보다 클 때, 상기 출력 단자는 제3 출력 전압을 출력하는, 3진수 논리회로를 제공한다.

[0009] 일 실시예에서, 상기 제1 인버터부는 제1 문턱전압을 갖는 제1 트랜지스터, 및 상기 제1 트랜지스터와 병렬로 배치되고, 제2 문턱전압을 갖는 제2 트랜지스터를 포함하고, 상기 제2 인버터부는 제3 문턱전압을 갖는 제3 트랜지스터와, 상기 제3 트랜지스터와 병렬로 배치되고, 제4 문턱전압을 갖는 제4 트랜지스터를 포함하고, 상기 제1 트랜지스터와 상기 제3 트랜지스터는 p형 채널을 갖고, 상기 제2 트랜지스터와 상기 제4 트랜지스터는 n형 채널을 가질 수 있다.

[0010] 일 실시예에서, 상기 제1 문턱전압의 절대값과 상기 제4 문턱전압의 절대값이 같고, 상기 제2 문턱전압의 절대값과 상기 제3 문턱전압의 절대값이 같을 수 있다.

[0011] 일 실시예에서, 상기 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터 및 제4 트랜지스터는 탄소나노튜브 트랜지스터일 수 있다.

[0012] 일 실시예에서, 상기 제1 트랜지스터와 상기 제4 트랜지스터는 제1 직경을 갖는 탄소나노튜브를 포함하고, 상기 제2 트랜지스터와 상기 제3 트랜지스터는 제2 직경을 갖는 탄소나노튜브를 포함하고, 상기 제1 직경은 상기 제2 직경보다 작을 수 있다.

[0013] 일 실시예에서, 상기 제1 정선부 및 제2 정선부는 탄소나노튜브 터널 PN 정선을 포함할 수 있다.

[0014] 일 실시예에서, 상기 탄소나노튜브 터널 PN 정선에 인가되는 전기장은 1 MV/cm 이상일 수 있다.

[0015] 일 실시예에서, 상기 탄소나노튜브 터널 PN 정선은 n형 도판트로 고농도 도핑된 제1 영역과, p형 도판트로 고농도 도핑된 제2 영역을 가질 수 있다.

[0016] 일 실시예에서, 상기 탄소나노튜브 터널 PN 정선은 적어도 $3 \times 10^{18} \text{ cm}^{-3}$ 으로 도핑될 수 있다.

[0017] 일 실시예에서, 상기 탄소나노튜브 터널 PN 정선은 상기 입력 전압의 절대값이 상기 제1 입력 전압의 절대값보다 크고 상기 제2 입력 전압의 절대값보다 작을 때, 터널링 전류를 이용하여 전압을 분배할 수 있다.

[0018] 일 실시예에서, 상기 제1 출력 전압은 동작 전압(Vdd)과 동일한 크기를 갖고, 상기 제2 출력 전압은 상기 동작 전압의 절반(Vdd/2)의 크기를 갖고, 상기 제3 출력 전압은 접지 전압과 동일한 크기를 가질 수 있다.

[0019] 상술한 기술적 과제를 해결하기 위하여 본 발명의 다른 일 실시예는, 제1 동작 전극, 제1 공통 전극, 및 상기 제1 동작 전극과 상기 제1 공통 전극 사이에 개재되는 제1 탄소나노튜브 채널을 포함하는, 제1 트랜지스터부, 상기 제1 트랜지스터부와 상기 제1 공통 전극을 공유하고, 제1 접지 전극, 및 상기 제1 공통 전극과 상기 제1 접지 전극 사이에 개재되는 제2 탄소나노튜브 채널을 포함하는, 제2 트랜지스터부, 제2 동작 전극, 제2 공통 전극, 및 상기 제2 동작 전극과 상기 제2 공통 전극 사이에 개재되는 제3 탄소나노튜브 채널을 포함하는, 제3 트랜지스터부, 상기 제3 트랜지스터부와 상기 제2 공통 전극을 공유하고, 제2 접지 전극, 및 상기 제2 공통 전극과 상기 제2 접지 전극 사이에 개재되는 제4 탄소나노튜브 채널을 포함하는 제4 트랜지스터부, 입력 단자와 전

기적으로 연결되고, 상기 제1 탄소나노튜브 채널, 제2 탄소나노튜브 채널, 제3 탄소나노튜브 채널, 및 제4 탄소나노튜브 채널의 일부 영역 상에 배치되는, 게이트 전극, 출력 단자와 전기적으로 연결되는 출력 전극, 상기 제1 공통 전극 및 상기 출력 전극과 전기적으로 연결되는 제1 탄소나노튜브 정션, 및 상기 제2 공통 전극 및 상기 출력 전극과 전기적으로 연결되는 제2 탄소나노튜브 정션을 포함하는, 3진수 논리회로를 제공한다.

[0020] 일 실시예에서, 상기 제1 탄소나노튜브 채널과, 상기 제4 탄소나노튜브 채널은 제1 직경을 갖는 탄소나노튜브를 포함하고, 상기 제2 탄소나노튜브 채널과, 상기 제3 탄소나노튜브 채널은 제2 직경을 갖는 탄소나노튜브를 포함하고, 상기 제1 직경은 상기 제2 직경보다 작을 수 있다.

[0021] 일 실시예에서, 상기 제1 탄소나노튜브 채널과 상기 제3 탄소나노튜브 채널은 p형 탄소나노튜브를 포함하고, 상기 제2 탄소나노튜브 채널과 상기 제4 탄소나노튜브 채널은 n형 탄소나노튜브를 포함할 수 있다.

[0022] 일 실시예에서, 상기 제1 탄소나노튜브 정션 및 제2 탄소나노튜브 정션은 p형 도핑된 p형 탄소나노튜브와, n형 도핑된 n형 탄소나노튜브를 포함할 수 있다.

[0023] 일 실시예에서, 상기 제1 탄소나노튜브 정션 및 제2 탄소나노튜브 정션은 적어도 $3 \times 10^{18} \text{ cm}^{-3}$ 으로 도핑될 수 있다.

발명의 효과

[0024] 본 발명의 일 실시예에 따른 3진수 논리회로는 제1 인버터부, 제2 인버터부, 제1 정션부, 및 제2 정션부를 이용하여 3진 정보를 구현할 수 있도록, 3개의 전압 값을 출력할 수 있다.

[0025] 이 때, 제1 정션부 및 제2 정션부는 터널링 전류를 이용하여 입력 전압(V_{in})의 크기와 무관하게, 제1 출력 전압(V_{DD})과 제3 출력 전압(GND)의 중간 값인 제2 출력 전압($V_{DD}/2$)을 구현할 수 있다.

[0026] 또한, 본 발명의 일 실시예는 탄소나노튜브 트랜지스터들을 이용하여 제1 인버터부 및 제2 인버터부를 구성하여, 각 트랜지스터의 문턱전압을 용이하게 결정할 수 있다. 또한 제1 정션부 및 제2 정션부를 탄소나노튜브 터널 PN 정션으로 형성함으로써, 3진수 논리회로를 소형화하고, 회로의 복잡도를 감소할 수 있다.

[0027] 본 발명의 기술적 효과들은 이상에서 언급한 것들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 효과들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 일 실시예에 따른 3진수 논리회로를 도시하는 도면이다.

도 2는 도 1에 도시된 3진수 논리회로의 구성을 설명하기 위한 회로도이다.

도 3은 본 발명의 일 실시예에 따른 탄소나노튜브를 이용한 3진수 논리회로를 도시하는 개념도이다.

도 4는 인가되는 게이트 전압에 따라 각 트랜지스터를 흐르는 전류의 크기를 도시하는 그래프이다.

도 5a는 제1 인버터부의 동작을 설명하는 그래프이고, 도 5b는 제2 인버터부의 동작을 설명하는 그래프이다.

도 6는 본 발명의 일 실시예에 따른 탄소나노튜브 기반의 3진수 논리회로의 입력 전압(V_{in})과 출력 전압(V_{out})의 관계를 도시하는 그래프이다.

도 7은 도 6에 도시된 각 상태(state)에서 제1 정션부와 제2 정션부의 동작을 설명하기 위한 개념도이다.

도 8은 본 발명의 일 실시예에 따른 탄소나노튜브 기반의 3진수 논리회로의 소비 전력을 도시하는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명이 여러 가지 수정 및 변형을 허용하면서도, 그 특정 실시예들이 도면들로 예시되어 나타내어지며, 이하에서 상세히 설명될 것이다. 그러나 본 발명을 개시된 특별한 형태로 한정하려는 의도는 아니며, 오히려 본 발명은 청구항들에 의해 정의된 본 발명의 사상과 합치되는 모든 수정, 균등 및 대용을 포함한다.

[0030] 층, 영역 또는 기관과 같은 요소가 다른 구성요소 "상(on)"에 존재하는 것으로 언급될 때, 이것은 직접적으로 다른 요소 상에 존재하거나 또는 그 사이에 중간 요소가 존재할 수도 있다는 것을 이해할 수 있을 것이다.

- [0031] 또한, 본 발명은 전자적인 환경 설정, 신호 처리, 및/또는 데이터 처리 등을 위하여 종래 기술을 채용할 수 있다. "부", "요소", "수단", "구성"과 같은 용어는 넓게 사용될 수 있으며, 본 발명의 구성요소들이 기계적이고 물리적인 구성들로서 한정되는 것은 아니다.
- [0032] 비록 제1, 제2 등의 용어가 여러 가지 요소들, 성분들, 영역들, 층들, 단계들 및/또는 지역들을 설명하기 위해 사용될 수 있지만, 이러한 요소들, 성분들, 영역들, 층들, 단계들 및/또는 지역들은 이러한 용어에 의해 한정되어서는 안 된다는 것을 이해할 것이다.
- [0033] 이하 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 이하 도면상의 동일한 구성 요소에 대하여는 동일한 참조 부호를 사용하고, 동일한 구성 요소에 대해서 중복된 설명은 생략한다.
- [0034] 도 1은 본 발명의 일 실시예에 따른 3진수 논리회로를 도시하는 도면이다.
- [0035] 도 1을 참조하면, 본 발명의 일 실시예에 따른 3진수 논리회로(10)는 제1 인버터부(110), 제2 인버터부(120), 제1 정선부(130) 및 제2 정선부(140)를 포함한다.
- [0036] 제1 인버터부(110)는 입력 전압(Vin)이 인가되는 입력 단자(101), 출력 전압(Vout)을 출력하는 출력 단자(103), 동작 전압(VDD)이 인가되는 제1 동작 전극(105), 및 제1 접지 전극(106)과 전기적으로 연결될 수 있다.
- [0037] 제1 인버터부(110)는 문턱전압 기반의 2진수 논리회로와 동일하게 동작할 수 있다. 즉, 제1 인버터부(110)는 입력 전압(Vin)의 절대값이 제1 입력 전압보다 작을 때 동작 전압(V_{DD})을 출력하고, 입력 전압(Vin)의 절대값이 제1 입력 전압보다 클 때 접지 전압(GND)을 출력할 수 있다.
- [0038] 제2 인버터부(120)는 제1 인버터부(110)와 병렬로 배치되고, 입력 전압(Vin)이 인가되는 입력 단자(101), 출력 전압(Vout)을 출력하는 출력 단자(103), 동작 전압(V_{DD})이 인가되는 제2 동작 전극(107), 및 제2 접지 전극(108)과 전기적으로 연결될 수 있다.
- [0039] 여기서, 병렬로 배치된다는 것은, 입력 단자(101)와 출력 단자(103)를 기준으로 병렬로 배치된다는 것을 뜻한다.
- [0040] 즉, 제1 지점(P1)에서, 입력 단자(101)는 제1 인버터부(110)와 제2 인버터부(120)로 분기하여 전기적으로 연결되고, 제2 지점(P2)에서, 제1 인버터부(110)의 출력단과 연결되는 제1 정선부(130)와, 제2 인버터부(120)의 출력단과 연결되는 제2 정선부(140)가 합류하여 출력 단자(103)와 전기적으로 연결될 수 있다.
- [0041] 제2 인버터부(120) 문턱전압 기반의 2진수 논리회로와 동일하게 동작할 수 있다. 이 때, 제2 인버터부(120)는 입력 전압(Vin)의 절대값이 제2 입력 전압보다 작을 때 동작 전압(VDD)을 출력하고, 입력 전압(Vin)의 절대값이 제2 입력 전압보다 클 때 접지 전압(GND)을 출력할 수 있다.
- [0042] 제1 정선부(130)는 제1 인버터부(110)의 출력단과 출력 단자(103) 사이에 개재되고, 제2 정선부(140)는 제2 인버터부(120)의 출력단과 출력 단자(103) 사이에 개재될 수 있다.
- [0043] 제1 정선부(130)와 제2 정선부(140)는 터널 PN 정선을 포함할 수 있다. 여기서, 터널 PN 정선은 고농도로 도핑된 PN 접합 다이오드로, 순방향과 역방향의 빠른 스위칭이 가능한 PN 정선일 수 있다.
- [0044] 입력 단자(101)에 인가되는 입력 전압(Vin)의 절대값이 제1 입력 전압보다 작을 때, 제1 인버터부(110) 및 제2 인버터부(120)는 동작 전압(V_{DD})을 출력할 수 있다. 따라서, 제1 출력 전압(Vout)은 동작 전압(V_{DD})과 같을 수 있다.
- [0045] 입력 단자(101)에 인가되는 입력 전압(Vin)의 절대값이 제1 입력 전압보다 크고, 제2 입력 전압보다 작을 때, 제1 인버터부(110)는 접지 전압(GND)을 출력하고, 제2 인버터부(120)는 동작 전압(V_{DD})을 출력할 수 있다. 이 때, 제1 정선부(130)와 제2 정선부(140)는 터널링 전류를 이용하여 양 단간에 전압을 분배할 수 있다. 따라서, 제2 출력 전압(Vout)은 동작 전압(V_{DD})의 절반의 크기(V_{DD}/2)를 가질 수 있다.
- [0046] 입력 단자(101)에 인가되는 입력 전압(Vin)이 제2 입력 전압보다 클 때, 제1 인버터부(110)와 제2 인버터부(120)는 접지 전압(GND)을 출력할 수 있다. 따라서, 제3 출력 전압(Vout)은 접지 전압(GND)과 같을 수 있다.
- [0047] 따라서, 본 발명의 일 실시예에 따른 3진수 논리회로(10)는 세 종류의 출력 상태를 구현할 수 있다.

- [0048] 도 2는 도 1에 도시된 3진수 논리회로의 구성을 설명하기 위한 회로도이다.
- [0049] 도 2를 참조하면, 제1 인버터부(110)는 제1 트랜지스터(111) 및 제2 트랜지스터(113)를 포함하고, 제2 인버터부(120)는 제3 트랜지스터(121) 및 제4 트랜지스터(123)를 포함할 수 있다.
- [0050] 제1 트랜지스터(111)는 제2 트랜지스터(113)와 병렬로 배치된다. 상술한 바와 마찬가지로, 여기서 병렬로 배치된다는 것은, 입력 단자(101)와 출력 단자(103)를 기준으로 병렬로 배치된다는 것을 의미한다. 즉, 제1 트랜지스터(111)는 제2 트랜지스터(113)와 제1 지점(P1)에서 분기될 수 있다. 따라서, 제1 트랜지스터(111)와 제2 트랜지스터(113)는 게이트 전극에 동일한 입력 전압(V_{in})을 인가받을 수 있다.
- [0051] 제1 트랜지스터(111)의 일측 전극은 제1 동작 전극(105)과 연결되고, 다른 일측 전극은 제3 지점(P3)으로 연결될 수 있다. 제2 트랜지스터(113)의 일측 전극은 제3 지점(P3)으로 연결되고, 다른 일측 전극은 제1 접지 전극(106)으로 연결될 수 있다. 제3 지점(P3)에서, 제1 트랜지스터(111), 제2 트랜지스터(113) 및 제1 정선부(130)는 전기적으로 연결된다.
- [0052] 제1 트랜지스터(111)는 p형 채널을 갖는 트랜지스터이고, 제2 트랜지스터(113)는 n형 채널을 갖는 트랜지스터일 수 있다. 제1 트랜지스터(111)는 제1 문턱전압($-V_{th}$)을 갖고, 제2 트랜지스터(113)는 제2 문턱전압(V_{th})을 가질 수 있다. 이 때, 제1 문턱전압($-V_{th}$)은 음의 값을 가지고, 제2 문턱전압(V_{th})은 양의 값을 가질 수 있다. 또한 제1 문턱전압의 절대값($|V_{th}|$)은 제2 문턱전압의 절대값($|V_{th}|$)보다 클 수 있다.
- [0053] 제3 트랜지스터(121)는 제4 트랜지스터(123)와 병렬로 배치된다. 상술한 바와 마찬가지로, 여기서 병렬로 배치된다는 것은, 입력 단자(101)와 출력 단자(103)를 기준으로 병렬로 배치된다는 것을 의미한다. 즉, 제3 트랜지스터(121)는 제4 트랜지스터(123)와 제1 지점(P1)에서 분기되어 입력 단자(101)와 전기적으로 연결될 수 있다. 따라서, 제3 트랜지스터(121)와 제4 트랜지스터(123)는 동일한 입력 전압(V_{in})을 인가받을 수 있다.
- [0054] 제3 트랜지스터(121)의 일측 전극은 제2 동작 전극(107)과 연결되고, 다른 일측 전극은 제4 지점(P4)으로 연결될 수 있다. 제4 트랜지스터(123)의 일측 전극은 제4 지점(P4)으로 연결되고, 다른 일측 전극은 제2 접지 전극(108)으로 연결될 수 있다. 제4 지점(P4)에서, 제3 트랜지스터(121), 제4 트랜지스터(123) 및 제2 정선부(140)는 전기적으로 연결된다.
- [0055] 제3 트랜지스터(121)는 p형 채널을 갖는 트랜지스터이고, 제4 트랜지스터(123)는 n형 채널을 갖는 트랜지스터일 수 있다. 제3 트랜지스터(121)는 제3 문턱전압($-V_{th}$)을 갖고, 제4 트랜지스터(123)는 제4 문턱전압(V_{th})을 가질 수 있다. 이 때, 제3 문턱전압의 절대값($|V_{th}|$)은 제4 문턱전압의 절대값($|V_{th}|$)보다 작을 수 있다.
- [0056] 여기서, 제1 트랜지스터(111), 제2 트랜지스터(113), 제3 트랜지스터(121) 및 제4 트랜지스터(123)는 탄소나노튜브 트랜지스터일 수 있다.
- [0057] 제1 트랜지스터(111)와 제3 트랜지스터(121)는 p형으로 도핑된 탄소나노튜브를 채널로 이용하는 p형 탄소나노튜브 트랜지스터일 수 있다. 제2 트랜지스터(113) 및 제4 트랜지스터(123)는 n형으로 도핑된 탄소나노튜브를 채널로 이용하는 n형 탄소나노튜브 트랜지스터일 수 있다. 제1 트랜지스터(111)와 제4 트랜지스터(123)는 제1 직경을 갖는 탄소나노튜브를 채널로 이용할 수 있다. 제2 트랜지스터(113)와 제3 트랜지스터(121)는 제2 직경을 갖는 탄소나노튜브를 채널로 이용할 수 있다. 이 때, 제1 직경은 제2 직경보다 작을 수 있다.
- [0058] 제1 정선부(130)는 제1 인버터부(110)의 출력단과 제2 지점(P2)을 전기적으로 연결하고, 제2 정선부(140)는 제2 지점(P2)과 제2 인버터부(120)의 출력단을 전기적으로 연결한다. 제2 지점(P2)은 출력 단자(103)와 전기적으로 연결된다.
- [0059] 제1 정선부(130)는 제1 인버터부(110)의 출력단 방향에 p형 영역을 갖고, 제2 지점(P2) 방향에 n형 영역을 갖도록 배치될 수 있다. 제2 정선부(140)는 제2 지점(P2) 방향에 p형 영역을 갖고, 제2 인버터부(120)의 출력단 방향에 n형 영역을 갖도록 배치될 수 있다. 상기 제1 정선부(130) 및 제2 정선부(140)는 고농도 도핑된 터널 정선을 포함하여, 부성저항 특성을 가질 수 있다.
- [0060] 상기 제1 정선부(130) 및 제2 정선부(140)는 입력 전압(V_{in})의 절대값이 상기 제1 입력 전압보다 크고 상기 제2 입력 전압보다 작을 때, 터널링 전류를 이용하여 제1 정선부(130) 및 제2 정선부(140)에 인가되는 전압을 분배한다. 따라서, 출력 단자(103)로 출력되는 제2 출력 전압의 값은 동작 전압 값의 절반($V_{DD}/2$)일 수 있다.
- [0061] 상기 제1 정선부(130) 및 제2 정선부(140)는 탄소나노튜브 터널 PN 정선을 포함할 수 있다. 탄소나노튜브 터널

PN 정선은 n형 도판트로 고농도 도핑된 제1 영역과 p형 도판트로 고농도 도핑된 제2 영역을 가질 수 있다. 탄소 나노튜브 터널 PN 정선은 적어도 적어도 $3 \times 10^{18} \text{ cm}^{-3}$ 으로 도핑될 수 있다. 상기 제1 정선부(130) 및 상기 제2 정선부(140)에 인가되는 전기장은 약 1 MV/cm 이상이거나, 1 MV/cm일 수 있다.

- [0062] 도 3은 본 발명의 일 실시예에 따른 탄소나노튜브를 이용한 3진수 논리회로를 도시하는 개념도이다.
- [0063] 도 3을 참조하면, 본 발명의 일 실시예에 따른 탄소나노튜브를 이용한 3진수 논리회로(20)는 병렬로 배치되어 제1 공통 전극(CE1)을 공유하는 제1 트랜지스터부(210)와 제2 트랜지스터부(220), 병렬로 배치되어 제2 공통 전극(CE2)을 공유하는 제3 트랜지스터부(230)와 제4 트랜지스터부(240), 상기 제1 트랜지스터부(210) 내지 제4 트랜지스터부(240)에 게이트 전압을 인가하는 게이트 전극(G), 출력 단자와 연결되는 출력 전극(OE), 상기 제1 공통 전극(CE1)과 출력 전극(OE)을 연결하는 제1 정선부(250) 및 상기 제2 공통 전극(CE2)과 출력 전극(OE)을 연결하는 제2 정선부(260)를 포함할 수 있다.
- [0064] 제1 트랜지스터부(210)는 제1 동작 전극(211), 제1 공통 전극(CE1) 및 상기 제1 동작 전극(211)과 제1 공통 전극(CE1) 사이에 개재되는 제1 탄소나노튜브 채널(213)을 포함할 수 있다.
- [0065] 제2 트랜지스터부(220)는 제1 트랜지스터부(210)와 공유하는 제1 공통 전극(CE1), 제1 접지 전극(221) 및 상기 제1 공통 전극(CE1)과 상기 제1 접지 전극(211) 사이에 개재되는 제2 탄소나노튜브 채널(223)을 포함할 수 있다.
- [0066] 제3 트랜지스터부(230)는 제2 동작 전극(231), 제2 공통 전극(CE2) 및 상기 제2 동작 전극(231)과 제2 공통 전극(CE2) 사이에 개재되는 제3 탄소나노튜브 채널(233)을 포함할 수 있다.
- [0067] 제4 트랜지스터부(240)는 제2 공통 전극(CE2), 제2 접지 전극(241) 및 제2 공통 전극(CE2)과 제2 접지 전극(241) 사이에 개재되는 제4 탄소나노튜브 채널(243)을 포함할 수 있다.
- [0068] 제1 탄소나노튜브 채널(213) 및 제3 탄소나노튜브 채널(233)은 도핑되지 않거나, p형 도판트로 도핑된 p형 탄소나노튜브를 포함할 수 있다. 제2 탄소나노튜브 채널(223) 및 제4 탄소나노튜브 채널(243)은 n형 도판트로 도핑된 n형 탄소나노튜브를 포함할 수 있다.
- [0069] 제1 탄소나노튜브 채널(213) 및 제4 탄소나노튜브 채널(243)은 제1 직경을 갖는 탄소나노튜브를 포함할 수 있고, 제2 탄소나노튜브 채널(223) 및 제3 탄소나노튜브 채널(233)은 제2 직경을 갖는 탄소나노튜브를 포함할 수 있다. 이 때, 제1 직경은 제2 직경보다 작을 수 있다.
- [0070] 게이트 전극(G)은 제1 탄소나노튜브 채널(213), 제2 탄소나노튜브 채널(223), 제3 탄소나노튜브 채널(233) 및 제4 탄소나노튜브 채널(243)의 일부 영역 상에 배치되는 브랜치 전극들(G1, G2, G3, 및 G4)을 포함할 수 있다. 따라서, 게이트 전극(G)은 동일한 입력 전압(Vin)을 제1 탄소나노튜브 채널(213), 제2 탄소나노튜브 채널(223), 제3 탄소나노튜브 채널(233) 및 제4 탄소나노튜브 채널(243)의 일부 영역 상에 동시에 인가할 수 있다.
- [0071] 제1 공통 전극(CE1)의 일 측은 제1 탄소나노튜브 채널(213)의 일측 단부와 제2 탄소나노튜브 채널(223)의 일측 단부가 인접한 지점에서 제1 탄소나노튜브 채널(213) 및 제2 탄소나노튜브 채널(223)과 전기적으로 연결된다. 제1 공통 전극(CE1)의 다른 일 측은 제1 탄소나노튜브 정선(251)과 전기적으로 연결된다.
- [0072] 제2 공통 전극(CE2)의 일 측은 제3 탄소나노튜브 채널(233)의 일측 단부와 제4 탄소나노튜브 채널(243)의 일측 단부가 인접한 지점에서 제3 탄소나노튜브 채널(233) 및 제4 탄소나노튜브 채널(243)과 전기적으로 연결된다. 제2 공통 전극(CE2)의 다른 일 측은 제2 탄소나노튜브 정선(261)과 전기적으로 연결된다.
- [0073] 제1 정선부(250)는 제1 공통 전극(CE1), 출력 전극(OE), 및 제1 공통 전극(CE1) 및 출력 전극(OE) 사이에 배치되는 제1 탄소나노튜브 정선(251)을 포함한다.
- [0074] 제1 탄소나노튜브 정선(251)은 p형 도판트로 도핑되는 제1 영역(251a)과, n형 도판트로 도핑되는 제2 영역(251b)을 포함할 수 있다. 이 때, 제1 영역(251a) 및 제2 영역(251b)은 고농도로 도핑될 수 있다. 제1 영역(251a) 및 제2 영역(251b)은 적어도 $3 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 도핑될 수 있다. 일 실시예에서, 제1 영역(251a) 및 제2 영역(251b)의 길이는 서로 다를 수 있다. 일 예로, 제1 영역(251a)가 제2 영역(251b)보다 짧게 형성될 수 있다.
- [0075] 제2 정선부(260)는 제2 공통 전극(CE2), 출력 전극(OE) 및 제2 공통 전극(CE2) 및 출력 전극(OE) 사이에 배치되는 제2 탄소나노튜브 정선(261)을 포함한다.

- [0076] 제2 탄소나노튜브 정선(261)은 p형 도판트로 도핑되는 제3 영역(261a)과, n형 도판트로 도핑되는 제4 영역(261b)를 포함할 수 있다. 마찬가지로, 제3 영역(261a) 및 제4 영역(261b)는 고농도로 도핑될 수 있다. 제3 영역(261a) 및 제4 영역(261b)은 적어도 $3 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 도핑될 수 있다. 일 실시예에서, 제3 영역(261a) 및 제4 영역(261b)의 길이는 서로 다를 수 있다. 일 예로, 제3 영역(261a)이 제4 영역(261b)보다 길게 형성될 수 있다.
- [0077] 도 4는 인가되는 게이트 전압에 따라 각 트랜지스터를 흐르는 전류의 크기를 도시하는 그래프이다.
- [0078] 도 4를 참조하면, A는 게이트 전극(G)에 인가되는 입력 전압에 따라, 제1 트랜지스터부(210)에 흐르는 전류를 도시하고, B는 제3 트랜지스터부(230)에 흐르는 전류를, C는 제2 트랜지스터부(220)에 흐르는 전류를, D는 제4 트랜지스터부(240)에 흐르는 전류를 도시한다.
- [0079] 제1 직경을 갖는 탄소나노튜브들을 포함하는 제1 트랜지스터부(210)와 제4 트랜지스터부(240)의 문턱전압의 절대값($|V_{th}|$)은 동일하고, 제2 직경을 갖는 탄소나노튜브들을 포함하는 제2 트랜지스터부(220)와 제3 트랜지스터부(230)의 문턱전압의 절대값($|V_{th}|$)은 동일하다. 이 때, 제1 직경은 제2 직경보다 작고, $|V_L| < |V_H|$ 이다.
- [0080] p형 탄소나노튜브 채널을 갖는 제1 트랜지스터부(210)와 제3 트랜지스터부(230)는 문턱전압 값 이하에서 온(ON) 상태를 유지하다가, 문턱전압 값 이상이 될 때 전류가 급격히 감소하여 오프(OFF) 상태가 된다.
- [0081] n형 탄소나노튜브 채널을 갖는 제2 트랜지스터부(220)와 제4 트랜지스터부(240)는 문턱전압 값 이하에서 오프 상태를 유지하다가, 문턱전압 값 이상이 될 때 전류가 급격히 증가하여 온 상태가 된다.
- [0082] 도 5a는 제1 인버터부의 동작을 설명하는 그래프이고, 도 5b는 제2 인버터부의 동작을 설명하는 그래프이다.
- [0083] 도 5a를 참조하면, 제1 인버터부(도1, 110)에 입력 전압(V_{in})이 인가될 때, 입력 전압(V_{in})의 절대값이 동작 전압(V_{DD})과 제1 문턱전압의 절대값($|V_{th}|$)의 차($V_{DD} - |V_{th}|$)와 같을 때, 제1 트랜지스터부(210)의 전류 값이 급격히 감소하고, 입력 전압(V_{in})의 절대값이 제2 문턱전압의 절대값($|V_{th}|$)과 같을 때, 제2 트랜지스터부(220)의 전류 값이 급격하게 증가한다.
- [0084] 따라서, 제1 트랜지스터부(210)의 전류 그래프인 A와 제2 트랜지스터부(220)의 전류 그래프인 C가 교차하는 점인 제1 입력 전압 이하에서 제1 인버터부(110)는 V_{DD} 를 출력하고, 입력 전압(V_{in})의 절대값이 제1 입력 전압을 초과할 때 GND를 출력하는 상태로 변화한다.
- [0085] 도 5b를 참조하면, 제2 인버터부(도1, 120)에 입력 전압(V_{in})이 인가될 때, 입력 전압(V_{in})의 절대값이 동작 전압(V_{DD})과 제3 문턱전압의 절대값($|V_{th}|$)의 차($V_{DD} - |V_{th}|$)와 같을 때, 제3 트랜지스터부(230)의 전류 값이 급격히 감소하고, 입력 전압(V_{in})의 절대값이 제4 문턱전압의 절대값($|V_{th}|$)과 같을 때, 제4 트랜지스터부(240)의 전류 값이 급격하게 증가한다.
- [0086] 따라서, 제3 트랜지스터부(230)의 전류 그래프인 B와 제4 트랜지스터부(240)의 전류 그래프인 D가 교차하는 점인 제2 입력 전압 이하에서, 제2 인버터부(120)는 V_{DD} 를 출력하고, 입력 전압(V_{in})의 절대값이 제2 입력 전압을 초과할 때, GND를 출력하는 상태로 변화한다.
- [0087] 도 6는 본 발명의 일 실시예에 따른 탄소나노튜브 기반의 3진수 논리회로의 입력 전압(V_{in})과 출력 전압(V_{out})의 관계를 도시하는 그래프이다.
- [0088] 도 6을 참조하면, 본 발명의 일 실시예에 따른 탄소나노튜브 기반의 3진수 논리회로는, 입력 전압(V_{in})의 절대값이 0 내지 제1 입력 전압인 제1 영역(R1)에서 동작 전압과 동일한 크기의 제1 출력 전압(V_{DD} , 0.9 V)을 출력한다.
- [0089] 입력 전압(V_{in})의 절대값이 제1 입력 전압 내지 제2 입력 전압 사이의 값을 가지는 제2 영역(R2)에서 3진수 논리회로는 동작 전압(V_{DD})의 절반의 크기의 제2 출력 전압(0.45 V)를 출력한다.
- [0090] 입력 전압(V_{in})의 절대값이 제2 입력 전압보다 큰 제3 영역(R3)에서 3진수 논리회로는 접지 전압과 동일한 크기의 제3 출력 전압(GND, 0 V)를 출력한다.
- [0091] 도 7은 도 6에 도시된 각 상태(state)에서 제1 정선부와 제2 정선부의 동작을 설명하기 위한 개념도이다.

- [0092] 도 7a를 참조하면, 제1 영역(도 6, R1)에서 제1 인버터부(110)와 제2 인버터부(120)는 동일한 전압 V_{DD} 를 출력하고, 제1 정선부(130)는 출력 단자(103)에 제1 출력 전압(V_{DD})을 출력한다.
- [0093] 도 7b를 참조하면, 제2 영역(R2)에서 제1 인버터부(110)는 접지 전압(GND)를 출력하고, 제2 인버터부(120)는 동작 전압(V_{DD})을 출력한다. 제1 정선부(130) 및 제2 정선부(140)는 터널 전류를 이용하여 양단간에 동일하게 전압을 분배하여, 출력 단자(103)에 제2 출력 전압($V_{DD}/2$)을 출력한다.
- [0094] 도 7c를 참조하면, 제3 영역(R3)에서, 제1 인버터부(110) 및 제2 인버터부(120)는 접지 전압(GND)을 출력한다. 따라서, 출력 단자(103)는 접지 전압(GND)과 동일한 크기인 제3 출력 전압(GND, 0 V)을 출력한다.
- [0095] 도 8은 본 발명의 일 실시예에 따른 탄소나노튜브 기반의 3진수 논리회로의 소비 전력을 도시하는 그래프이다.
- [0096] 도 8을 참조하면, 본 발명의 일 실시예에 따른 탄소나노튜브 기반의 3진수 논리회로는 출력 상태가 변화하는 제1 입력 전압과, 제2 입력 전압에 인접한 지점에서만 수 나노와트 내지 수십 나노와트의 전력 소비가 발생하며, 각 상태를 유지하기 위한 소비 전력은 수 피코와트 내지 수 나노와트 레벨에 불과한 것을 확인할 수 있다. 따라서, 본 발명의 일 실시예에 따른 탄소나노튜브 기반의 3진수 논리회로는 매우 작은 전력을 소비하여 3진수 기반의 연산이 가능하다.
- [0097] 또한, 본 발명의 일 실시예에 따른 탄소나노튜브 기반의 3진수 논리회로는 저항, 인덕터, 캐패시터와 같은 추가적인 구성 요소 없이도 탄소나노튜브 기반의 트랜지스터 및 PN 정선만을 이용하여, 소자를 소형화함으로써 고집적화가 가능하다.
- [0098] 한편, 본 실시예와 관련된 기술 분야에서 통상의 지식을 가진 자는 상기된 기재의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 방법들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.
- [0099] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0100] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

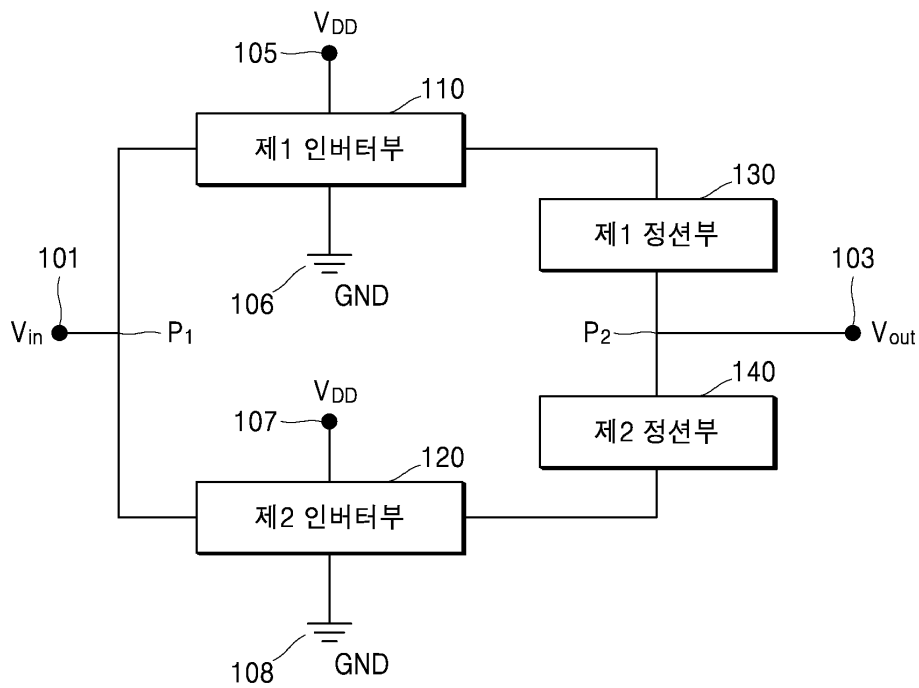
- [0101] 10: 3진수 논리회로
 101: 입력 단자
 103: 출력 단자
 105: 제1 동작 전극
 106: 제1 접지 전극
 107: 제2 동작 전극
 108: 제2 접지 전극
 110: 제1 인버터부
 113: 제2 트랜지스터
 121: 제3 트랜지스터
 140: 제2 정선부
 20: 탄소나노튜브를 이용한 3진수 논리회로

210: 제1 트랜지스터부
 220: 제2 트랜지스터부
 230: 제3 트랜지스터부
 240: 제4 트랜지스터부
 250: 제1 정션부
 260: 제2 정션부
 CE1: 제1 공통 전극
 CE2: 제2 공통 전극
 G: 게이트 전극
 OE: 출력 전극

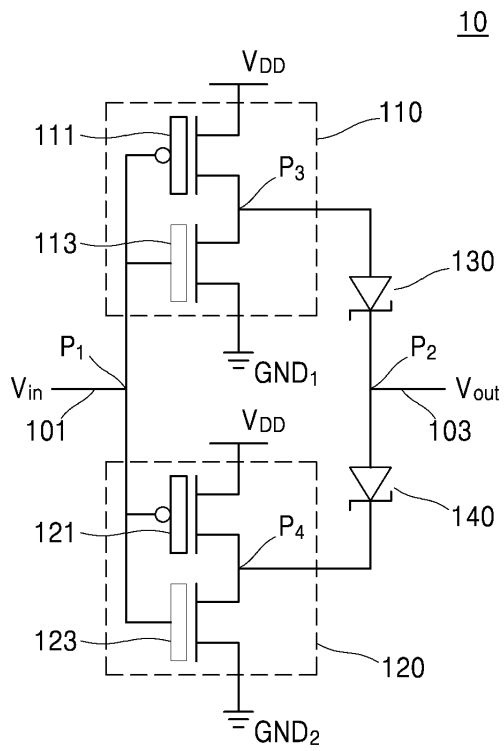
도면

도면1

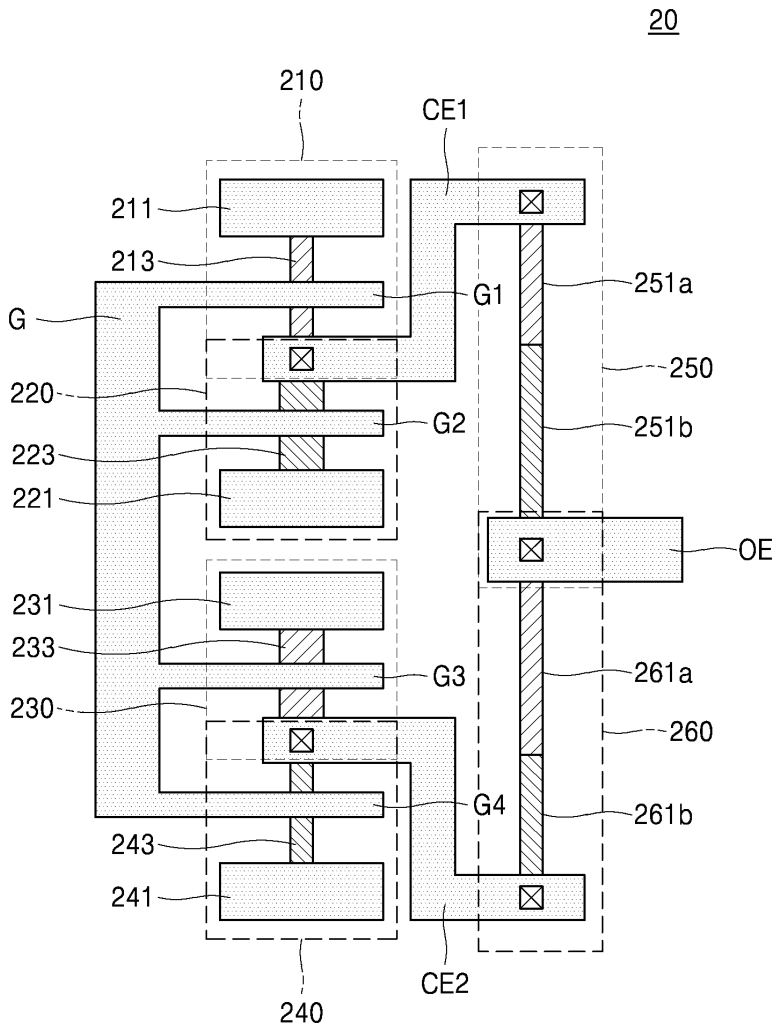
10



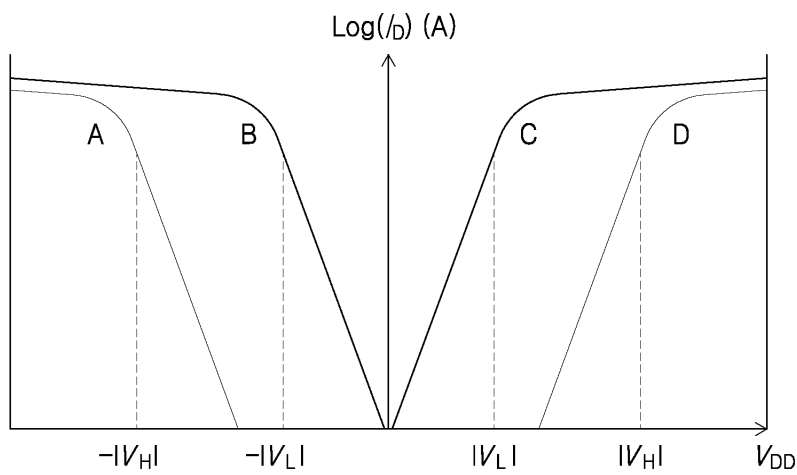
도면2



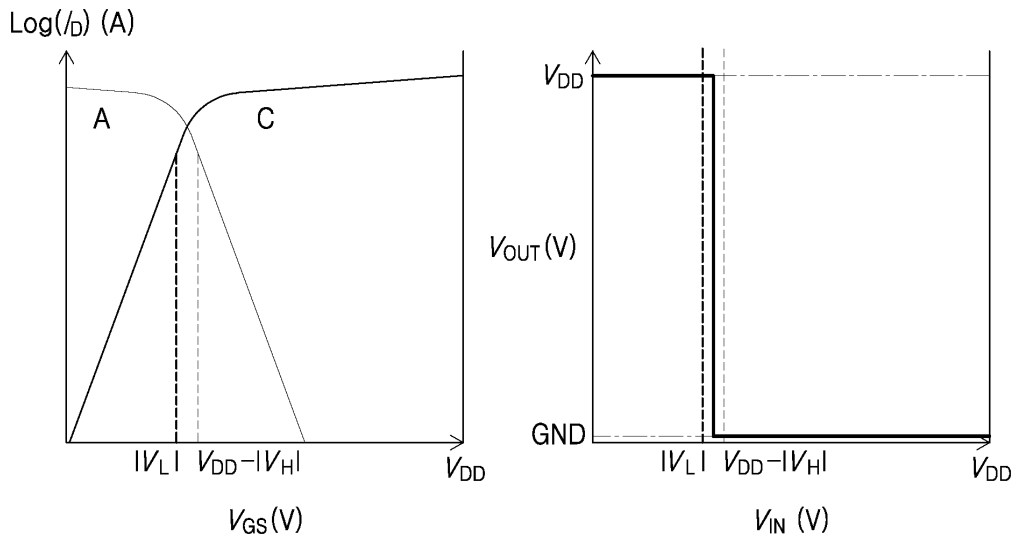
도면3



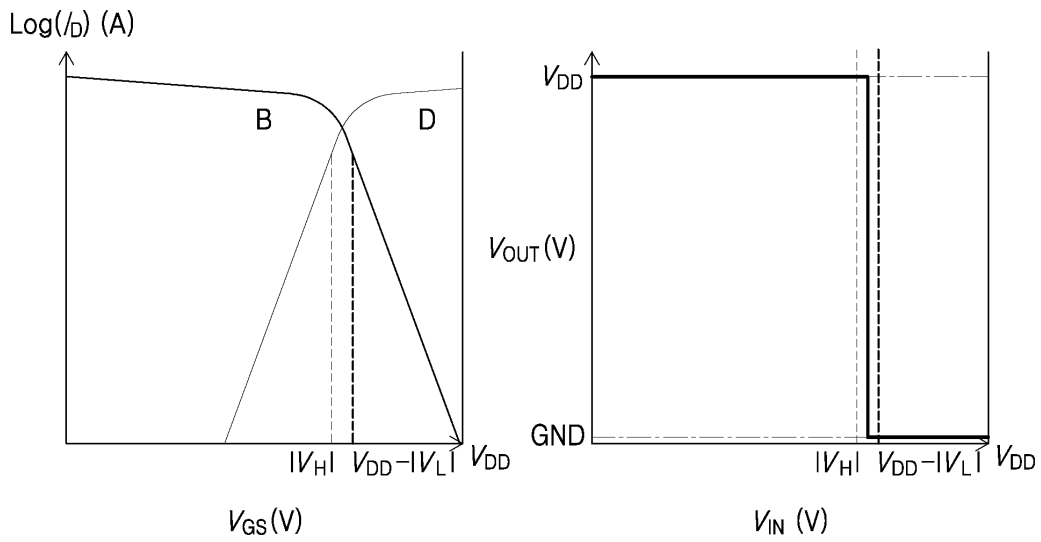
도면4



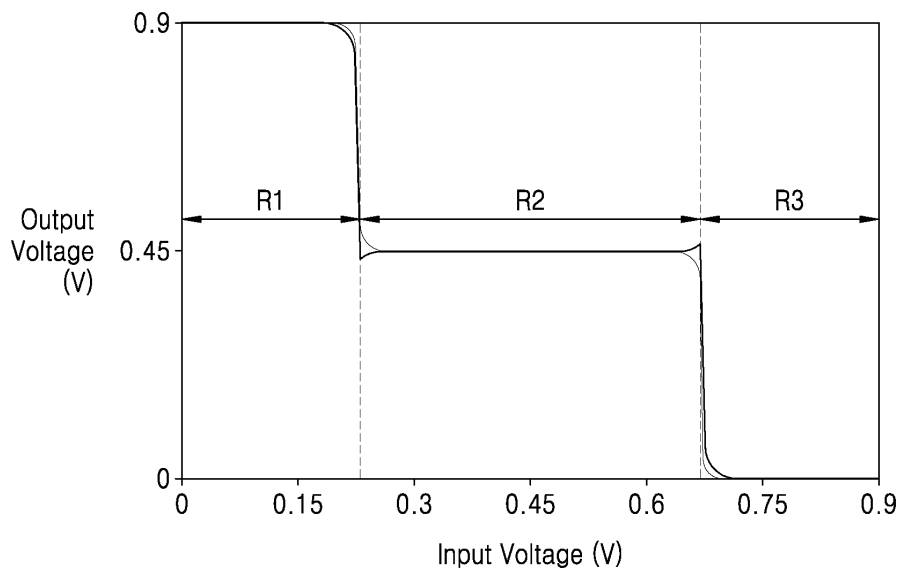
도면5a



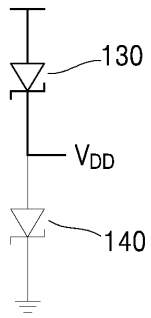
도면5b



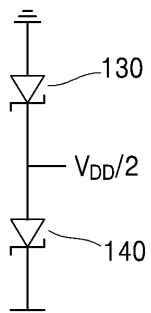
도면6



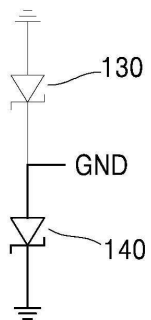
도면7a



도면7b



도면7c



도면8

