



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I882936 B

(45)公告日：中華民國 114 (2025) 年 05 月 01 日

(21)申請案號：113145595

(22)申請日：中華民國 99 (2010) 年 12 月 10 日

(51)Int. Cl. : **H10B10/00 (2023.01)**

(30)優先權：2009/12/18 日本 2009-288474

2009/12/25 日本 2009-294790

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；小山潤 KOYAMA, JUN (JP)；加藤清
KATO, KIYOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200842804A

TW 200937613A

US 2009/0142888A1

審查人員：張展溢

申請專利範圍項數：4 項 圖式數：15 共 102 頁

(54)名稱

半導體裝置

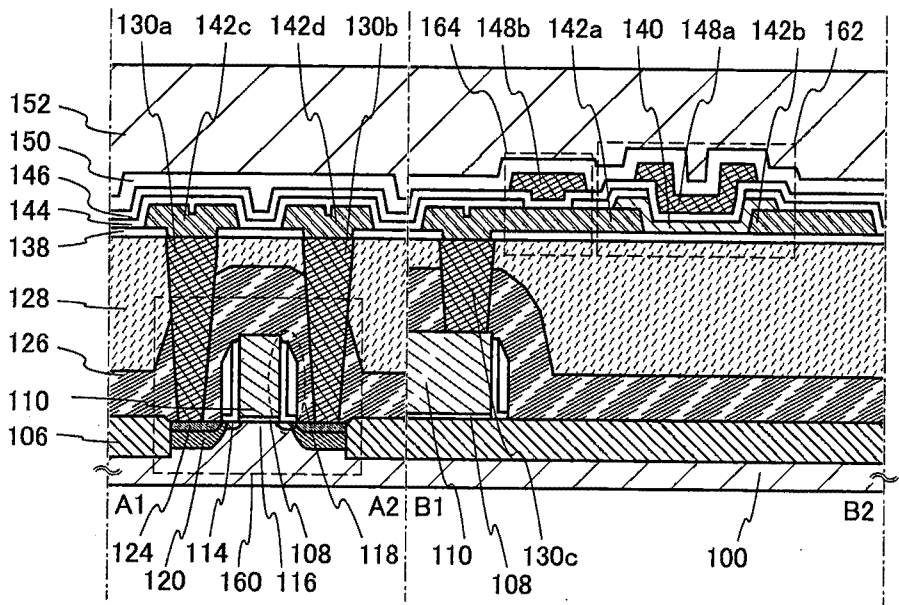
(57)摘要

設置第一電晶體，其包括通道形成區域、第一閘極絕緣層、第一閘極電極、及第一源極電極和第一汲極電極；第二電晶體，其包括氧化物半導體層、第二源極電極和第二汲極電極、第二閘極絕緣層、及第二閘極電極；以及一電容器，其包括第二源極電極和第二汲極電極之一、第二閘極絕緣層、及設置成在第二閘極絕緣層上方重疊第二源極電極和第二汲極電極之一的電極。第一閘極電極及第二源極電極和第二汲極電極之一彼此電連接。

A first transistor including a channel formation region, a first gate insulating layer, a first gate electrode, and a first source electrode and a first drain electrode; a second transistor including an oxide semiconductor layer, a second source electrode and a second drain electrode, a second gate insulating layer, and a second gate electrode; and a capacitor including one of the second source electrode and the second drain electrode, the second gate insulating layer, and an electrode provided to overlap with one of the second source electrode and the second drain electrode over the second gate insulating layer are provided. The first gate electrode and one of the second source electrode and the second drain electrode are electrically connected to each other.

指定代表圖：

第1A圖



符號簡單說明：

- 100:基板
- 106:元件隔離絕緣層
- 108:閘極絕緣層
- 110:閘極電極
- 114:雜質區域
- 116:通道形成區域
- 118:側壁絕緣層
- 120:高濃度雜質區域
- 124:金屬化合物區域
- 126:層間絕緣層
- 128:層間絕緣層
- 130a:源極或汲極電極
- 130b:源極或汲極電極
- 130c:電極
- 138:絕緣層
- 140:氧化物半導體層
- 142a:電極
- 142b:電極
- 142c:電極
- 142d:電極
- 144:絕緣層
- 146:閘極絕緣層
- 148a:電極
- 148b:電極
- 150:保護絕緣層
- 152:層間絕緣層
- 160:電晶體
- 162:電晶體
- 164:電容器

【發明摘要】

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【中文】

設置第一電晶體，其包括通道形成區域、第一閘極絕緣層、第一閘極電極、及第一源極電極和第一汲極電極；第二電晶體，其包括氧化物半導體層、第二源極電極和第二汲極電極、第二閘極絕緣層、及第二閘極電極；以及一電容器，其包括第二源極電極和第二汲極電極之一、第二閘極絕緣層、及設置成在第二閘極絕緣層上方重疊第二源極電極和第二汲極電極之一的電極。第一閘極電極及第二源極電極和第二汲極電極之一彼此電連接。

【 英文 】

A first transistor including a channel formation region, a first gate insulating layer, a first gate electrode, and a first source electrode and a first drain electrode; a second transistor including an oxide semiconductor layer, a second source electrode and a second drain electrode, a second gate insulating layer, and a second gate electrode; and a capacitor including one of the second source electrode and the second drain electrode, the second gate insulating layer, and an electrode provided to overlap with one of the second source electrode and the second drain electrode over the second gate insulating layer are provided. The first gate electrode and one of the second source electrode and the second drain electrode are electrically connected to each other.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

- 100：基板
- 106：元件隔離絕緣層
- 108：閘極絕緣層
- 110：閘極電極
- 114：雜質區域
- 116：通道形成區域
- 118：側壁絕緣層
- 120：高濃度雜質區域
- 124：金屬化合物區域
- 126：層間絕緣層
- 128：層間絕緣層
- 130a：源極或汲極電極
- 130b：源極或汲極電極
- 130c：電極
- 138：絕緣層
- 140：氧化物半導體層
- 142a：電極
- 142b：電極
- 142c：電極
- 142d：電極
- 144：絕緣層
- 146：閘極絕緣層

148a：電極

148b：電極

150：保護絕緣層

152：層間絕緣層

160：電晶體

162：電晶體

164：電容器

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

【發明說明書】

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【技術領域】

在此揭露的本發明有關於包括半導體元件的半導體裝置及製造半導體裝置之方法。

【先前技術】

使用半導體元件之儲存裝置大致分成兩類：當電源停止時喪失已儲存資料之依電性裝置及當不供應電力時保持已儲存資料之非依電性裝置。

依電性儲存裝置的一典型範例為動態隨機存取記憶體（DRAM）。DRAM 以一種方式儲存資料，使得選擇包括在儲存元件中之電晶體並在電容器中儲存電荷。

當從 DRAM 讀取資料時，以上述原理喪失儲存在電容器中之電荷；因此，每一次讀出資料時必須有另一寫入操作。此外，包括在儲存元件中之電晶體有漏電流且即使當不選擇電晶體時電荷會流入或流出電容器，所以資料保持時間為短。有鑑於此，必須在預定間隔有另一寫入資料（更新操作），且難以充分減少耗電量。此外，由於當電

源停止時會喪失已儲存的資料，需要使用磁性材料或光學材料的額外儲存裝置來長時間保持資料。

依電性儲存裝置之另一範例為靜態隨機存取記憶體（SRAM）。SRAM 藉由使用諸如正反器的電路來保持已儲存資料並不需更新操作。這意指 SRAM 比 DRAM 更有優勢。然而，每儲存容量之成本增加，因為使用了諸如正反器的電路。此外，如同在 DRAM 中般，當電源停止時 SRAM 中儲存的資料會喪失。

非依電性儲存裝置的一典型範例為快閃記憶體。快閃記憶體包括於電晶體中在閘極電極與通道形成區域之間的浮置閘極，並藉由在浮置閘極中保持電荷來儲存資料。因此，快閃記憶體具有資料保持時間極長（幾乎永久）且不需要依電性儲存裝置中所需的更新操作之優點（參見專利文獻 1）。

然而，包括在儲存元件中之閘極絕緣層會藉由在寫入中產生的穿隧電流而退化，所以在預定次數的寫入操作後儲存元件會停止其之作用。為了減少此問題之負面影響，例如採用等化每一儲存元件中之寫入操作的次數的方法。然而，需要複雜的周邊電路來實現此方法。此外，採用這類方法不會解決壽命之根本問題。換言之，快閃記憶體不適合其中頻繁重寫資料的應用。

另外，在浮置閘極中保持電荷或移除電荷需要高電壓，並且還需要針對此之電路。此外，保持或移除電荷會花上頗長的時間，並且不容易以較高速度執行寫入及抹

除。

[引用]

[專利文獻]

[專利文獻 1]日本公開專利申請案號 S57-105889

【發明內容】

有鑑於上述問題，所揭露的本發明之一實施例的一目的為提供一種具有新穎結構的半導體裝置，其中當不供應電力時可保持已儲存之資料，且無寫入次數的限制。

在所揭露的本發明中，使用高度純化的氧化物半導體來形成半導體裝置。使用高度純化的氧化物半導體所形成之電晶體可長時間保持資料，因為其之漏電流極小。

所揭露的本發明之一實施例為一種半導體裝置，包含：第一電晶體，其包括：一通道形成區域、具有通道形成區域設置在其之間的雜質區域、設置在通道形成區域上方的第一閘極絕緣層、設置在第一閘極絕緣層上方的第一閘極電極、以及電連接至雜質區域的第一源極電極及第一汲極電極；第二電晶體，其包括：氧化物半導體層、電連接至氧化物半導體層之第二源極電極及第二汲極電極、覆蓋氧化物半導體層、第二源極電極、第二汲極電極之第二閘極絕緣層、以及在第二閘極絕緣層上方重疊氧化物半導體層的第二閘極電極；以及電容器元件，其包括：第二源極電極及第二汲極電極之一、第二閘極絕緣層、以及設置成在第二閘極絕緣層上方重疊第二源極電極及第二汲極電

極之一的電極。第一閘極電極及第二源極電極和第二汲極電極之一互相電連接。

所揭露的本發明之一實施例為一種半導體裝置，包含：第一電晶體，其包括：通道形成區域、具有通道形成區域設置在其之間的雜質區域、設置在通道形成區域上方的第一閘極絕緣層、設置在第一閘極絕緣層上方的第一閘極電極、以及電連接至雜質區域的第一源極電極及第一汲極電極；第二電晶體，其包括：氧化物半導體層、電連接至氧化物半導體層之第二源極電極及第二汲極電極、接觸第二源極電極及第二汲極電極之絕緣層、設置成覆蓋氧化物半導體層、第二源極電極、第二汲極電極、及絕緣層之第二閘極絕緣層、以及設置成在第二閘極絕緣層上方重疊氧化物半導體層的第二閘極電極；以及電容器元件，其包括：第二源極電極及第二汲極電極之一、第二閘極絕緣層、以及設置成在第二閘極絕緣層上方重疊第二源極電極及第二汲極電極之一的電極。第一閘極電極及第二源極電極和第二汲極電極之一互相電連接。

在上述說明中，氧化物半導體層較佳接觸第二源極電極及第二汲極電極的側表面或頂表面。另外，在上述說明中，第二電晶體及電容器較佳設置在第一電晶體上方。

注意到在此說明書及之類中，諸如「上方」或「下方」的術語不非一定指一構件在另一構件的「直接上方」或「直接下方」。例如，詞句「閘極電極在閘極絕緣層上方」不排除其中構件係放置在閘極絕緣層與閘極電極之間

的情況。此外，諸如「上方」或「下方」的術語僅爲了方便敘述而使用且可包括其中構件關係爲顛倒的情況，除非另有所指。

另外，在此說明書及之類中，諸如「電極」或「佈線」的術語不限制構件的功能。例如，「電極」有時用爲「佈線」之部分，且反之亦然。此外，「電極」或「佈線」的術語可包括其中複數「電極」或「佈線」以積體方式形成的情況。

當例如使用相反極性的電晶體時或當電流流動方向在電路操作中改變時，「源極」及「汲極」的功能有時會互換。因此，「源極」及「汲極」術語可在此說明書中分別用來標示汲極及源極。

注意到在此說明書及之類中，「電連接」術語包括其中構件經由具有任何電功能的物體連接之情況。對於具有任何電功能的物體無特別限制，只要可在經由該物體所連接的構件之間傳送並接收電信號。

「具有任何電功能的物體」之範例爲切換元件，如電晶體、電阻器、電感器、電容器，以及具有各式各樣的功能之元件，還有電極及佈線。

本發明之一實施例提供具有一結構的半導體裝置，其中堆疊著包括非氧化物半導體之材料的電晶體及包括氧化物半導體之電晶體。

由於包括氧化物半導體的電晶體之關閉電流極低，可藉由使用該電晶體來保持已儲存資料極長的時間。換言

之，可充分減少耗電量，因為更新操作變得不必要或更新操作的頻率可極低。此外，即使在不供電時，仍可長時間保持已儲存的資料。

再者，無需高電壓來寫入資料，且元件的退化不會成為問題。例如，由於無需執行將電子注入到浮置閘極或從浮置閘極抽取電子（此為傳統非依電性記憶體所需），不會發生諸如閘極絕緣層退化的問題。亦即，根據本發明之一實施例的半導體裝置對於寫入次數無限制（此為傳統非依電性記憶體的一個問題），且可大幅改善其之可靠度。此外，根據電晶體的啓通狀態及關閉狀態來寫入資料，藉此可輕易實現高速操作。另外，無需抹除資料的操作。

由於包括非氧化物半導體的材料之電晶體可以夠高速操作，藉由使用該電晶體可以高速讀出已儲存的資料。

藉由包含包括非氧化物半導體的材料之電晶體及包括氧化物半導體之電晶體兩者可實現具有新穎特徵結構的氧化物半導體。

【圖式簡單說明】

在附圖中：

第 1A 及 1B 圖為半導體裝置之剖面圖及平面圖；

第 2A 至 2D 圖為半導體裝置之剖面圖；

第 3A1 及 3A2 圖及第 3B 圖為半導體裝置之電路圖；

第 4A 至 4H 圖為關於半導體裝置之製造步驟的剖面圖；

第 5A 至 5E 圖爲關於半導體裝置之製造步驟的剖面圖；

第 6A 及 6B 圖爲半導體裝置之剖面圖及平面圖；

第 7A 至 7E 圖爲關於半導體裝置之製造步驟的剖面圖；

第 8A 圖及 8B 圖爲半導體裝置之電路圖；

第 9A 及 9B 圖爲半導體裝置之剖面圖及平面圖；

第 10A 及 10B 圖爲半導體裝置之剖面圖；

第 11A 至 11E 圖爲關於半導體裝置之製造步驟的剖面圖；

第 12A 至 12E 圖爲關於半導體裝置之製造步驟的剖面圖；

第 13A 至 13D 圖爲關於半導體裝置之製造步驟的剖面圖；

第 14A 至 14F 圖爲敘述電子用具之透射圖；以及

第 15 圖爲顯示記憶體窗寬度之調查結果的圖。

【實施方式】

將參考附圖於下說明本發明之實施例的範例。注意到本發明不限於下列說明，且熟悉此技藝人士輕易了解到可以各種方式修改在此揭露的模式及細節而不背離本發明之精神與範疇。因此，本發明不應解釋成限於包括在此之實施例的內容。

注意到在某些情況中爲了方便了解而未準確地表示圖

中所示之各個結構的位置、大小、範圍、或之類。因此，本發明之實施例不一定限於圖中所揭露之這類位置、大小、範圍、或之類。

在此說明書中，使用諸如「第一」、「第二」、及「第三」的順序數以避免混淆構件，且這些用詞不意味構件數量之限制。

（實施例 1）

在此實施例中，將參照第 1A 及 1B 圖、第 2A 至 2D 圖、第 3A1、A2、及 3B 圖、第 4A 至 4H 圖、及第 5A 至 5E 圖說明根據在此揭露之本發明之一實施例的半導體裝置之結構及製造方法。注意到在每一電路圖中，在一些情況中，在電晶體旁寫上「OS」以指示電晶體包括氧化物半導體。

<半導體裝置之平面結構及剖面結構>

第 1A 及 1B 繪示半導體裝置之結構的一範例。第 1A 圖繪示半導體裝置的剖面圖，且第 1B 圖繪示半導體裝置的平面圖。在此，第 1A 圖對應沿著至第 1B 圖中之線 A1-A2 及 B1-B2 的剖面。在第 1A 及 1B 圖中所示之半導體裝置中，在下部中設置包括非半導體裝置的材料之電晶體 160，且在上部中設置包括氧化物半導體層的電晶體 162 及電容器 164。雖然電晶體 160 及 162 在此為 n 通道電晶體，當然可使用 p 通道電晶體。由於所揭露之本發明的技

術本質係在電晶體 162 中使用氧化物半導體以保持資料，不一定得將半導體裝置之特定結構限制於在此所述之結構。

電晶體 160 包括設置在含有半導體材料（如矽）之基板 100 中的通道形成區域 116、通道形成區域 116 設置在其之間的雜質區域 114 和高濃度雜質區域 120（雜質區域 114 和高濃度雜質區域 120 亦統稱為雜質區域）、設置在通道形成區域 116 上方之閘極絕緣層 108、設置在閘極絕緣層 108 上方之閘極電極 110、及電連接至雜質區域的源極電極或汲極電極 130a 和源極或汲極電極 130b。

在此，側壁絕緣層 118 設置在閘極電極 110 的側表面上。此外，高濃度雜質區域 120 形成在基板 100 中，以不和側壁絕緣層 118 重疊，當由上看去時，金屬化合物區域 124 設置成接觸高濃度雜質區域 120。元件隔離絕緣層 106 設置在基板 100 上方以圍繞電晶體 160。設置層間絕緣層 126 及層間絕緣層 128 以覆蓋電晶體 160。源極或汲極電極 130a 及源極或汲極電極 130b 經由形成在層間絕緣層 126 及 128 中的開口電連接至金屬化合物區域 124。亦即，源極或汲極電極 130a 及源極或汲極電極 130b 的每一者經由金屬化合物區域 124 電連接至高濃度雜質區域 120 及雜質區域 114。另外，電極 130c 經由形成在層間絕緣層 126 及 128 中的開口電連接至閘極電極 110。注意到在某些情況中爲了電晶體 160 的整合而不形成側壁絕緣層 118。

電晶體 162 包括設置在絕緣層 138 上方的源極或汲極電極 142a 及源極或汲極電極 142b、電連接至源極或汲極電極 142a 及源極或汲極電極 142b 之氧化物半導體層 140、接觸源極或汲極電極 142a、源極或汲極電極 142b、及氧化物半導體層 140 的絕緣層 144、覆蓋源極或汲極電極 142a、源極或汲極電極 142b、氧化物半導體層 140、及絕緣層 144 的閘極絕緣層 146、及設置成在閘極絕緣層 146 上方重疊氧化物半導體層 140 的閘極電極 148a。在此，設置絕緣層 144 以減少由閘極電極 148a 及之類所造成的電容。注意到爲了簡化程序，可採用其中不設置絕緣層 144 的結構。

如上述，第 1A 及 1B 圖中所示之電晶體 162 爲頂部閘極電晶體，且可稱爲頂部閘極底部接觸電晶體，因爲氧化物半導體層 140 及源極或汲極電極 142a 之類連接於包括氧化物半導體層 140 之底表面的區域中。

在此，氧化物半導體層 140 較佳爲藉由從其充分移除如氫之雜質或充分供應氧至其來高度純化的氧化物半導體層。詳言之，例如，氧化物半導體層 140 中之氫濃度少於或等於 5×10^{19} atoms/cm³；較佳少於或等於 5×10^{18} atoms/cm³；更佳爲少於或等於 5×10^{17} atoms/cm³。注意到藉由二次離子質譜（SIMS）來測量氧化物半導體層 140 的上述氫濃度。在藉由以這類方式充分減少氫濃度來高度純化且其中藉由充分供應氧來減少氧缺乏所導致之能隙中的缺陷程度的氧化物半導體層 140 中獲得少於 1×10^{12}

/cm³；較佳少於 1×10^{11} /cm³ 或；且更佳少於 1.45×10^{10} /cm³ 的載子濃度。例如，在其中通道長度為 10 μm 且氧化物半導體層的厚度為 30 nm 的情況中，當汲極電壓的範圍從近乎 1 V 至 10 V 時，關閉電流（當閘極－源極電壓少於或等於 0 V 時的汲極電流）少於或等於 1×10^{-13} A。此外，在室溫的關閉電流密度（將關閉電流除以電晶體的通道寬度而得的值）近乎 1×10^{-20} A/μm（10 zA/μm）至 1×10^{-19} A/μm（100 zA/μm）。另外，關閉電阻率大於或等於 1×10^9 Ω·m，且較佳大於或等於 1×10^{10} Ω·m。依照此方式，當使用製造成 i 型（本質）或實質 i 型的這種氧化物半導體時，可獲得具有優異的關閉電流特性之電晶體 162。

源極或汲極電極 142a 電連接至電極 130c。換言之，源極或汲極電極 142a 電連接至電晶體 160 的閘極電極 110。依照此方式，設置分別接觸源極或汲極電極 130a 及源極或汲極電極 130b 的電極 142c 及電極 142d。

以源極或汲極電極 142a、閘極絕緣層 146、及電極 148b 形成電容器 164。亦即，源極或汲極電極 142a 作用為電容器 164 的電極之一，且電極 148b 作用為電容器 164 之另一電極。

保護絕緣層 150 設置在電晶體 162 及電容器 164 的上方，且層間絕緣層 152 設置在保護絕緣層 150 上方。

<在上部中之電晶體及電容器中之修改範例>

接下來，在第 2A 至 2D 圖中繪示在第 1A 圖中之上部中之電晶體及電容器中之修改範例。

第 2A 圖中所示的電晶體及電容器為第 1A 及 1B 圖中之半導體裝置的上部中之電晶體及電容器之修改範例。

第 2A 圖中所示之結構與第 1A 圖中所示之結構的不同處在於絕緣層 144 設置在源極或汲極電極 142a 及源極或汲極電極 142b 上方，且氧化物半導體層 140 覆蓋絕緣層 144、源極或汲極電極 142a、及源極或汲極電極 142b。另外，氧化物半導體層 140 設置成經由絕緣層 144 中之開口接觸源極或汲極電極 142a。

此外，在第 2A 至 2D 圖中所示的電晶體及電容器中，源極或汲極電極 142a、源極或汲極電極 142b、及絕緣層 144 的邊緣部具有錐形。在此，錐角例如較佳大於或等於 30° 並少於或等於 60° 。注意到錐角意指，當從與具有錐形之層（例如，源極或汲極電極 142a）的剖面垂直的方向（與基板的表面垂直之平面）看去，該層的側表面及底表面所形成之傾斜角度。當源極或汲極電極 142a 及源極或汲極電極 142b 的邊緣部具有錐形時，可改善以氧化物半導體層 140 的覆蓋並可防止因為階梯造成之斷連。

在第 2A 圖中所示的結構中，由於並未處理氧化物半導體層 140，可避免因為處理中所執行的蝕刻所導致之混合污染物至氧化物半導體層 140。此外，在電容器 164 中，當堆疊氧化物半導體層 140 及閘極絕緣層 146 時，可充分確保源極或汲極電極 142a 與電極 148b 之間的絕緣。

第 2B 圖中所示的電晶體及電容器具有與第 2A 圖中所示的電晶體及電容器部分不同的結構。

第 2B 圖中所示的結構與第 2A 圖中所示的結構不同處在於形成具有錐形之氧化物半導體。換言之，氧化物半導體層 140 在第 2A 圖中的結構中整體覆蓋絕緣層 144、源極或汲極電極 142a、及源極或汲極電極 142b，而第 2B 圖中的結構中，氧化物半導體層具有島狀形狀，藉此氧化物半導體層覆蓋絕緣層 144、源極或汲極電極 142a、及源極或汲極電極 142b 的部分。在此，島狀氧化物半導體層 140 之邊緣部較佳具有錐形。其之錐角例如較佳大於或等於 30° 並少於或等於 60° 。

此外，在電容器 164 中，當堆疊氧化物半導體層 140 及閘極絕緣層 146 時，可充分確保源極或汲極電極 142a 與電極 148b 之間的絕緣。

第 2C 圖中所示的電晶體及電容器具有與第 2A 圖中所示的電晶體及電容器部分不同的結構。

第 2C 圖中所示的結構與第 2A 圖中所示的結構不同處在於絕緣層 144 並未設置在電晶體 162 及電容器 164 中。由於絕緣層 144 並未設置在第 2C 圖中所示的結構中，相較於第 2A 圖中所示之電晶體及電容器簡化製程並且減少製造成本。

在第 2C 圖中所示的結構中，由於並未處理氧化物半導體層 140，可避免因處理中所執行的蝕刻所導致之混合污染物至氧化物半導體層 140。此外，在電容器 164

中，當堆疊氧化物半導體層 140 及閘極絕緣層 146 時，可充分確保源極或汲極電極 142a 與電極 148b 之間的絕緣。

第 2D 圖中所示的電晶體及電容器具有與第 2B 圖中所示的電晶體及電容器部分不同的結構。

第 2D 圖中所示的結構與第 2B 圖中所示的結構不同處在於絕緣層 144 並未設置在電晶體 162 及電容器 164 中。當絕緣層 144 並未設置在電晶體 162 及電容器 164 中時，相較於第 2B 圖中所示之電晶體及電容器簡化製程並且減少製造成本。

此外，在電容器 164 中，當堆疊氧化物半導體層 140 及閘極絕緣層 146 時，可充分確保源極或汲極電極 142a 與電極 148b 之間的絕緣。

<半導體裝置之電路組態及操作>

接下來，說明半導體裝置之電路組態及操作的範例。第 3A1 圖繪示對應於第 1A 及 1B 圖中所示之半導體裝置的電路組態之範例。

在第 3A1 圖中所示的半導體裝置中，第一佈線（1st 線，亦稱為源極線）電連接至電晶體 160 的源極電極。第二佈線（2nd 線，亦稱為位元線）電連接至電晶體 160 的汲極電極。此外，第三佈線（3rd 線，亦稱為第一信號線）電連接至電晶體 162 的源極電極和汲極電極之另一，且第四佈線（4th 線，亦稱為第二信號線）電連接至電晶體 162 的閘極電極。此外，電晶體 160 的閘極電極及電晶

體 162 的源極電極及汲極電極之一電連接至電容器 164 的電極之一。第五佈線（5th 線，亦稱為字線）電連接至電容器 164 的另一電極。

由於包括非氧化物半導體層的材料之電晶體 160 可在比充分高的速度操作，可藉由使用電晶體 160 來以高速讀出已儲存的資料。此外，包括氧化物半導體層的電晶體 162 具有極低的關閉電流。針對那個原因，可藉由關閉電晶體 162 來將電晶體 160 的閘極電極之電位保持極長的時間。藉由設置電容器 164，可輕易執行給予電晶體 160 之閘極電極的電荷之保持及已儲存資料的讀取。

在此實施例中之半導體裝置利用其中可保持電晶體 160 的閘極電極之電位的特性，藉此如下般寫入、保持、及讀取資料。

首先，將說明資料的寫入及保持。首先，將第四佈線之電位設定在會啓通電晶體 162 的電位，因此啓通電晶體 162。因此，將第三佈線之電位供應至電晶體 160 的閘極電極及電容器 164 的電極之一。亦即，給與預定電荷至電晶體 160 的閘極電極（寫入）。在此，提供給與不同電位位準（此後亦稱為低位準電荷及高位準電荷）的任何兩種電荷。之後，將第四佈線的電位設定在會關閉電晶體 162 的電位，因此關閉電晶體 162。故保持給與電晶體 160 的閘極電極之電荷（保持）。

由於電晶體 162 之關閉電流極低，長時間保持電晶體 160 之閘極電極的電荷。

其次，將說明資料之讀取。藉由在供應預定電位（恆定電位）至第一佈線的同時供應適當電位至第五佈線，第二佈線之電位隨電晶體 160 的閘極電極中保持的電荷量變化。這是因為一般而言，當電晶體 160 為 n 通道電晶體時，在其中給與高位準電荷至電晶體 160 的閘極電極之情況中的視臨限電壓 V_{th_H} 低於在其中給與低位準電荷至電晶體 160 的閘極電極之情況中的表觀臨限電壓 V_{th_L} 。在此，表觀臨限電壓意指第五佈線的電位，其為啓通電晶體 160 所需。因此，將第五佈線的電位設定至介於 V_{th_H} 與 V_{th_L} 中間的電位 V_0 ，藉此可決定給與電晶體 160 的閘極電極之電荷。例如，在其中於寫入中給與高位準電荷的情況中，當第五佈線的電位設定至 $V_0 (>V_{th_H})$ 時，啓通電晶體 160。在其中於寫入中給與低位準電荷的情況中，即使當第五佈線的電位設定至 $V_0 (<V_{th_L})$ 時，電晶體 160 維持在關閉狀態中。因此，可藉由第二線的電位讀出已儲存的資料。

注意到在不讀出資料的情況中，可給與電晶體 160 會關閉之電位，亦即，小於 V_{th_H} 的電位至第五佈線，無論電晶體 160 的閘極電極之狀態為何。替代地，可給與電晶體 160 會啓通之電位，亦即，高於 V_{th_L} 的電位至第五佈線，無論電晶體 160 的閘極電極之狀態為何。

第三，將說明資料的重寫。以和資料之寫入和保持類似的方式來執行資料的重寫。亦即，將第四佈線的電位設定在會啓通電晶體 162 的電位，藉此啓通電晶體 162。因

此，將第三佈線之電位（關於新資料的電位）供應至電晶體 160 的閘極電極及電容器 164 的電極之一。之後，將第四佈線的電位設定在會關閉電晶體 162 的電位，藉此關閉電晶體 162。依此，給與關於新資料的電位至電晶體 160 的閘極電極。

在根據於此揭露之本發明的半導體裝置中，可藉由另一如上述般的資料寫入來直接重寫資料。針對那個原因，無需快閃記憶體或之類所必要的抹除操作，因此可防止抹除操作所導致之操作速度的降低。換言之，可實現半導體裝置的高速操作。

注意到電晶體 162 之源極電極和汲極電極電連接至電晶體 160 的閘極電極，藉此具有和用於非依電性記憶體元件之浮置閘極電晶體的浮置閘極類似的功效。因此，圖中電晶體 162 之源極電極和汲極電極電連接至電晶體 160 的閘極電極的部份在某些情況中稱為浮置閘極部 FG。當電晶體 162 為關閉時，浮置閘極部 FG 可被視為嵌入絕緣體中並因此可在浮置閘極部 FG 中保持電荷。包括氧化物半導體的電晶體 162 中之關閉電流量小於或等於包括矽半導體或之類電晶體 160 之關閉電流量的十萬分之一；因此，因電晶體 162 的漏電流所造成之累積於浮置閘極部 FG 中的電荷喪失微不足道。亦即，藉由包括氧化物半導體之電晶體 162，可實現能非依電性記憶體裝置。

例如，當電晶體 162 的關閉電流密度在室溫近乎 $10\text{ zA}/\mu\text{m}$ （ 1 zA （賽普托安培（zeptoampere））且電容器 164 的

電容值近乎 1 pF，可儲存資料達 10^6 秒或更長。不用說保持時間取決於電晶體的特性及電容值。

此外，在此情況中，可避免閘極絕緣膜（隧道絕緣膜）惡化的問題，這是傳統浮置閘極電晶體中已有者。亦即，可解決由於注入電子至浮置閘極中而造成的閘極絕緣膜之惡化的問題。依此，在此實施例中所述的半導體裝置中，原則上對於寫入次數並無限制。此外，無需傳統浮置閘極電晶體中的寫入或抹除所需之高電壓。

第 3A1 圖中之半導體裝置中的諸如電晶體的構件可被視為由電阻器及電容器所組成並以如第 3A2 圖中所示之電路所取代。亦即，在第 3A2 圖中，電晶體 160 及電容器 164 各被視為包括一電阻器及一電容器。R1 及 C1 分別標示電容器 164 的電阻值及電容值。電阻值 R1 對應至取決於包括在電容器 164 中之絕緣層的電阻值。R2 及 C2 分別標示電晶體 160 的電阻值及電容值。電阻值 R2 對應至取決於在電晶體 160 在啓通狀態的時候之閘極絕緣層的電阻值。電容值 C2 對應至所謂的閘極電容器（形成在閘極電極與源極電極或汲極電極間的電容器）的值。注意到電阻值 R2 僅標示在電晶體 160 的閘極電極與通道形成區域之間的電阻值，爲了釐清這點，藉由虛線標示連結的一部分。

假設在電晶體 162 處於關閉狀態中的情況中在源極電極與汲極電極之間的電阻值（亦稱為有效電阻）爲 R_{OS} ，當滿足 $R1 \geq R_{OS}$ 及 $R2 \geq R_{OS}$ 時，電子保持時期（亦稱為

資料保持時期) 主要由電晶體 162 之關閉電流所決定。

另一方面，當沒滿足此條件時，即使電晶體 162 的電流夠小仍難以充分保全保持時期。這是因為除了電晶體 162 中所發生之漏電流之外的漏電流為大。因此，在此實施例中之所揭露的半導體裝置可說是有利地滿足上述關係。

同時，希望滿足 $C1 \geq C2$ 。這是因為若 $C1$ 為大，則可抑制第五佈線之電位，所以其在當浮置閘極部 FG 的電位被第五佈線控制時（如在讀取時）為低。

當滿足上述關係時，可實現較佳的半導體裝置。在此實施例中， $R1$ 及 $R2$ 被閘極絕緣層 108、閘極絕緣層 146、或之類所控制。相同關係適用於 $C1$ 及 $C2$ 。因此，希望適當設定閘極絕緣層之材料、厚度、及之類以滿足上述關係。

第 3B 圖繪示與上述半導體裝置部分不同的半導體裝置。在第 3B 圖中所示的半導體中，電晶體 160 的閘極電極、電晶體 166 的源極電極及汲極電極之一、及電容器 164 的電極之一彼此電連接。第一佈線電晶體 160 的及源極電極互相電連接。第二佈線電晶體 160 的及汲極電極互相電連接。第三佈線電晶體 166 及源極電極及汲極電極的另一互相電連接。第四佈線及電晶體 166 的第一閘極電極互相電連接。第五佈線及電容器 164 的另一電極互相電連接。第六佈線及電晶體 166 的第二閘極電極互相電連接。可施加與施加至第四佈線相同的電位至第六佈線。替代

地，可施加與施加至第四佈線不同的電位至第六佈線以獨立控制第六佈線。

換言之，第 3B 圖中所示的半導體裝置具有其中第 3A1 圖中之半導體裝置的電晶體 162 被具有第二閘極電極的電晶體 166 取代的結構。依此，在第 3B 圖中所示的半導體裝置中，除了第 3A1 圖中之半導體裝置所獲得之功效外，可獲得輕易控制電晶體 166 的電氣特性（如臨限電壓）之功效。例如，當施加負電位至第六佈線時，可輕易將電晶體 166 變成通常關閉電晶體。

注意到在上述說明中使用其中電子為主要載子的 n 通道電晶體，當然可使用其中電洞為主要載子的 p 通道電晶體來取代 n 通道電晶體。

<製造半導體裝置之方法>

接下來，將說明製造第 1A 及 1B 圖及第 3A1 圖中所示的半導體裝置之方法的一範例。首先，將於下參照第 4A 至 4H 圖來說明製造在下部中之電晶體 160 的方法，並接著將參照第 5A 至 5E 圖來說明製造在上部中之電晶體 162 及電容器 164 的方法。

<製造在下部中的電晶體之方法>

首先，備置包括半導體材料之基板 100（參見第 4A 圖）。作為包括半導體材料之基板 100，可使用以矽、碳化矽、或之類製成之單晶半導體基板或多晶半導體基板；

以鍺化矽或之類製成的化合物半導體基板；SOI 基板；或之類。在此，說明使用單晶矽基板作為包括半導體材料之基板 100 的一範例。注意到一般而言，術語「SOI 基板」意指在絕緣表面上設置矽半導體層的基板。在此說明書及之類中，術語「SOI 基板」意指亦在其類別中包括一種基板，其中在絕緣表面上方設置使用非矽之材料所形成的半導體層。亦即，包括「SOI 基板」之半導體層不限於矽半導體層。此外，SOI 基板可為一種基板，其具有半導體層設置在諸如玻璃基板的絕緣基板上方且這兩者間設有絕緣層的結構。

在基板 100 上方形成充當用於形成元件隔離絕緣層之遮罩的保護層 102（參見第 4A 圖）。作為保護層 102，可例如使用氧化矽、氮化矽、氮氧化矽、或之類所形成之絕緣層。注意到在此步驟之前或之後，可將提供 n 型傳導性之雜質元素或提供 p 型傳導性之雜質元素添加至基板 100 以控制電晶體之臨限電壓。當使用矽來形成半導體時，可使用磷、砷、或之類作為提供 n 型傳導性之雜質。可使用硼、鋁、銻、或之類作為提供 p 型傳導性之雜質。

接下來，使用保護層 102 作為遮罩來蝕刻來移除未以保護層 102 覆蓋之區域（亦即暴露區域）中之基板 100 的部分。因此，形成隔離的半導體區域 104（參見第 4B 圖）。作為蝕刻，較佳執行乾蝕刻，但可執行濕蝕刻。作為蝕刻氣體，可根據被蝕刻層的材料適當選擇蝕刻劑。

接著，形成絕緣層以覆蓋半導體區域 104，並選擇性

移除與半導體區域 104 重疊之一區域中的絕緣層，以形成元件隔離絕緣層 106（參見第 4B 圖）。使用氧化矽、氮化矽、氮氧化矽、或之類來形成絕緣層。作為移除絕緣層的一種方法，可採用任何蝕刻處理及如 CMP 之研磨處理。注意到在半導體區域 104 的形成之後或在元件隔離絕緣層 106 的形成之後移除保護層 102。

接下來，在半導體區域 104 上方形成絕緣層，並且在絕緣層上方形成包括導電材料之層。

絕緣層後續充當閘極絕緣層，並藉由 CVD 方法、濺鍍方法、或之類形成為氧化矽膜、氮氧化矽膜、氮化矽膜、氧化鉛膜、氧化鋁膜、氧化鋇膜、或之類單層或包括上述膜之任何者的堆疊層。替代地，可以一種方式形成絕緣層，使得藉由高密度電漿處理或熱氧化處理來氧化或氮化半導體區域 104 之一表面。可例如使用諸如 He、Ar、Kr、或 Xe 之稀有氣體與諸如氧、氮氧化物、氨、氮、或氫的氣體之混合來執行氣體高密度電漿處理。對於絕緣層之厚度無特別限制，但可形成在例如大於或等於 1 nm 並且少於或等於 100 nm 的範圍中之絕緣層。

可使用諸如鋁、銅、鈦、鉭、或鎢之金屬材料來形成包括導電材料之層。可使用諸如含多晶矽的半導體材料來形成包括導電材料之層。對於形成含有導電材料之層的方法並無特別限制，且可採用諸如蒸發方法、CVD 方法、濺鍍方法、或旋塗方法的各種薄膜形成方法。注意到此實施例顯示其中含有導電材料之層係使用金屬材料形成的情

況之一範例。

之後，藉由選擇性蝕刻絕緣層及包括導電材料之層來形成閘極絕緣層 108 及閘極電極 110（參見第 4C 圖）。

接下來，形成覆蓋閘極電極 110 的絕緣層 112（參見第 4C 圖）。接著，藉由添加磷（P）、砷（As）、或之類到半導體區域 104，藉此形成具有淺接面深度之雜質區域 114（參見第 4C 圖）。注意到在此添加磷或砷以形成 n 通道電晶體；可在形成 p 通道電晶體的情況中添加諸如硼（B）或鋁（Al）之雜質。藉由形成雜質區域 114，在閘極絕緣層 108 下方的半導體區域 104 中形成通道形成區域 116（參見第 4C 圖）。在此，可適當設定所添加之雜質的濃度；當半導體元件之大小極度縮小時，較佳增加濃度。在此採用其中於絕緣層 112 形成之後形成雜質區域 114 的步驟；替代地，可在雜質區域 114 形成後形成絕緣層 112。

接下來，形成側壁絕緣層 118（參見第 4D 圖）。形成絕緣層以覆蓋絕緣層 112 並接著加以高各向異性蝕刻，藉此可以自對準方式形成側壁絕緣層 118。此時，較佳部分蝕刻絕緣層 112 以暴露出閘極電極 110 的頂表面及雜質區域 114 的頂表面。

接著，形成絕緣層以覆蓋閘極電極 110、雜質區域 114、側壁絕緣層 118、及之類。接下來，添加諸如磷（P）、砷（As）、或之類至其中接觸絕緣層的雜質區域 114 之區域，藉此形成高濃度雜質區域 120（參見第 4E

圖)。此後，移除絕緣層，並形成金屬層 122 以覆蓋閘極電極 110、側壁絕緣層 118、高濃度雜質區域 120、及之類（參見第 4E 圖）。可採用諸如真空蒸發方法、濺鍍方法、或旋塗方法之各種沉積方法來形成金屬層 122。較佳使用與包括在半導體區域 104 中之半導體材料起反應而成為低電阻金屬化合物的金屬材料來形成金屬層 122。這類金屬材料之範例為鈦、鉭、鎢、鎳、鈷、及鉑。

接下來，執行熱處理，使金屬層 122 與半導體材料起反應。因此，形成接觸高濃度雜質區域 120 之金屬化合物區域 124（參見第 4F 圖）。注意到當使用多晶矽或之類來形成閘極電極 110 時，亦在接觸金屬層 122 之閘極電極 110 的一區域中形成金屬化合物區域。

作為熱處理，可例如採用以閃光燈之照射。雖當然可使用另一熱處理方法，較佳使用可實現極短時間之熱處理的方法以改善於金屬化合物之形成中的化學反應的可控性。注意到藉由金屬材料與半導體材料之反應形成金屬化合物區域，且其具有充分高的傳導性。金屬化合物區域的形成可恰當減少電阻並改善元件特性。注意到在形成金屬化合物區域 124 之後移除金屬層 122。

接著，形成層間絕緣層 126 及層間絕緣層 128 以覆蓋於上述步驟中形成之構件（參見第 4G 圖）。可使用包括諸如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉭的無機絕緣材料之材料來形成層間絕緣層 126 及 128。此外，可使用諸如聚醯亞胺或丙烯酸樹脂之有機絕

緣材料來形成層間絕緣層 126 及 128。雖然層間絕緣層在此具有層間絕緣層 126 及層間絕緣層 128 的兩層結構，層間絕緣層之結構不限於此結構。在形成層間絕緣層 128 之後，較佳以 CMP、蝕刻、或之類來平面化層間絕緣層 128 的表面。

接著，在層間絕緣層中形成到達金屬化合物區域 124 的開口，並在開口中形成源極或汲極電極 130a 及源極或汲極電極 130b（參見第 4H 圖）。可以一種方式形成源極或汲極電極 130a 及源極或汲極電極 130b，例如，使得藉由 PVC 方法、CVD 方法、或之類在包括開口的區域中形成導電層，並接著藉由蝕刻、CMP、或之類移除導電層之部分。

詳言之，可採用一種方法，例如，其中藉由 PVD 方法在包括開口的區域中形成薄鈦膜並藉由 CVD 方法形成氮化鈦膜，並接著，形成鎢膜以嵌入開口中。在此，藉由 PVD 方法所形成之鈦膜具有減少氧化物膜之表面（其上形成鈦膜）的功能，以減少與下電極（在此，如金屬化合物區域 124）的接觸電阻。在鈦膜形成之後所形成的氮化鈦膜具有防止導電材料擴散的阻障功能。在形成鈦、氮化鈦、或之類阻障膜之後可藉由鍍覆方法形成銅膜。

注意到在其中藉由移除導電層之部分來形成源極或汲極電極 130a 及源極或汲極電極 130b 的情況中，較佳執行程序以平面化表面。例如，當在包括開口的一區域中形成薄鈦膜或薄氮化鈦膜並接著形成鎢薄膜以嵌入開口中時，

可移除多餘的鎢、鈦、氮化鈦、或之類並可藉由後續的 CMP 來改善表面的平面性。以一種方式平面化包括源極或汲極電極 130a 及源極或汲極電極 130b 之表面，使得可在後續步驟中有利地形成電極、佈線、絕緣層、半導體層、及之類。

注意到僅在此顯示與金屬化合物區域 124 接觸之源極或汲極電極 130a 及源極或汲極電極 130b；然而，亦可在此步驟中形成與閘極電極 110 及之類接觸的電極 130c。對於用於源極或汲極電極 130a 及源極或汲極電極 130b 之材料並無特別限制，且可使用各種導電材料。例如，可使用諸如鈾、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈦之導電材料。在考慮到稍後執行的熱處理，較佳使用具有夠高耐熱性以承受後續執行之熱處理的材料來形成源極或汲極電極 130a 及源極或汲極電極 130b。

依照此方式，形成使用包括半導體材料之基板 100 的電晶體 160（參見第 4H 圖）。注意到在上述步驟之後可進一步形成電極、佈線、絕緣層、或之類。當佈線具有包括一層間絕緣層及一導電層之分層結構的堆疊層結構時，可提供高度整合的半導體裝置。

<製造在上部中之電晶體的方法>

接下來，將參照第 5A 至 5E 圖說明在層間絕緣層 128 上方製造電晶體 162 的步驟。注意到第 5A 至 5E 圖繪示在層間絕緣層 128 上方製造電極、電晶體 162、及之類步

驟；故省略放置於電晶體 162 下方之電晶體 160 及之類細節。

首先，在層間絕緣層 128、源極或汲極電極 130a、源極或汲極電極 130b、及電極 130c 上方形成絕緣層 138。可藉由 PVD 方法、CVD 方法、或之類來形成絕緣層 138。可使用包括諸如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉭的無機絕緣材料之材料來形成絕緣層 138。注意到絕緣層 138 充當電晶體 162 的基底。不一定得設置絕緣層 138。

接下來，在絕緣層 138 中形成到達源極或汲極電極 130a、源極或汲極電極 130b、極電極 130c 的開口（參見第 5A 圖）。可藉由諸如使用遮罩的蝕刻之方法來形成開口。藉由諸如使用光罩或之類的曝光來形成遮罩。可使用濕蝕刻或乾蝕刻來做為蝕刻；以微製造而言，乾蝕刻為較佳。注意到在未設置絕緣層 138 的情況中，可省略此步驟。

接下來，形成源極或汲極電極 142a、源極或汲極電極 142b、電極 142c、及電極 142d（參見第 5B 圖）。可以一種方式形成源極或汲極電極 142a、源極或汲極電極 142b、電極 142c、及電極 142d，以形成導電層來覆蓋絕緣層 138 並接著加以選擇性蝕刻。

可藉由典型為濺鍍方法之 PVD 方法或諸如電漿 CVD 方法的 CVD 方法來形成導電層。作為導電層的材料，可使用選自鋁、鉻、銅、鉭、鈦、鉬、或鎢之元素；含有任

何這些元素作為成分之合金；或之類。替代地，可使用選自錳、鎂、鋯、鈹、或鈦的一或更多材料。可使用與選自鈦、鉭、鎢、鉬、鉻、釹、或銦的一或更多元素結合的鋁。導電層可具有單層結構或包括兩或更多層之堆疊層結構。例如，導電層可具有含矽之鋁膜的單層結構、其中鈦膜堆疊在鋁膜之上的兩層結構、或其中鈦膜、鋁膜、及鈦膜以此順序堆疊的三層結構。

亦可使用導電金屬氧化物來形成導電層。作為導電金屬氧化物，可使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦－氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，其在某些情況中簡稱為 ITO）、氧化銦－氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、或其中包括矽或氧化矽的這些金屬氧化物材料的任何者。

藉由源極或汲極電極 142a 之下邊緣部與源極或汲極電極 142b 之下邊緣部之間的距離來決定電晶體之通道長度（ L ）。在通道長度（ L ）少於 25 nm 的情況中之曝光，較佳使用具有數奈米至數十奈米之波長的極紫外射線來形成用於蝕刻之遮罩。以極紫外線之曝光導致高解析度且大焦深。依此，可形成其中通道長度（ L ）少於 25 nm 的圖案，並且還有，通道長度（ L ）可大於或等於 10 nm 並少於或等於 1000 nm。依照此方式，具有小通道長度之電晶體為較佳，因為具有小通道長度之電晶體導致電路的高操作速度及低耗電量。

另外，源極或汲極電極 142a 及源極或汲極電極 142b

之端部較佳形成爲具有錐形。這是因爲當源極或汲極電極 142a 及源極或汲極電極 142b 之端部具有錐形時，以後續形成之氧化物半導體的覆蓋可增加並可防止斷連。在此，錐角例如較佳大於或等於 30° 並少於或等於 60° 。注意到錐角意指，當從與具有錐形之層（例如，源極或汲極電極 142a）的剖面垂直的方向（與基板的表面垂直之平面）看去，該層的側表面及底表面所形成之傾斜角度。

接下來，形成氧化物半導體層以覆蓋源極或汲極電極 142a、源極或汲極電極 142b、及之類，並接著藉由諸如使用遮罩的蝕刻之方法來加以處理，以形成島狀氧化物半導體 140（參見第 5C 圖）。

較佳使用濺鍍方法來形成氧化物半導體層。作爲氧化物半導體層，較佳使用如 In-Sn-Ga-Zn-O 爲基的膜之四成分金屬氧化物；如 In-Ga-Zn-O 爲基的膜、In-Sn-Zn-O 爲基的膜、In-Al-Zn-O 爲基的膜、Sn-Ga-Zn-O 爲基的膜、Al-Ga-Zn-O 爲基的膜、及 Sn-Al-Zn-O 爲基的膜之三成分金屬氧化物；In-Zn-O 爲基的膜、Sn-Zn-O 爲基的膜、Al-Zn-O 爲基的膜、Zn-Mg-O 爲基的膜、Sn-Mg-O 爲基的膜、In-Mg-O 爲基的膜之兩成分金屬氧化物；或 In-O 爲基的膜、Sn-O 爲基的膜、或 Zn-O 爲基的膜之兩成分金屬氧化物。注意到可添加矽到金屬氧化物中。例如，可使用例如含有在 2 wt% 至 10 wt%（包括這兩值）之 SiO_2 的靶材來形成氧化物半導體層。

尤其，當使用 In-Ga-Zn-O 爲基的金屬氧化物時，可

形成當無電場時具有夠高的電阻（夠低的關閉電流）並具有高場效遷移率之半導體裝置。有鑑於此點，In-Ga-Zn-O 為基的金屬氧化物適用於針對半導體裝置所使用之半導體材料。

作為 In-Ga-Zn-O 為基的金屬氧化物之一典型範例，提供由 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$) 所表示者。另外，提供使用 M 來取代 Ga 的由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 所表示者。在此，M 標示選自鎵 (Ga)、鋁 (Al)、鐵 (Fe)、鎳 (Ni)、錳 (Mn)、及鈷 (Co) 及之類的一或更多金屬元素。例如，M 可為 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、Ga 及 Co、或之類。注意到藉由晶體結構獲得上述組成並僅為一個範例。

在此實施例中，藉由使用 In-Ga-Zn-O 為基的金屬氧化物靶材之濺鍍方法來形成氧化物半導體層。

在形成氧化物半導體層中，將基板保持在一維持在減壓之處理室中且基板溫度較佳設定成高於或等於 100°C 並低於或等於 600°C ，且更佳高於或等於 200°C 並低於或等於 400°C 的溫度。在此，在加熱基板的同時形成氧化物半導體層，而得以減少氧化物半導體層中之雜質濃度，並減少濺鍍對氧化物半導體層的破壞。

形成氧化物半導體層之較佳的周圍環境為稀有氣體（典型為氬）周圍環境、氧周圍環境、或含有稀有氣體（典型為氬）及氧之混合周圍環境。詳言之，較佳使用高純度氣體，例如，從其移除諸如氫、水、羥基、或氫化物

之雜質，使濃度降至 1 ppm 或更低（較佳為 10 ppb 或更低）。

在此，爲了從室移除殘留的濕氣，較佳使用吸付型真空泵。例如，可使用低溫泵、離子泵、或鈦昇華泵。作爲抽空單元，可使用添加冷阱的渦輪分子泵。在以低溫泵抽空之沉積室中，移除例如氫原子及諸如水（ H_2O ）的含有氫原子之化合物（且較佳還有含碳原子之化合物），藉此可減少形成在沉積室中之氧化物半導體層的雜質濃度。

氧化物半導體層形成爲具有大於或等於 2 nm 並少於或等於 200 nm 之厚度，較佳爲大於或等於 5 nm 並少於或等於 30 nm 之厚度。注意到適當的厚度隨氧化物半導體材料而變，且根據使用之材料適當設定厚度。

另外，當在形成氧化物半導體層中使用脈衝直流（DC）電源時，可減少塵埃（在沉積時形成的粉末或片狀物質）且厚度爲均勻。

注意到沉積氧化物半導體層的濺鍍條件可如下：基板與靶材間的距離爲 170 nm；壓力爲 0.4 Pa；直流（DC）電爲 0.5 kW；且周圍環境爲氧周圍環境（氧流速的比例爲 100%）。

注意到在藉由濺鍍形成氧化物半導體層之前，較佳藉由引進氬氣體來產生電漿的反向濺鍍來移除附著至閘極絕緣層 138 之表面的塵埃。在此，相較於離子衝擊濺鍍靶材之正常濺鍍，反向濺鍍爲一種離子衝擊欲處理之表面以修改表面的方法。讓離子衝擊欲處理之表面的方法之一範圍

為其中在氬周圍環境中供應高頻電壓至表面以在基板附近產生電漿的方法。注意到取代氬周圍環境，可使用氮周圍環境、氦周圍環境、氧周圍環境、或之類。

作為氧化物半導體層之蝕刻方法，可採用乾蝕刻或濕蝕刻。當然可結合使用乾蝕刻及濕蝕刻。根據材料適當地設定蝕刻條件（如蝕刻氣體或蝕刻溶液、蝕刻時間、及溫度）以將氧化物半導體蝕刻成希望的形狀。

用於乾蝕刻的蝕刻氣體的一範例為含有氯（氯為基之氣體，如氯(Cl_2)、三氯化硼(BCl_3)、四氯化矽(SiCl_4)、或四氯化碳(CCl_4))之氣體。此外，可使用含氟之氣體（氟為基之氣體，如四氟化碳(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)、或三氟甲烷(CHF_3))、溴化氫(HBr)、氧(O_2)、或諸如(He)或(Ar)的稀有氣體可添加至其之任何這些氣體、或之類。

作為乾蝕刻方法，可使用平行板 RIE（反應性離子蝕刻）方法或 ICP（電感耦合式電漿）蝕刻方法。為了蝕刻氧化物半導體層成希望的形狀，適當地設定蝕刻條件（如供應至盤繞電極之電力量、供應至基板側上之電極的電力量、及基板側上之電極溫度）。

作為濕蝕刻的蝕刻劑，可使用藉由混合磷酸、醋酸、及硝酸而得之溶液、過氧化氫（在 31 wt%的過氧化氫水：在 28 wt%的氨水：水=5:2:2）、或之類。亦可使用如 ITO07N（由 KANTO CHEMICAL CO., INC 所生產）之蝕刻劑。

接著，較佳於氧化物半導體層上執行第一熱處理。藉由第一熱處理，可移除氧化物半導體層中之諸如氫的雜質。注意到在其中於蝕刻之後執行第一熱處理的情況中，會有即使當使用濕蝕刻時縮短蝕刻時間的優點。第一熱處理的溫度設定成高於或等於 300℃ 且低於或等於 750℃，較佳高於或等於 400℃ 且低於或等於 700℃。例如，將基板引進到電爐中，其中使用電阻式加熱元件或之類，並且使氧化物半導體層 140 在 450℃ 於氮周圍環境中受到加熱處理一小時。氧化物半導體層 140 在熱處理期間不暴露至空氣，所以可防止水及氫（包括濕氣或之類）的進入。另外，較佳在考量到設置在下層中之電晶體 160 的電極、佈線、或之類的耐熱性下來決定第一熱處理之溫度。

熱處理設備不限於電爐且可為藉由熱輻射或熱傳導從諸如加熱氣體的一媒介加熱物體之設備。例如，可使用諸如氣體迅速熱退火（GRTA）設備或燈迅速熱退火（LRTA）設備的迅速熱退火（RTA）設備。LRTA 設備為藉由從諸如鹵素燈、金屬鹵化物、氬弧燈、碳弧燈、高壓鈉燈、或高壓汞燈的燈所發射之光的輻射（電磁波）加熱待處理物體之設備。GRTA 設備為使用高溫氣體來執行熱處理的設備。作為氣體，使用不藉由熱處理與物體起反應之例如氮的惰性氣體或諸如氫之稀有氣體。

例如，作為第一熱處理，可如下般執行 GRTA 程序。將基板放置在已加熱至 650℃ 至 700℃ 的高溫之惰性氣體中，加熱數分鐘，並從惰性氣體中取出。GRTA 程序允許

短時的高溫加熱處理。此外，由於短時間執行第一熱處理，即使在超過基板的應變點的溫度條件下，仍可使用諸如玻璃基板的具有低耐熱性之基板。

注意到較佳在含有氮或稀有氣體（如氮、氦、或氬）作為其主成分且不含氫、水、或之類的周圍環境中執行第一熱處理。例如，引進熱處理設備中之氮或諸如氮、氦、或氬之稀有氣體的純度為大於或等於 6N（99.9999%），較佳大於或等於 7N（99.99999%）（亦即，雜質濃度少於或等於 1 ppm，較佳少於或等於 0.1 ppm）。

在一些情況中，根據第一熱處理之條件或氧化物半導體層之材料，可將氧化物半導體層結晶成含結晶成分的氧化物半導體層。此外，根據第一熱處理之條件或氧化物半導體層之材料，氧化物半導體層可為不含結晶成分的非晶氧化物半導體層。

另外，可藉由在氧化物半導體層之非晶表面上設置晶層來改變氧化物半導體層的電氣特性。例如，藉由設置其中晶粒為對準之具有電各向異性的晶層，可改變氧化物半導體層之電氣特性。

可在尚未處理成島狀氧化物半導體層 140 的氧化物半導體層上執行氧化物半導體層 140 之第一熱處理。在那個情況中，在第一熱處理之後，從加熱設備取出基板並執行光微影步驟。

注意到上述第一熱處理可稱為脫氫處理（脫水處理）或之類，因其對氧化物半導體層 140 之脫氫（脫水）之效

果的緣故。可在例如形成氧化物半導體層之後、在氧化物半導體層 140 上方形成絕緣層（閘極絕緣層或之類）、或在形成閘極電極之後的任何時間點，執行這類處理。可進行這類處理一次或數次。

另外，在可藉由其中控制關於氧化物半導體之形成之周圍環境或之類的方法來獲得其之氫充分減少之氧化物半導體層的情況中，可省略第一熱處理。

注意到在上述步驟之後較佳使用諸如 N_2O 、 N_2 、或 Ar 的氣體來執行電漿處理。此電漿處理移除附接至氧化物半導體層之暴露表面的水或之類。另外，可使用含氧之氣體（如氧及氫的混合氣體）來執行電漿處理。依照此方式，供應氧給氧化物半導體層並且可減少因為氧缺乏而導致能隙中之缺陷程度。

接下來，在源極或汲極電極 142a、源極或汲極電極 142b、氧化物半導體層 140、及之類的上方形成絕緣層 144，並在形成閘極電極的區域之一部分中及形成電容器之電極的區域之一部分中形成開口。接著，形成閘極絕緣層 146 以覆蓋包括該些開口的區域。此後，形成閘極電極 148a 及電極 148b（參見第 5D 圖）。可藉由諸如使用遮罩的蝕刻之方法來形成絕緣層 144 中之開口。可以一種方式形成閘極電極 148a 及電極 148b，使得形成導電層以覆蓋閘極絕緣層 146，並接著選擇性加以蝕刻。

可藉由 CVD 方法、濺鍍方法、或之類來形成絕緣層 144 及閘極絕緣層 146。另外，較佳形成絕緣層 144 及閘

極絕緣層 146 以含有氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鉛、氧化鉬、或之類。絕緣層 144 及閘極絕緣層 146 可具有單層結構或堆疊層結構。對於絕緣層 144 及閘極絕緣層 146 之厚度並無特別限制，但其之各者可形成為具有例如大於或等於 10 nm 並少於或等於 500 nm 的厚度。注意到設置絕緣層 144 以減少當電極彼此重疊或之類時所產生之電容。例如，當形成絕緣層 144 時，可減少由源極或汲極電極 142a 或之類與閘極電極 148a 所產生的電容。

較佳藉由其中諸如氫或水的雜質不會輕易進入絕緣層 144 及閘極絕緣層 146 的方法來形成絕緣層 144 及閘極絕緣層 146。這是因為當絕緣層 144 及閘極絕緣層 146 含氫時，可能發生氫侵入氧化物半導體層、從氧化物半導體層抽出氧、或之類。

例如，在藉由濺鍍方法形成絕緣層 144 及閘極絕緣層 146 的情況中，使用其中雜質（如氫、水、羥基、或氫化物）的濃度減少成近乎 1 ppm（較佳近乎 10 ppb）之高純度氣體作為濺鍍氣體。另外，較佳移除在處理室中的殘留濕氣。

注意到如此實施例中所述般藉由移除雜質而變成本質的氧化物半導體（高度純化的氧化物半導體）容易受到界面位準及界面電荷的影響；因此，當使用這類氧化物半導體作為氧化物半導體層時，與閘極絕緣層之界面很重要。因此，接觸高度純化的氧化物半導體的閘極絕緣層 146 須

具有高品質。

例如，較佳藉由使用微波（頻率為 2.45 GHz）的高密度電漿 CVD 方法來形成閘極絕緣層 146，因為閘極絕緣層 146 可為密實並具有高耐受電壓及高品質。這是因為當高度純化的氧化物半導體及高品質的閘極絕緣膜密切接觸時，可減少界面狀態並且界面性質為合意。

當然，即使當使用高度純化氧化物半導體時，可採用諸如濺鍍方法或電漿 CVD 方法的另一方法，只要可形成良好品質的絕緣層作為閘極絕緣層。此外，可使用一絕緣層，其之品質及界面特性受到絕緣層形成後所執行的熱處理改善。在任何情況中，可形成具有良好膜品質的閘極絕緣層 146，其中可減少閘極絕緣層 146 與氧化物半導體層之界面狀態密度。

在此實施例中，藉由濺鍍方法形成充當絕緣層 144 及閘極絕緣層 146 的含氧化矽之絕緣層。

在形成絕緣層 144 或閘極絕緣層 146 之後，較佳在惰性氣體周圍環境或氧周圍環境中（較佳在高於或等於 200℃ 並低於或等於 400℃，例如，在高於或等於 250℃ 至並低於或等於 350℃ 的溫度）中執行第二熱處理。例如，在 250℃ 於氮周圍環境中執行第二熱處理一小時。第二熱處理可減少電晶體之電氣特性中的變異。此外，藉由第二熱處理，可從含氧之絕緣層供應氧至氧化物半導體層，並且可減少因為氧缺乏而導致能隙中之缺陷程度。不限於上述周圍環境，熱處理的周圍環境可為空氣周圍環境或之類。

然而，在此情況中，較佳採用其中移除氫、水、及之類的周圍環境，使氫不混合至氧化物半導體層。另外，第二熱處理並非為必要的步驟且可因此省略。

可藉由典型為濺鍍方法之 PVD 方法或諸如電漿 CVD 方法的 CVD 方法形成將成為閘極電極 148a 及電極 148b 的導電層。細節與源極或汲極電極 142a 或之類的那些類似；故省略其之敘述。

可使用乾蝕刻或濕蝕刻作為形成絕緣層 144 中之開口的蝕刻或用於形成閘極電極 148a 或之類的蝕刻。當然可結合使用乾蝕刻及濕蝕刻。根據材料適當地設定蝕刻條件（如蝕刻氣體或蝕刻溶液、蝕刻時間、及溫度）以獲得希望的形狀。

接下來，形成保護絕緣層 150 及層間絕緣層 152（參見第 5E 圖）。

可藉由 PVC 方法、CVD 方法、或之類形成保護絕緣層 150 及層間絕緣層 152。可使用諸如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉭的無機絕緣材料來形成保護絕緣層 150 及層間絕緣層 152。

注意到由於相對接近氧化物半導體層 140 地設置保護絕緣層 150，較佳藉由不會輕易混合諸如氫或水之雜質之方法（如濺鍍方法）形成保護絕緣層 150。

此外，較佳形成層間絕緣層 152 以具有平面化表面。這是因為當層間絕緣層 152 形成為具有平坦表面時，可在層間絕緣層 152 上方合意地形成電極、佈線、或之類。

注意到保護絕緣層 150 或層間絕緣層 152 為非必要的構件且可適當省略。

如上述，完成包括氧化物半導體之電晶體 162 及電容器 164（參見第 5E 圖）。

在藉由上述方法中所製造的包括氧化物半導體的電晶體 162 中之關閉電流極小。例如，鉤本質（i 型）之氧化物半導體的載子密度為例如少於 $1 \times 10^{12} / \text{cm}^3$ ，或較佳少於 $1.45 \times 10^{10} / \text{cm}^3$ ，且在汲極電壓 V_d 為 +1 V 或 +10 V 且閘極電壓 V_g 在 -5 V 至 -20 V 的範圍內的情況中，電晶體之關閉電流為例如少於或等於 1×10^{-13} A。因此，可充分確保半導體裝置之資料保持時期。另外，在使用鉤本質的氧化物半導體之情況中，在室溫之漏電流可減少至近乎 1×10^{-20} A（10 zA (zeptoampere)）至 1×10^{-19} A（100 zA）。換言之，漏電流實質上為 0。藉由使用這類氧化物半導體，可提供其中充分確保資料保持時期的半導體裝置。

亦設置電容器 164，其促進給與電晶體 160 之閘極電極的電荷保持及已儲存內容的讀取。尤其，可藉由在此實施例中所述之方法在不增加步驟下形成電容器 164，這對成本降低有利。

注意到在此實施例中敘述具有包括非氧化物半導體之材料的電晶體及包括氧化物半導體之電晶體的堆疊層（兩層）結構之半導體裝置。然而，在此揭露的本發明所用的結構不限於該堆疊層結構。可採用單層結構或三層或更多的堆疊層結構。

另外，可根據半導體積體電路所需之功能適當地改變電極（佈線）、絕緣層、半導體層、及之類的位置或連結關係；諸如佈線寬度、通道寬度、通道長度之參數；或其他條件。例如，在具有單層結構之半導體裝置的情況中電極、佈線、或之類的結構與在具有堆疊層結構之半導體裝置的情況中的那些大不相同。

可與在其他實施例中所述的結構、方法、及之類適當地結合在此實施例中所述的結構、方法、及之類。

[實施例 2]

在此實施例中，將參照第 6A 及 6B 圖及第 7A 至 7E 圖說明與上述實施例中所述不同的半導體裝置及製造半導體裝置的方法。注意到在此實施例中之半導體裝置的結構及製程與實施例 1 中的有許多相同處。因此，在下列說明中，省略相同部分的重複說明，並詳細說明不同之處。

<半導體裝置之平面結構及剖面結構>

第 6A 及 6B 繪示半導體裝置之結構的一例。第 6A 及 6B 圖分別繪示半導體裝置的剖面圖及其之平面圖。在此，第 6A 圖對應沿著至第 6B 圖中之線 A3-A4 及 B3-B4 的剖面。在第 6A 及 6B 圖中所示之半導體裝置中，以與第 1A 及 1B 圖類似的方式，在下部中包含包括非半導體裝置的材料之電晶體 160，且在上部中包含包括氧化物半導體層的電晶體 162 及電容器 164。由於在此實施例中所

述之半導體裝置不設有絕緣層 144，製程簡化且製造成本比第 1A 圖中所示之半導體裝置更低。注意到可設置絕緣層 144 以減少閘極電極 148a 或之類所造成之電容。

第 6A 圖中所示的電晶體 162 包括設置在絕緣層 138 上方的氧化物半導體層 140、電連接至氧化物半導體層 140 的源極或汲極電極 142a 及源極或汲極電極 142b、覆蓋源極或汲極電極 142a、源極或汲極電極 142b、及氧化物半導體層 140 之閘極絕緣層 146、以及在閘極絕緣層 146 上方重疊氧化物半導體層 140 的閘極電極 148a。注意到第 6A 圖中所示的電晶體 162 為頂部閘極電晶體且可稱為頂部閘極頂部接觸電晶體，因為氧化物半導體層 140 及源極或汲極電極 142a 或之類係在包括氧化物半導體層 140 的頂表面之區域中互相連接。

<製造半導體裝置之方法>

接下來，說明製造半導體裝置之方法的一範例。在下列說明中，將於下參照第 7A 至 7E 圖來說明製造在上部中之電晶體 162 的方法。注意到由於在下部中之電晶體 160 的製造方法與第 4 圖中所示的製造方法相同，省略其之說明。

首先，在層間絕緣層 128、源極或汲極電極 130a、源極或汲極電極 130b、及電極 130c 上方形成絕緣層 138。接著，在絕緣層 138 中形成到達源極或汲極電極 130a、源極或汲極電極 130b、極電極 130c 的開口（參見第 7A

圖)。省略絕緣層 138 之材料及形成方法的說明，因為可參照第 5A 圖。另外，可藉由諸如使用遮罩的蝕刻之方法來形成開口。

接下來，在絕緣層 138 上方形成氧化物半導體層，並藉由諸如使用遮罩的蝕刻之方法加以處理，以形成島狀氧化物半導體層 140（參見第 7B 圖）。省略島狀氧化物半導體層 140 之材料及形成方法的說明，因為可參照第 5C 圖。

接下來，形成導電層以覆蓋絕緣層 138、設置在絕緣層 138 中之開口、及島狀氧化物半導體層 140，並接著諸如使用遮罩的蝕刻之方法加以處理，以形成接觸氧化物半導體層 140、電極 142c、及電極 142d 的源極或汲極電極 142a 及源極或汲極電極 142b。接著，形成閘極絕緣層 146 以覆蓋源極或汲極電極 142a、源極或汲極電極 142b、電極 142c、及電極 142d（參見第 7C 圖）。省略源極或汲極電極 142a、源極或汲極電極 142b、電極 142c、及電極 142d 之材料及形成方法的說明，因為可參照第 5B 圖。另外，省略閘極絕緣層 146 之材料及形成方法的說明，因為可參照第 5D 圖。

接著，在閘極絕緣層 146 上方形成導電層，並藉由諸如使用遮罩的蝕刻之方法加以處理，以形成閘極電極 148a 及電極 148b（參見第 7D 圖）。省略閘極電極 148a 及電極 148b 之材料及形成方法的說明，因為可參照第 5D 圖。

接下來，形成保護絕緣層 150 及層間絕緣層 152 以覆蓋閘極絕緣層 146、閘極電極 148a、及電極 148b（參見第 7E 圖）。省略保護絕緣層 150 及層間絕緣層 152 之材料及形成方法的說明，因為可參照第 5E 圖。

經由上述步驟，可製造出第 6A 及 6B 圖中所示之半導體裝置。

[實施例 3]

在此實施例中，參照第 8A 及 8B 圖和第 9A 及 9B 圖說明使用複數個實施例 1 中所示之半導體裝置所形成之一半導體裝置的電路組態、操作、及之類的範例。

<半導體裝置之電路組態及操作>

第 8A 及 8B 圖為半導體裝置之電路圖的範例，各包括複數個第 3A1 圖中所示之半導體裝置（此後稱為記憶胞 190）。第 8A 圖為其中記憶胞 190 串聯連接的 NAND 半導體裝置的電路圖，且第 8B 圖為其中記憶胞 190 並聯連接的 NOR 半導體裝置的電路圖。

第 8A 圖中之半導體裝置包括源極線 SL、位元線 BL、第一信號線 S1、複數條第二信號線 S2、複數條字線 WL、及複數個記憶胞 190。在每一記憶胞 190 中，電晶體 160 的閘極電極、電晶體 162 的源極電極及汲極電極之一、及電容器 164 的電極之一彼此電連接。第一信號線 S1 及電晶體 162 的源極電極及汲極電極之另一互相電連

接，且第二信號線 S2 及電晶體 162 的閘極電極互相電連接。字線 WL 及電容器 164 的電極之另一互相電連接。

此外，包括在記憶胞 190 中之電晶體 160 的源極電極電連接至包括在相鄰記憶胞 190 中之電晶體 160 的汲極電極。包括在記憶胞 190 中之電晶體 160 的汲極電極電連接至在相鄰記憶胞 190 中之電晶體 160 的源極電極。注意到包括在串接之複數記憶胞之記憶胞 190 中的電晶體 160 的汲極電極（其設置在端部之一）電連接至位元線。包括在串接之複數記憶胞之記憶胞 190 中的電晶體 160 的源極電極（其設置在另一端）電連接至源極線 SL。注意到在第 8A 圖中，在半導體裝置中設置一條源極線 SL 及一條位元線 BL；然而，本發明之一實施例不限於此。可設置複數條源極線 SL 及複數條位元線 BL。

在第 8A 圖中之半導體裝置中，在每一列中執行寫入操作及讀取操作。如下般執行寫入操作。將啓通電晶體 162 之電位供應至將執行寫入的一列之第二信號線 S2，以啓通將執行寫入之該列的電晶體 162。依此，將第一信號線 S1 的電位供應至指定列之電晶體 160 的閘極電極，以提供預定電荷至閘極電極。因此，可寫入資料至指定列的記憶胞。

此外，如下般執行讀取操作。首先，無論提供至電晶體 160 的閘極電極之電荷為何，將啓通電晶體 160 之電位供應至非將執行讀取之列的列之字線 WL，以啓通非將執行讀取之列的列之電晶體 160。接著，將恆定電位供應至

源極線 SL，並且位元線 BL 連接至的讀取電路（未圖示）。在此，在源極線 SL 與位元線 BL 之間的複數電晶體 160 為啓通，除了將執行讀取之列的電晶體 160；因此，源極線 SL 與位元線 BL 之間的電導由將執行讀取之列的電晶體 160 的狀態而定。亦即，將被讀取電路讀出之位元線 BL 的電位取決於將執行讀取之列的電晶體 160 之閘極電極中的電荷。依此方式，讀取電路可從指定列中之記憶胞讀取資料。

第 8B 圖中之半導體裝置包括複數源極線 SL、複數位元線 BL、複數第一信號線 S1、複數第二信號線 S2、複數字線 WL、及複數記憶胞 190。電晶體 160 的閘極電極、電晶體 162 之源極電極和汲極電極之一、及電容器 164 的電極之一彼此電連接。源極線 SL 及電晶體 160 的源極電極互相電連接。位元線 BL 及電晶體 160 的汲極電極互相電連接。第一信號線 S1 和電晶體 162 之源極電極和汲極電極之另一互相電連接，且第二信號線 S2 和電晶體 162 的閘極電極互相電連接。字線 WL 和電容器 164 的電極之另一互相電連接。

在第 8B 圖中之半導體裝置中，在每一列中執行寫入操作及讀取操作。以和第 8A 圖中之半導體裝置類似的方式執行寫入操作。如下般執行讀取操作。將根據儲存在電晶體 160 的閘極電極中之電荷而選擇電晶體 160 的啓通狀態或關閉狀態之電位供應至將執行讀取之列中的字線 WL。接著，將恆定電位供應至源極線 SL，且位元線 BL

連接至讀取電路（未圖示）。未被選擇之列中的電晶體 160 處於關閉狀態中。在此，源極線 SL 與位元線 BL 之間的電導由將執行讀取之列的電晶體 160 的狀態而定。亦即，被讀取電路讀出之位元線 BL 的電位取決於將執行讀取之電晶體 160 的閘極電極中的電荷。依此方式，讀取電路可從指定列中之記憶胞讀取資料。

在第 8A 及 8B 圖中所示的半導體裝置中，包括非氧化物半導體的電晶體 160 可在夠高速度操作，並因此，可以高速執行已儲存內容之讀取或之類。此外，包括氧化物半導體之電晶體 162 具有極低關閉電流。針對那個原因，可藉由關閉電晶體 162 來保持電晶體 160 之閘極電極的電位極長的時間。藉由設置電容器 164，可輕易執行給與至電晶體 160 之閘極電極的電荷之保持及已儲存內容的讀取。

同時，針對上述之包括複數記憶胞的半導體裝置，減少由每一記憶胞所佔據之面積變成一個問題以抑制每儲存容量之成本。為了解決此問題，例如，在第 8A 圖中所示之 NAND 半導體裝置中，串聯連接的每一電晶體 160 形成為具有如第 9A 圖之剖面圖中所示的結構，界此可減少由每一記憶胞所佔據之面積。注意到第 9A 圖對應至沿著第 9B 圖之線 C1-C2 及 D1-D2 的剖面。

在第 9A 圖中所示的半導體裝置中，設置在基板 100 上方的電晶體 160 經由高濃度雜質區域 120（亦簡稱為雜質區域）及金屬化合物區域 124 連接至相鄰的電晶體

160。亦即，設置在電晶體 160 之間的高濃度雜質區域 120 及金屬化合物區域 124 作用為電晶體 160 之一的源極區域及電晶體 160 之另一的汲極區域。

另外，在電晶體 160 上方設置層間絕緣層 126 及層間絕緣層 128。另外，在彼此串聯之複數電晶體 160 的一端，形成電極 192，其透過形成在層間絕緣層 126 及層間絕緣層 128 中之開口電連接至金屬化合物區域 124。

在此，由於電晶體 160 具有和實施例 1 的第 1A 及 1B 圖中所示之電晶體 160 幾乎相同的結構，針對第 9A 及 9B 圖中所示之電晶體 160 的說明可參照第 1A 及 1B 圖之說明。注意到在此實施例中，為了獲得電晶體 160 的高整合度，並未設置第 1A 及 1B 圖中所示的側壁絕緣層 118。

另外，第 9A 圖中所示的結構可不僅用於第 8A 圖中所示的 NAND 半導體裝置，還可用於第 8B 圖中所示的 NOR 半導體裝置。例如，在第 8B 圖中，可對稱配置相鄰列中之記憶胞，且相鄰列中之記憶胞的電晶體 160 可經由高濃度雜質區域 120 及金屬化合物區域 124 彼此連接。在此情況中，至少兩個電晶體 160 經由高濃度雜質區域 120 及金屬化合物區域 124 彼此連接。

當複數電晶體 160 依照此方式彼此連接時，可獲得電晶體 160 及記憶胞 190 的高整合度。依此，可抑制半導體裝置之每儲存容量的成本。

可與在其他實施例中所述的結構、方法、及之類適當地結合在此實施例中所述的結構、方法、及之類。

[實施例 4]

接下來，在第 10A 及 10B 圖中繪示半導體裝置的修改範例。

第 10A 圖中所示之半導體裝置為第 1A 圖中所示之半導體裝置的修改範例。

第 10A 圖中所示之結構與第 1A 圖中所示之結構的差別在於電極 130c 電連接至設置在基板 100 上方之金屬化合物區域。換言之，在第 10A 圖中之源極或汲極電極 142a 及金屬化合物區域互相連接，而在第 1A 圖中所示的結構中之源極或汲極電極 142a 及閘極電極 110 互相連接。

藉由第 10A 圖中所示之結構，可獲得具有與任何上述實施例中的半導體裝置不同之電路組態之半導體裝置。

第 10B 圖中所示之半導體裝置為第 6A 圖中所示之半導體裝置的修改範例。

第 10B 圖中所示之結構與第 6A 圖中所示之結構的差別在於電極 130c 及設置在基板 100 上方之金屬化合物區域互相電連接。換言之，在第 10B 圖中之源極或汲極電極 142a 及金屬化合物區域互相連接，而在第 6A 圖中所示的結構中之源極或汲極電極 142a 及閘極電極 110 互相連接。

藉由第 10B 圖中所示之結構，可獲得具有與任何上述實施例中的半導體裝置不同之電路組態之半導體裝置。

可與在其他實施例中所述的結構、方法、及之類適當地結合在此實施例中所述的結構、方法、及之類。

[實施例 5]

接下來，參照第 11A 至 11E 圖說明可用作上述實施例（如實施例 1）中之電晶體 162 或之類的包括氧化物半導體的電晶體之製造方法的另一範例。在此實施例中，對使用高度純化之氧化物半導體（尤其係具有非晶結構）的情況做出詳細說明。雖使用頂部閘極電晶體作為下列說明中之一範例，電晶體之結構不限於此。

首先，在下層基板 200 上方形成絕緣層 202。接著，在絕緣層 202 上方形成氧化物半導體層 206（參見第 11A 圖）。

例如，下層基板 200 可為在上述實施例（第 1A 及 1B 圖、第 6A 及 6B 圖、或之類）中之半導體裝置的層間絕緣層 128 下方的結構體。針對其之細節，可參照上述實施例。下層基板 200 之表面較佳盡可能地平坦。例如，藉由化學機械研磨方法（CMP 方法）或之類，表面上之高度差可少於或等於 5 nm，或較佳少於或等於 1 nm。另外，表面粗糙度之均方根（RMS）可少於或等於 2 nm，或較佳少於或等於 0.4 nm。

絕緣層 202 充當基底並可以和上述實施例中所示之絕緣層 138、絕緣層 144、或之類類似的方式形成。針對絕緣層 202 的細節可參照上述實施例。注意到較佳形成絕緣

層 202 以盡可能少地含有氫或水。

針對氧化物半導體層 206，較佳使用為四成分金屬氧化物之 In-Sn-Ga-Zn-O 為基的氧化物半導體；為三成分金屬氧化物之 In-Ga-Zn-O 為基的氧化物半導體、In-Sn-Zn-O 為基的氧化物半導體、In-Al-Zn-O 為基的氧化物半導體、Sn-Ga-Zn-O 為基的氧化物半導體、Al-Ga-Zn-O 為基的氧化物半導體、及 Sn-Al-Zn-O 為基的氧化物半導體；為兩成分金屬氧化物之 In-Zn-O 為基的氧化物半導體、Sn-Zn-O 為基的氧化物半導體、Al-Zn-O 為基的氧化物半導體、Zn-Mg-O 為基的氧化物半導體、Sn-Mg-O 為基的氧化物半導體、In-Mg-O 為基的氧化物半導體；或 In-O 為基的氧化物半導體、Sn-O 為基的氧化物半導體、或 Zn-O 為基的氧化物半導體之兩成分金屬氧化物。

尤其，當無電場時 In-Ga-Zn-O 為基的氧化物半導體材料具有夠高的電阻，並因此可獲得夠低的關閉電流。另外，具有高場效遷移率，有鑑於此點，In-Ga-Zn-O 為基的氧化物半導體材料適用於半導體裝置。

由 $\text{InGaO}_3(\text{ZnO})_m$ ($m>0$) 表示 In-Ga-Zn-O 為基的氧化物半導體之一典型範例。可由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示 In-Ga-Zn-O 為基的氧化物半導體之另一範例，其中使用 M 來取代 Ga。在此，M 標示選自鎵 (Ga)、鋁 (Al)、鐵 (Fe)、鎳 (Ni)、錳 (Mn)、及鈷 (Co) 及之類的一或更多金屬元素。例如，M 可為 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、Ga 及 Co、或之類。

注意到上述組成僅為從晶體結構獲得之一範例。

作為藉由濺鍍方法製造氧化物半導體層 206 之靶材，可使用由 $\text{In:Ga:Zn}=1:x:y$ (x 大於或等於 0 且 y 大於或等於 0.5 並少於或等於 5) 的組成配方所表示之靶材。例如，亦可使用具有 $\text{In:Ga:Zn}=1:1:1$ [莫耳比率] ($x=1$ 且 $y=1$) (亦即， $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳比率]) 之組成配方的靶材。另外，具有 $\text{In:Ga:Zn}=1:1:0.5$ [原子比率] ($x=1$ 且 $y=0.5$) 之組成比例的靶材，亦可使用具有 $\text{In:Ga:Zn}=1:1:2$ [原子比率] ($x=1$ 且 $y=2$) 之組成比例的靶材，或具有 $\text{In:Ga:Zn}=1:0:1$ [原子比率] ($x=0$ 且 $y=1$) 之組成比例的靶材。

金屬氧化物靶材中的金屬氧化物的相對密度大於或等於 80 %；較佳大於或等於 95 %；且更佳大於或等於 99.9 %。使用具有高相對密度之金屬氧化物靶材得以形成具有密實結構的氧化物半導體層 206。

在此實施例中，藉由使用 In-Ga-Zn-O 為基的金屬氧化物靶材來形成具有非晶結構的氧化物半導體層 206。

形成氧化物半導體層之周圍環境較佳為稀有氣體（典型為氬）周圍環境、氧周圍環境、或含有稀有氣體（典型為氬）及氧之混合周圍環境。詳言之，較佳使用高純度氣體，例如，從其移除諸如氫、水、羥基、或氫化物之雜質，使濃度降至 1 ppm 或更低（較佳為 10 ppb 或更低）。

在形成氧化物半導體層 206 之時，例如，將基板保持

在維持於減壓下之處理室中且將基板加熱至高於或等於 100°C 並低於或等於 550°C，較佳高於或等於 200°C 並低於或等於 400°C 的溫度。接著，在移除處理室中之濕氣的同時，引進從其移除掉氫、水、或之類的濺鍍氣體到處理室中，藉此使用上述靶材來形成氧化物半導體層 206。在加熱基板的同時形成氧化物半導體層 206，而得以減少氧化物半導體層 206 中所含之雜質。此外，可減少濺鍍造成的破壞。較佳使用捕集真空泵來移除處理室中殘留的濕氣。例如，可使用低溫泵、離子泵、或鈦昇華泵。替代地，亦可使用具有冷阱的渦輪分子泵。由於從以低溫泵抽空之處理室移除氫、水、或之類，藉此可減少氧化物半導體層 206 中的雜質濃度。

可以下列條件形成氧化物半導體層 206，例如：基板與靶材間的距離為 170 nm；壓力為 0.4 Pa；直流（DC）電為 0.5 kW；且周圍環境為氧（氧的比例為 100%）、氫（氫的比例為 100%）、或含氧及氫之混合周圍環境。注意到較佳使用脈衝式直流（DC）電源，因為可減少塵埃（諸如在沉積時所形成的粉末物質）並且厚度分佈均勻。氧化物半導體層 206 的厚度為 2 nm 至 200 nm（包括這兩值），較佳為 5 nm 至 30 nm（包括這兩值）。注意到適當的厚度隨所使用之氧化物半導體材料、半導體裝置之用途、或之類而變；因此，可根據材料、用途、或之類來決定厚度。

注意到在以濺鍍方法形成氧化物半導體層 206 之前，

較佳執行其中引進氬氣體來產生電漿的反向濺鍍，以移除絕緣層 202 之表面上的塵埃。在此，相較於離子衝擊濺鍍靶材之正常濺鍍，反向濺鍍為一種離子衝擊欲處理之表面以修改表面的方法。讓離子衝擊欲處理之表面的方法之一範圍為其中在氬周圍環境中供應高頻電壓至表面以在基板附近產生電漿的方法。注意到取代氬周圍環境，可使用氮、氦、氧或之類的周圍環境。

接下來，以諸如使用遮罩之蝕刻的方法處理氧化物半導體層 206，藉此形成島狀氧化物半導體層 206a。

作為氧化物半導體層 206 的蝕刻方法，可採用乾蝕刻或濕蝕刻。當然可結合使用乾蝕刻及濕蝕刻。根據材料適當地設定蝕刻條件（如蝕刻氣體或蝕刻溶液、蝕刻時間、及溫度）以將氧化物半導體層蝕刻成希望的形狀。可以和上述實施例中所示之氧化物半導體層類似的方式蝕刻氧化物半導體層 206。針對蝕刻條件或之類的細節，可參照上述實施例。

之後，較佳於島狀氧化物半導體層 206a 上執行熱處理（第一熱處理）。藉由第一熱處理，可移除島狀氧化物半導體層 206a 中之多餘的氫（包括水及羥基），可對準氧化物半導體層之結構，並可減少島狀氧化物半導體層 206a 中之能隙的缺陷程度。在例如高於或等於 300℃ 且低於或等於 550℃，或高於或等於 400℃ 且低於或等於 500℃ 之溫度執行第一熱處理。注意到在其中於蝕刻之後執行熱處理的情況中，會有即使當使用濕蝕刻時縮短蝕刻

時間的優點。

可以一種方式執行熱處理，例如，將下層基板 200 引進到使用電阻式加熱元件或之類的電爐中，並且接著在 450℃ 於氮周圍環境下加熱一小時。島狀氧化物半導體層 206a 在熱處理期間不暴露至空氣，所以可防止水或氫的進入。

熱處理設備不限於電爐且可為藉由熱輻射或熱傳導從諸如加熱氣體的一媒介加熱物體之設備。例如，可使用諸如氣體迅速熱退火（GRTA）設備或燈迅速熱退火（LRTA）設備的迅速熱退火（RTA）設備。LRTA 設備為藉由從諸如鹵素燈、金屬鹵化物、氬弧燈、碳弧燈、高壓鈉燈、或高壓汞燈的燈所發射之光的輻射（電磁波）加熱待處理物體之設備。GRTA 設備為使用高溫氣體來執行熱處理的設備。作為氣體，使用不藉由熱處理與物體起反應之例如氮的惰性氣體或諸如氬之稀有氣體。

例如，作為第一熱處理，可如下般執行 GRTA 程序。將基板放置在已加熱之惰性氣體中，加熱數分鐘，並從惰性氣體中取出。GRTA 程序允許短時的高溫加熱處理。此外，即使在超過基板的溫度上限時，仍可採用 GRTA 程序，因其為短時間的熱處理。注意到惰性氣體可在程序期間改變成包括氧之氣體。這是因為藉由在含氧的周圍環境下執行第一熱處理可減少氧缺乏所造成之能隙中的缺陷程度。

注意到作為惰性氣體周圍環境，較佳採用含有氮或稀

有氣體（如氮、氦、或氬）作為其主成分且不含水、氫、或之類的周圍環境。例如，引進熱處理設備中之氮或諸如氮、氦、或氬之稀有氣體的純度為大於或等於 6N（99.9999%），較佳大於或等於 7N（99.99999%）（亦即，雜質濃度少於或等於 1 ppm，較佳少於或等於 0.1 ppm）。

在任何情況中，當透過第一熱處理減少雜質而形成 i 型或實質 i 型的氧化物半導體層 206a 時，可實現具有優異特性之電晶體。

注意到可在尚未處理成島狀氧化物半導體層 206a 的氧化物半導體層 206 上執行第一熱處理。在那個情況中，在第一熱處理之後，從加熱設備取出底部基板 200 並執行光微影步驟。

注意到上述第一熱處理（其具有移除氫或水的效果）亦可稱為脫水處理、脫氫處理、或之類。可在例如形成氧化物半導體層之後，或在氧化物半導體層 206a 上方堆疊源極或汲極電極之後執行脫水處理或脫氫處理。可執行這類脫水處理或脫氫處理一次或數次。

接下來，形成接觸氧化物半導體層 206a 的導電層。接著，藉由選擇性蝕刻導電層形成源極或汲極電極 208a 及源極或汲極電極 208b（參見第 11B 圖）。此步驟與形成上述實施例中所述之源極或汲極電極 142a 及之類的步驟類似。針對此步驟的細節，可參照上述實施例。

接下來，形成接觸氧化物半導體層 206a 的一部分之

閘極絕緣層 212（參見第 11C 圖）。針對閘極絕緣層 212 的細節，可參照上述實施例中之絕緣層 138 的說明。

在形成閘極絕緣層 212 之後，較佳在惰性惰性氣體周圍環境或氧周圍環境中執行第二熱處理。在高於或等於 200℃ 並低於或等於 450℃，較佳在高於或等於 250℃ 至並低於或等於 350℃ 的溫度執行該熱處理。例如，在 250℃ 於氮周圍環境中執行該熱處理一小時。第二熱處理可減少電晶體之電氣特性中的變異。在閘極絕緣層 212 含氧的情況中，藉由供應氧至氧化物半導體層 206a 以彌補氧化物半導體層 206a 中之氧缺乏，亦可形成 i 型（本質）或實質 i 型的氧化物半導體層。

注意到雖在此實施例中係在形成閘極絕緣層 212 之後執行第二熱處理，第二熱處理之時序不限於此。

接下來，在閘極絕緣層 212 上方重疊氧化物半導體層 206a 之區域中形成閘極電極 214（參見第 11D 圖）。可藉由在閘極絕緣層 212 上方形成導電層並接著選擇性圖案化導電層來形成閘極電極 214。針對閘極電極 214 的細節，可參照上述實施例中之閘極電極 148a 的說明。

接下來，在閘極絕緣層 212 及閘極電極 214 上方形成層間絕緣層 216 及層間絕緣層 218（參見第 11E 圖）。可以 PVD 方法、CVD 方法、或之類形成層間絕緣層 216 及層間絕緣層 218。可使用包括諸如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉭的無機絕緣材料之材料來形成層間絕緣層 216 及層間絕緣層 218。注意到雖在此

實施例中使用層間絕緣層 216 及層間絕緣層 218 的堆疊結構，在此揭露之本發明之一實施例不限於此。亦可使用單層結構或包括三或更多層的堆疊結構。

注意到較佳形成層間絕緣層 218 以具有平面化表面。這是因為當形成層間絕緣層 218 以具有平面化表面時，可在層間絕緣層 218 上方有利地形成電極、佈線、或之類。

經由上述步驟，完成包括高度純化氧化物半導體層 206a 的電晶體 250（參見第 11E 圖）。

第 11E 圖中所示的電晶體 250 包括下列者：設置在底部基板 200 上方並具有絕緣層 202 夾置在其間的氧化物半導體層 206a、電連接至氧化物半導體層 206a 的源極或汲極電極 208a 及源極或汲極電極 208b、覆蓋氧化物半導體層 206a、源極或汲極電極 208a、及源極或汲極電極 208b 的閘極絕緣層 212、在閘極絕緣層 212 上方的閘極電極 214、在閘極絕緣層 212 及閘極電極 214 上方的層間絕緣層 216、以及在層間絕緣層 216 上方的層間絕緣層 218。

在此實施例中所述的電晶體 250 中，氧化物半導體層 206a 為高度純化。因此，氧化物半導體層 206a 中之氫濃度少於或等於 5×10^{19} atoms/cm³；較佳少於或等於 5×10^{18} atoms/cm³；或更佳為少於或等於 5×10^{17} atoms/cm³。另外，相較於典型矽晶圓的載子密度（近乎 1×10^{14} /cm³），氧化物半導體層 206a 的載子密度夠低（例如，少於 1×10^{12} /cm³，較佳少於 1.45×10^{10} /cm³）。因此，可獲得夠低的關閉電流。例如，在其中通道長度為 10μm；氧化物

半導體層的厚度為 30 nm；汲極電壓的範圍為從近乎 1 V 至 10 V 的情況中，關閉電流（當閘極－源極電壓少於或等於 0 V 時的汲極電流）少於或等於 1×10^{-13} A。另外，在室溫的關閉電流密度（將關閉電流除以電晶體的通道寬度而得的值）近乎 1×10^{-20} A/ μm （10 zA/ μm ）至 1×10^{-19} A/ μm （100 zA/ μm ）。

注意到除了關閉電流或關閉電流密度外，上述電晶體的特性可使用關閉電阻（當電晶體關閉時之電阻值）或關閉電阻率（當電晶體關閉時之電阻率）來表示。在此，藉由歐姆定律使用關閉電流及汲極電壓來得到關閉電阻 R 。另外，使用通道形成區域之剖面面積 A 及通道長度 L ，藉由 $\rho = RA/L$ 的公式獲得關閉電阻率 ρ 。詳言之，在上述情況中，關閉電阻率大於或等於 $1 \times 10^9 \Omega \cdot \text{m}$ （或較佳大於或等於 $1 \times 10^{10} \Omega \cdot \text{m}$ ）。注意到使用氧化物半導體層之厚度 d 及通道寬度 W ，由 $A = dW$ 的公式來表示剖面面積 A 。

藉由使用氧化物半導體層 206a，其為以一種方式高純度成本質氧化物半導體層，而可充分減少電晶體的關閉電流。

注意到雖然在此實施例中使用電晶體 250 來取代上述實施例中所示的電晶體 162，在此揭露的本發明不需被理解成限制在那個情況。例如，當充分增加氧化物半導體的電氣特性時，可針對包含包括積體電路之電晶體的電晶體使用該氧化物半導體。在這種情況中，無需採用上述實施例中所示的堆疊層結構。注意到為了實現有利的電路操

作，氧化物半導體之場效遷移率 μ 較佳為 $\mu > 100 \text{ cm}^2/\text{V}\cdot\text{s}$ 。另外，可例如使用諸如玻璃基板的基板來形成半導體裝置。

可與在其他實施例中所述的結構、方法、及之類適當地結合在此實施例中所述的結構、方法、及之類。

[實施例 6]

接下來，參照第 12A 至 12E 圖說明可用作上述實施例（如實施例 1）中之電晶體 162 或之類的包括氧化物半導體的電晶體之製造方法的另一範例。在此實施例中，對使用具有結晶區域的第一氧化物半導體層及藉由從第一氧化物半導體層之結晶區域的晶體生長而得之第二氧化物半導體層作為氧化物半導體層的情況做出詳細說明。雖使用頂部閘極電晶體作為下列說明中之一範例，電晶體之結構不限於此。

首先，在下層基板 300 上方形成絕緣層 302。接下來，在絕緣層 302 上方形成第一氧化物半導體層，並接著受到第一熱處理，以結晶包括第一氧化物半導體層之至少一表面的區域，藉此形成第一氧化物半導體層 304（參見第 12A 圖）。

例如，下層基板 300 可為在上述實施例（第 1A 及 1B 圖、第 6A 及 6B 圖、或之類）中之半導體裝置的層間絕緣層 128 下方的結構體。針對其之細節，可參照上述實施例。下層基板 300 之表面較佳盡可能地平坦。例如，藉由

化學機械研磨方法（CMP 方法）或之類，表面上之高度差可少於或等於 5 nm，或較佳少於或等於 1 nm。另外，表面粗糙度之均方根（RMS）可少於或等於 2 nm，或較佳少於或等於 0.4 nm。

絕緣層 302 充當基底並可以和上述實施例中所示之絕緣層 138、絕緣層 144、或之類類似的方式形成。針對絕緣層 302 的細節，可參照上述實施例。注意到較佳形成絕緣層 302 以盡可能少地含有氫或水。

可以和上述實施例中之氧化物半導體層 206 類似的方式形成第一氧化物半導體層。針對第一氧化物半導體層的細節及其製造方法，可參照上述實施例。注意到在此實施例中，故意經由第一熱處理結晶第一氧化物半導體層；因此，較佳使用容易導致結晶的氧化物半導體來形成第一氧化物半導體層。例如，可提供 ZnO 或之類作為這類氧化物半導體。此外，亦較佳使用 In-Ga-Zn-O 為基的氧化物半導體，其中在金屬元素（In、Ga、Zn）中之 Zn 的比例大於或等於 60 %，因為容易結晶含高濃度之 Zn 之 In-Ga-Zn-O 為基的氧化物半導體。第一氧化物半導體層之厚度較佳大於或等於 3 nm 並少於或等於 15 nm，且在此實施例中，例如為 5 nm。注意到第一氧化物半導體層之適當的厚度隨所使用之氧化物半導體材料、半導體裝置之用途、或之類而變；因此，可根據材料、用途、或之類來決定厚度。

在高於或等於 550°C 且低於或等於 850°C，較佳高於

或等於 600°C 且低於或等於 750°C 之溫度執行第一熱處理。第一熱處理的時間較佳長於或等於 1 分鐘並短於或等於 24 小時。熱處理的溫度及時間隨氧化物半導體之種類或之類而變。另外，較佳在不含氫或水之周圍環境中執行第一熱處理，如從其充分移除水的氮、氧、或稀有氣體（如氮、氬、或氫）的周圍環境。

熱處理設備不限於電爐且可為藉由熱輻射或熱傳導從諸如加熱氣體的一媒介加熱物體之設備。例如，可使用諸如氣體迅速熱退火（GRTA）設備或燈迅速熱退火（LRTA）設備的迅速熱退火（RTA）設備。LRTA 設備為藉由從諸如鹵素燈、金屬鹵化物、氬弧燈、碳弧燈、高壓鈉燈、或高壓汞燈的燈所發射之光的輻射（電磁波）加熱待處理物體之設備。GRTA 設備為使用高溫氣體來執行熱處理的設備。作為氣體，使用不藉由熱處理與物體起反應之例如氮的惰性氣體或諸如氫之稀有氣體。

經由前述的第一熱處理，結晶包括第一氧化物半導體層之至少該表面的區域。以一種方式形成結晶區域，使得從第一氧化物半導體層之表面朝第一氧化物半導體層的內部進行晶體生長。注意到在一些情況中，結晶區域包括板狀晶體，具有大於或等於 2 nm 並少於或等於 10 nm 的平均厚度。在一些情況中，結晶區域一包括晶體，其具有與氧化物半導體層之表面實質上平行的 a-b 表面，並在與氧化物半導體層之表面實質上垂直的方向中 c 軸對準。在此，「實質上平行之方向」意指在平行方向的 $\pm 10^{\circ}$ 內的方

向，且「實質上垂直之方向」意指在垂直方向的 $\pm 10^\circ$ 內的方向。

經由期間形成結晶區域的第一熱處理，較佳移除第一氧化物半導體層中之氫（包括水或羥基）。爲了移除氫或之類，可在具有 6N（99.9999 %）或更多的純度（亦即，雜質濃度少於或等於 1 ppm）且更佳 7N（99.99999 %）或更多的純度（亦即，雜質濃度少於或等於 0.1 ppm）之氮、氧、或稀有氣體（如氮、氖、或氬）的周圍環境下執行第一熱處理。替代地，可在含有 20 ppm 或更少的 H_2O 且較佳 1 ppm 或更少之超乾燥空氣中執行第一熱處理。

此外，經由期間形成結晶區域的第一熱處理，較佳供應氧至第一氧化物半導體層。可藉由例如將熱處理的周圍環境改變成氧周圍環境來供應氧至第一氧化物半導體層。

在此實施例中之第一熱處理係如下：經由在 700°C 於氮周圍環境下一小時的熱處理來從氧化物半導體層移除氫或之類，並接著將周圍環境改變成氧周圍環境，以供應氧至第一氧化物半導體層之內部。注意到第一熱處理的主要目的爲形成結晶區域；依此，可分別執行移除氫或之類的處理及供應氧的處理。例如，可在移除氫或之類的熱處理及供應氧的熱處理之後執行結晶的熱處理。

經由這類第一熱處理，形成結晶區域，移除氫（包括水及羥基）或之類，並可獲得供氧至其的第一氧化物半導體層。

接下來，在於至少其之表面上包括結晶區域的第一氧化物半導體層 304 上方形成第二氧化物半導體層 305（參見第 12B 圖）。

可以和上述實施例中之氧化物半導體層 206 類似的方式形成第二氧化物半導體層 305。針對第二氧化物半導體層 305 的細節及其製造方法，可參照上述實施例。注意到較佳形成比第一氧化物半導體層 304 更厚的第二氧化物半導體層 305。此外，較佳形成第二氧化物半導體層 305，使第一氧化物半導體層 304 及第二氧化物半導體層 305 的總厚度大於或等於 3 nm 並少於或等於 50 nm。注意到氧化物半導體層之適當的厚度隨所使用之氧化物半導體材料、半導體裝置之用途、或之類而變；因此，可根據材料、用途、或之類來決定厚度。

較佳使用具有相同主成分並在結晶後具有相近的晶格常數（晶格不匹配少於或等於 1 %）之材料來形成第二氧化物半導體層 305 及第一氧化物半導體層 304。這是因為在第二氧化物半導體層 305 的結晶中，在使用具有相同主成分的材料之情況中，容易從第一氧化物半導體層 304 之結晶區域進行晶體生長。另外，使用具有相同主成分的材料實現有利的界面物理性質或電氣特性。

注意到在經由結晶獲得希望的膜品質之情況中，可使用具有與第一氧化物半導體層 304 之材料不同的主成分之材料來形成第二氧化物半導體層 305。

接下來，於第二氧化物半導體層 305 上執行第二熱處

理，藉此從第一氧化物半導體層 304 的結晶區域進行晶體生長，並形成第二氧化物半導體層 306（參見第 12C 圖）。

在高於或等於 550℃ 且低於或等於 850℃ 且較佳高於或等於 600℃ 且低於或等於 750℃ 之溫度執行第二熱處理。第二熱處理的時間為 1 分鐘至 100 小時（包括這兩值），較佳 5 小時至 20 小時（包括這兩值），且典型為 10 小時。注意到較佳在不含氫或水之周圍環境下執行第二熱處理。

周圍環境及熱處理的效果之細節與第一熱處理的類似。亦可使用與第一熱處理類似的熱處理設備。例如，在第二熱處理中，當溫度升高時以氮周圍環境填充爐子，並且當溫度下降時以氧周圍環境填充爐子，藉此可在氮周圍環境下移除氫或之類並可在氧周圍環境下供氧。

經由前述第二熱處理，可從第一氧化物半導體層 304 之結晶區域進行晶體生長至第二氧化物半導體層 305 的全部，以形成第二氧化物半導體層 306。另外，得以形成從其移除掉氫（包括水及羥基）或之類並供氧至其的第二氧化物半導體層 306。此外，可經由第二熱處理改善第一氧化物半導體層 304 之結晶區域的方位。

例如，在針對第二氧化物半導體層 306 使用 In-Ga-Zn-O 為基的氧化物半導體材料之情況中，第二氧化物半導體層 306 可包括由 $\text{InGaO}_3(\text{ZnO})_m$ （ m 代表自然數）所表示之晶體、由 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ （In:Ga:Zn:O = 2:2:1:7）所表示

之晶體、或之類。經由第二熱處理對準這類晶體使得 c 軸在與第二氧化物半導體層 306a 之表面實質上垂直的方向中。

在此，前述晶體包括 In、Ga、及 Zn 的任何者，並可是為具有與 a 軸及 b 軸平行之層的堆疊層結構。詳言之，前述晶體具有一種結構，其中在 c 軸方向中堆疊含 In 的層及不含 In 的層（含 Ga 或 Zn 的層）。

在 In-Ga-Zn-O 為基的氧化物半導體晶體中，在平面方向中之含 In 的層，亦即，與 a 軸及 b 軸平行之方向中的層具有有利的傳導性。這是因為在 In-Ga-Zn-O 為基的氧化物半導體晶體中之導電性主要受控於 In，且 In 原子之 5s 軌道與相鄰的 In 原子之 5s 軌道重疊，因此形成載子路徑。

此外，在第一氧化物半導體層 304 於與絕緣層 302 之界面處包括非晶區域的情況中，經由第二熱處理，在一些情況中晶體生長從形成於第一氧化物半導體層 304 之表面上的結晶區域朝第一氧化物半導體層的底部進行以結晶非晶區域。注意到在一些情況中，非晶區域之保留取決於絕緣層 302 的材料、熱處理條件、或之類。

在使用具有相同主成分之氧化物半導體材料形成第一氧化物半導體層 304 及第二氧化物半導體層 305 的情況中，在一些情況中，第一氧化物半導體層 304 及第二氧化物半導體層 306 具有相同晶體結構，如第 12C 圖中所示。因此，雖由第 12C 圖中之虛線所示，在一些情況中無法分

辨第一氧化物半導體層 304 及第二氧化物半導體層 306 之間的邊界，所以第一氧化物半導體層 304 及第二氧化物半導體層 306 可視為相同層。

接下來，以諸如使用遮罩的蝕刻之方法來處理第一氧化物半導體層 304 及第二氧化物半導體層 306，藉此形成島狀第一氧化物半導體層 304a 及島狀第二氧化物半導體層 306a（參見第 12D 圖）。注意到在此，處理成島狀氧化物半導體係在第二熱處理之後執行；然而，可在處理成島狀氧化物半導體層之後執行第二熱處理。在此情況中，會有即使當使用濕蝕刻可縮短蝕刻時間的優點。

作為第一氧化物半導體層 304 及第二氧化物半導體層 306 的蝕刻方法，可採用乾蝕刻或濕蝕刻。當然可結合使用乾蝕刻及濕蝕刻。根據材料適當地設定蝕刻條件（如蝕刻氣體或蝕刻溶液、蝕刻時間、及溫度）以將氧化物半導體層蝕刻成希望的形狀。可以和上述實施例中所示之氧化物半導體層類似的方式蝕刻第一氧化物半導體層 304 及第二氧化物半導體層 306。針對蝕刻的細節，可參照上述實施例。

氧化物半導體層之區域，其變成通道形成區域，較佳具有平面化表面。例如，第二氧化物半導體層 306 之表面在重疊閘極電極的區域（通道形成區域）中較佳具有 1 nm 或更少（更佳 0.2 nm 或更少）的峰至谷高度。

接下來，形成接觸第二氧化物半導體層 306a 的導電層。接著，藉由選擇性蝕刻導電層形成源極或汲極電極

308a 及源極或汲極電極 308b（參見第 12D 圖）。可以和上述實施例中所示之源極或汲極電極 142a 及源極或汲極電極 142b 類似的方式形成源極或汲極電極 308a 及源極或汲極電極 308b。針對源極或汲極電極 308a 及源極或汲極電極 308b 的細節，可參照上述實施例。

在第 12D 圖中所示的步驟中，在第一氧化物半導體層 304a 及第二氧化物半導體層 306a 的側表面上之晶體層，其接觸源極或汲極電極 308a 及源極或汲極電極 308b，在一些情況中被帶到非晶狀態中。針對此原因，第一氧化物半導體層 304a 及第二氧化物半導體層 306a 的全部區域不會總是具有晶體結構。

接下來，形成接觸第二氧化物半導體層 306a 的一部分之閘極絕緣層 312。可以 CVD 方法或濺鍍方法形成閘極絕緣層 312。接著，在閘極絕緣層 312 上方重疊第一氧化物半導體層 304a 及第二氧化物半導體層 306a 的區域中形成閘極電極 314。之後，在閘極絕緣層 312 及閘極電極 314 上方形成層間絕緣層 316 及層間絕緣層 318（參見第 12E 圖）。可使用和上述實施例中所示的絕緣層 138、閘極電極 148a、層間絕緣層 216、層間絕緣層 218、或之類類似的方式來形成閘極絕緣層 312、閘極電極 314、層間絕緣層 316、及層間絕緣層 318。針對閘極絕緣層 312、閘極電極 314、層間絕緣層 316、及層間絕緣層 318 的細節，可參照上述實施例。

在形成閘極絕緣層 312 之後，較佳在惰性惰性氣體周

圍環境或氧周圍環境中執行第三熱處理。在高於或等於 200℃ 並低於或等於 450℃ 且較佳在高於或等於 250℃ 至並低於或等於 350℃ 的溫度執行該熱處理。例如，在 250℃ 於含氧的周圍環境中執行該熱處理一小時。第三熱處理可減少電晶體之電氣特性中的變異。在閘極絕緣層 312 含氧的情況中，藉由供應氧至第二氧化物半導體層 306a 以彌補第二氧化物半導體層 306a 中之氧缺乏，亦可形成 i 型（本質）或實質 i 型的氧化物半導體層。

注意到雖在此實施例中係在形成閘極絕緣層 312 之後執行第三熱處理，第三熱處理之時序不限於此。此外，在經由諸如第二熱處理的其他處理供應氧至第二氧化物半導體層的情況中可省略第三熱處理。

經由上述步驟，完成電晶體 350。電晶體 350 使用第一氧化物半導體層 304a 及藉由從第一氧化物半導體層 304a 的結晶區域之晶體生長而得之第二氧化物半導體層 306a（參照第 12E 圖）。

第 12E 圖中所示的電晶體 350 包括下列者：設置在底部基板 300 上方並具有絕緣層 302 夾置在其間的第一氧化物半導體層 304a、設置在第一氧化物半導體層 304a 上方之第二氧化物半導體層 306a、電連接至第二氧化物半導體層 306a 的源極或汲極電極 308a 及源極或汲極電極 308b、覆蓋第二氧化物半導體層 306a、源極或汲極電極 308a、及源極或汲極電極 308b 的閘極絕緣層 312、在閘極絕緣層 312 上方的閘極電極 314、在閘極絕緣層 312 及

閘極電極 314 上方的層間絕緣層 316、以及在層間絕緣層 316 上方的層間絕緣層 318。

在此實施例中所述的電晶體 350 中，第一氧化物半導體層 304a 及第二氧化物半導體層 306a 為高度純化。因此，第一氧化物半導體層 304a 及第二氧化物半導體層 306a 中之氫濃度少於或等於 $5 \times 10^{19} / \text{cm}^3$ ；較佳少於或等於 $5 \times 10^{18} / \text{cm}^3$ ；或更佳為少於或等於 $5 \times 10^{17} / \text{cm}^3$ 。另外，相較於典型矽晶圓的載子密度（近乎 $1 \times 10^{14} / \text{cm}^3$ ），氧化物半導體層的載子密度夠低（例如，少於 $1 \times 10^{12} / \text{cm}^3$ ，較佳少於 $1.45 \times 10^{10} / \text{cm}^3$ ）。因此，可獲得夠低的關閉電流。例如，在其中通道長度為 $10 \mu\text{m}$ 且氧化物半導體層的厚度為 30 nm 的情況中，當汲極電壓的範圍為從近乎 1 V 至 10 V 時，關閉電流（當閘極－源極電壓少於或等於 0 V 時的汲極電流）少於或等於 $1 \times 10^{-13} \text{ A}$ 。另外，在室溫的關閉電流密度（將關閉電流除以電晶體的通道寬度而得的值）近乎 $1 \times 10^{-20} \text{ A}/\mu\text{m}$ ($10 \text{ zA}/\mu\text{m}$) 至 $1 \times 10^{-19} \text{ A}/\mu\text{m}$ ($100 \text{ zA}/\mu\text{m}$)。

注意到除了關閉電流或關閉電流密度外，上述電晶體的特性可使用關閉電阻（當電晶體關閉時之電阻值）或關閉電阻率（當電晶體關閉時之電阻率）來表示。在此，藉由歐姆定律使用關閉電流及汲極電壓來得到關閉電阻 R 。另外，使用通道形成區域之剖面面積 A 及通道長度 L ，藉由 $\rho = RA/L$ 的公式獲得關閉電阻率 ρ 。詳言之，在上述情況中，關閉電阻率大於或等於 $1 \times 10^9 \Omega \cdot \text{m}$ （或較佳大於或

等於 $1 \times 10^{10} \Omega \cdot \text{m}$)。注意到使用氧化物半導體層之厚度 d 及通道寬度 W ，由 $A = dW$ 的公式來表示剖面面積 A 。

依照此方式，藉由使用高度純化且本質的第一氧化物半導體層 304a 及第二氧化物半導體層 306a，可充分減少電晶體的關閉電流。

此外，在此實施例中，使用具有結晶區域之第一氧化物半導體層 304a 及藉由從第一氧化物半導體層 304a 的結晶區域之晶體生長而得之第二氧化物半導體層 306a 作為氧化物半導體層。因此，可增加場效遷移率並可實現具有有利的電氣特性之電晶體。

注意到雖然在此實施例中使用電晶體 350 來取代上述實施例中所示的電晶體 162，在此揭露的本發明不需被理解成限制在那個情況。例如，在此實施例中所示之電晶體 350 使用具有結晶區域之第一氧化物半導體層 304a 及藉由從第一氧化物半導體層 304a 的結晶區域之晶體生長而得之第二氧化物半導體層 306a，並因此具有高場效遷移率。依此，可針對包含包括在積體電路中之電晶體的電晶體使用該氧化物半導體。在這種情況中，無需採用上述實施例中所示的堆疊層結構。注意到為了實現有利的電路操作，氧化物半導體之場效遷移率 μ 較佳為 $\mu > 100 \text{ cm}^2/\text{V} \cdot \text{s}$ 。另外，在此情況中，可例如使用諸如玻璃基板的基板來形成半導體裝置。

可與在其他實施例中所述的結構、方法、及之類適當地結合在此實施例中所述的結構、方法、及之類。

[實施例 7]

在此實施例中，說明與實施例 1 中所述之製造半導體裝置的方法不同之製造半導體裝置的方法。此實施例的特徵在於藉由所謂的金屬鑲嵌法來形成下部中之電晶體的閘極電極，且使用該閘極電極的材料來形成上部中之電晶體的源極電極、汲極電極、及之類。

首先，藉由實施例 1 中所述的方法來獲得第 4G 圖中的狀態。此狀態繪示於第 13A 圖中。使用 CMP 方法或之類來研磨層間絕緣層 126 及層間絕緣層 128，以暴露出閘極電極 110 的頂表面。接著，藉由選擇性蝕刻方法來蝕刻閘極電極 110，以形成孔部 127（參見第 13B 圖）。

接下來，藉由沉積方法形成包括金屬或金屬氮化物的導電層，藉其使孔部 127 完全嵌入。導電層可為單層或堆疊層。接著，蝕刻導電層，以獲得電極層（源極或汲極電極 142a 及源極或汲極電極 142b）（參見第 13C 圖）。此階段之結構與實施例 1 中所示的第 5B 圖的結構等效。

之後，以和實施例 1 類似的方式，形成島狀氧化物半導體層 140、閘極絕緣層 146、閘極電極 148a、及電極 148b（參見第 13D 圖）。注意到電極層（源極或汲極電極 142a）為下部中之電晶體的閘極電極且亦為上部中之電晶體的源極或汲極電極。在此實施例中，可省略實施例 1 中所須之形成到達下部中之電晶體的閘極電極 110 之接觸孔的步驟。在此實施例中，由於島狀氧化物半導體層 140 接

觸層間絕緣層 128，較佳在形成島狀氧化物半導體層 140 之前充分脫氫層間絕緣層 128 之表面。

[實施例 8]

在此實施例中，參照第 14A 至 14F 圖說明將上述實施例中所述之半導體裝置應用於電子用具的情況。說明將上述半導體裝置應用至諸如電腦、行動電話機（亦稱為行動電話或行動電話裝置）、個人數位助理（包括可攜式遊戲機、音頻再生裝置、及之類）、數位相機、數位視訊攝影機、電子紙、電視機（亦稱為電視或電視接收器）之電子用具的情況。

第 14A 圖顯示筆記型個人電腦，包括殼體 401、殼體 402、顯示部 403、鍵盤 404、及之類的形成。在上述實施例中所示的半導體裝置係設置在殼體 401 及殼體 402 之中。因此，可實現其中可以高速執行資料的寫入及讀取並可長時間儲存資料的具有夠低耗電量之筆記型 PC。

第 14B 圖顯示個人數位助理（PDA），包括設有顯示部 413 的主體 411、外部界面 415、操作鈕 414、及之類。亦設置操作個人數位助理之手寫筆 412 及之類。在上述實施例中所示的半導體裝置係設置在主體 411 中。因此，可實現其中可以高速執行資料的寫入及讀取並可長時間儲存資料的具有夠低耗電量之個人數位助理。

第 14C 圖顯示具有附接之電子紙的電子書讀取器 420，其包括殼體 421 及 423。顯示部 425 及顯示部 427

分別設置在殼體 421 及殼體 423 中。殼體 421 及 423 藉由樞紐部 437 連接並以樞紐部 437 予以打開及關閉。殼體 421 設有電源開關 431、操作鍵 433、揚聲器 435、及之類。在上述實施例中所示的半導體裝置係設置在殼體 421 及殼體 423 之至少一者中。因此，可實現其中可以高速執行資料的寫入及讀取並可長時間儲存資料的具有夠低耗電量之電子書讀取器。

第 14D 圖顯示包括殼體 440 及殼體 441 的行動電話。此外，在第 14D 圖中顯示成展開的殼體 440 及殼體 441 可藉由滑動而重疊。因此，行動電話可為適合攜帶用的尺寸。殼體 441 包括顯示板 442、揚聲器 443、麥克風 444、指示裝置 446、相機透鏡 447、外部連結端子 448、及之類。殼體 440 設有用於充電行動電話的太陽能電池 449、外部記憶體槽 450、及之類。另外，天線係納入殼體 441 中。在上述實施例中所示的半導體裝置係設置在殼體 440 及 441 之至少一者中。因此，可實現其中可以高速執行資料的寫入及讀取並可長時間儲存資料的具有夠低耗電量之行動電話。

第 14E 圖為包括主體 461、顯示部 467、目鏡部 463、操作開關 464、顯示部 465、電池 466、及之類的數位相機。在上述實施例中所示的半導體裝置係設置在殼體主體 461 中。因此，可實現其中可以高速執行資料的寫入及讀取並可長時間儲存資料的具有夠低耗電量之數位相機。

第 14F 圖為包括殼體 471、顯示部 473、支架 475、及之類的電視機 470。可藉由殼體 471 之操作開關或分開的遙控器 480 操作電視機 470。在上述實施例中所示的半導體裝置係安裝在殼體 471 及遙控器 480 中。因此，可實現其中可以高速執行資料的寫入及讀取並可長時間儲存資料的具有夠低耗電量之電視機。

如上述，關於上述實施例的半導體裝置係安裝在此實施例中所示的電子用具中。因此，可實現其之耗電量充分減少的電子用具。

[範例 1]

檢驗根據所揭露之本發明的一實施例之半導體裝置可重寫資料的次數。在此範例中，參照第 15 圖說明檢驗結果。

用於檢驗之半導體裝置為具有第 3A1 圖中之電路組態的半導體裝置。在此，在對應於電晶體 162 之電晶體中使用氧化物半導體。另外，作為對應至電容器 164 的電容器，使用具有 0.33 pF 之電容值的電容器。

藉由比較初始記憶體窗寬度及在重複保持及寫入資料預定次數之後的時刻之記憶體窗寬度來執行檢驗。藉由施加 0 V 或 5 V 至對應於第 3A1 圖中之第三佈線的佈線並施加 0 V 或 5 V 至對應於第 3A1 圖中之第四佈線的佈線來保持及寫入資料。當對應於第四佈線的佈線之電位為 0 V 時，對應於電晶體 162 之電晶體為關閉；故保持供應至浮

置閘極部 FG 的電位。當對應於第四佈線的佈線之電位為 5 V 時，對應於電晶體 162 之電晶體為啓通；故供應對應於第三佈線的佈線之電位至浮置閘極部 FG。

記憶體窗寬度為記憶體裝置之特性的指標之一。在此，記憶體窗寬度代表不同記憶體狀態之間的曲線（ V_{cg} - I_d 曲線）中之位移量 ΔV_{cg} ，該些曲線顯示在對應於第五佈線的佈線之電位 V_{cg} 及對應於電晶體 160 之電晶體的汲極電流 I_d 之間的關係。不同記憶體狀態意指施加 0 V 至浮置閘極部 FG 之狀態（此後稱為低狀態）及施加 5 V 至浮置閘極部 FG 之狀態（此後稱為高狀態）。亦即，藉由掃描在低狀態中及高狀態中之電位 V_{cg} 來檢查記憶體窗寬度。

第 15 圖顯示初始記憶體窗寬度及在執行寫入 1×10^{19} 次之後的時刻之記憶體窗寬度的檢驗結果。注意到在第 15 圖中，水平軸顯示 $V_{cg}(V)$ 且垂直軸顯示 $I_d(A)$ 。從第 15 圖可證實在執行寫入 1×10^{19} 次之前及之後的記憶體窗寬度並未改變。從在執行寫入 1×10^{19} 次之前及之後的記憶體窗寬度並未改變的事實，顯示出至少在寫入期間半導體裝置並未惡化。

如上述，即使當重複保持及寫入多次時，根據所揭露之本發明的一實施例的半導體裝置的特性並未改變。亦即，根據所揭露之本發明的一實施例，可獲得具有極高可靠度之半導體裝置。

此申請案依據在 2009 年 12 月 18 日向日本專利局申請之日本專利申請案序號 2009-288474 及在 2009 年 12 月

25 日向日本專利局申請之日本專利申請案序號 2009-294790，其全部內容以引用方式併於此。

【符號說明】

100：基板

102：保護層

104：半導體區域

106：元件隔離絕緣層

108：閘極絕緣層

110：閘極電極

112：絕緣層

114：雜質區域

116：通道形成區域

118：側壁絕緣層

120：高濃度雜質區域

122：金屬層

124：金屬化合物區域

126：層間絕緣層

127：孔部

128：層間絕緣層

130a：源極或汲極電極

130b：源極或汲極電極

130c：電極

138：絕緣層

140：氧化物半導體層
 140a：氧化物半導體層
 140b：氧化物半導體層
 142a：電極
 142b：電極
 142c：電極
 142d：電極
 144：絕緣層
 146：閘極絕緣層
 148a：電極
 148b：電極
 150：保護絕緣層
 152：層間絕緣層
 160：電晶體
 162：電晶體
 164：電容器
 166：電晶體
 190：記憶胞
 192：電極
 200：基板
 202：絕緣層
 206：氧化物半導體層
 206a：氧化物半導體層
 208a：電極

208b：電極
 212：閘極絕緣層
 214：電極
 216：層間絕緣層
 218：層間絕緣層
 250：電晶體
 300：基板
 302：絕緣層
 304：氧化物半導體層
 304a：氧化物半導體層
 305：氧化物半導體層
 306：氧化物半導體層
 306a：氧化物半導體層
 308a：電極
 308b：電極
 312：閘極絕緣層
 314：電極
 316：層間絕緣層
 318：層間絕緣層
 350：電晶體
 401：殼體
 402：殼體
 403：顯示部
 404：鍵盤

411：主體
412：手寫筆
413：顯示部
414：操作鈕
415：外部界面
420：電子書讀取器
421：殼體
423：殼體
425：顯示部
427：顯示部
431：電源開關
433：操作鍵
435：揚聲器
437：樞紐部
440：殼體
441：殼體
442：顯示板
443：揚聲器
444：麥克風
446：指示裝置
447：相機透鏡
448：外部連結端子
449：太陽能電池
450：外部記憶體槽

461：主體
463：目鏡部
464：操作開關
465：顯示部
466：電池
467：顯示部
470：電視機
471：殼體
473：顯示部
475：支架
480：遙控器

【發明申請專利範圍】

【請求項 1】一種半導體裝置，包含：

配置成矩陣狀的複數個電路；

該電路包含：

第一電晶體；

第二電晶體；以及

電容器，其中一個電極與該第一電晶體的閘極電極電連接；

信號提供給該電容器的另外一個電極；

第一導電層的上方，配置有第一絕緣層；

該第一導電層具有作為該第一電晶體的閘極電極的功能；

該第一絕緣層的上方，配置有：

半導體層，具有該第二電晶體的通道形成區域；

第二導電層與第三導電層，與該半導體層電連接；以及

第四導電層，具有作為該第一電晶體的源極或汲極的其中一者的功能；

該半導體層的上方，配置有第五導電層；

該第五導電層具有作為該第二電晶體的閘極電極的功能；

該第二導電層至該第四導電層全部配置於同層；

該第三導電層具有作為該電容器的其中一個電極的功能；

該第三導電層與第六導電層重疊；

該第六導電層具有作為該電容器的另外一個電極的功能；

該第六導電層與該第五導電層配置於同層；

該第三導電層藉由設置於該第一絕緣層的開口部，與該第一導電層連接。

【請求項 2】一種半導體裝置，包含：

配置成矩陣狀的複數個電路；

該電路包含：

第一電晶體；

第二電晶體；以及

電容器，其中一個電極與該第一電晶體的閘極電極電連接；

信號提供給該電容器的另外一個電極；

第一導電層的上方，配置有第一絕緣層；

該第一導電層具有作為該第一電晶體的閘極電極的功能；

該第一絕緣層的上方，配置有：

半導體層，具有該第二電晶體的通道形成區域；

第二導電層與第三導電層，與該半導體層電連接；以及

第四導電層，具有作為該第一電晶體的源極或汲極的其中一者的功能；

該半導體層的上方，配置有第五導電層；

該第五導電層具有作為該第二電晶體的閘極電極的功能；

該第二導電層至該第四導電層全部配置於同層；

該第三導電層具有作為該電容器的其中一個電極的功能；

該第三導電層與第六導電層重疊；

該第六導電層具有作為該電容器的另外一個電極的功能；

該第六導電層與該第五導電層配置於同層；

該第三導電層藉由設置於該第一絕緣層的開口部，與該第一導電層連接；

從俯視圖來看，該第三導電層與該半導體層接觸的區域，配置於該開口部與該第五導電層之間。

【請求項 3】如請求項 1 或 2 之半導體裝置，其中，該第二導電層以及該第三導電層包含：

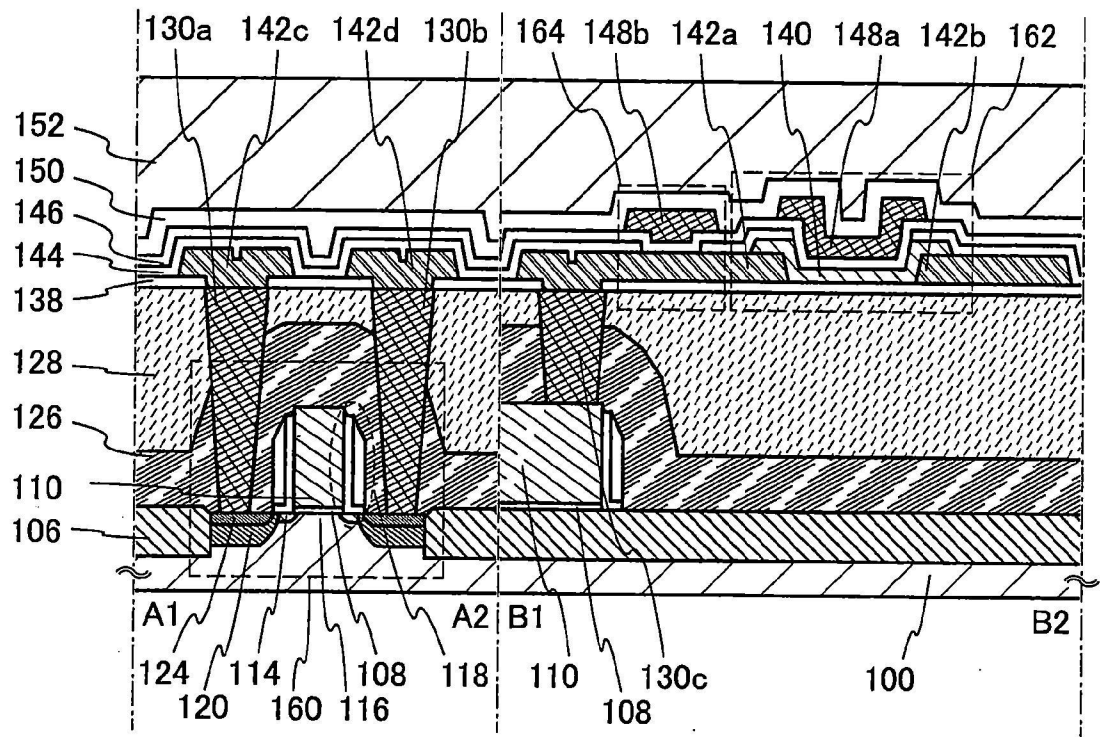
鋁；以及

選自鈦、鉭、鎢、鉬、鉻、釹、銦中的一個或以上的元素。

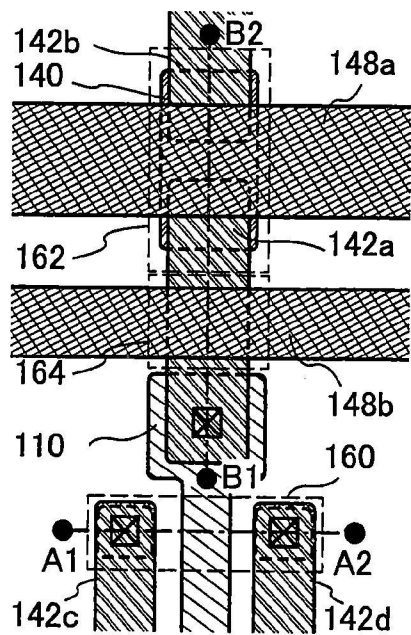
【請求項 4】如請求項 1 或 2 之半導體裝置，其中，該半導體層包含氧化物半導體。

【發明圖式】

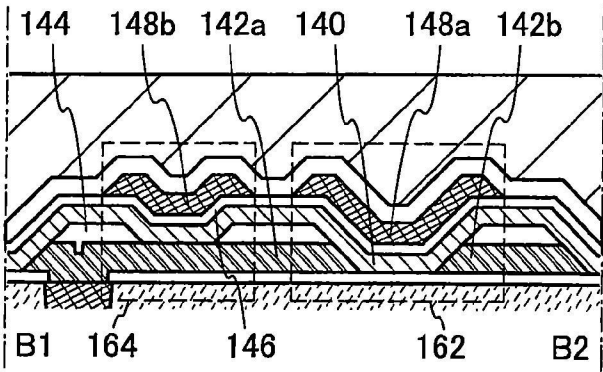
第1A圖



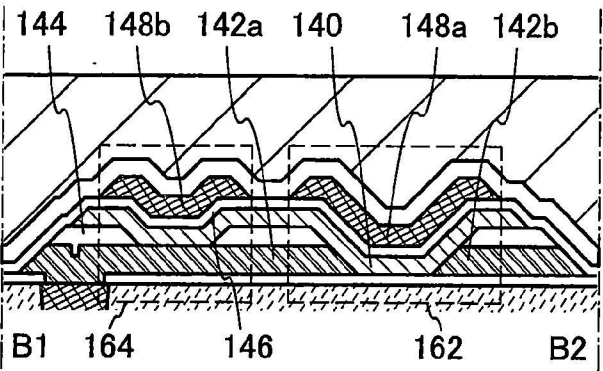
第1B圖



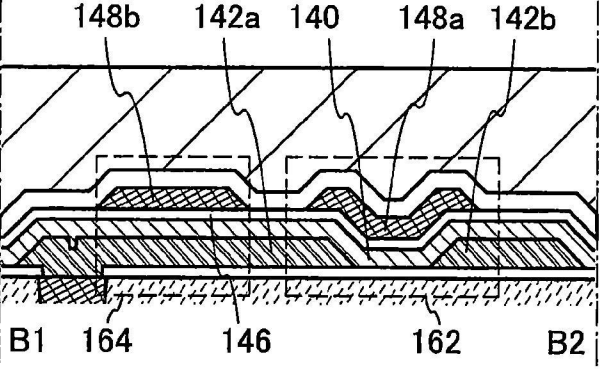
第2A圖



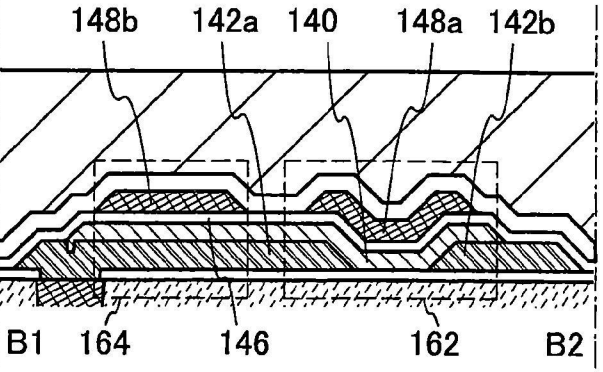
第2B圖



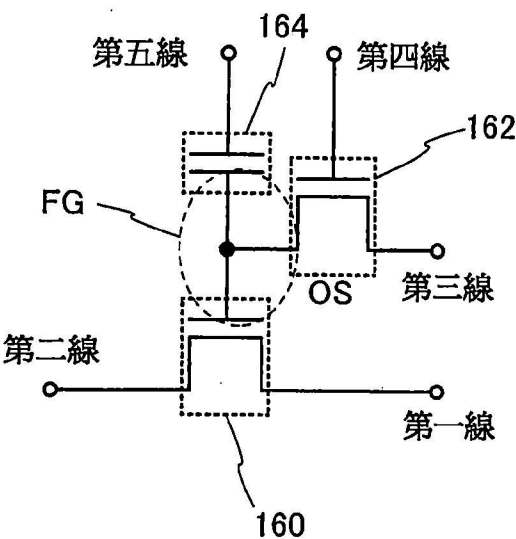
第2C圖



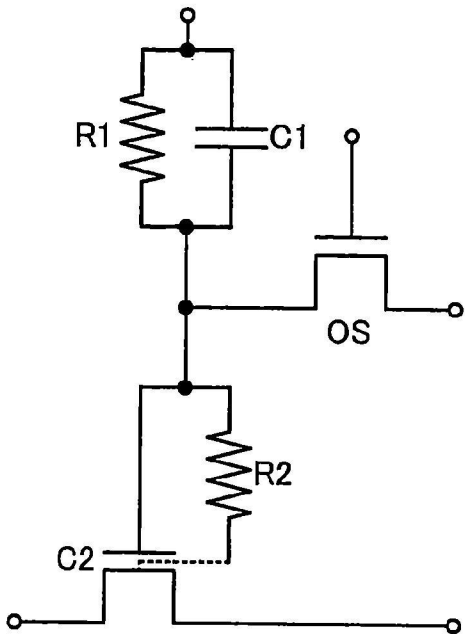
第2D圖



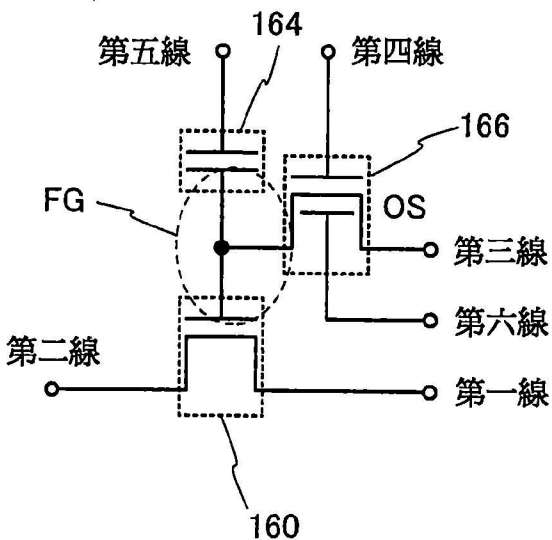
第3A1圖



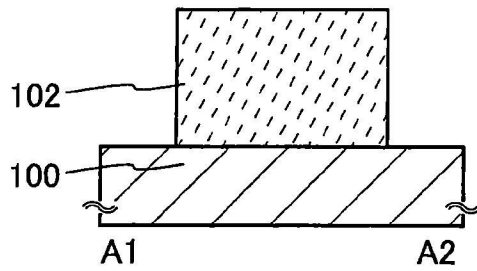
第3A2圖



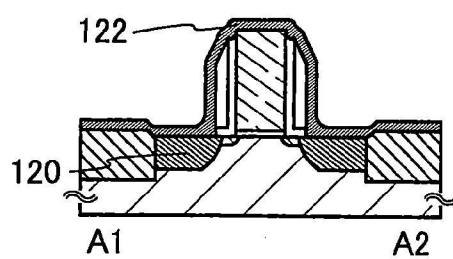
第3B圖



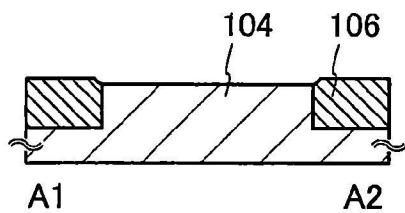
第4A圖



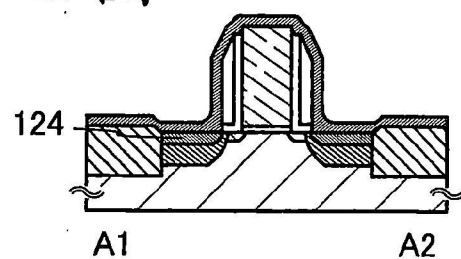
第4E圖



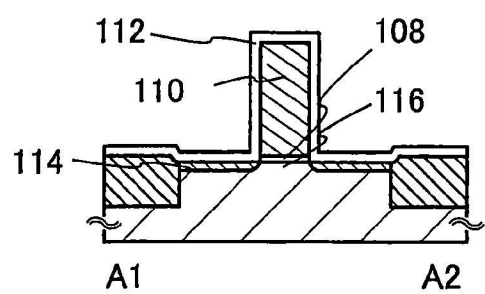
第4B圖



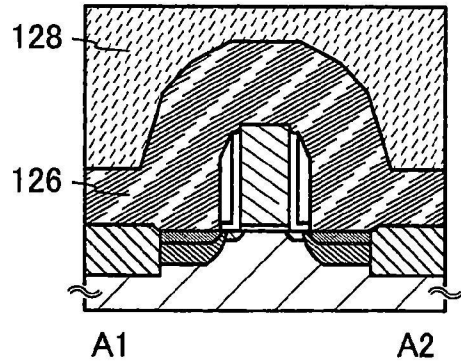
第4F圖



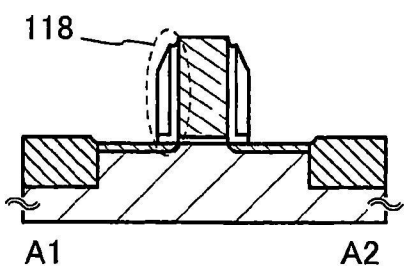
第4C圖



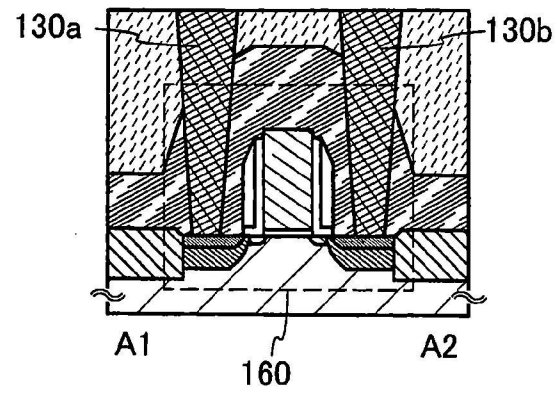
第4G圖



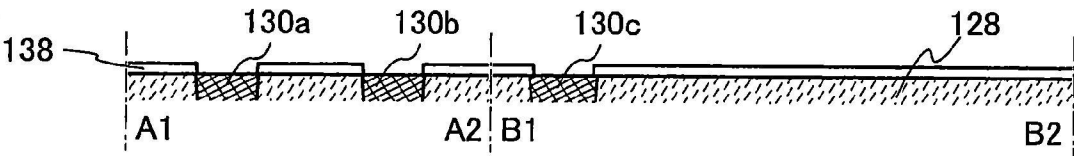
第4D圖



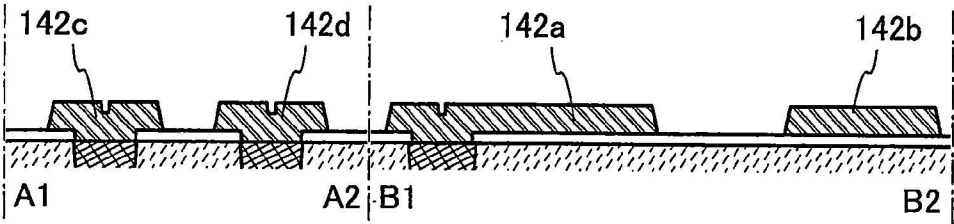
第4H圖



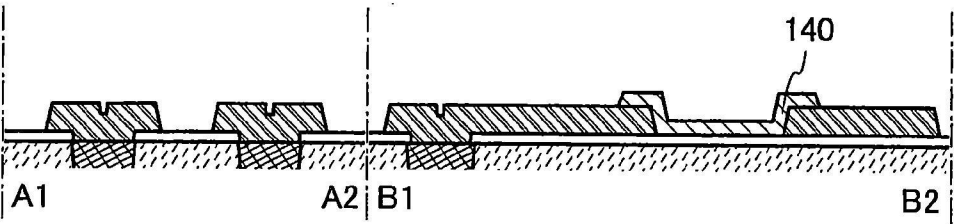
第5A圖



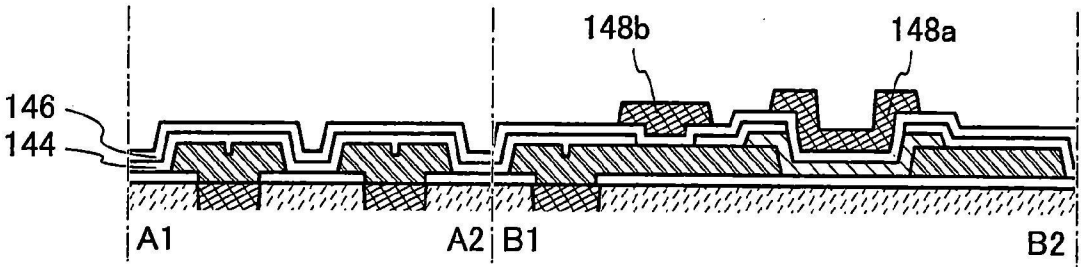
第5B圖



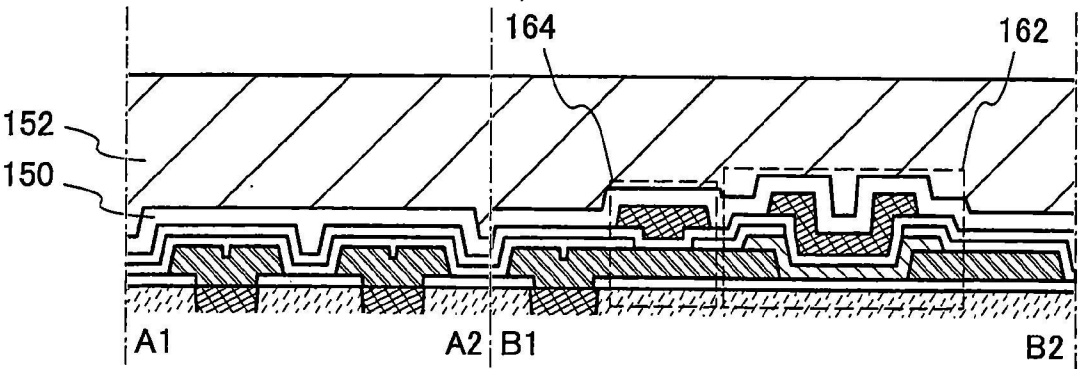
第5C圖



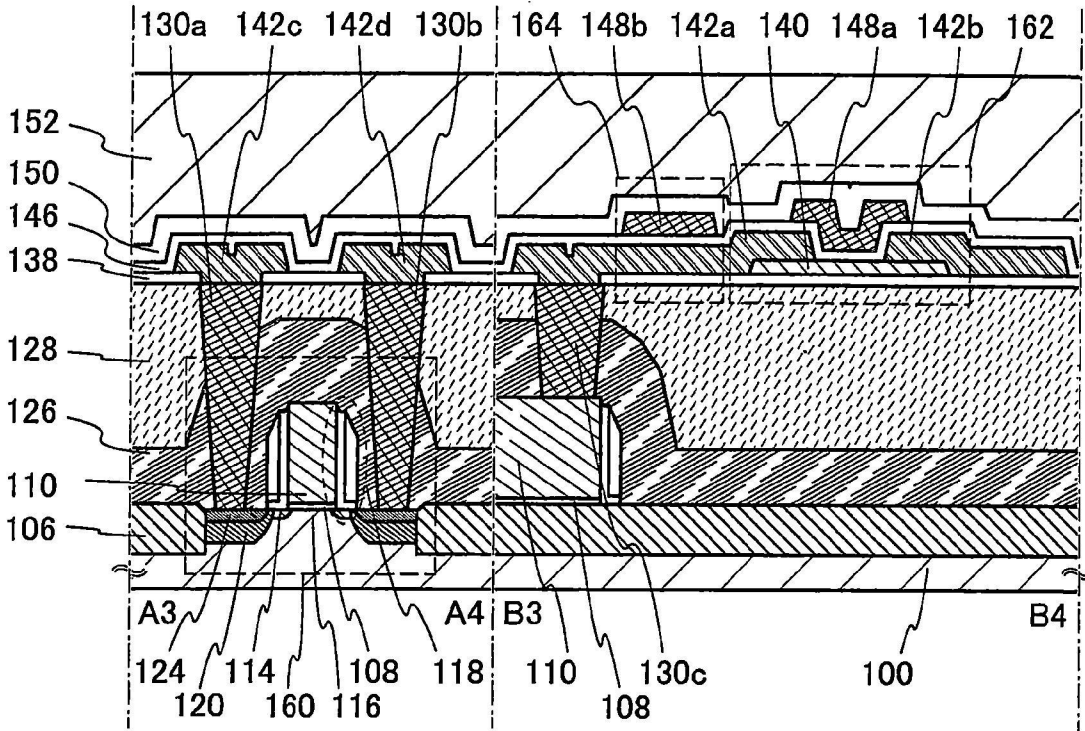
第5D圖



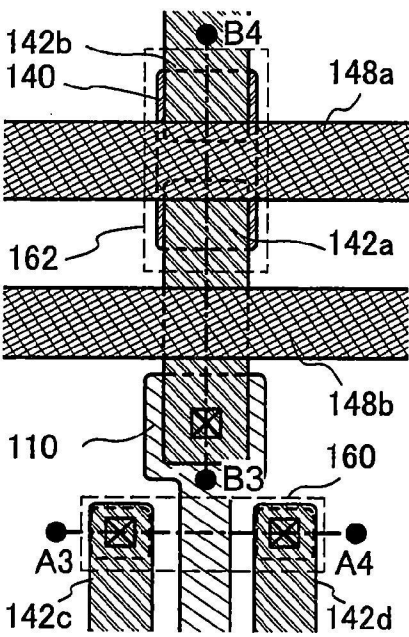
第5E圖



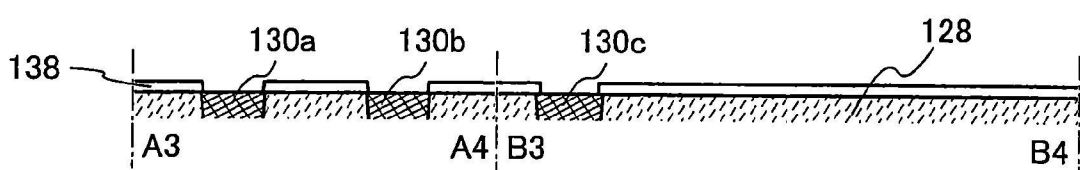
第6A圖



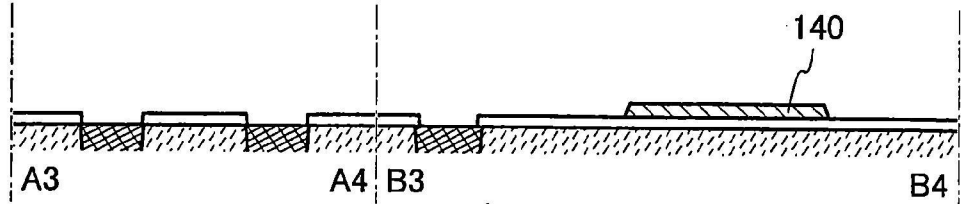
第6B圖



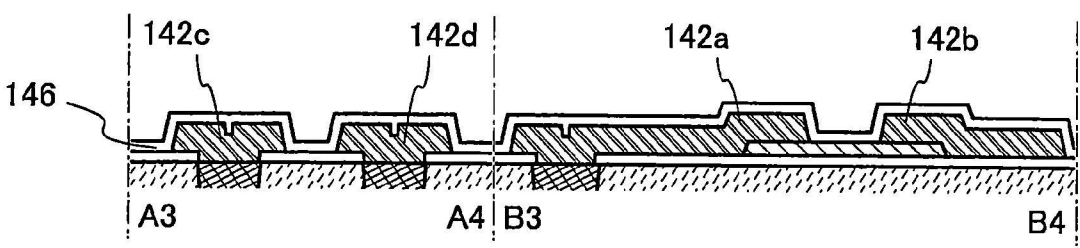
第7A圖



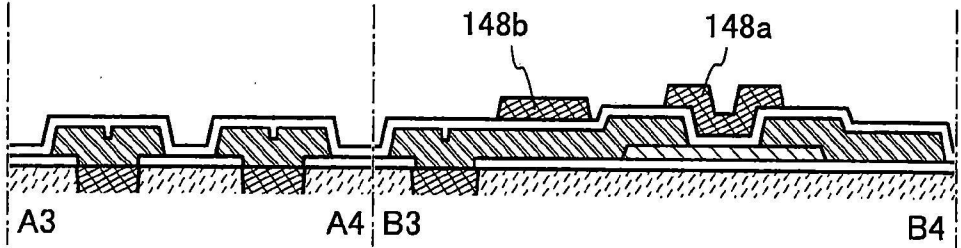
第7B圖



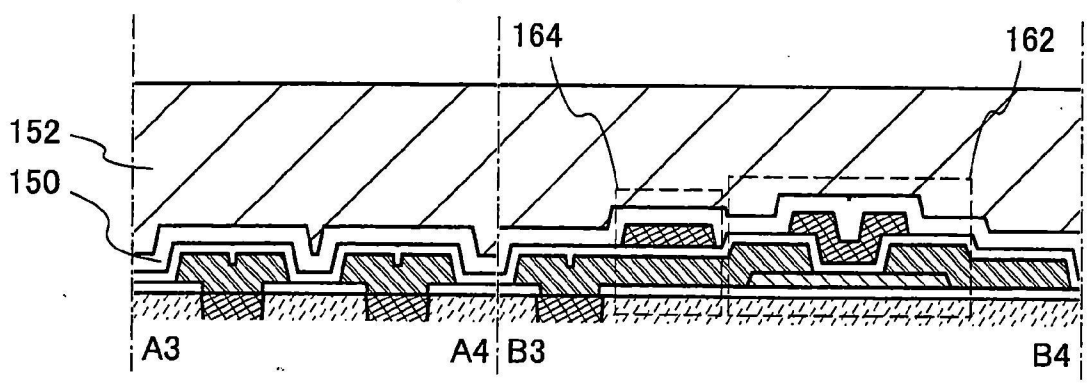
第7C圖



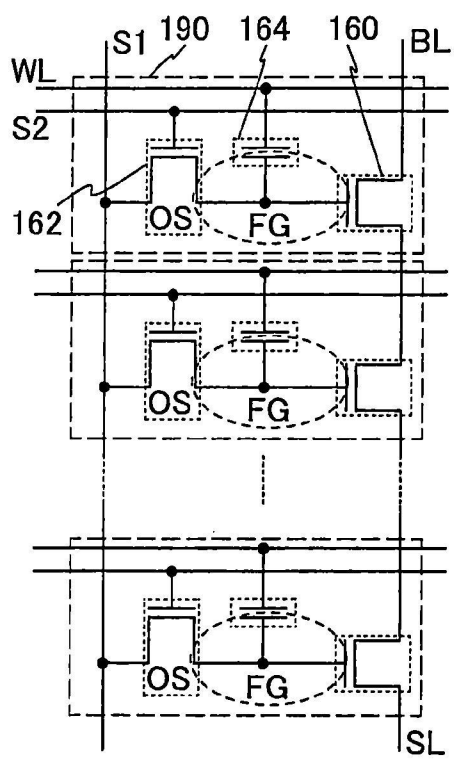
第7D圖



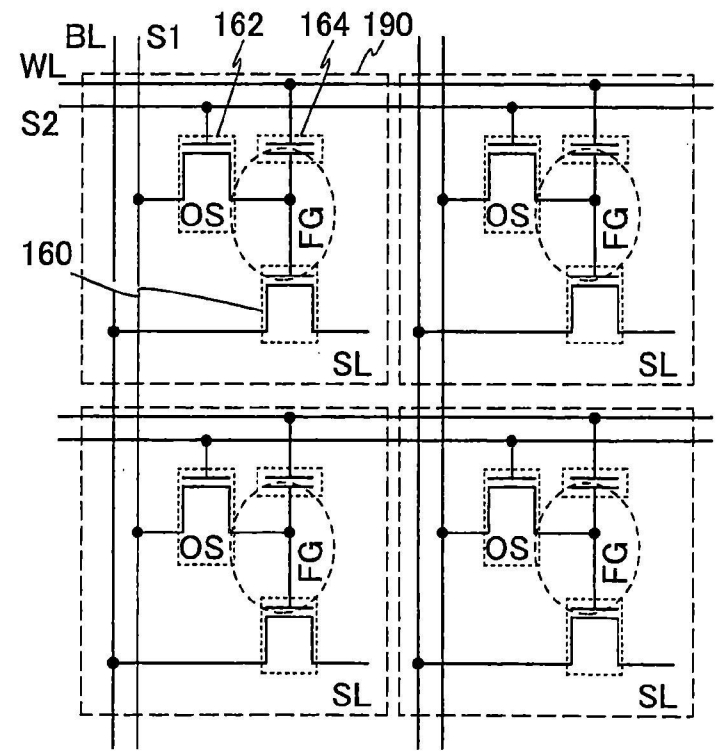
第7E圖



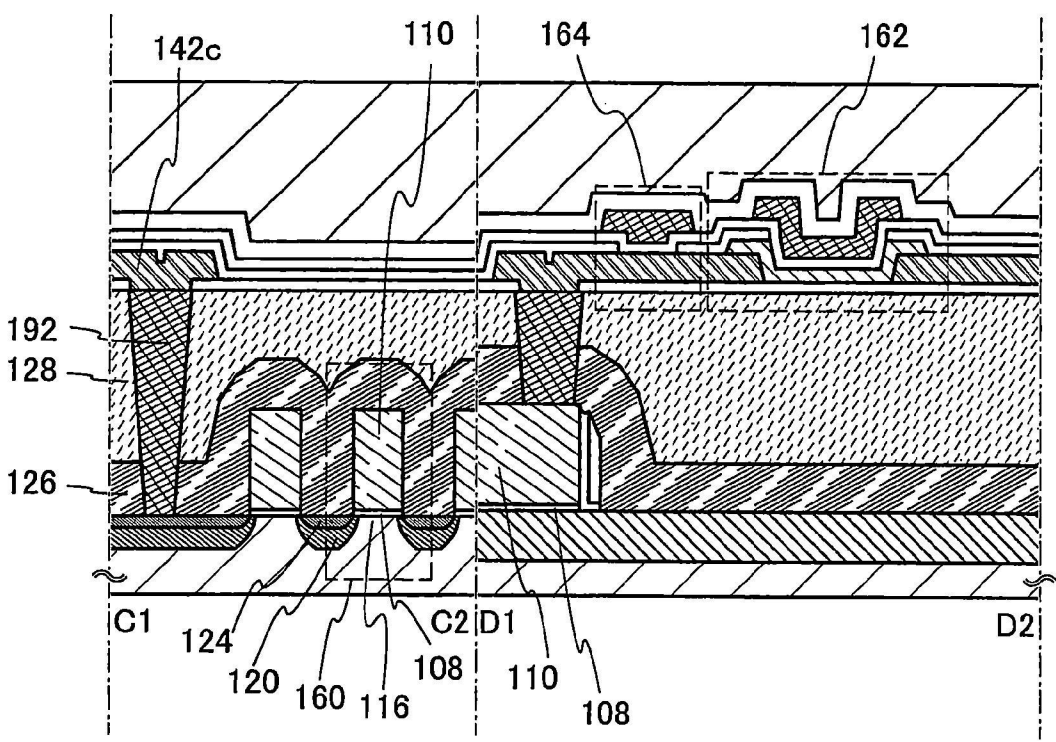
第8A圖



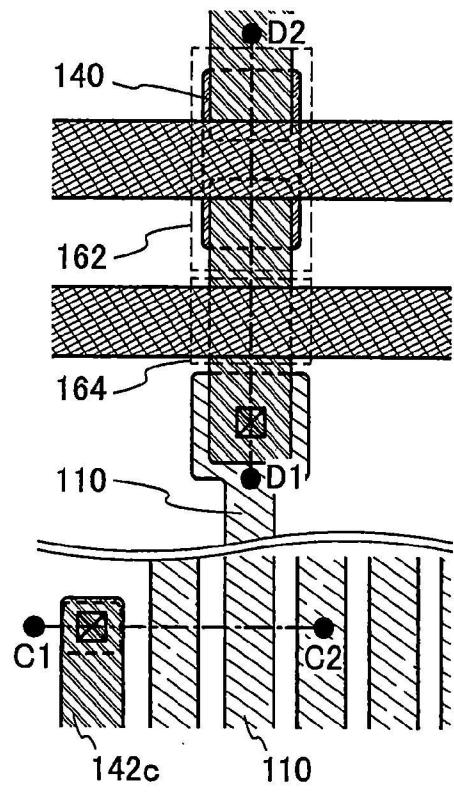
第8B圖



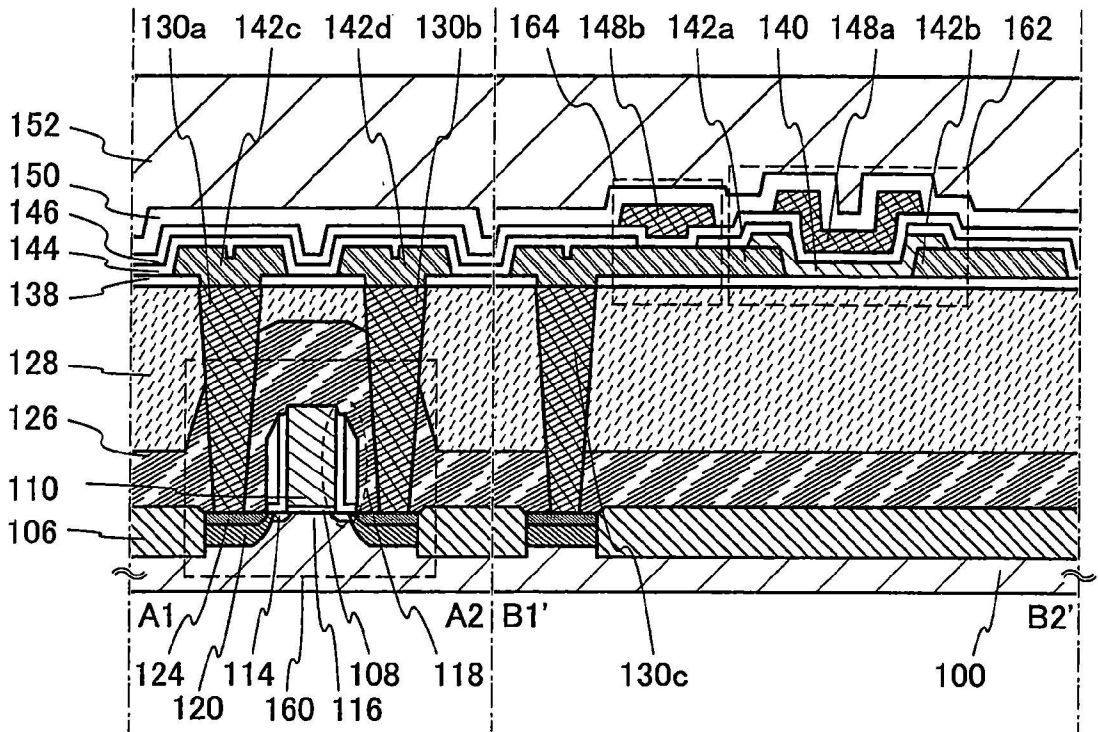
第9A圖



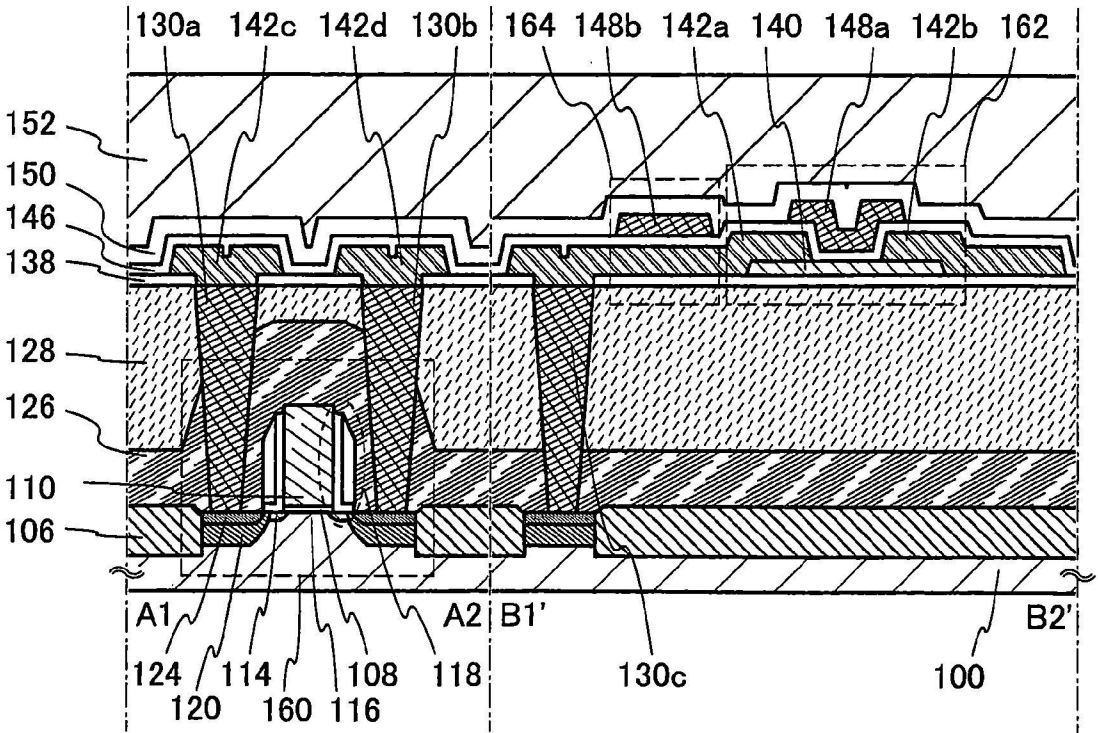
第9B圖



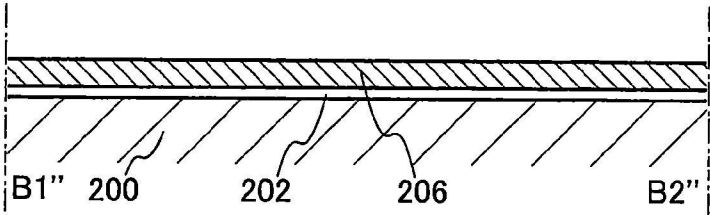
第10A圖



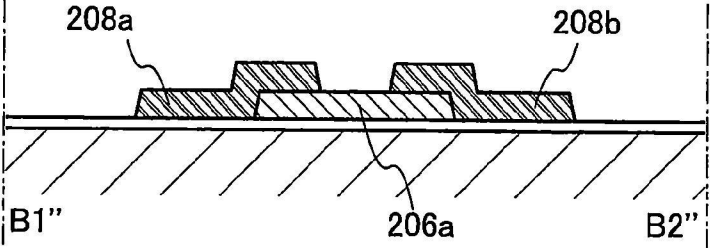
第10B圖



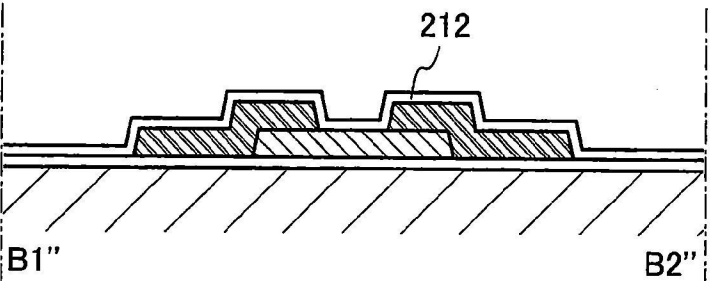
第11A圖



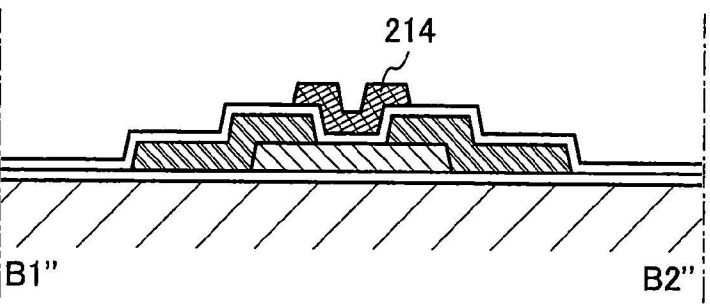
第11B圖



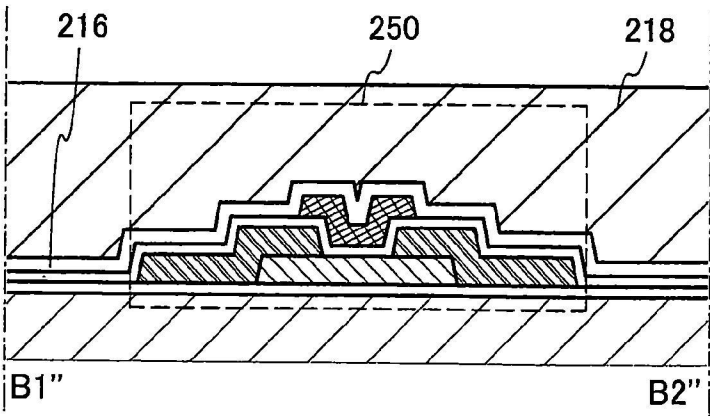
第11C圖



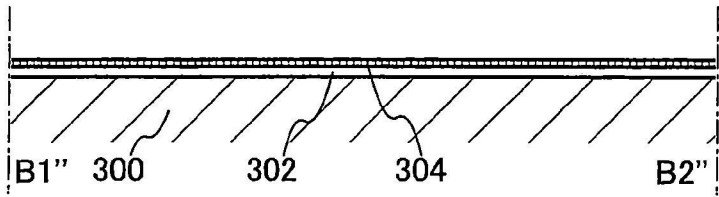
第11D圖



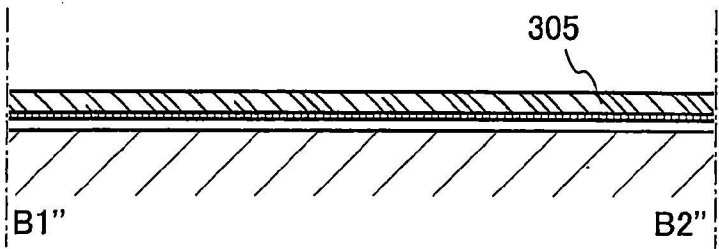
第11E圖



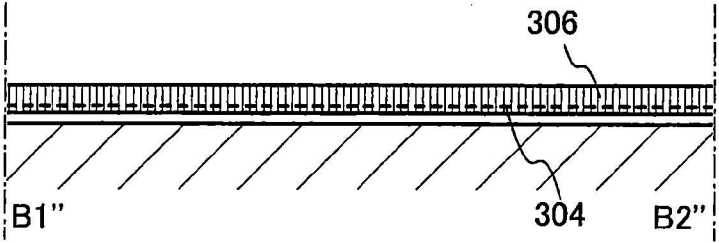
第12A圖



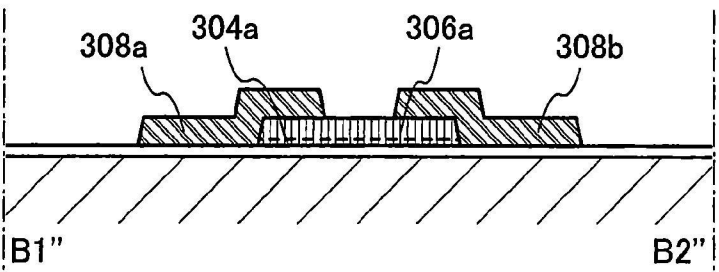
第12B圖



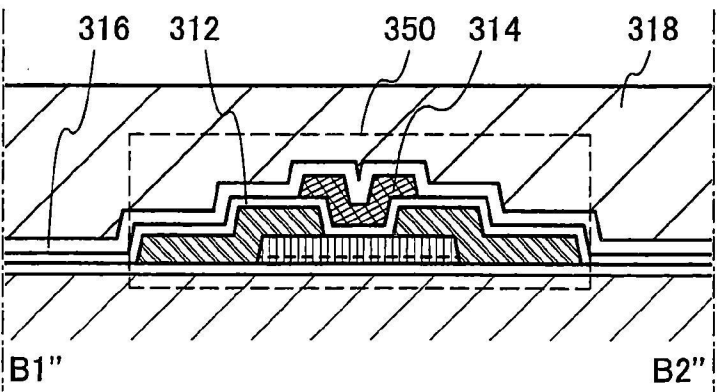
第12C圖



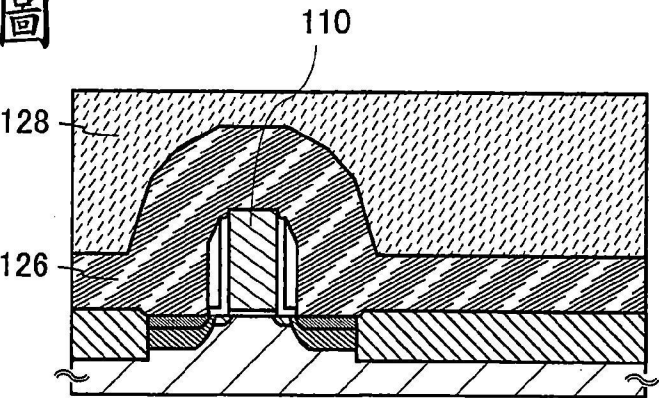
第12D圖



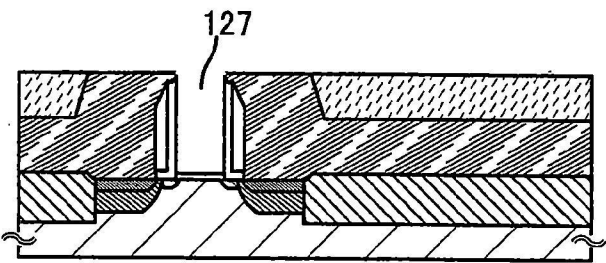
第12E圖



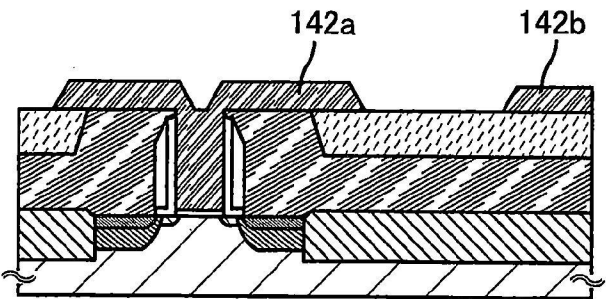
第13A圖



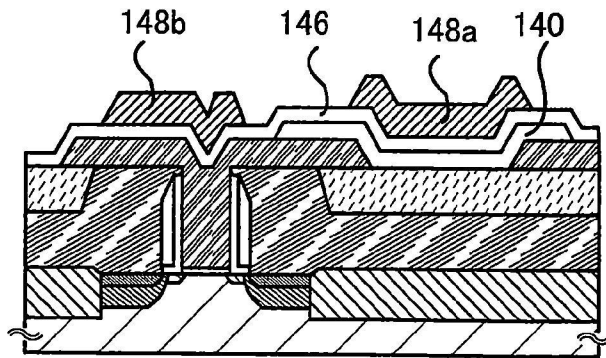
第13B圖



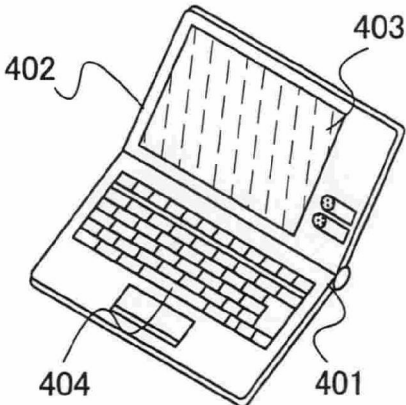
第13C圖



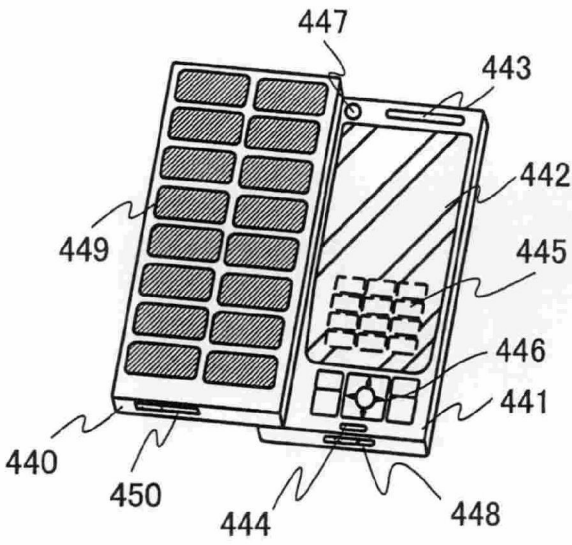
第13D圖



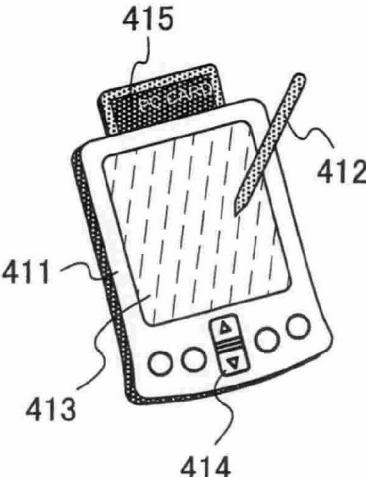
第14A圖



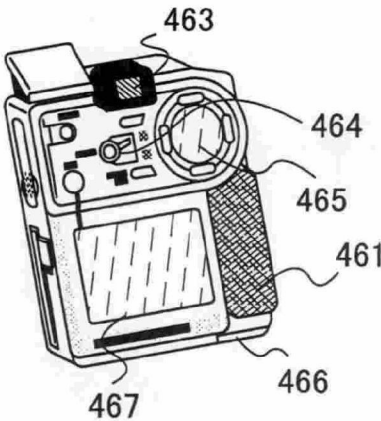
第14D圖



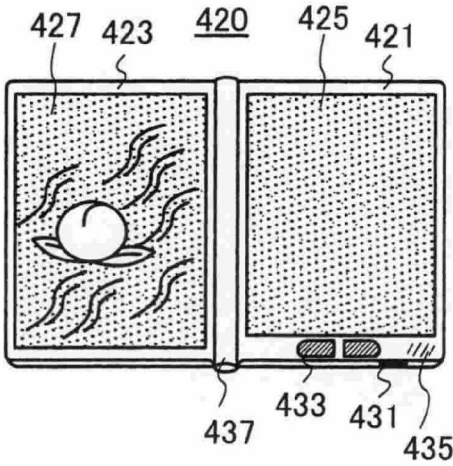
第14B圖



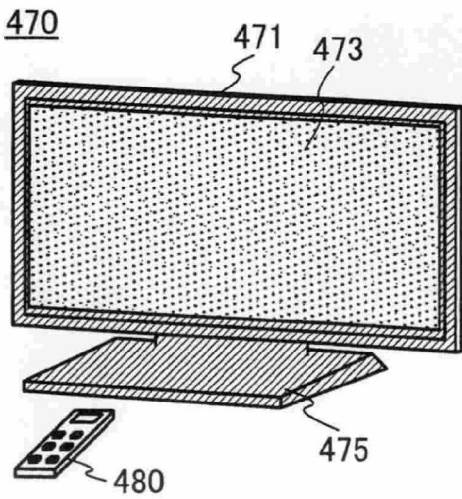
第14E圖



第14C圖



第14F圖



第15圖

