

十一、圖式：

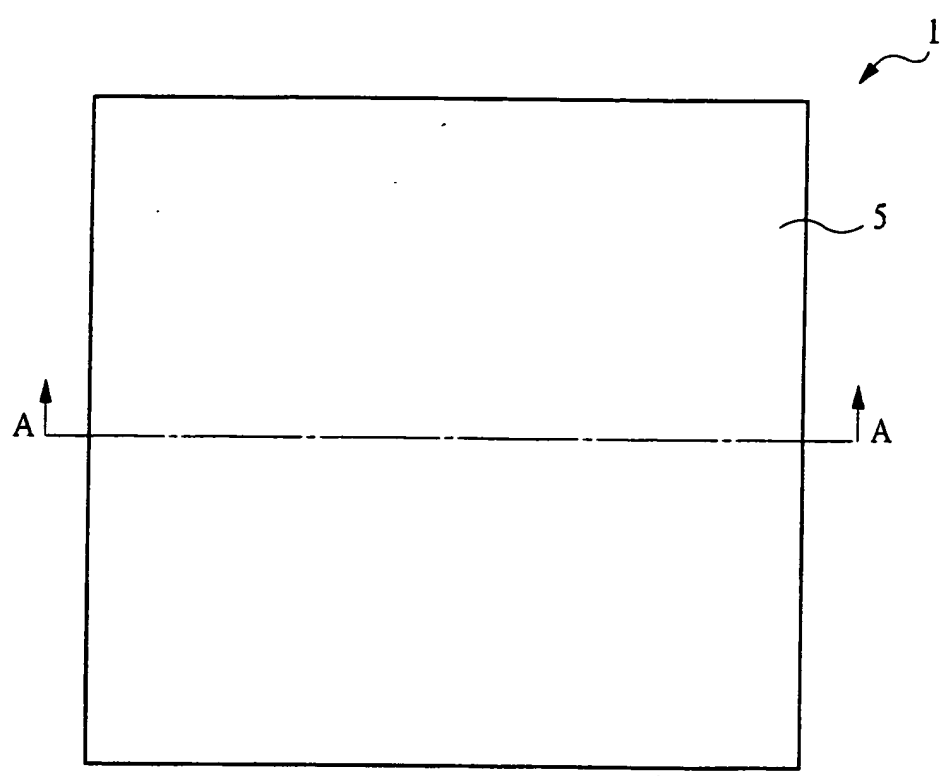


圖 1

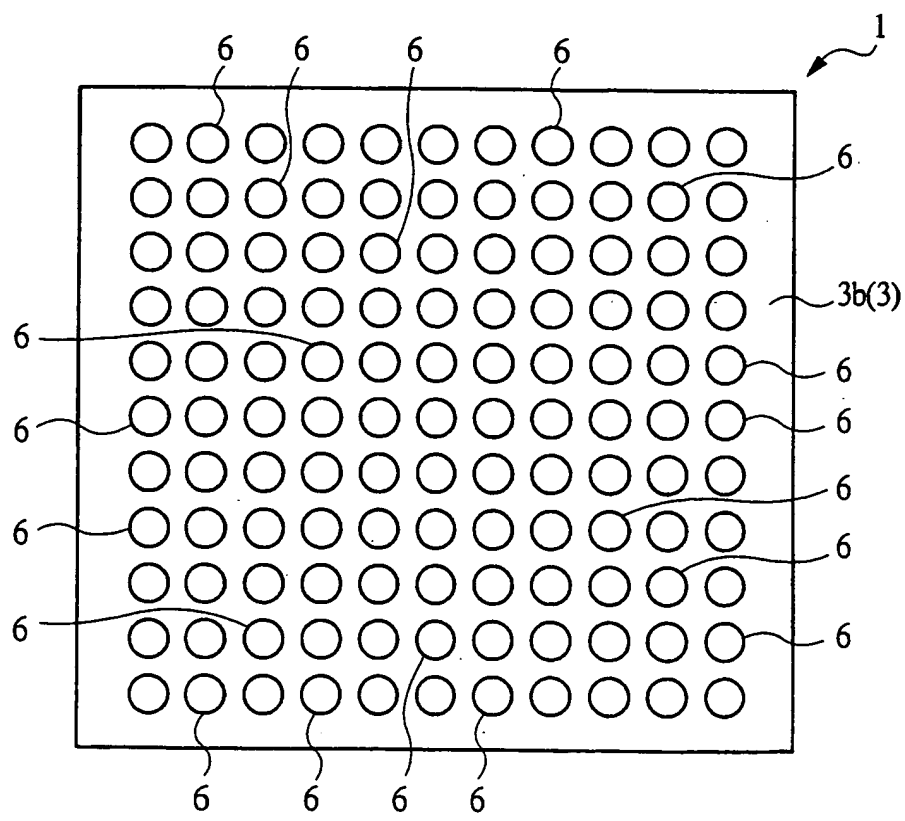
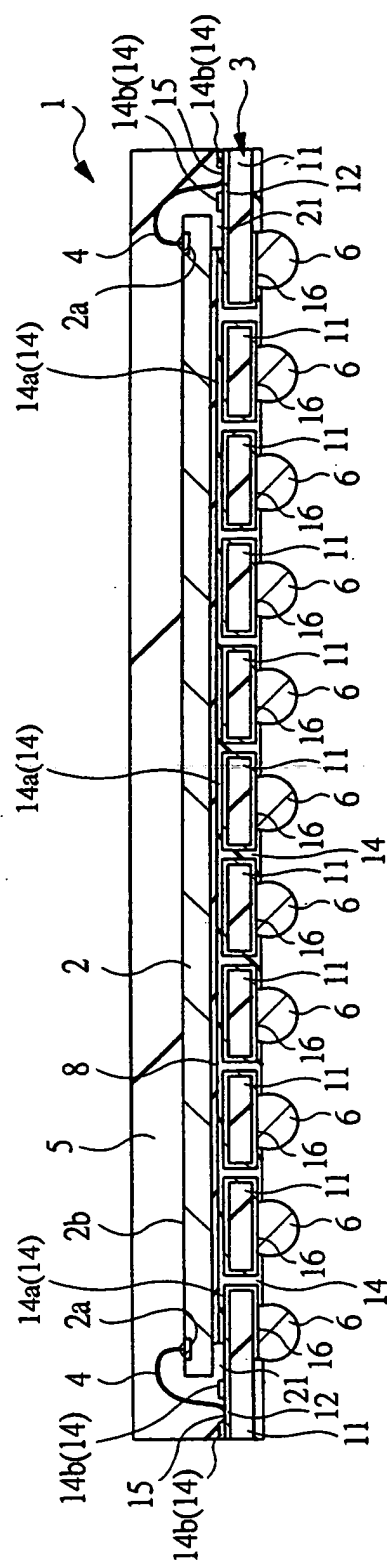
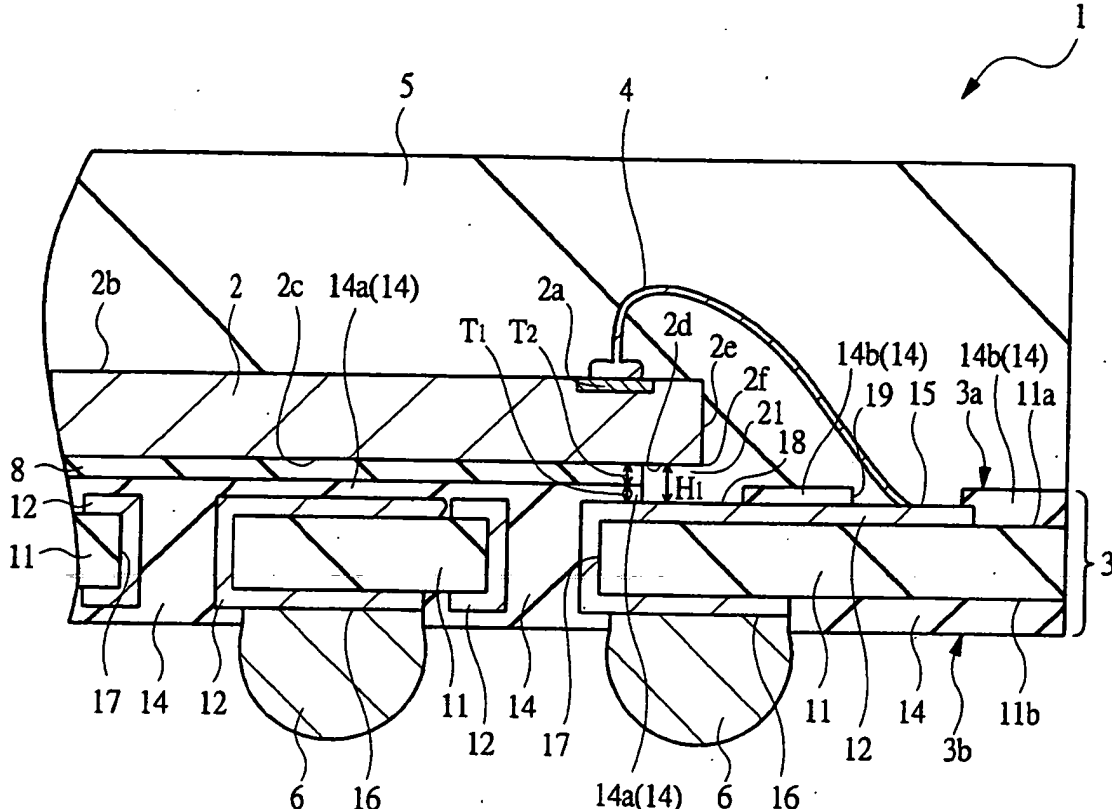


圖 2



三



- 2 : 半導體晶片
2a : 電極
2c : 背面
2d : 外周部
3 : 佈線基板
3a : 上面
4 : 接合線

- 5: 密封樹脂
8: 接著劑
14a: 第1阻焊劑部
14b: 第2阻焊劑部
19: 開口部

圖 4

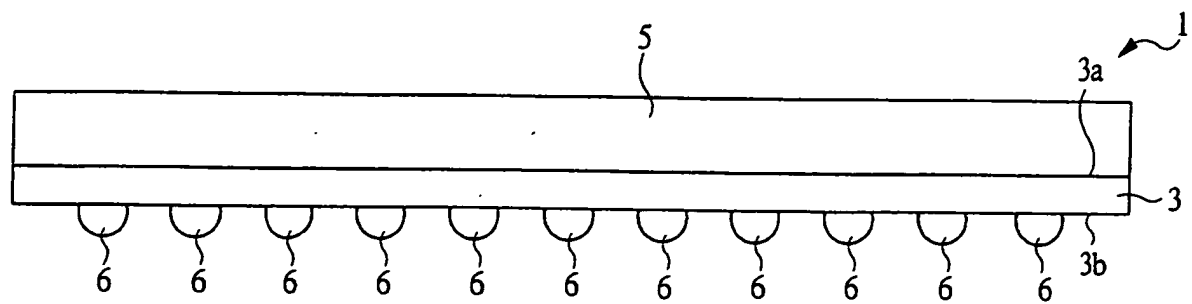


圖5

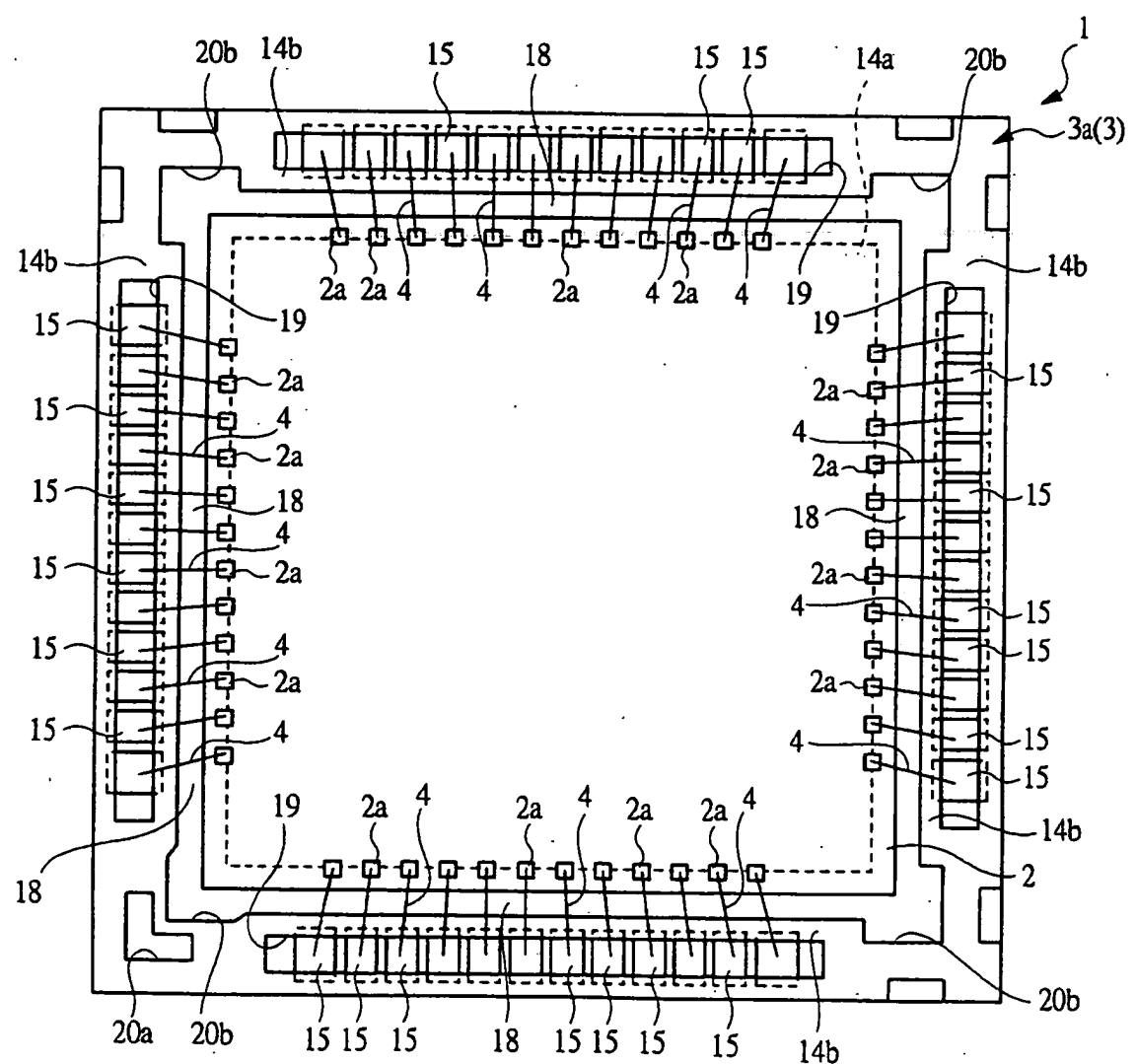


圖6

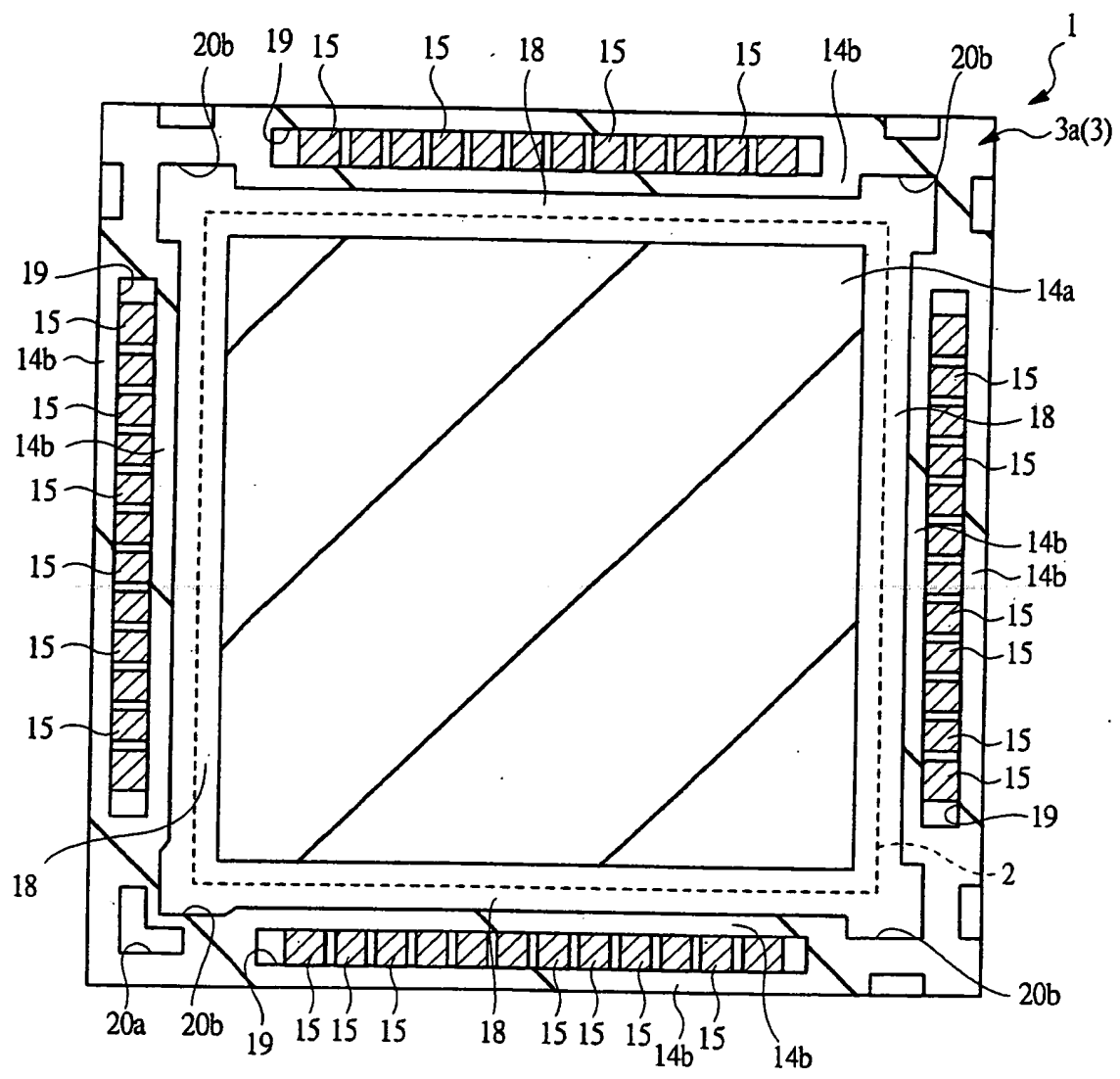


圖 7

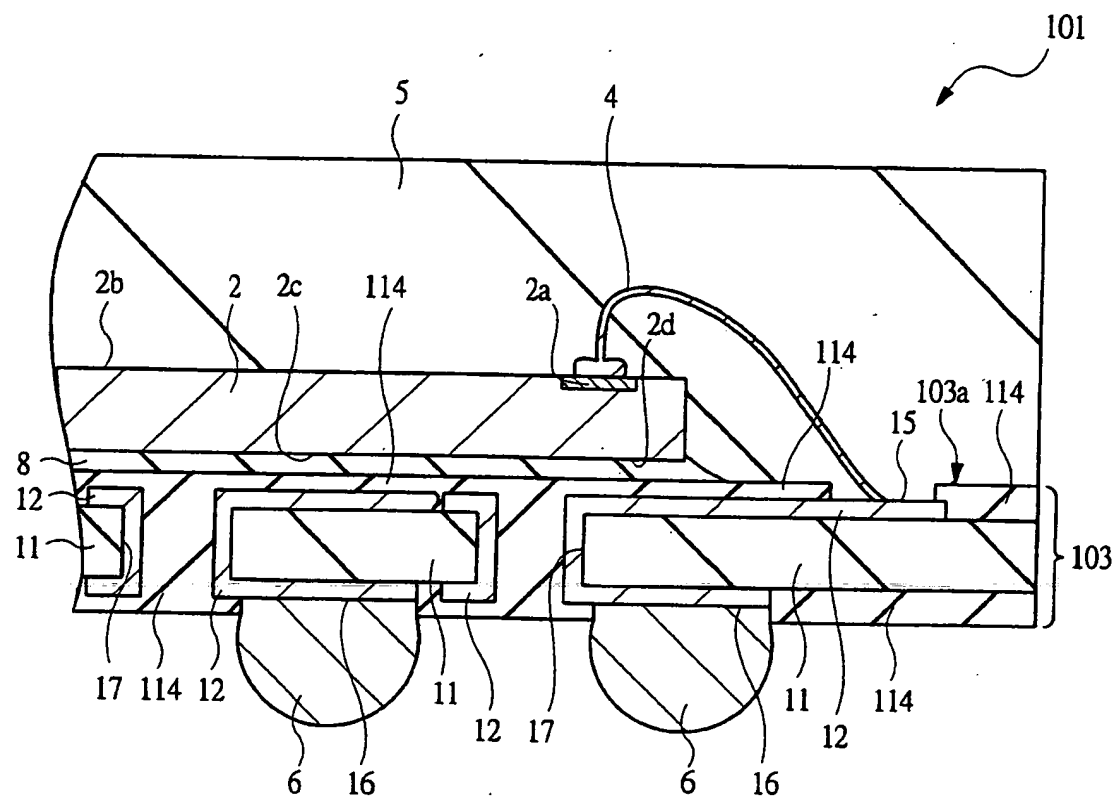


圖 8

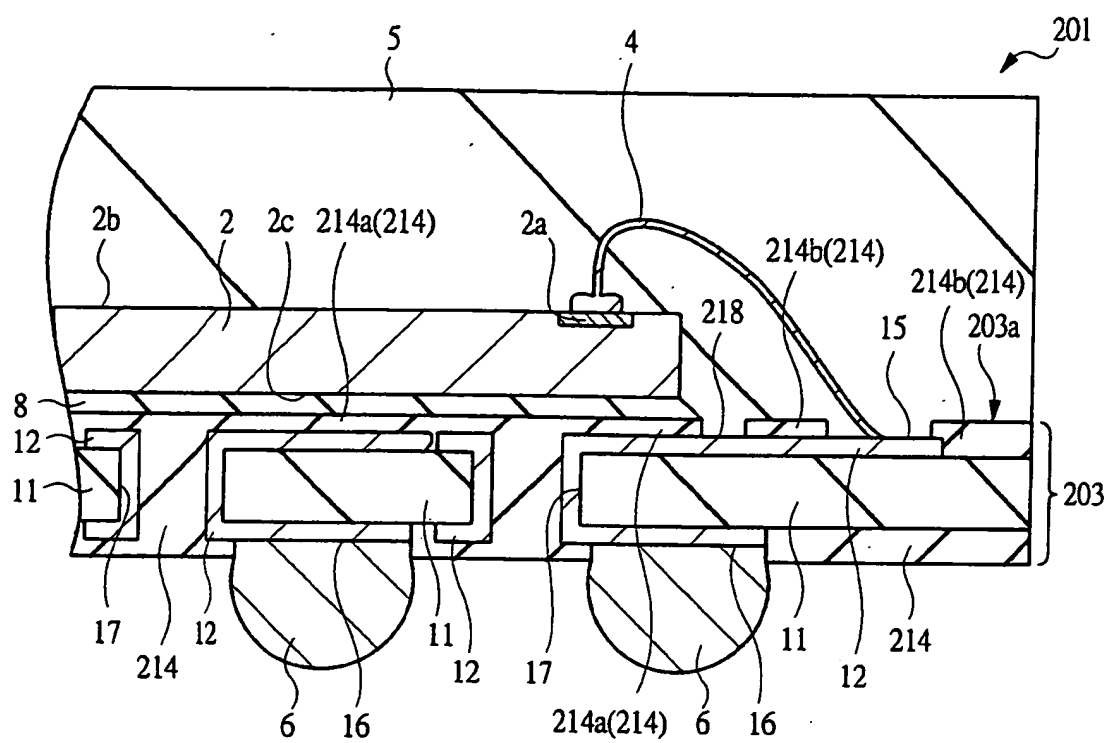


圖9

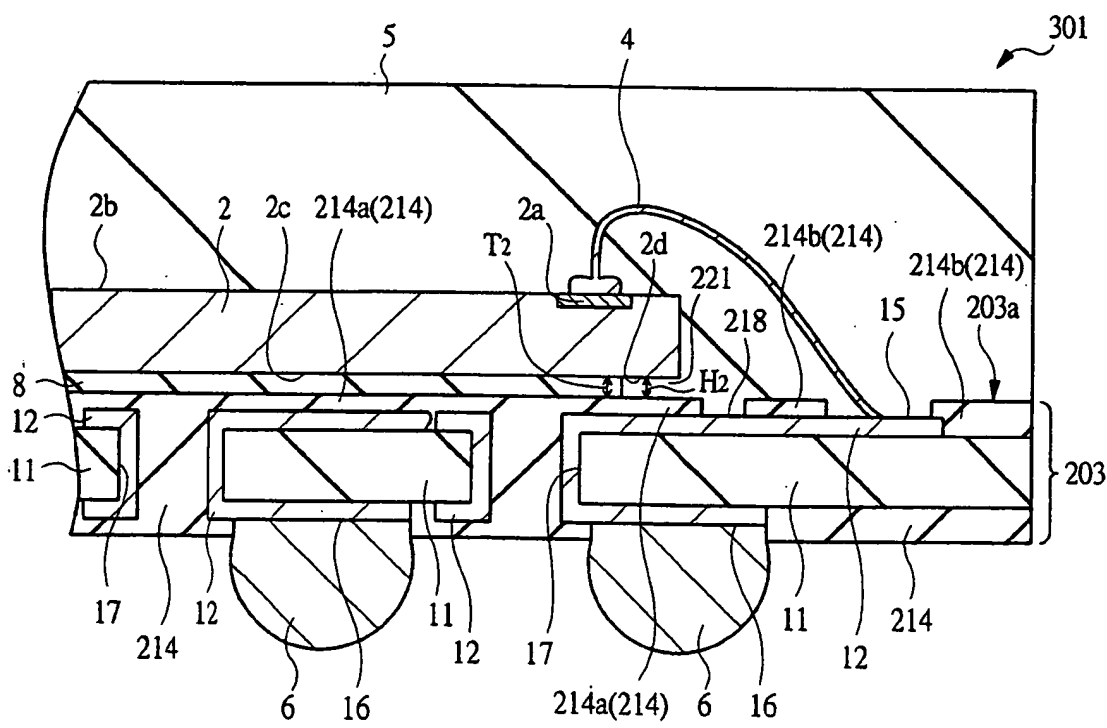


圖10

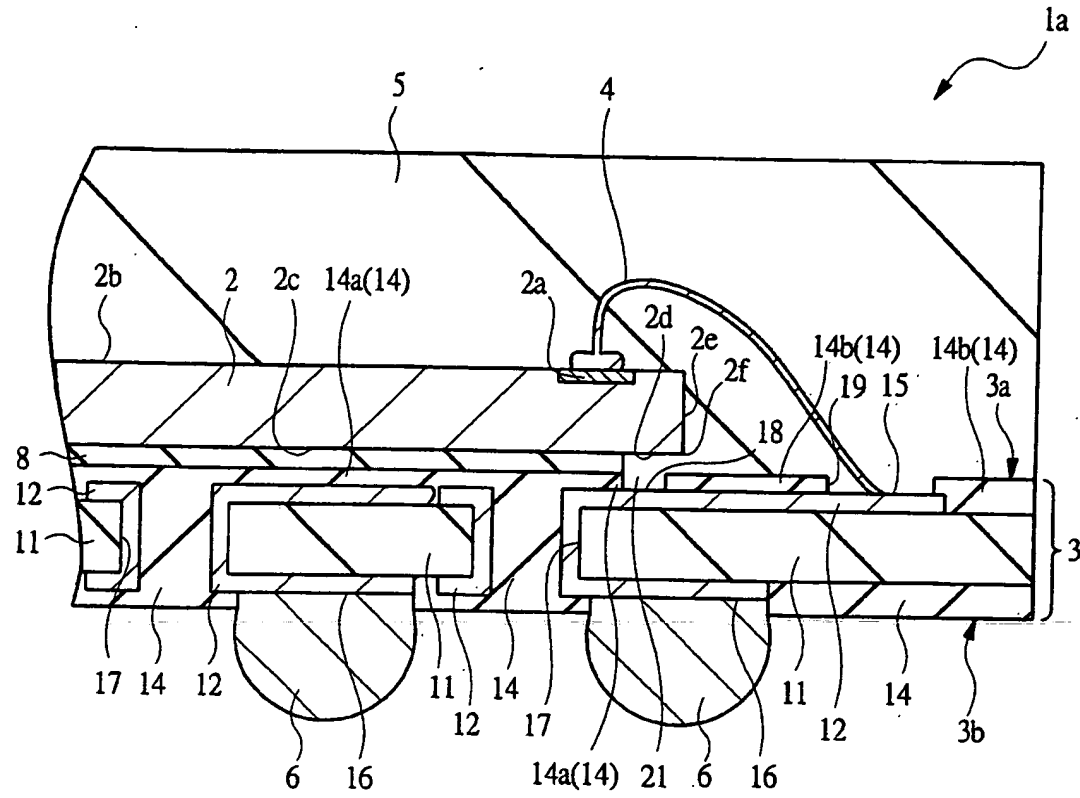


圖 11

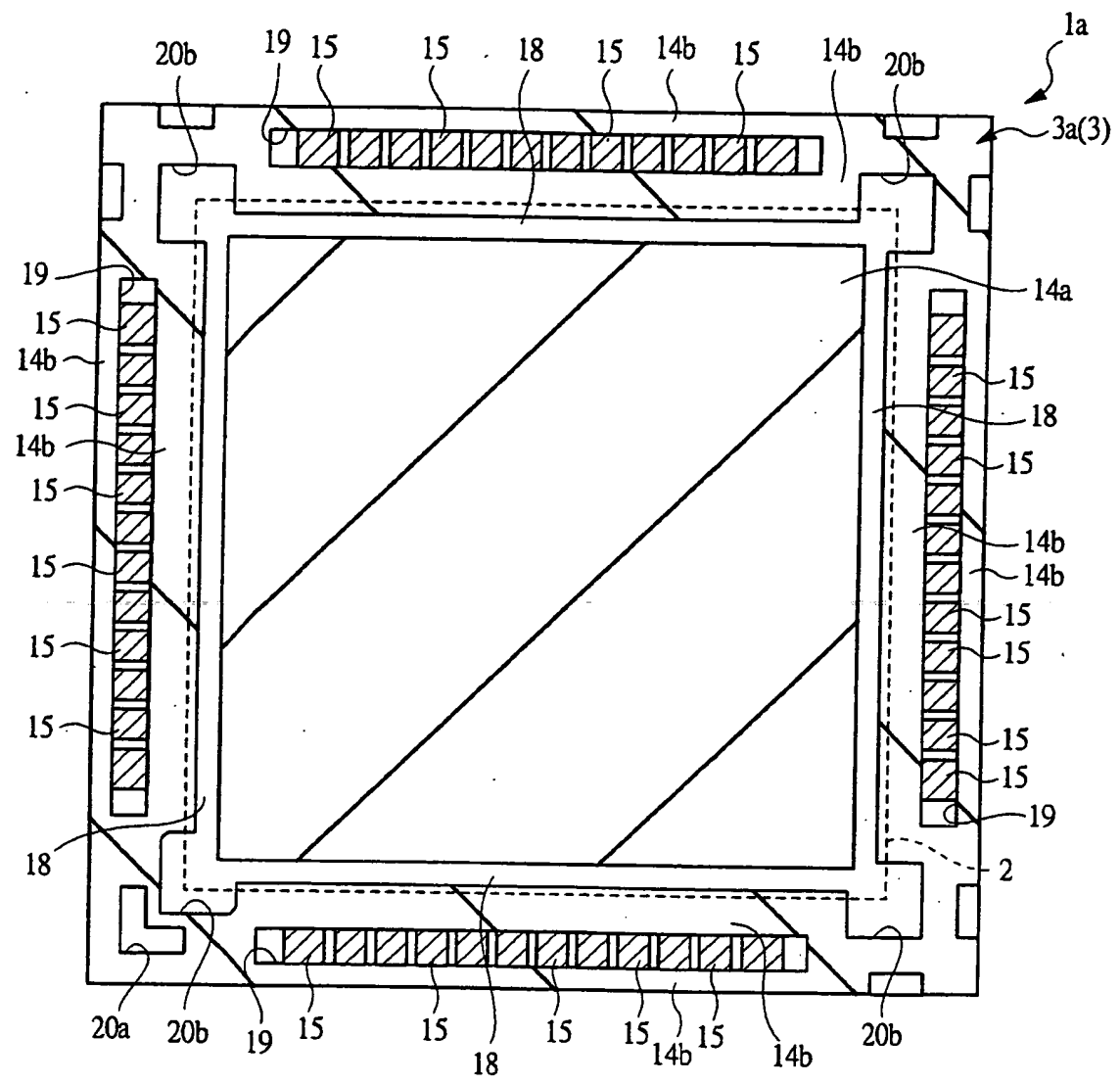


圖 12

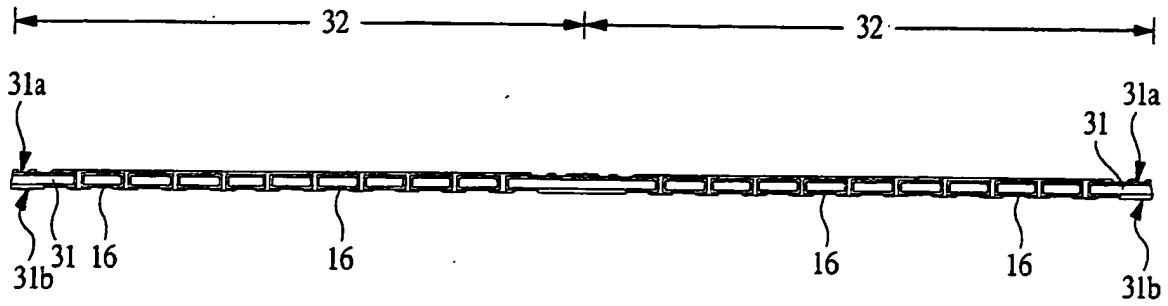


圖 13

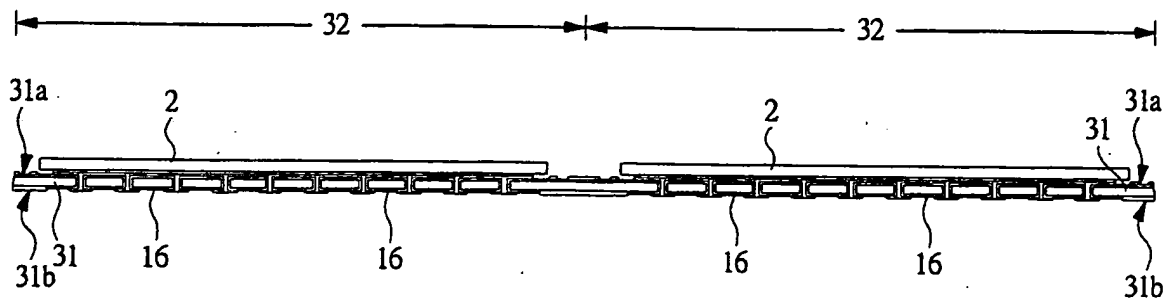


圖 14

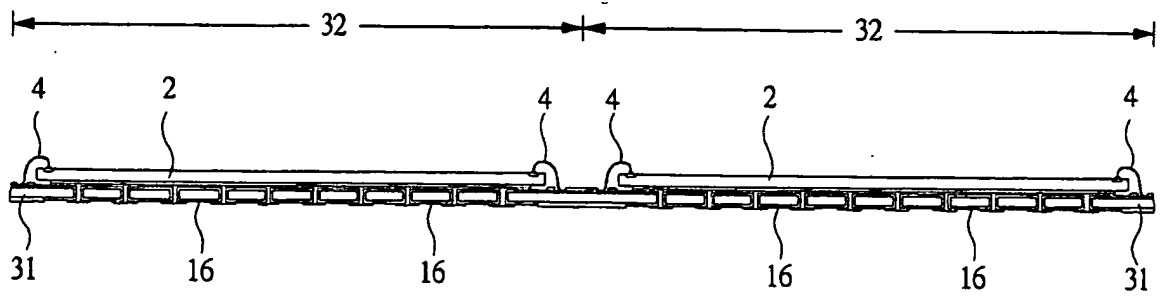


圖 15

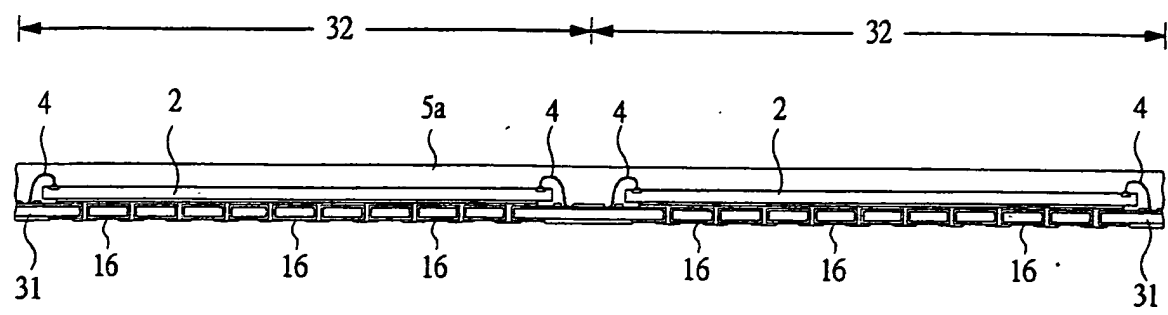


圖 16

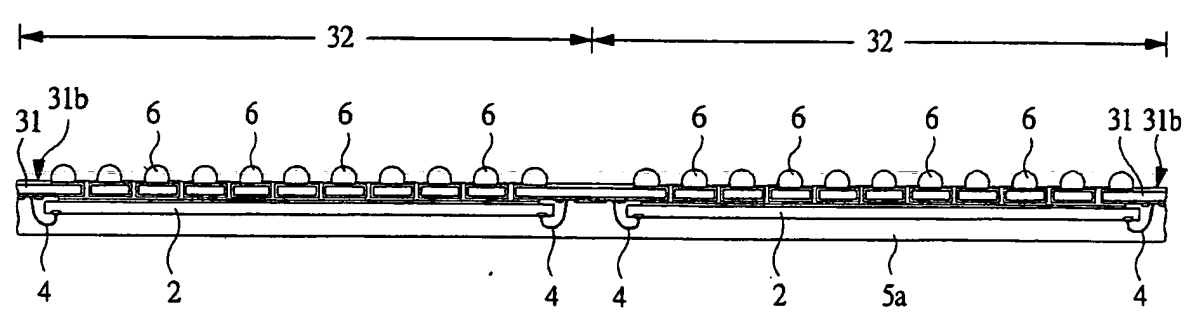


圖 17

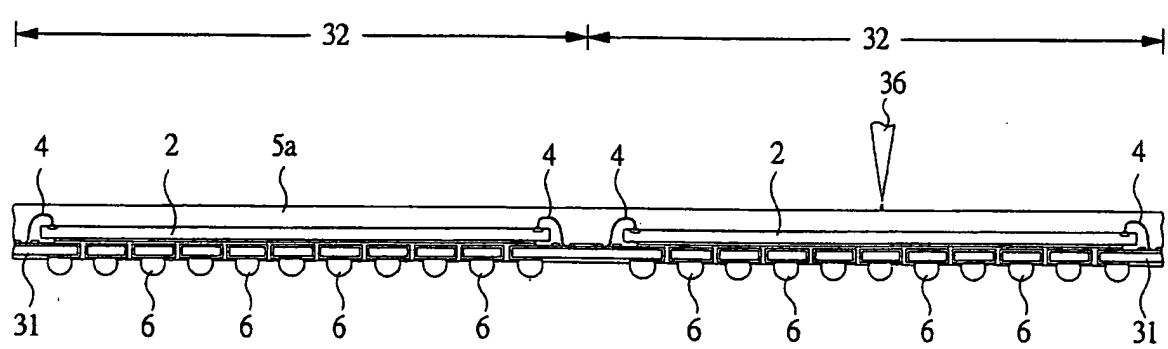


圖 18

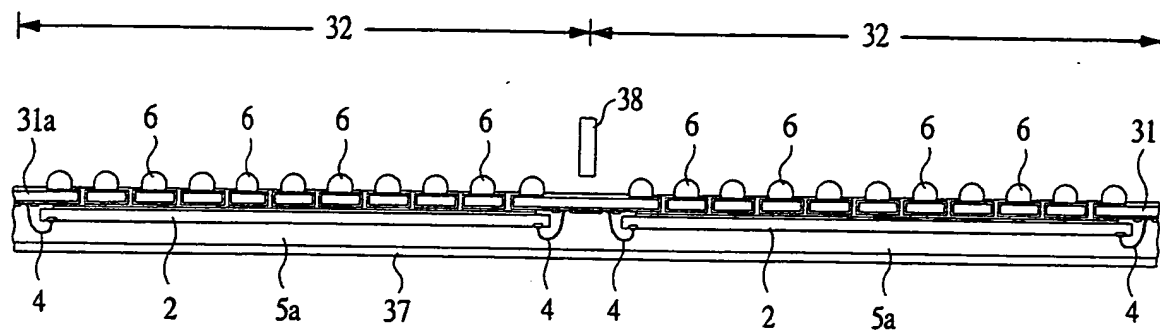


圖 19

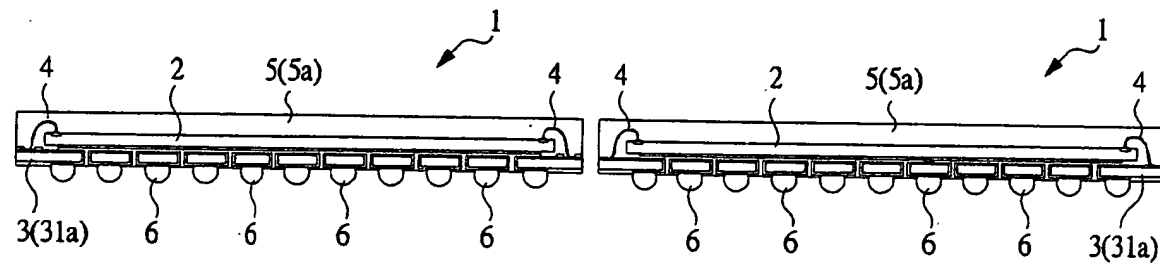


圖 20

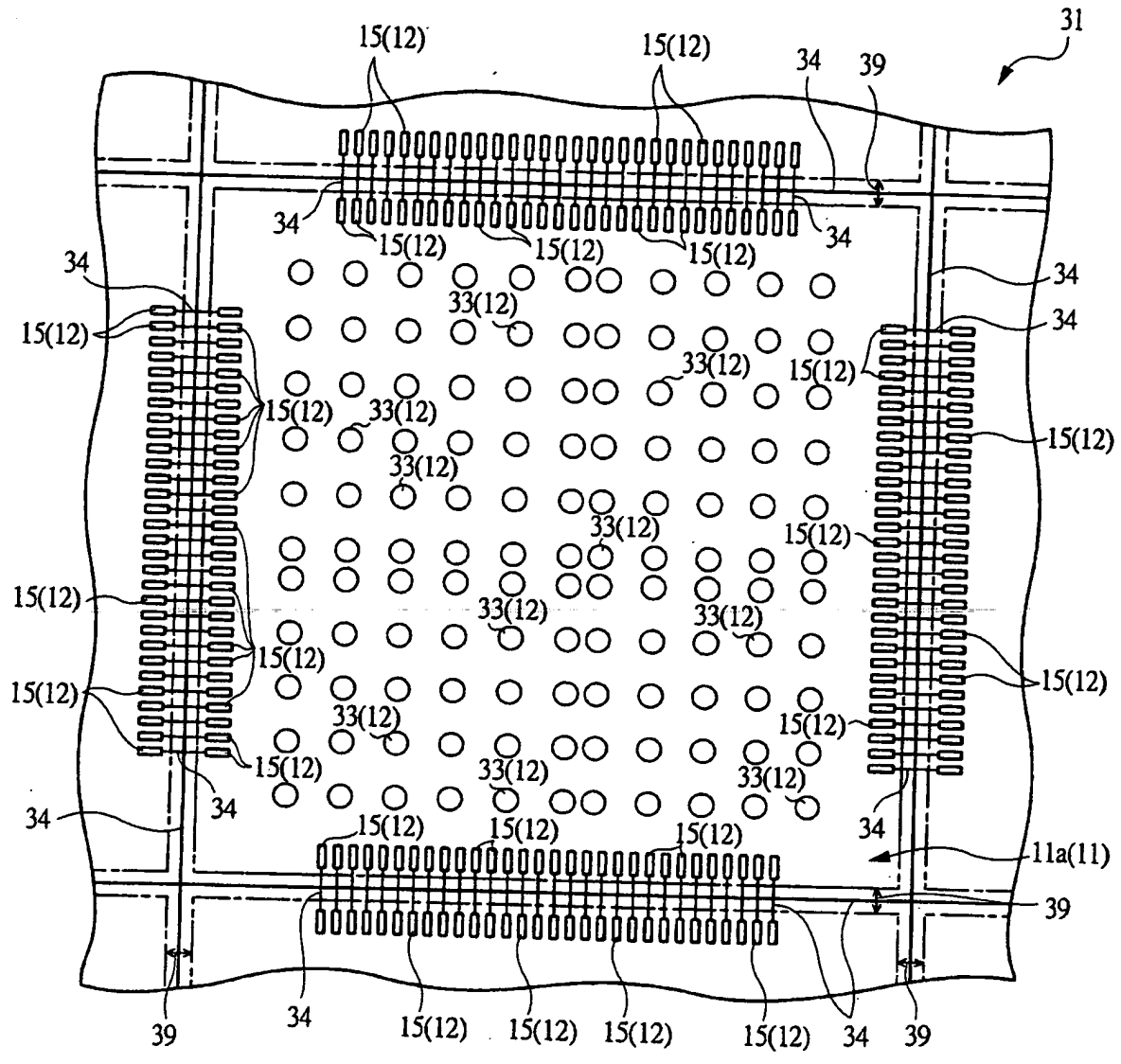


圖21

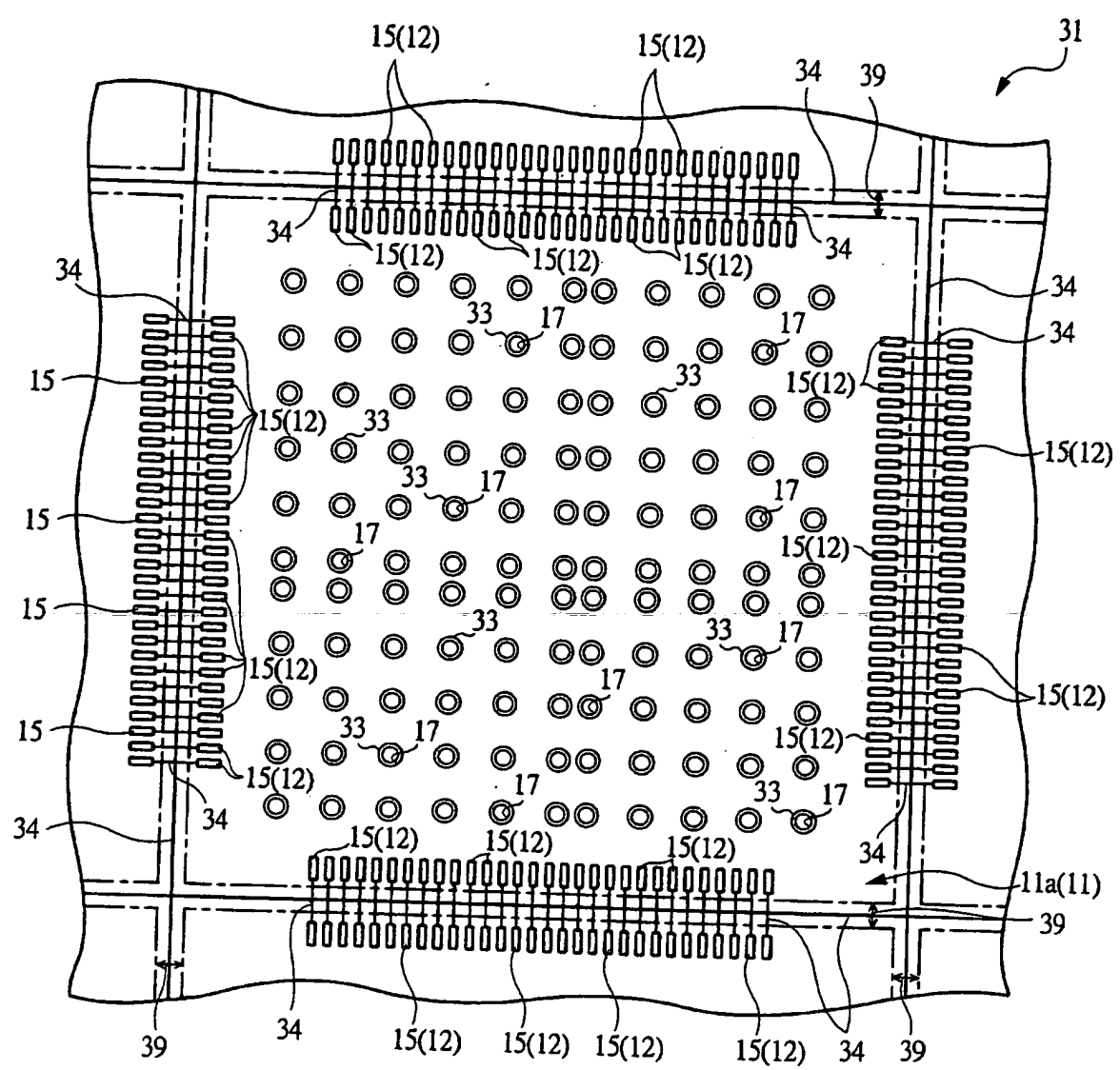


圖 22

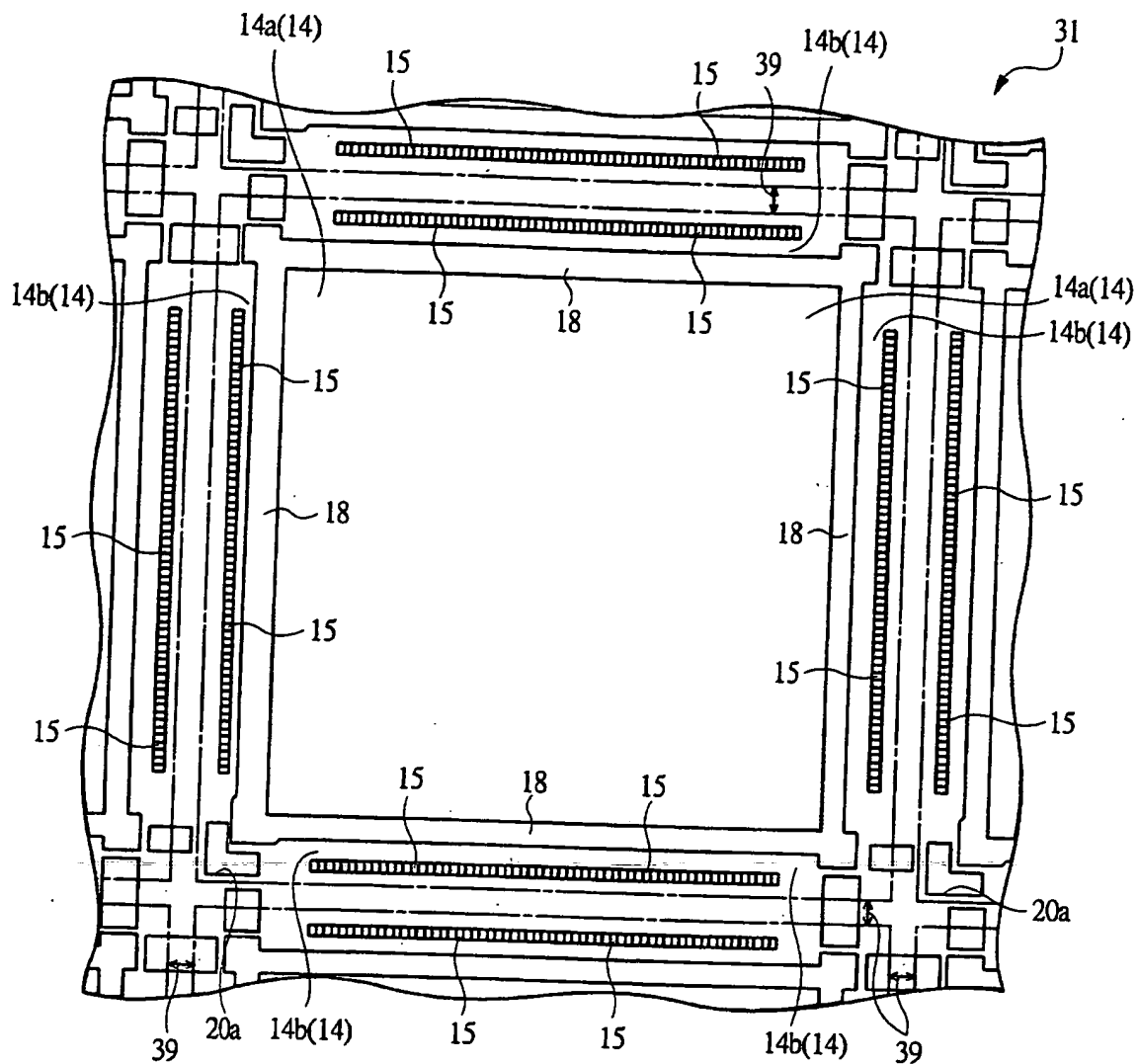


圖 23

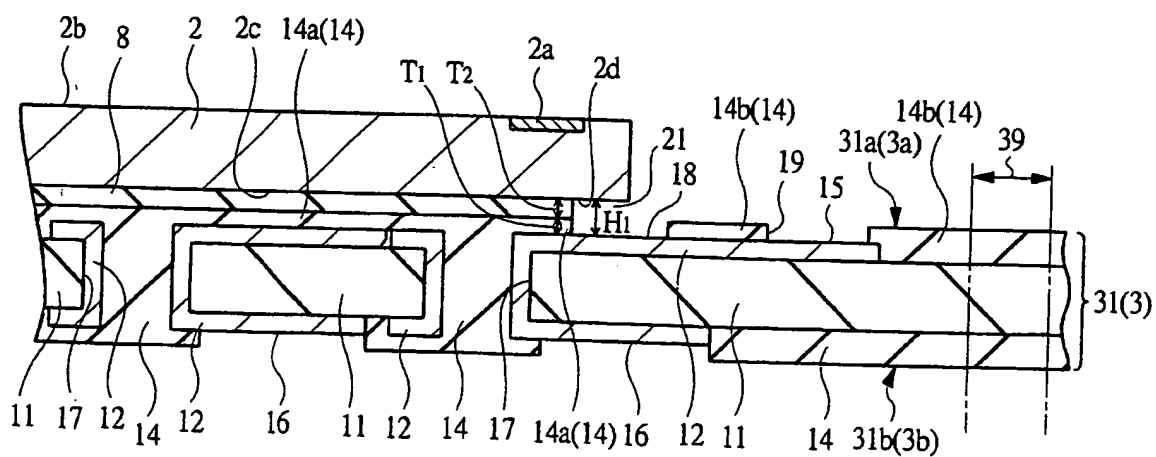


圖 24

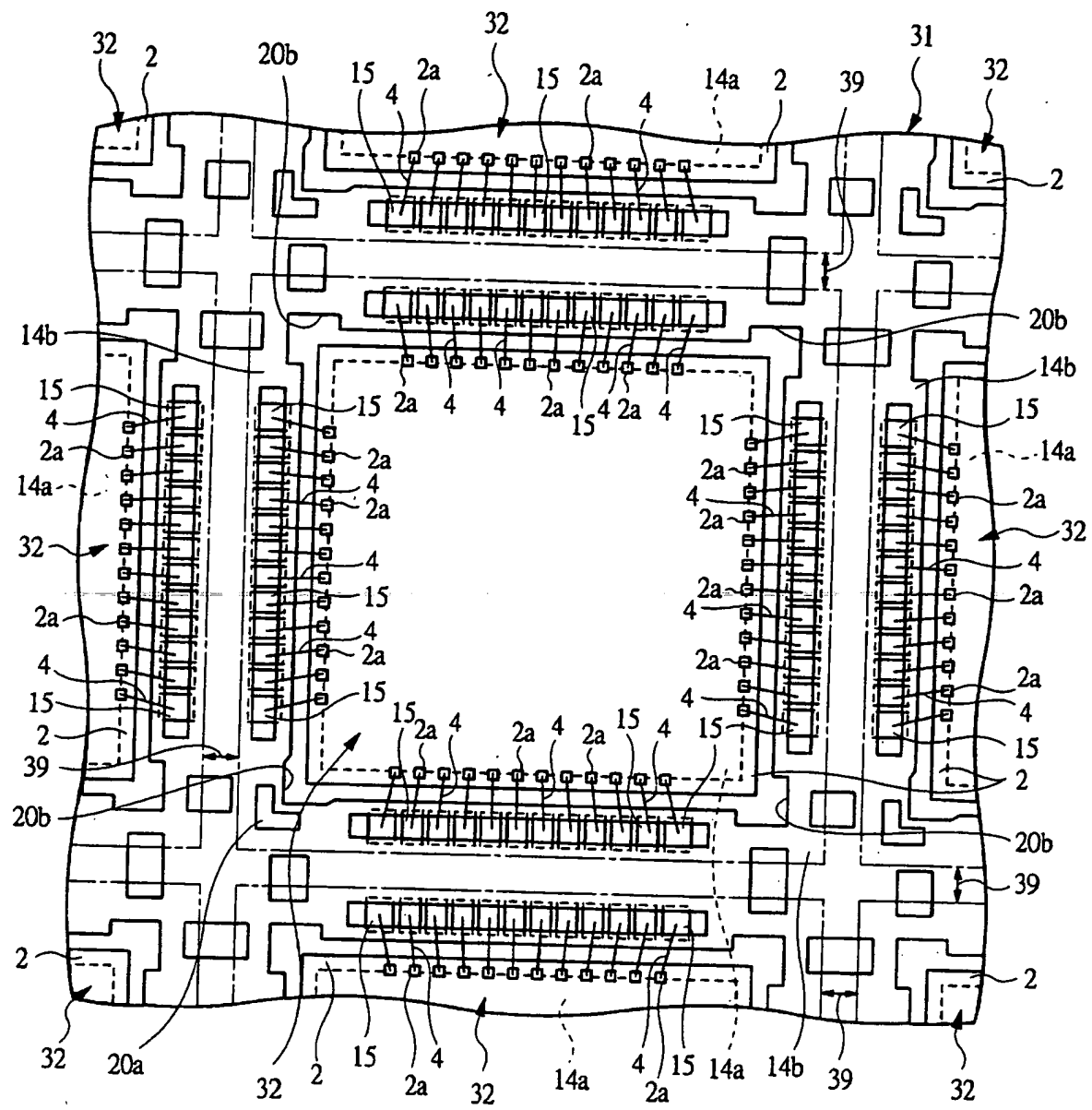


圖 25

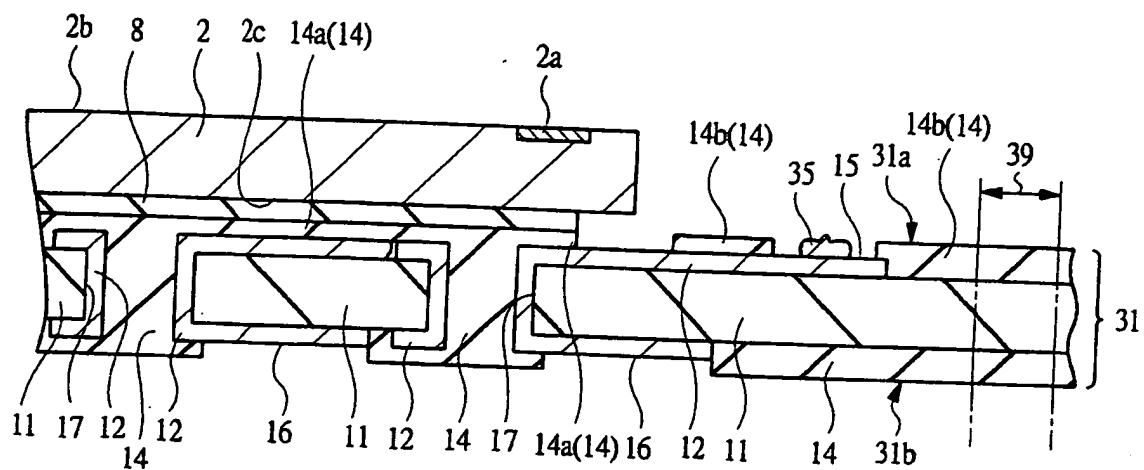


圖 26

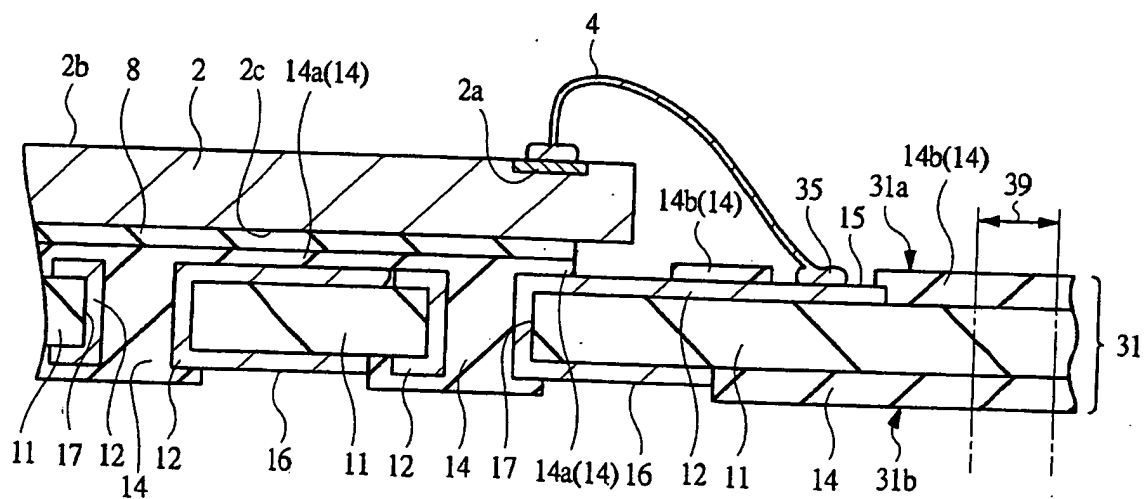


圖 27

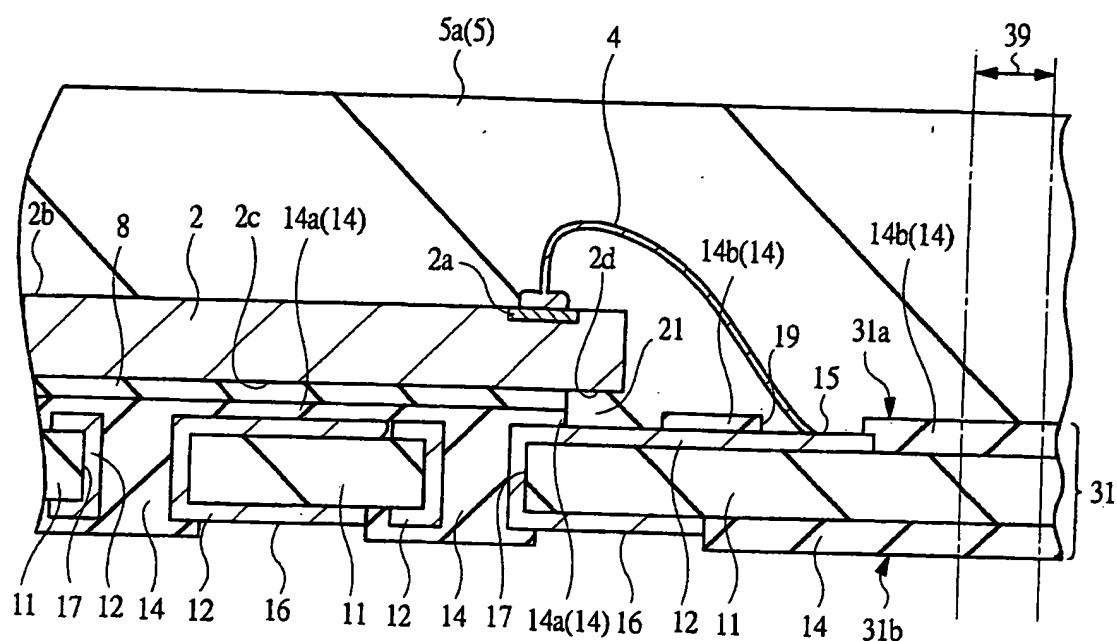


圖 28

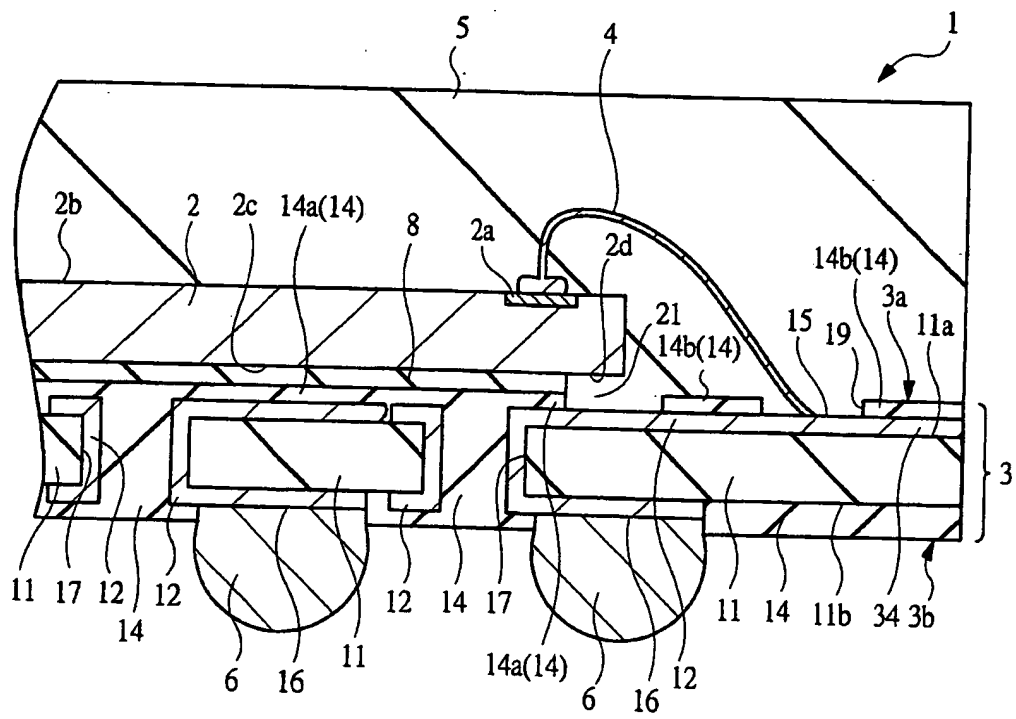


圖 29

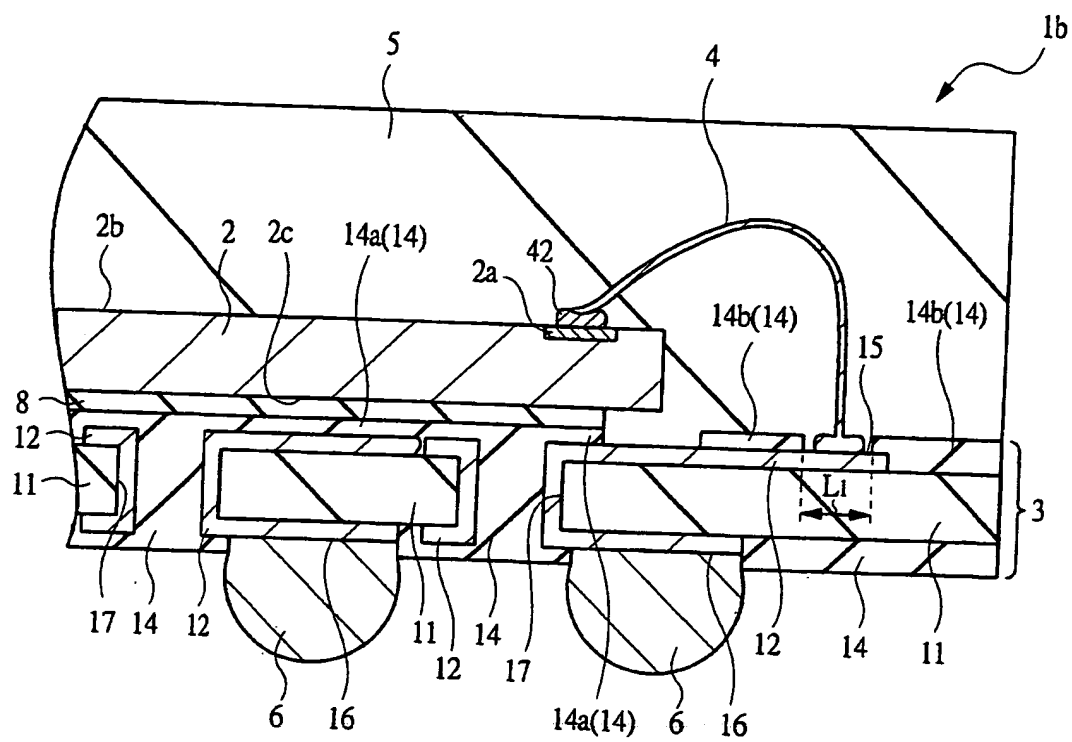


圖30

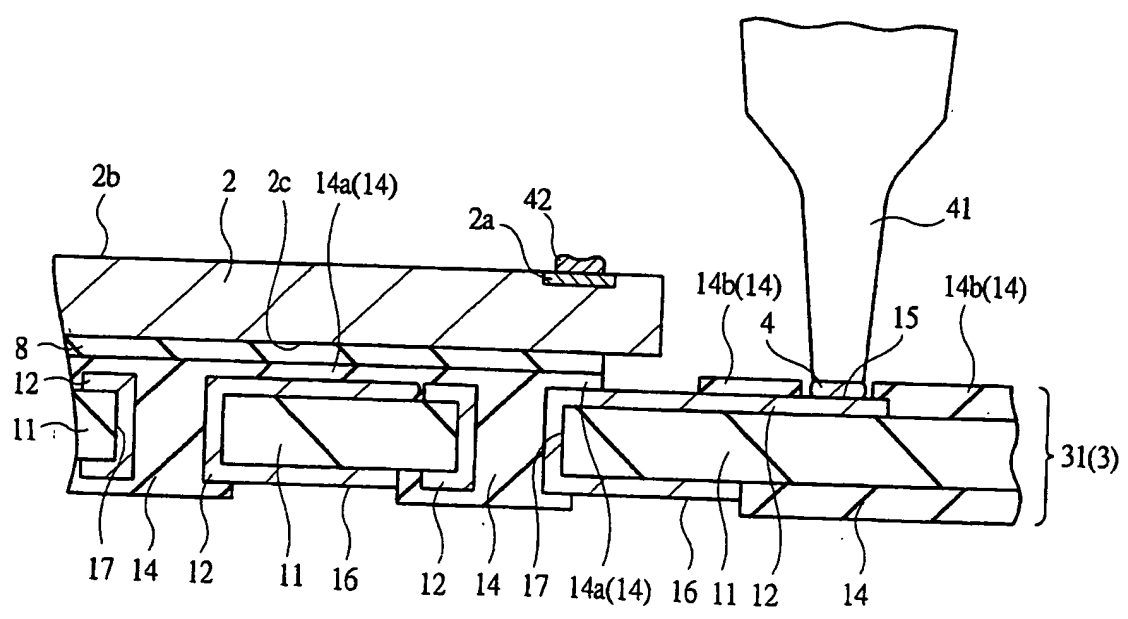


圖31

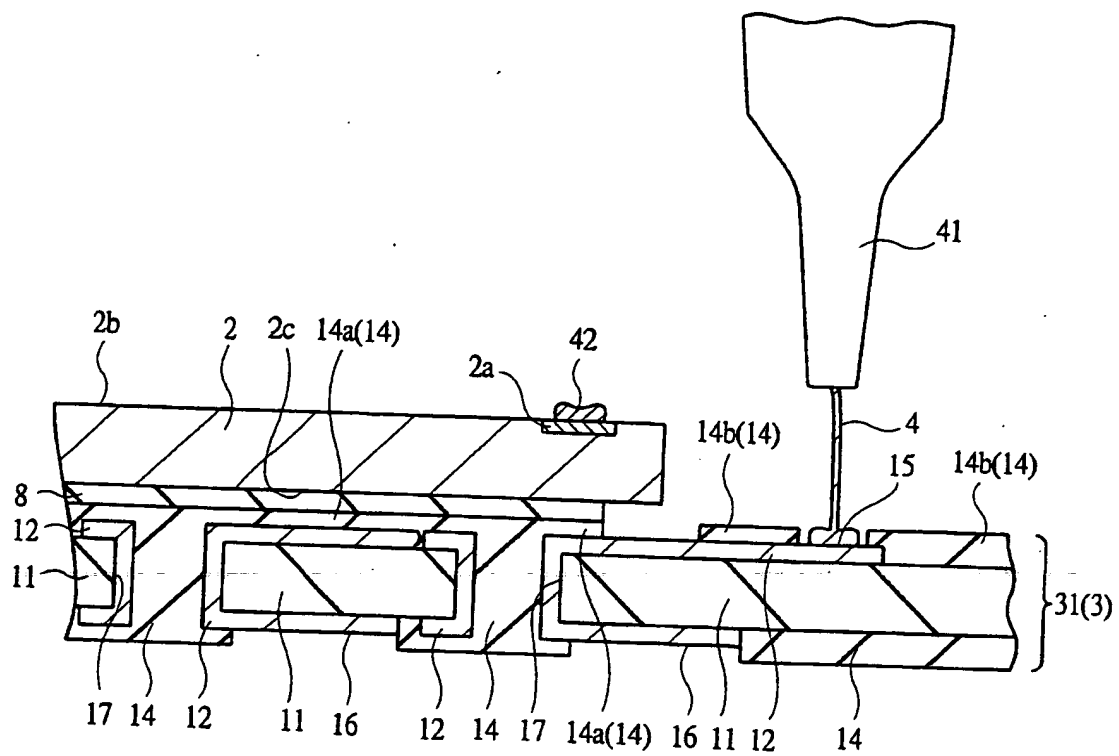


圖32

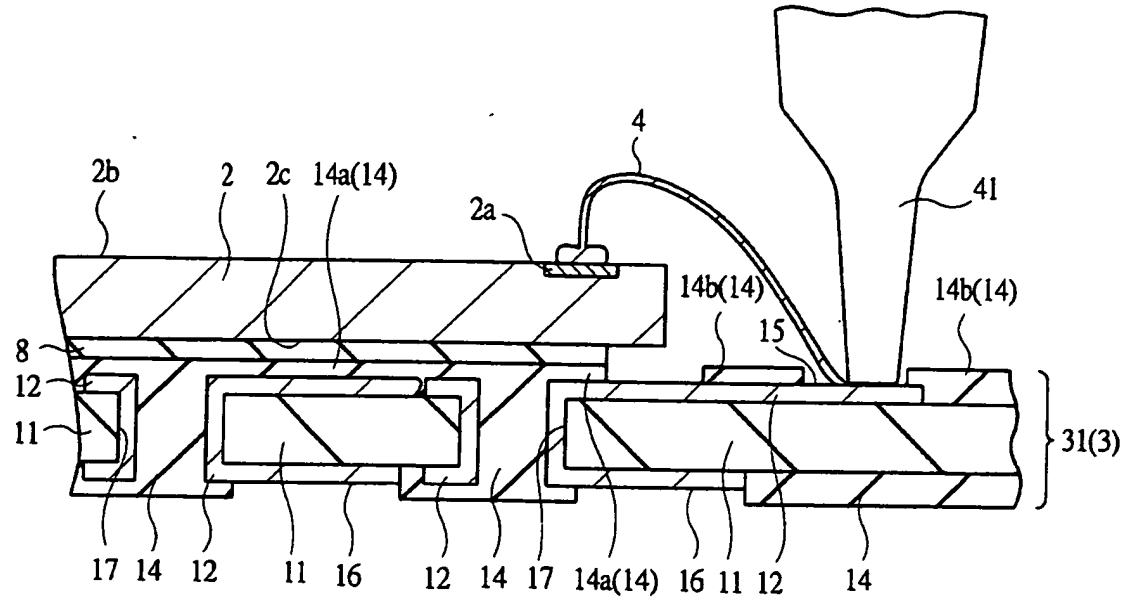


圖33

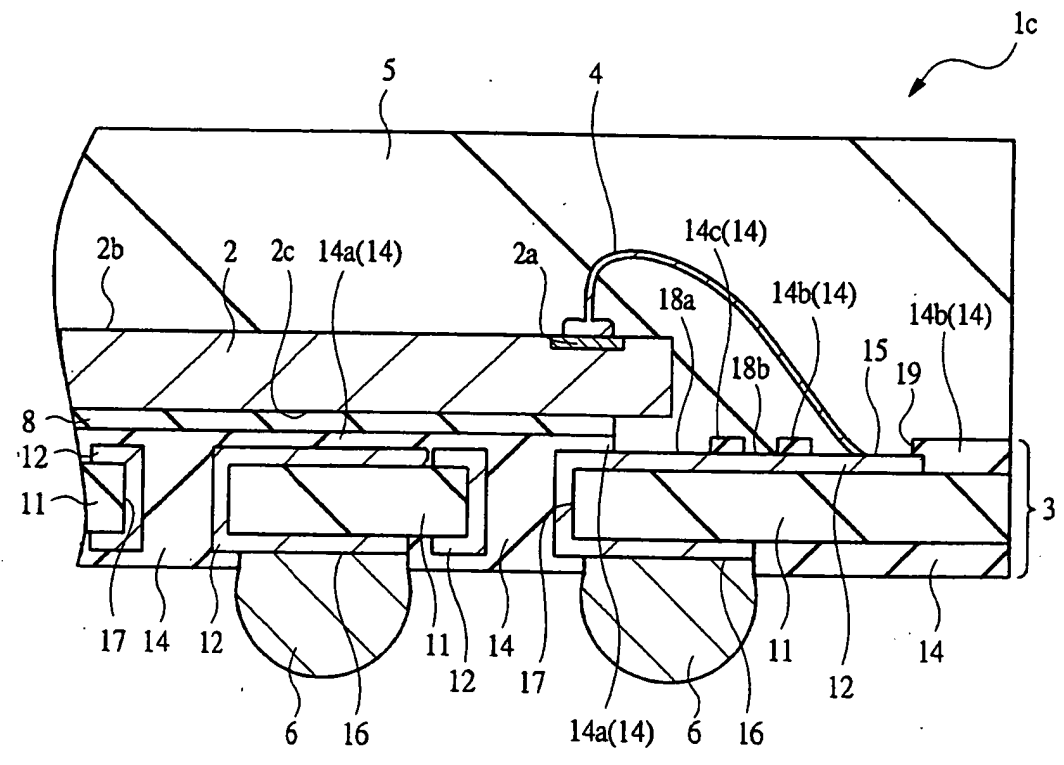


圖34

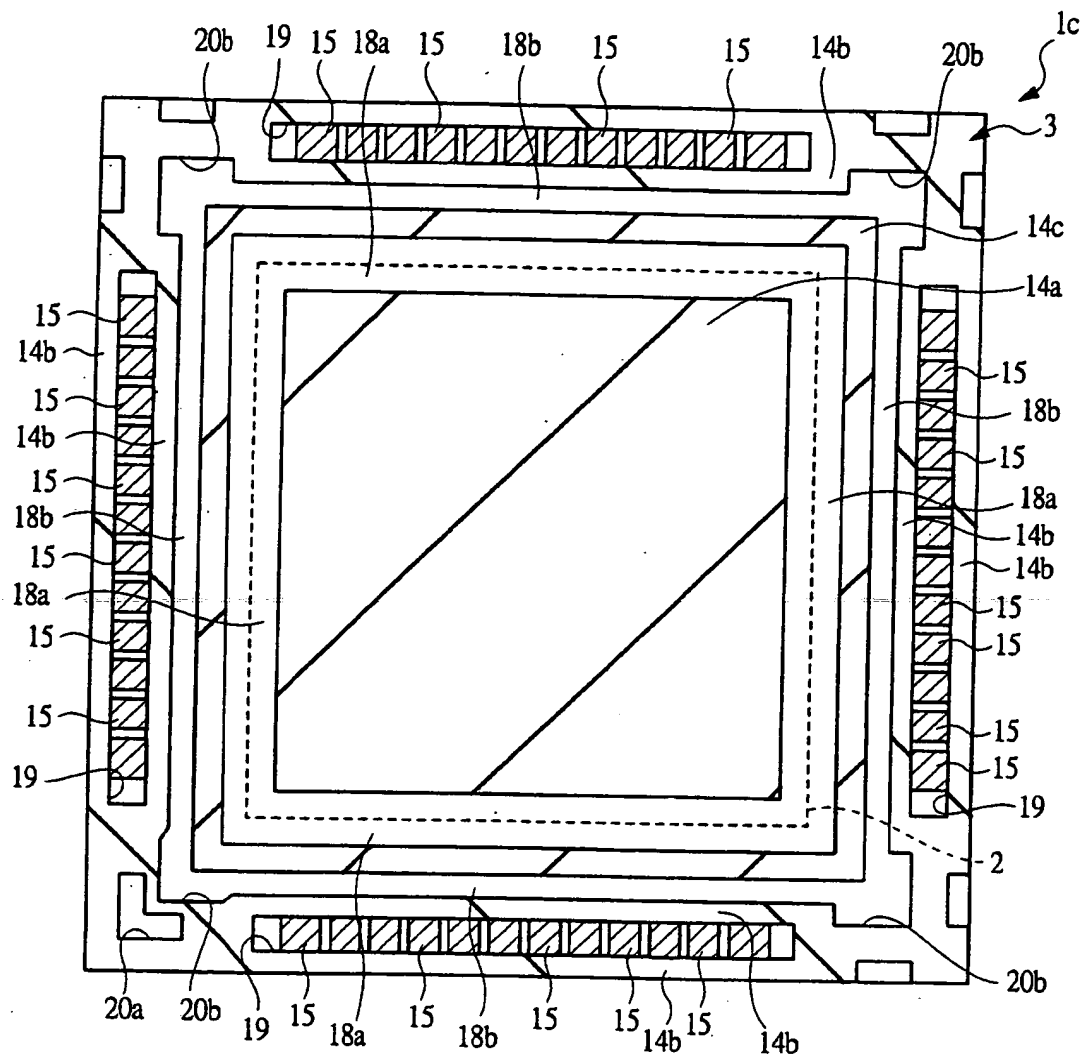


圖35



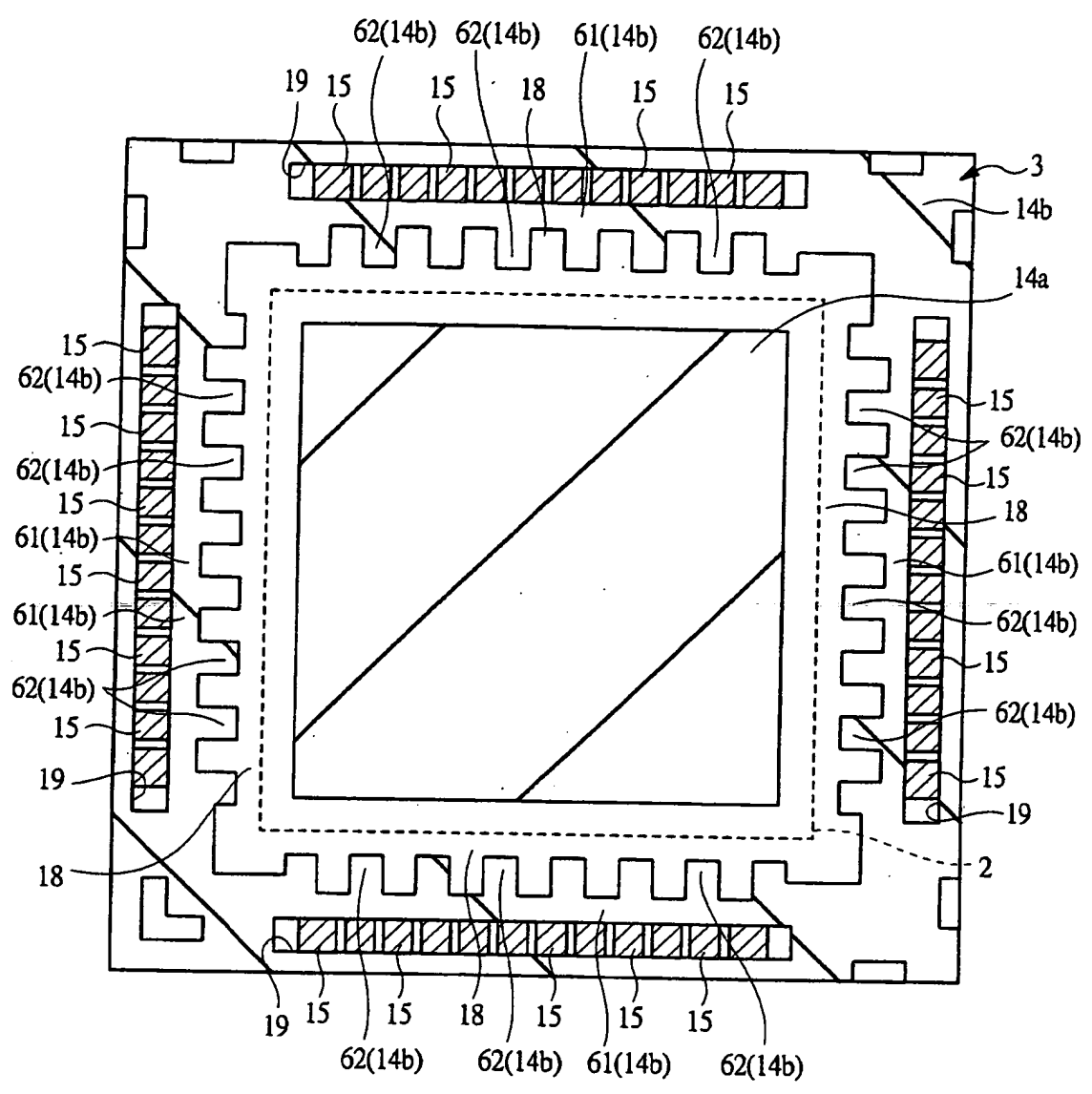


圖 37

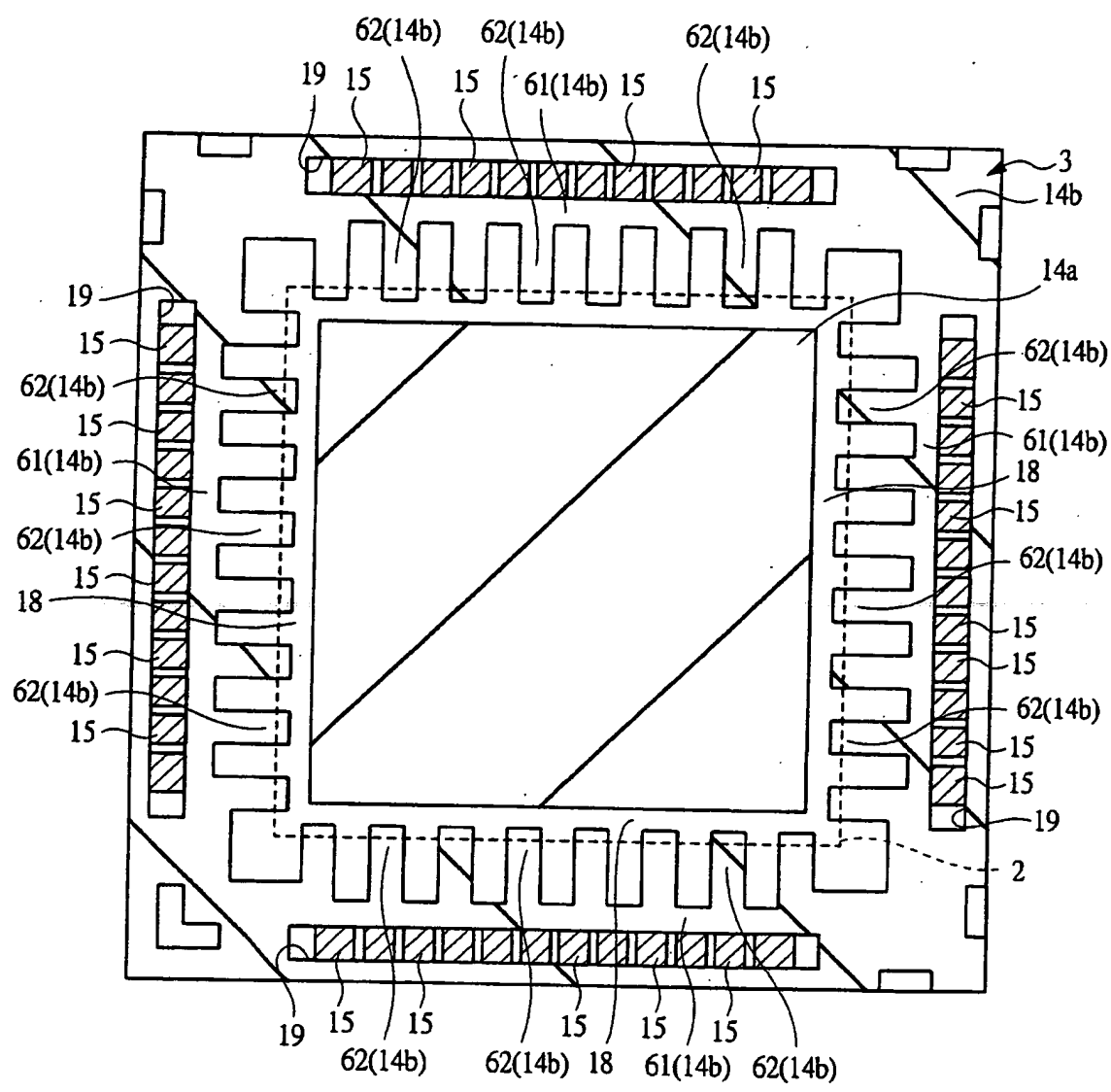


圖 38

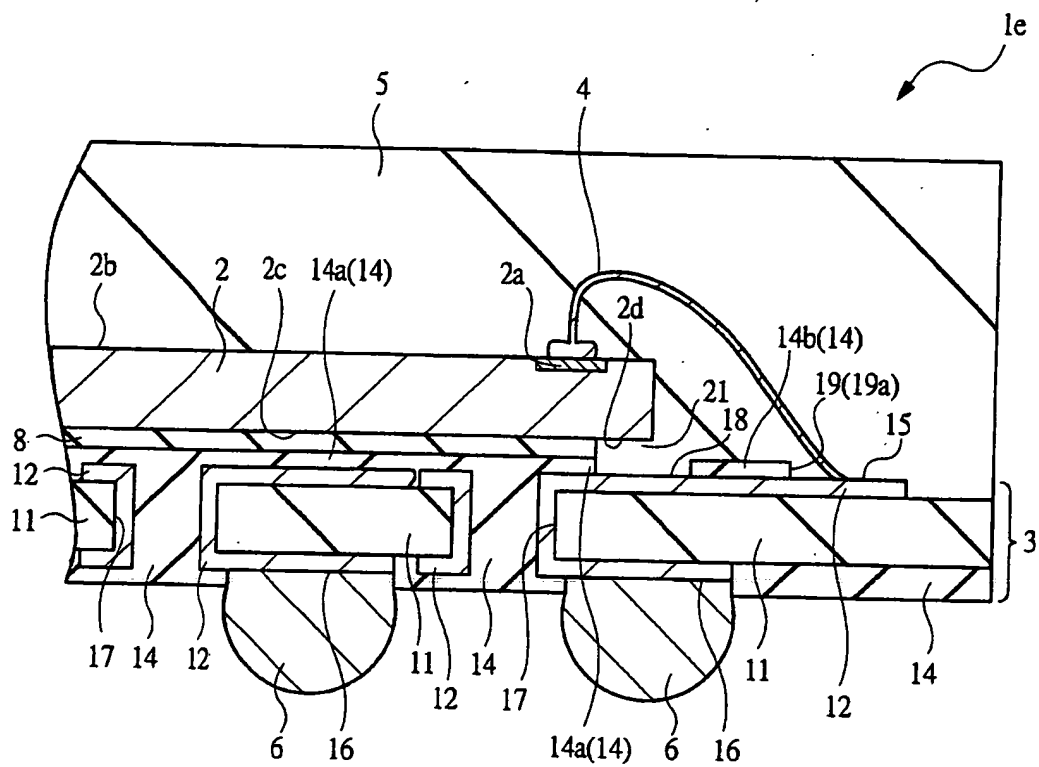


圖39

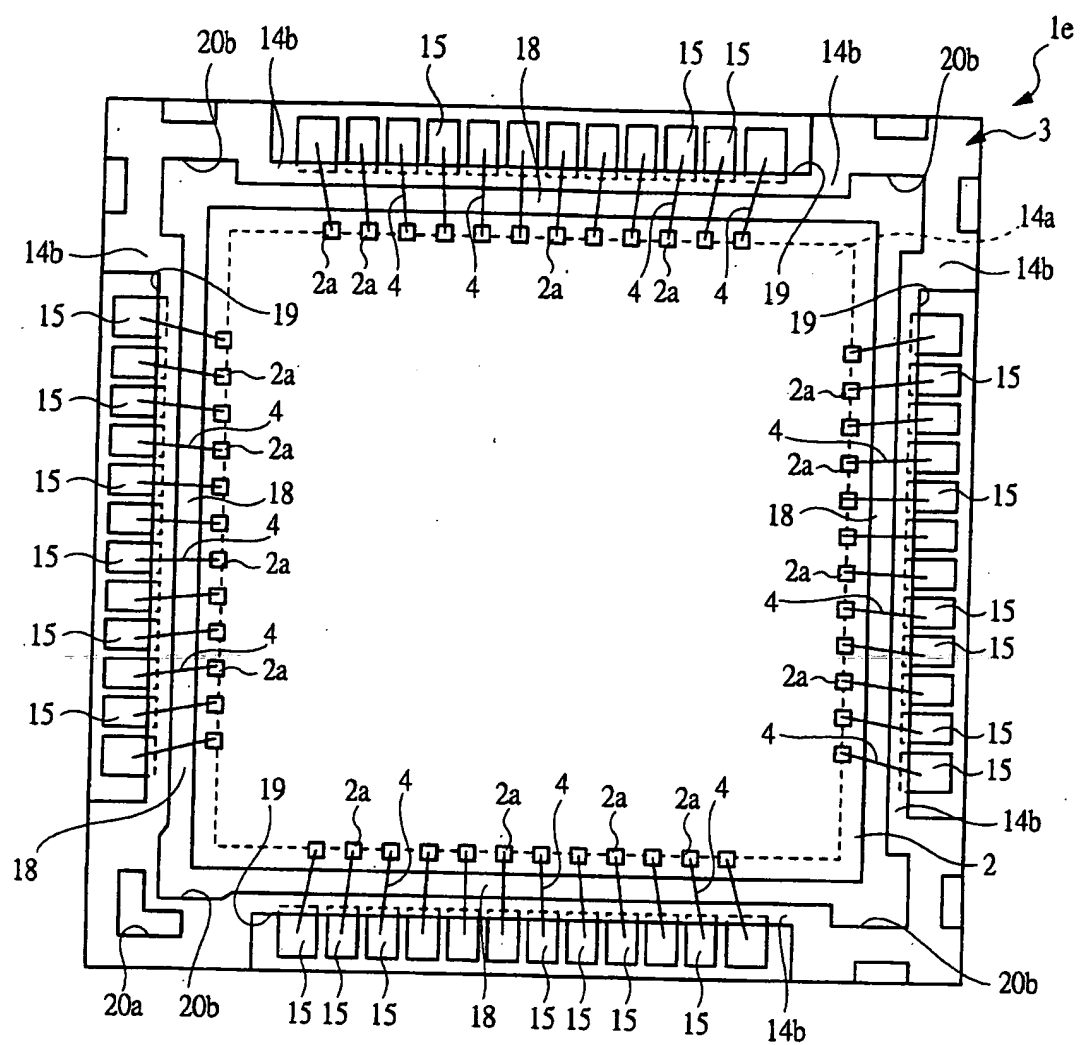


圖 40



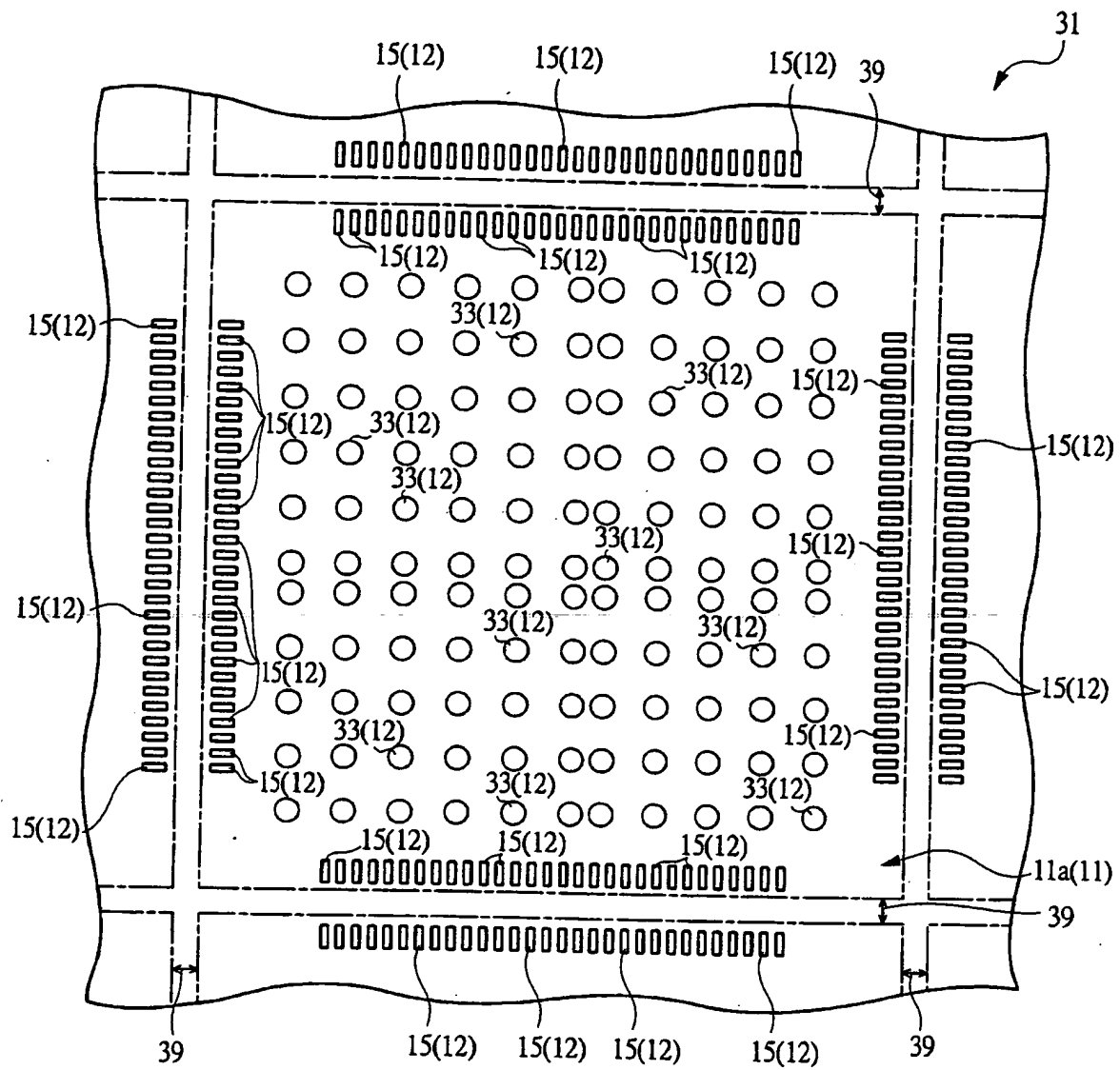


圖42

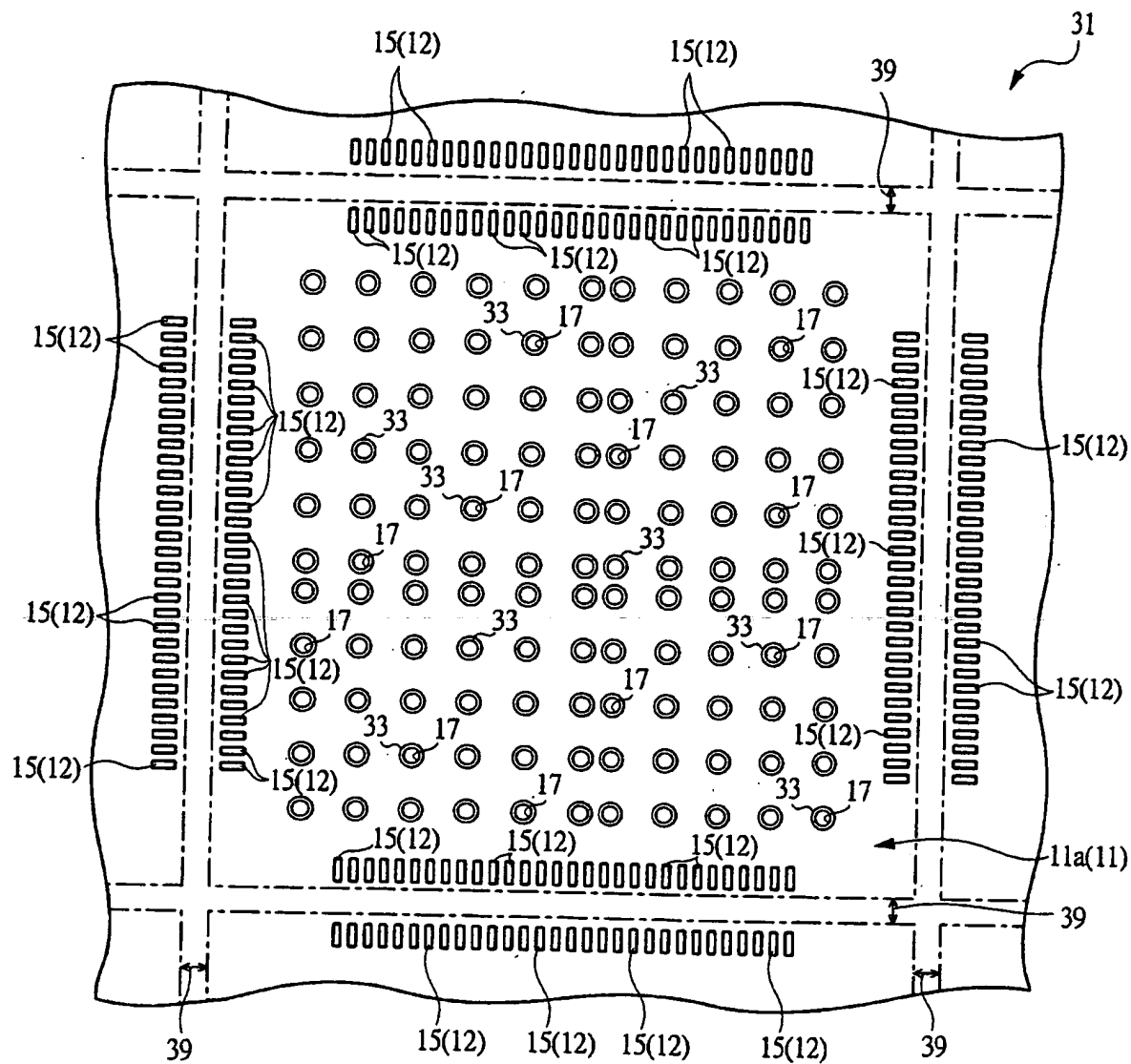


圖43

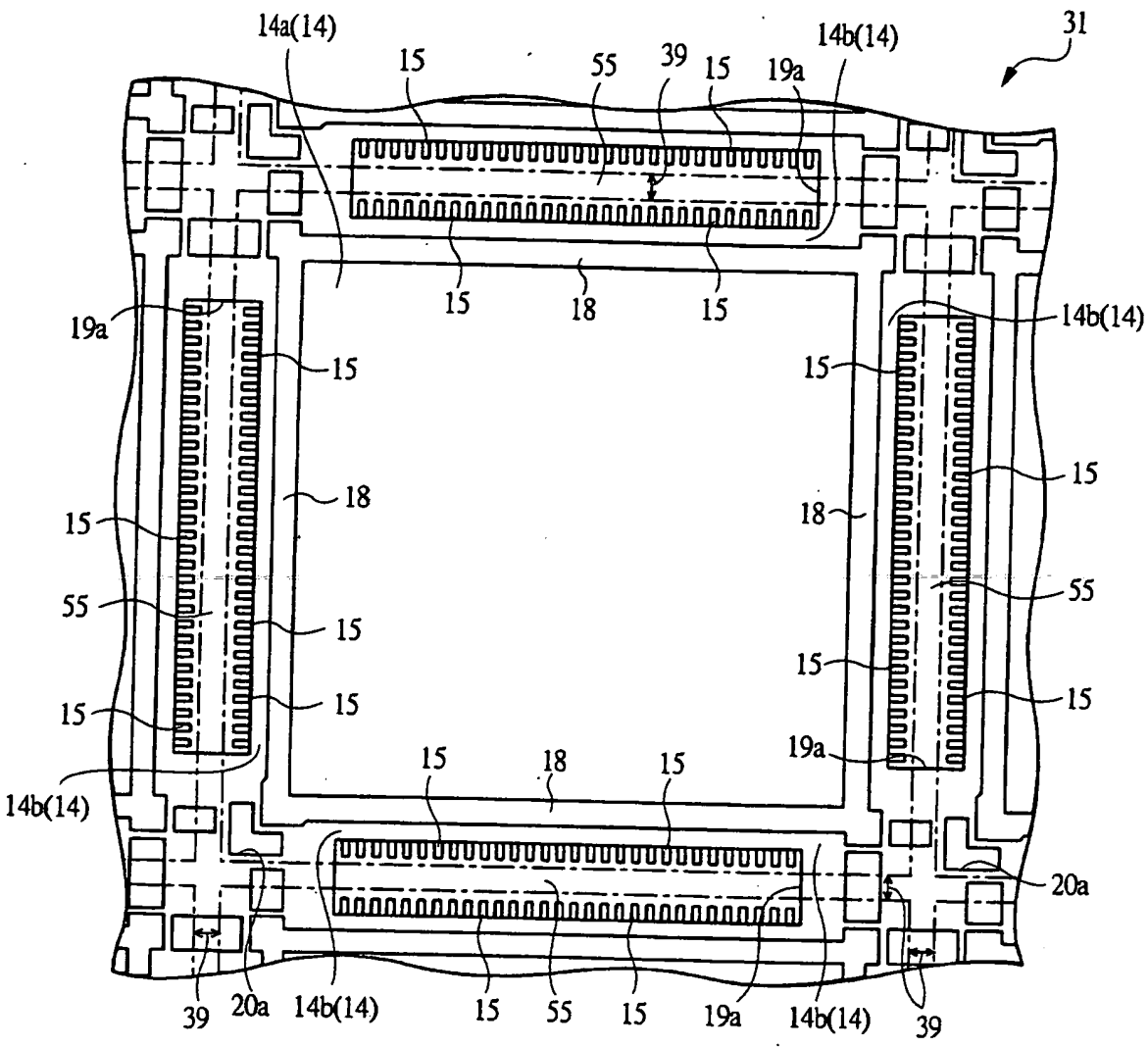


圖 44

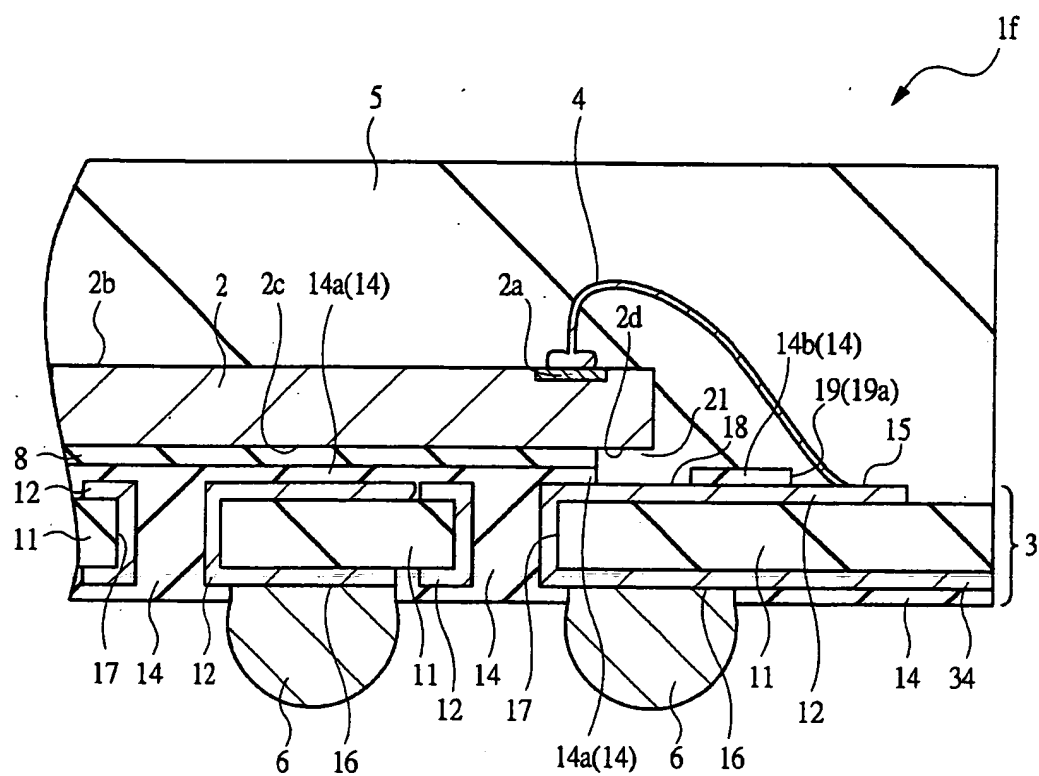


圖45

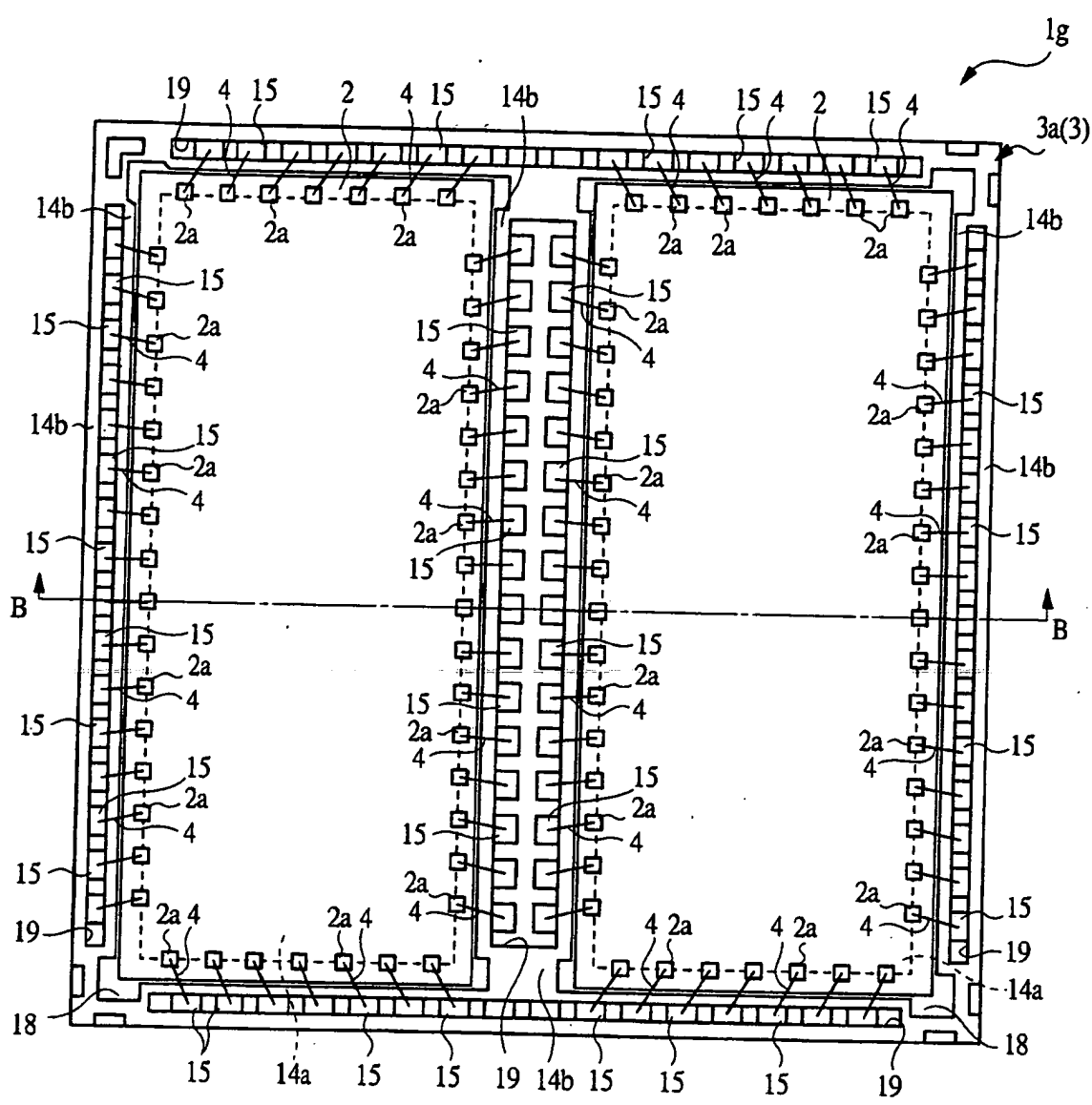


圖 46

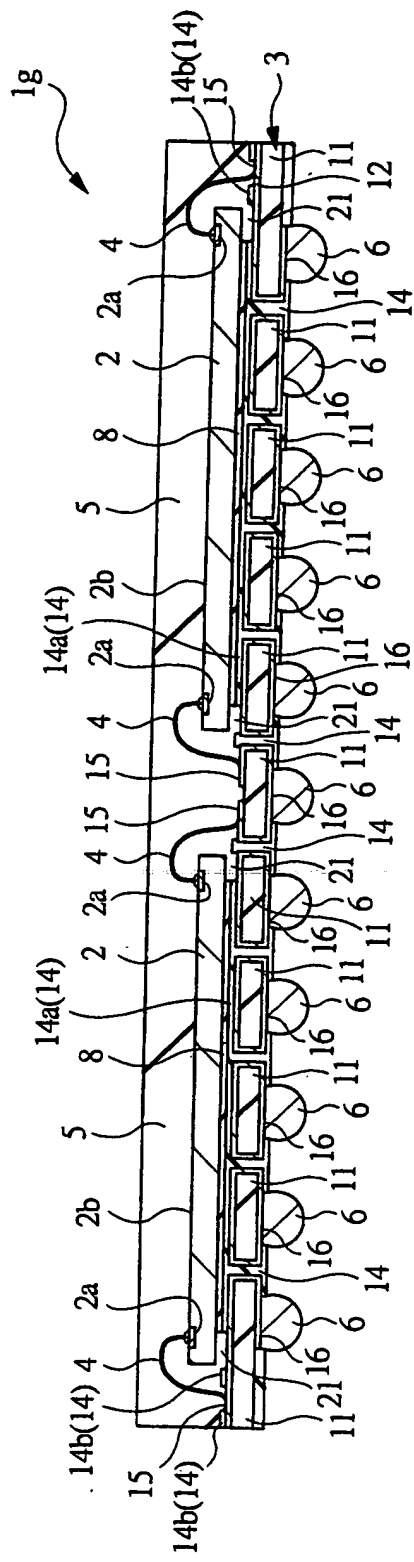


圖47

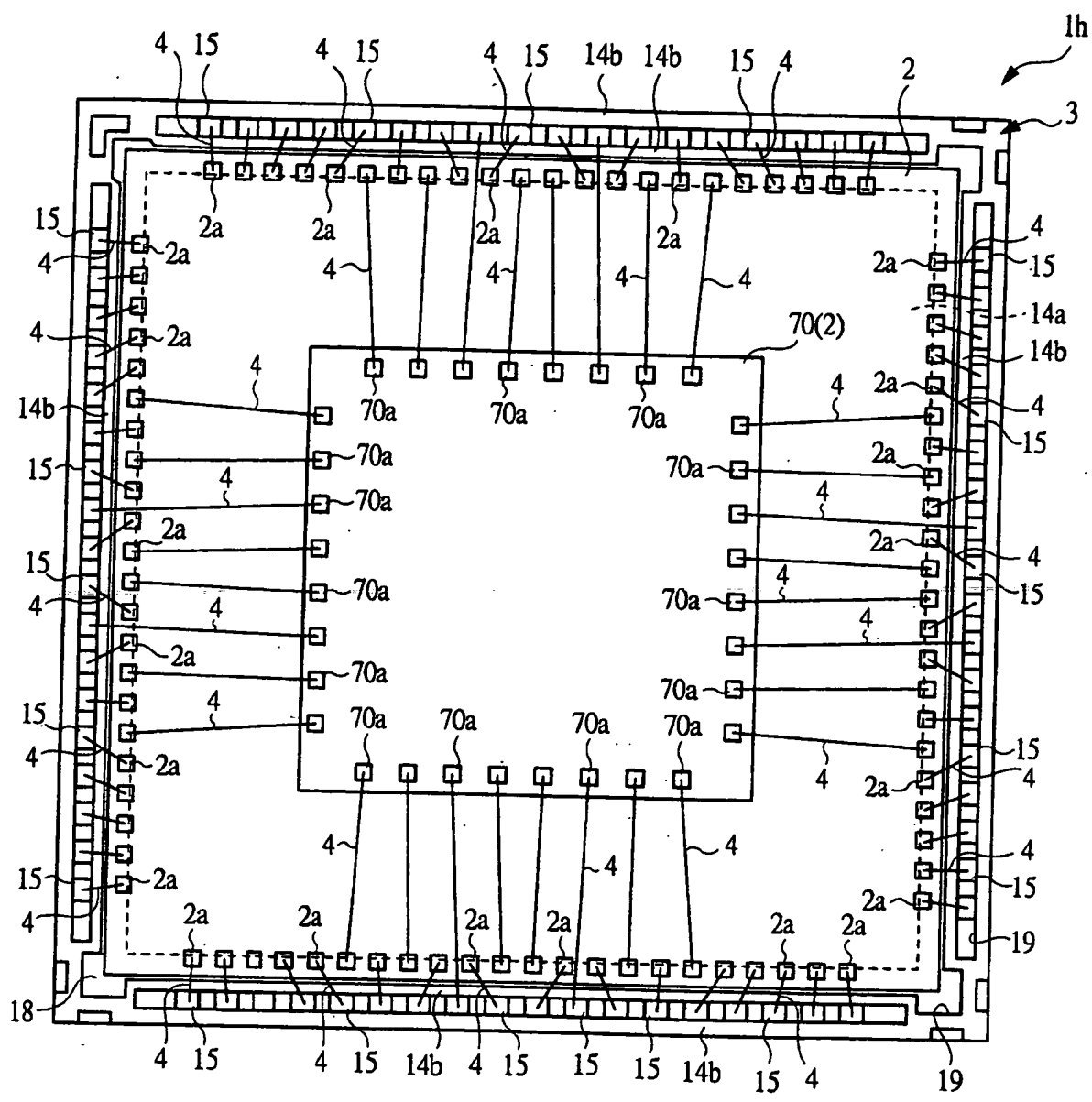


圖48

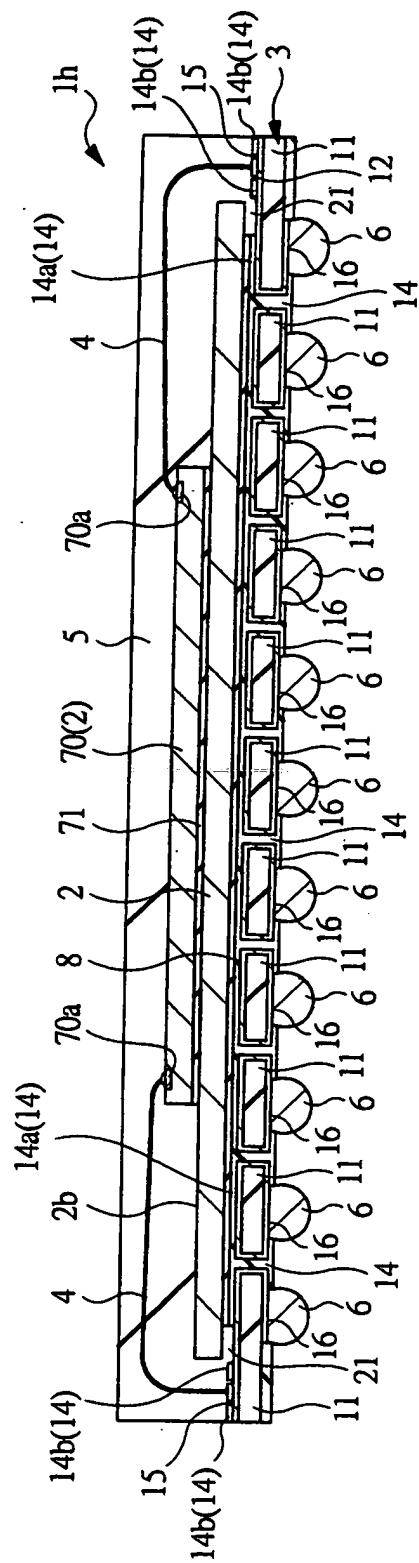


圖50

發明專利說明書

99年8月5日修正替換頁

中文說明書替換頁(99年8月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：094135613

※ 申請日期：99.10.13

※IPC 分類：H01L ²³/₄₈ (2006.01)H01L ²³/₂₈ (2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

A SEMICONDUCTOR DEVICE AND A METHOD FOR
MANUFACTURING OF THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩電子股份有限公司

RENESAS ELECTRONICS CORPORATION

代表人：(中文/英文)

赤尾 泰

AKAO, YASUSHI

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市中原區下沼部1753番地

1753 SHIMONUMABE NAKAHARA-KU, KAWASAKI KANAGAWA

211-8668 JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

島貫 好彥

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2004年10月29日；特願2004-315998
- 2.

☐ 無主張專利法第二十七條第一項國際優先權：

- 1.
- 2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及其製造技術，尤其是關於適用於，於佈線基板上搭載有半導體晶片之半導體裝置及其製造技術且較為有效之技術。

【先前技術】

將半導體晶片搭載於佈線基板上，以接合線電性連接半導體晶片之電極及佈線基板之連接端子，並對半導體晶片以及接合線進行樹脂密封，將錫球連接於佈線基板之背面，藉此製造半導體封裝形態之半導體裝置。於如此半導體裝置中，存在有例如，略微大於稱為CSP(Chip Size Package，晶片尺寸密封)之晶片尺寸或半導體晶片之小型半導體封裝。

於日本專利特開2003-92374號公報(專利文獻1)中，揭示有如下技術，一種半導體裝置含有：佈線基板，其含有主面、於主面上所形成之絕緣膜及自該絕緣膜露出且形成於上述主面上之電極；半導體晶片，其經由接著材而固定於佈線基板主面上之絕緣膜上；導電性導線，其連接佈線基板主面之電極與半導體晶片之電極；以及密封體，其覆蓋半導體晶片，佈線基板之主面以及電極，且於該種半導體裝置中，於半導體晶片與電極之間藉由於絕緣膜深度全部區域中除去絕緣膜而形成槽，故而接著材(絕緣性樹脂)之流出部分將滯留於槽內而不會溢出槽，因此不會到達電極中。

[專利文獻1]日本專利特開2003-92374號公報

[發明所欲解決之問題]

根據本發明者之研討，首次瞭解到如下者。

如CSP形態之半導體裝置般，若使半導體封裝小型化，則半導體晶片之端部與佈線基板電極之距離將會變近。於使用接著材將半導體晶片固定於佈線基板上之情形時，若該接著材流出至佈線基板之電極上，則會易於產生接合線對電極之連接不良，由此可能出現佈線基板之電極與接合線間之電性連接之可靠性下降。

可以如下技術，即可以藉由於絕緣膜深度全部區域中除去佈線基板之主面上所形成之絕緣膜，而於半導體晶片與電極間形成槽之技術，使接著材(絕緣性樹脂)之流出部分滯留於槽內而不會溢出槽，故可使其不致到達電極中。藉此，可控制因接著材之流出而產生不良之情形。

然而，以經由接著材將半導體晶片固定於佈線基板主面上之絕緣膜上之技術，將使半導體晶片之整個背面經由接著材而接合於佈線基板主面上之絕緣膜上。接著材與密封樹脂之密著性，低於半導體晶片與密封樹脂之密著性。由此，若經過塗布之接著材自半導體晶片之外周部溢出，或使晶片側面濕潤，則將由於接著材與密封樹脂之接合面積增大，而會降低密封樹脂之密著性。若密封樹脂之密著性較低，則半導體裝置(半導體封裝)之可靠性或製造良率有可能下降。

又，用於固定半導體晶片之接著材若達到自半導體晶片

外周部溢出之位置為止，則將難以藉由半導體晶片外周部而使佈線基板之電極接近配置，故而無法實現半導體裝置之進一步小型化。

本發明之目的在於提供一種可提高半導體裝置可靠性之技術。

本發明之其他目的在於提供一種可實現半導體封裝小型化之技術。

本發明上述及其他目的與新穎特徵自本說明書之記述以及附圖當可瞭解。

【發明內容】

茲簡單說明本申請案中所揭示之發明中具有代表性者之概要如下。

本發明係於佈線基板第1主面形成有第1絕緣膜部與其外周之第2絕緣膜部，並於第1絕緣膜部上接合有半導體晶片之背面，而於佈線基板第1主面上，以覆蓋半導體晶片以及接合線之方式形成有密封樹脂，並於半導體晶片背面外周部之下方亦填充有密封樹脂。

又，本發明係於引線接合半導體晶片之電極與佈線基板之電極間時，將接合線之一端連接於佈線基板之電極後，將接合線之他端連接於半導體晶片之電極。

[發明之效果]

茲簡單說明藉由本申請案中所揭示之發明中具有代表性者而獲得之效果如下。

由於於半導體晶片背面之外周部下方亦填充有密封樹

脂，故而可提高半導體裝置之可靠性。

又，由於半導體晶片與密封樹脂之接合面積增加，故而密封樹脂之密著性提高，因此可提高半導體裝置之製造良率。

【實施方式】

以下實施形態中於方便性方面當其需要時，分割為複數個部分加以說明，但除去特別明示之情形，其等並非相互毫無關係者，一方在於他方之一部分或全部之變形例、詳細、補充說明等關係。又，於以下實施形態中，除去提及要素之數量等(包含個數、數值、量、範圍等)之情形，特別明示之情形以及於原理上明確限定為特定數之情形等，其並非限定於該特定數者，故既可為特定數以上亦可為特定數以下。再者，於以下實施形態中，其構成要素(亦包含要素步驟等)，除去特別明示之情形以及於原理上明確認為為需要之情形等，毋庸置疑該等未必為需要者。同樣，於以下實施形態中，於提及構成要素等之形狀、位置關係等時，除去特別明示之情形以及於原理上明確可認為並非如此之情形等，可設為實質上含有與該形狀等近似或類似者等。針對上述數值以及範圍內該情形亦為同樣。

以下，基於圖式詳細說明本發明之實施形態。再者，於用以說明實施形態之所有圖式中，對具有相同功能之構件付與相同符號，且省略其重複說明。又，於以下實施形態中，尤其於必要時以外，原則上應該重複相同或同樣之部分之說明。

又，於實施形態中所使用之圖式中，即使剖面圖有時為易於觀察圖式而將影線省略。又，即使平面圖有時為便於觀察圖式而付與影線。

(實施形態1)

參照圖式說明本實施形態之半導體裝置以及之製造步驟。

圖1係作為本發明一實施形態之半導體裝置1之上面圖，圖2係其下面圖，圖3係其剖面圖(整體剖面圖)，圖4係其主要部分之剖面圖(部分放大剖面圖)，圖5係其側視圖。圖1中A-A線之剖面大致對應於圖3，圖3之端部附近區域之放大圖大致對應於圖4。又，圖6係透視密封樹脂5時之半導體裝置1之平面透視圖(上面圖)，圖7係透視密封樹脂5，半導體晶片2以及接合線4時之半導體裝置1之平面透視圖(上面圖)，即用於半導體裝置1之佈線基板3之上面圖。再者，於圖7中，用虛線表示半導體晶片2之外形。又，圖7為平面圖，但為易於理解，對第1阻焊劑部14a，第2阻焊劑部14b以及自第2阻焊劑部14b之開口部19露出之連接端子15付與有影線。

圖1至圖7所示之本實施形態之半導體裝置1係於佈線基板3上搭載(接合、連接、安裝)有半導體晶片2之半導體裝置(半導體封裝)，且其係例如作為略微大於晶片尺寸或半導體晶片2之小型半導體封裝之CSP(Chip Size Package)形態的半導體裝置。

本實施形態之半導體裝置1具備有：半導體晶片2；佈線

基板3，其支持或搭載半導體晶片2；複數個接合線4，其電性連接半導體晶片2表面之複數個電極(第2電極，焊墊，墊電極)2a及對應於電極2a之佈線基板3之複數個連接端子(第1電極，焊墊，墊電極)15；密封樹脂(密封樹脂部，密封部，密封體)5，其覆蓋含有半導體晶片2及接合線4之佈線基板3之上面3a；以及複數個錫球(球電極，突起電極，電極，外部端子)6，其作為外部端子以區域陣列配置而設置於佈線基板3之下下面3b中。

半導體晶片2中，與其厚度相交差之平面形狀為正方形，且例如於含有單晶矽等之半導體基板(半導體晶圓)之主面中形成各種半導體元件或半導體積體電路後，根據需要進行半導體基板之背面研削，再藉由切割等將半導體基板分離為各個半導體晶片2。半導體晶片2含有相互對向之表面(半導體元件形成側之主面、上面)2b以及背面(與半導體元件形成側之主面相反側之主面、下面)2c，並以該表面2b朝向上方之方式而配置於佈線基板3上面(晶片支持面)3a上，且半導體晶片2之背面2c經由接著材(晶粒接合材，接合材，接著劑)8而接著並固定於佈線基板3之上面3a上。接著材8可使用例如絕緣性或導電性之膏材等。接著材8之厚度，可設為例如20至30 μm 左右。於半導體晶片2之表面2b中，形成有複數個電極2a，而電極2a，電性連接於形成於半導體晶片2內部或表層部分之半導體元件或半導體積體電路。

佈線基板3含有絕緣性基材層(絕緣基板、芯材)11；導體

層(導體圖案，導體膜圖案，佈線層)12，其形成於基材層11之上面11a以及下面11b；阻焊劑層(絕緣膜，焊錫阻止層)14，其係作為以覆蓋導體層12之方式而形成於基材層11之上面11a以及下面11b上之絕緣層(絕緣體層，絕緣膜)者。至於其他形態，亦可藉由積層有複數個絕緣層與複數個佈線層之多層佈線基板而形成佈線基板3。

導體層12係經過圖案化處理而成為佈線基板3之佈線或佈線層之導體圖案。導體層12含有導電性材料，且例如可藉由使用電鍍法而形成之銅薄膜等而形成。形成有多數個用以藉由基材層11上面11a之導體層12而連接接合線4之連接端子(電極，焊墊，墊電極)15，且形成有多數個用以藉由基材層11下面11b之導體層12而連接錫球6之導電性焊盤(電極，焊墊，端子)16。又，於基材層11中形成有複數個開口部(通孔，通道，貫通孔)17，而於各開口部17之側壁上亦形成有導體層12。基材層11上面11a之連接端子15經由基材層11上面11a之導體層12(包含導體層12之抽引佈線)，開口部17側壁上之導體層12及基材層11下面11b之導體層12，而電性連接於基材層11下面11b之焊盤16。由此，半導體晶片2之複數個電極2a經由複數個接合線4而電性連接於佈線基板3之複數個連接端子15，進而經由佈線基板3之導體層12而電性連接於佈線基板3之複數個焊盤16。接合線4含有例如金絲等金屬細線。

阻焊劑層14具有作為保護導體層12之絕緣層(絕緣膜)之功能，且例如含有有機系樹脂材料等絕緣體材料。又，阻

焊劑層 14，以覆蓋導體層 12 之方式形成於基材層 11 之上面 11a 以及下面 11b 上，且阻焊劑層 14 填充基材層 11 開口部 17 之內部。由於阻焊劑層 14 填充基材層 11 之開口部 17，故而可防止用以將半導體晶片 2 接合於佈線基板 3 之接著材 8 自開口部 17 洩漏至佈線基板 3 之下面 3b 側，又，可防止半導體晶片 2 之背面 2c 自開口部 17 露出。又，佈線基板 3 之導體層 12 中，連接端子 15 與焊盤 16 自阻焊劑層 14 (之開口部) 露出。又，基材層 11 上面 11a 以及下面 11b 上之阻焊劑層 14 之厚度，可設為例如 20 至 30 μm 左右。

複數個焊盤 16 於佈線基板 3 之下面 3b 配置為陣列狀。於各焊盤 16 附近形成有開口部 17。又，於各焊盤 16 中連接有錫球 6。因此，於佈線基板 3 下面 3b 中複數個錫球 6 配置為陣列狀。錫球 6 可作為半導體裝置 1 之外部端子而起作用。因此，半導體晶片 2 之複數個電極 2a 經由複數個接合線 4 而電性連接於佈線基板 3 之複數個連接端子 15，進而經由佈線基板 3 之導體層 12 而電性連接於與佈線基板 3 之複數個焊盤 16 以及複數個焊盤 16 相連接之複數個錫球 6。再者，圖 2 之錫球 6 數量與圖 6、圖 7 之連接端子 15 數量並不一致，但圖 1 至圖 7 係模式化表示半導體裝置 1 構造者，故半導體裝置 1 中之錫球 6 數量或連接端子 15 數量可根據需要進行各種變更，因此既可將半導體裝置 1 中之錫球 6 數量與連接端子 15 數量設為相同，又亦可設為不同。又，並不與半導體晶片 2 之電極 2a 電性連接之錫球 6 可用於散熱。

於本實施形態中，於佈線基板 3 上面 3a 形成有阻焊劑層

14，而佈線基板3上面3a之阻焊劑層14含有：第1阻焊劑部(第1絕緣膜部)14a，其位於半導體晶片2之下方(即佈線基板3上面3a之中央部)；以及第2阻焊劑部(第2絕緣膜部)14b，其位於第1阻焊劑部14a之外周(周圍)(即位於佈線基板3上面3a之外周部)。於第1阻焊劑部14a與第2阻焊劑部14b之間，並未形成有阻焊劑層14而存在有露出基材層11之區域(障壁區域)18。因此，第1阻焊劑部14a與第2阻焊劑部14b夾持區域18之方式而隔開。於區域18中，亦露出有用以連接連接端子15與開口部17側壁上之導體層12間之抽引佈線(該抽引佈線亦含有導體層12，但於圖6、圖7之平面圖中省略圖示)。

半導體晶片2經由接著材8而接合(搭載、連接、固定、配置)於第1阻焊劑部14a上。第2阻焊劑部14b含有用以露出連接端子15之開口部19。如圖6所示，連接端子15具有大致長方形圖案(導體圖案)，而第2阻焊劑部14b之開口部19形成為重疊於連接端子15用之導體圖案。因此，於連接端子15之一部分(兩端部)上重合有第2阻焊劑部14b。藉由，可進一步確實防止連接端子15剝離，故而可提高半導體裝置之可靠性。

於自第2阻焊劑部14b之開口部19所露出之連接端子15中連接有接合線4。為易於或者穩固使接合線4連接至連接端子15，而於自第2阻焊劑部14b至開口部19所露出之連接端子15上面(接合線4之連接面)形成有鍍金層(或鍍鎳層(下層側)與鍍金層(上層側)之積層膜)等。又，於第2阻焊劑部

14b，亦形成有作為封裝指數之開口部20a。於第2阻焊劑部14b中所形成之作為封裝指數之開口部20a可用於半導體裝置1之製造步驟中之定位或方向識別等。

半導體晶片2經由接著材8接合(搭載、連接、固定、配置)於佈線基板3上面3a之第1阻焊劑部14a上，該第1阻焊劑部14a之平面尺寸(面積)，小於半導體晶片2之平面尺寸(面積)。因此，當搭載半導體晶片2時，於半導體晶片2背面2c之外周部(周邊部，端部附近區域)2d下方，並未延伸(存在)有第1阻焊劑部14a。因此，半導體晶片2之背面2c外周部2d及背面2c之端部2f可位於未形成有阻焊劑層14之區域18上。又，由於當將半導體晶片2於佈線基板3上進行晶片焊接(接合)時，將接著材8配置於尺寸小於半導體晶片2之第1阻焊劑部14a上，並接合有半導體晶片2，故而接著材8不會延伸(存在)於半導體晶片2之背面2c外周部2d上，因此當將半導體晶片2晶片焊接於佈線基板3上時，則不會於半導體晶片2之背面2c外周部2d之下方存在有接著材8以及阻焊劑層14。即，由於接著材8以及阻焊劑層14(第1阻焊劑部14a)存在於較之半導體晶片2之側面2e(端部2f)之更內側，故而半導體晶片2之背面2c外周部2d將會處於露出狀態。因此，將會於半導體晶片2之背面2c外周部2d與佈線基板3上面3a之間形成有空間(間隙)21。空間21於高度方向上之尺寸(半導體晶片2之背面2c外周部2d與佈線基板3上面3a間之距離) H_1 ，大致相當於第1阻焊劑部14a之厚度 T_1 與接著材8之厚度 T_2 的總和($H_1=T_1+T_2$)。於形成密封樹

脂5時(脫模步驟)，用以形成密封樹脂5之材料亦將填充於半導體晶片2之背面2c外周部2d之下方空間21，故經過硬化(固化)之密封樹脂5亦將填充於半導體晶片2之背面2c外周部2d之下方，經過硬化之密封樹脂5將覆蓋半導體晶片2之表面2b，半導體晶片2之側面2e及半導體晶片2之背面2c外周部2d，故而可提高半導體晶片2與密封樹脂5之密著性(接著強度)，由此可提高半導體裝置1之可靠性。

密封樹脂5含有例如熱硬化性樹脂材料等樹脂材料等，亦可包含填充料等。例如，亦可使用含有填充料之環氧樹脂等形成密封樹脂5。密封樹脂5以覆蓋半導體晶片2以及接合線4之方式而形成於佈線基板3上面3a上，且藉由密封樹脂5而密封並保護半導體晶片2以及接合線4。

圖8係第1比較例之半導體裝置101之主要部分剖面圖(部分放大剖面圖)，圖9係第2比較例之半導體裝置201之主要部分剖面圖(部分放大剖面圖)，圖10係第3比較例之半導體裝置301之主要部分剖面圖(部分放大剖面圖)，且分別表示與本實施形態之圖4相對應之區域。

於圖8所示之第1比較例之半導體裝置101不同於本實施形態，於去除連接端子15上之佈線基板103上面103a之整個面上形成有阻焊劑層114，而於半導體晶片2之背面2c外周部2d之下方亦延伸有阻焊劑層114。因此，於第1比較例之半導體裝置101中，當將半導體晶片2晶片焊接於佈線基板103上時，含有膏材等之接著材8可能會漫過半導體晶片2之背面2c端部而擴散，進而接著材8會流經阻焊劑層114

之上面而導致其擴散至連接端子15上為止。若接著材8擴散(流出)至連接端子15上為止，則會易於產生接合線4對連接端子15之連接不良，由此可能降低接合線4與連接端子15間電性連接之可靠性。又，亦考慮如下，為防止接著材8流出至連接端子15而將半導體晶片2端部與佈線基板3至連接端子15之距離加長，然而其將會導致半導體裝置大型化(大面積化)。

於圖9所示之第2比較例之半導體裝置201中，於佈線基板203之上面203a中形成有含有第1阻焊劑部214a與第2阻焊劑部214b之阻焊劑層214，而於第1阻焊劑部214a與第2阻焊劑部214b之間，存在並未形成阻焊劑層214而露出有佈線基板203之基材層11之區域(障壁區域)218，而與本實施形態不同，第1阻焊劑部214a之平面尺寸(面積)，大於半導體晶片2之平面尺寸(面積)，且於半導體晶片2背面2c全部表面之下方延伸(存在)有第1阻焊劑部214a。於第2比較例之半導體裝置201中，當將半導體晶片2晶片焊接於佈線基板203上後，可藉由設置第1阻焊劑部214a與第2阻焊劑部214b之間露出有基材層11而無阻焊劑層214之區域(障壁區域)218，而防止含有膏材等之接著材8越過區域218擴散至第2阻焊劑部214b上為止。藉此，可防止接著材8擴散至連接端子15上為止，故而可提高接合線4連接端子15間之電性連接之可靠性。

然而，於圖9所示之第2比較例之半導體裝置201中，第1阻焊劑部214a之平面尺寸(面積)大於半導體晶片2之平面尺

寸(面積)，故半導體晶片2之背面2c整個面經由接著材8而接著於第1阻焊劑部214a。密封樹脂5與接著材8之密著性(接著強度)，低於半導體晶片2與密封樹脂5之密著性(接著強度)，因此，於第2比較例之半導體裝置201中，密封樹脂5覆蓋半導體晶片2之表面2b以及側面2e，但密封樹脂5並不覆蓋半導體晶片2之背面2c，半導體晶片2與密封樹脂5之接合面積小於本實施形態1(之半導體裝置1)，因此半導體晶片2與密封樹脂5之密著性(接著強度)可能低於本實施形態1(之半導體裝置1)。進而，若用於固定半導體晶片2之接著材8到達溢出於半導體晶片2外周部之位置，則難以藉由半導體晶片2之外周部而接近配置佈線基板203上之連接端子15，因此與本實施形態1(之半導體裝置1)相比，半導體裝置201之小型化將無法實現。

圖10所示之第3比較例之半導體裝置301中，使接著材8之塗布區域或塗布量小於第2比較例之半導體裝置201。藉此，當經由接著材8而將半導體晶片2接合於佈線基板203之上面203a之第1阻焊劑部14a上時，接著材8不會延伸(存在)於半導體晶片2之背面2c外周部2d之下方，因而於半導體晶片2之背面2c外周部2d與佈線基板203之上面203a間可形成空間(間隙)221。藉此，當形成密封樹脂5時，亦可將用以形成密封樹脂5之材料填充於空間221中，故而經過硬化之密封樹脂5將會覆蓋半導體晶片2之表面2b、半導體晶片2之側面2e及半導體晶片2之背面2c外周部2d，因此可提高半導體晶片2與密封樹脂5之密著性(接著強度)。

然而，於圖 10 所示之第 3 比較例之半導體裝置 301 中，藉由調節接著材 8 之塗布區域或塗布量而於半導體晶片 2 之背面 2c 外周部 2d 與佈線基板 203 之上面 203a 間形成空間 221，因而存在有如下可能性：接著材 8 之塗布量過少而導致半導體晶片 2 與佈線基板 203 之接合強度下降，或接著材 8 之塗布量過多而導致半導體晶片 2 之背面 2c 外周部 2d 與佈線基板 203 之上面 203a 間無法形成空間 221。因此，將難以對晶片焊接步驟進行管理，導致每個製品之不均一將變大。又，亦考慮到藉由將平面尺寸(面積)小於半導體晶片 2 之晶粒接合膜用作接著材 8，而於半導體晶片 2 之背面 2c 外周部 2d 與佈線基板 203 之上面 203a 間形成空間 221，然而晶粒接合膜價格高於膏型接著材，故而可能導致半導體裝置製造成本增加。

又，圖 10 所示之第 3 比較例之半導體裝置 301 不同於本實施形態，由於第 1 阻焊劑部 214a 延伸於半導體晶片 2 之背面 2c 外周部 2d 之下方，故而當將半導體晶片 2 晶片焊接於佈線基板 203 上時，於半導體晶片 2 之背面 2c 外周部 2d 與佈線基板 203 之上面 203a 之間所形成之空間 221 於高度方向上之尺寸 H_2 將會變低(變小)。空間 221 於高度方向上之尺寸 H_2 大致相當於接著材 8 之厚度 T_2 ($H_2 = T_2$)。若接著材 8 之厚度為例如 20 至 30 μm 左右，則空間 221 於高度方向上之尺寸 H_2 亦將成為 20 至 30 μm 左右。由於半導體晶片 2 之背面 2c 外周部 2d 之下方空間 221 於高度方向上之尺寸 H_2 較小，故而當形成密封樹脂 5 時，可能出現如下情形，於用以形成密封樹

脂5之材料中所含有之填充料等將難以浸入到半導體晶片2之背面2c外周部2d之下方空間221中，導致填充空間221之密封樹脂5之成分比與其他區域之密封樹脂5之成分比出現不均一化等，故經過硬化之密封樹脂5與半導體晶片2之密著性(接著強度)將會下降。

對此，於本實施形態中，於佈線基板3之上表面3a形成有：經由接著材8而將半導體晶片2接合於其上方之第1阻焊劑部(第1絕緣膜部)14a，以及設置於第1阻焊劑部14a之周圍(外周)，且自開口部19露出有連接端子15之第2阻焊劑部(第2絕緣膜部)14b。於第1阻焊劑部14a與第2阻焊劑部14b之間，存在有並未形成阻焊劑層14但露出有基材層11之區域(障壁區域)18。因此，當將半導體晶片2晶片焊接於佈線基板3上時，可藉由設置第1阻焊劑部14a與第2阻焊劑部14b之間露出有基材層11而並無阻焊劑層14之區域(障壁區域)18，而防止接著材8越過區域18擴散至第2阻焊劑部14b上。藉此，可防止接著材8擴散至連接端子15上，由此可提高接合線4與連接端子15間之電性連接之可靠性。又，即使將流動性相對較高之膏型接著材(接合材)用作接著材8，亦可藉由設置第1阻焊劑部14a與第2阻焊劑部14b間並無阻焊劑層14區域(障壁區域)18，而防止含有膏材之接著材8擴散至連接端子15上為止，因而可將較之晶粒接合膜相對低價之膏型接著材用作接著材8，故而有利於降低半導體裝置之製造成本。又，由於可藉由半導體晶片2之外周部而接近配置佈線基板3之連接端子15，故而可使

半導體裝置進一步小型化。

進而，於本實施形態中，經由接著材8而將半導體晶片2搭載並固定於第1阻焊劑部14a上，然而該第1阻焊劑部14a之平面尺寸(面積)小於半導體晶片2之平面尺寸(面積)。為此，當經由接著材8而將半導體晶片2接合於佈線基板3上面3a之第1阻焊劑部14a上時，於半導體晶片2之背面2c外周部2d之下方並未延伸有(存在)第1阻焊劑部14a以及接著材8，而於半導體晶片2之背面2c外周部2d與佈線基板3上面3a之間形成有空間21。為此，當形成密封樹脂5時，由於亦將用以形成密封樹脂5之材料填充於該空間21中，而經過硬化之密封樹脂5將會覆蓋半導體晶片2之表面2b、半導體晶片2之側面2e及半導體晶片2之背面2c之外周部2d，故而半導體晶片2與密封樹脂5之接合面積將會增大，因而可提高半導體晶片2與密封樹脂5之密著性(接著強度)，所以可提高半導體裝置1之可靠性。如本實施形態所示，亦使密封樹脂5旋轉進入至半導體晶片2之背面2c側，並使密封樹脂5充滿(填充)半導體晶片2之背面2c外周部2d與佈線基板3之上面3a之間，藉此可藉由密封樹脂5而將半導體晶片2穩固密封於半導體晶片2之表面2b以及背面2c之兩面(側面2e)中，因此可提高半導體晶片2與密封樹脂5之密著性，故而可確實防止於半導體晶片2與密封樹脂5間產生剝離等。

進而，於本實施形態中，可使於半導體晶片2之背面2c外周部2d與佈線基板3上面3a之間所形成之空間21於高度

方向上之尺寸 H_1 較之第3比較例之半導體裝置301之空間221於高度方向上之尺寸 H_2 ，僅大第1阻焊劑部14a之厚度 T_1 ($H_1 > H_2$)。例如，若接著材8之厚度 T_2 為20至30 μm 左右，且第1阻焊劑部14a之厚度 T_1 為20至30 μm 左右，則可使空間21於高度方向上之尺寸 H_1 為40至60 μm 左右。如此般於本實施形態中，由於可使半導體晶片2之背面2c外周部2d之下方空間21於高度方向上之尺寸 H_1 相對較大，故而於形成密封樹脂5時(脫模步驟)，用以形成密封樹脂5之材料中所含有之填充料等，將易於浸入至半導體晶片2之背面2c外周部2d之下方空間21中，故而可使填充空間21之密封樹脂5之成分比與其他區域之密封樹脂5之成分比得到均一化。藉此，可進一步提高經過硬化之密封樹脂5與半導體晶片2之密著性(接著強度)，因而可進一步提高半導體裝置1之可靠性。

又，於本實施形態中，於第2阻焊劑部14b之內周部(與第1阻焊劑部14a相對向之第2阻焊劑部14b之內周部，與半導體晶片2之四邊相對向之第2阻焊劑部14b之內周部)之角部(四角，轉角部)中，可使第2阻焊劑部14b之圖案退後至半導體裝置1之外周方向(即遠離半導體晶片2之方向)，即，於第2阻焊劑部14b內周部之角部(四角)中，設置有露出有基材層11但並未形成有阻焊劑之阻焊劑後退部20b。

藉由於第2阻焊劑部14b之內周部之角部(四角)使第2阻焊劑部14b之圖案後退(即設置阻焊劑後退部20b)，而以傳送脫模步驟等形成密封樹脂5時，空氣將變得易於自半導

體晶片2之背面2c外周部2d與佈線基板3上面3a之間之空間21中去除，因而可提高用以形成密封樹脂5之材料流動性，故而可進一步提高密封樹脂對上述空間21之填充性。為此，可進一步提高半導體晶片2與密封樹脂5之密著性(接著強度)，故而可進一步提高半導體裝置1之可靠性。

圖11係其他形態半導體裝置1a之主要部分剖面圖，圖12係其之平面透視圖(上面圖)。圖11與上述圖4相對應。又，圖12與上述圖7相對應，且表示透視密封樹脂5、半導體晶片2以及接合線4時之半導體裝置1a之平面透視圖(上面圖)，即表示於半導體裝置1a中所使用之佈線基板3之上面圖。再者，於圖12中，用虛線表示半導體晶片2之外形。又，圖12係平面圖，但為便於理解，將自第1阻焊劑部14a，第2阻焊劑部14b以及第2阻焊劑部14b之開口部19所露出之連接端子15付與影線。

於上述半導體裝置1中，半導體晶片2之背面2c端部2f(半導體晶片2之側面2e)位於並未形成有阻焊劑層14但露出有基材層11之區域(障壁區域)18中，於圖11以及圖12所示之半導體裝置1a中，半導體晶片2之背面2c端部2f(半導體晶片2之側面2e)位於第2阻焊劑部14b上。半導體裝置1a之其他構成大致與上述半導體裝置1相同。

半導體裝置1a亦可獲得大致與半導體裝置1同樣之效果，故包含於本發明之半導體裝置中。其中，如半導體裝置1般半導體晶片2之背面2c端部2f(半導體晶片2之側面2e)位於區域(障壁區域)18上者，較之如半導體裝置1a般半導

體晶片2之背面2c端部2f(半導體晶片2之側面2e)位於第2阻焊劑部14b上者，可更加使半導體晶片2晶片焊接於佈線基板3之上表面3a時形成於半導體晶片2之背面2c外周部2d與佈線基板3之上表面3a間之空間21擴大，故於形成密封樹脂5時填充料等將會易於浸入至半導體晶片2之背面2c外周部2d之下方空間21中，因此可使充滿空間21之密封樹脂5之成分比與其他區域之密封樹脂5之成分比進一步均一。由此，半導體裝置1更加有利於提高密封樹脂5與半導體晶片2之密著性(接著強度)或可靠性。而另一方面，如半導體裝置1a般，可藉由使第2阻焊劑部14b延伸於半導體晶片2之背面2c端部2f(半導體晶片2之側面2e)之下方，而使連接端子15更加接近於半導體晶片2側。因而，半導體裝置1a更加有利於進行小型化(小面積化)。

其次，參照圖式說明本實施形態之半導體裝置之製造方法。圖13至圖20係本實施形態之半導體裝置之製造步驟中之剖面圖。圖21至圖23係模式性表示用於本實施形態半導體裝置1之製造中的佈線基板31之製造步驟之一例示的平面圖(上面圖)。圖24係本實施形態之半導體裝置製造步驟中之主要部分剖面圖，其對應於與圖14相同之步驟階段(晶片焊接步驟)。圖25係本實施形態之半導體裝置之製造步驟中之平面圖(上面圖)，其對應於與圖15相同之步驟階段。圖26、圖27係打線接合步驟之說明圖(主要部分剖面圖)。圖28係本實施形態之半導體裝置之製造步驟中之主要部分剖面圖，其對應於與圖16相同之步驟階段(脫模步

驟)。又，於圖21至圖28中亦表示有於下述切斷步驟中切斷佈線基板31之切割區域(切割線)39。

再者，於本實施形態中，就使用形成有連接為陣列狀之複數個佈線基板3而獲得之多數個佈線基板(佈線基板母體)31而製造各個半導體裝置1之情形加以說明。該佈線基板31係上述佈線基板3之母體，將佈線基板31於下述切斷步驟中進行切斷並使之分離於各半導體裝置區域(基板區域，單位基板區域)32者對應於半導體裝置1之佈線基板3。佈線基板31含有如下構成，即作為由此形成有一個半導體裝置1之區域之半導體裝置區域(基板區域、單位基板區域)32複數排列為矩陣狀。

首先，準備佈線基板31。佈線基板31例如可以如下方式而製造。

於作為芯材之絕緣性基材層11上面11a以及下面上藉由無電解電鍍(無電場電鍍)法而形成無電解鍍銅層，並藉由蝕刻等對該無電解鍍銅層進行圖案化。此後，於無電解鍍銅層上藉由電解電鍍(電場電鍍)法而形成電解鍍銅層，並使銅層厚度變厚。可藉由該無電解鍍銅層以及電解鍍銅層之積層膜(銅層)，而形成上述導體層12。於圖21中，表示藉由無電解鍍銅層以及電解鍍銅層之積層膜(導體層12)而於基材層11之上面，形成有通孔用之導體圖案33與連接端子15(用之導體圖案)之狀態。連接端子15與導體圖案33藉由包含於基材層11上面11a中所形成之無電解鍍銅層以及含有電解鍍銅層之積層膜(導體層12)之抽引佈線(省略圖

示)而進行電性連接。又，雖未圖示，但於基材層11之下面，藉由無電解鍍銅層以及電解鍍銅層之積層膜亦形成有焊盤16。又，由於使用電解電鍍法，故而於基材層11之上表面11a，亦形成有電鍍佈線(供電線)34，故可經由該電鍍佈線34供給特定電位(電力)，並於無電解鍍銅層上形成電解鍍銅層。

其次，如圖22所示，於基材層11上形成有開口部(通孔、通道、貫通孔)17。開口部17形成於通孔用導體圖案33之內側。

其次，藉由無電解電鍍法而於開口部17之側壁上形成無電解鍍銅層。於該基材層11之開口部17側壁上所形成之無電解鍍銅層將成為形成於開口部17側壁上之上述導體層12。此後，如圖23所示，使用印刷法等以填充開口部17內之方式而於基材層11上面11a以及下面上形成阻焊劑層14。藉此，於基材層11之上表面11a，形成有第1阻焊劑部14a與第2阻焊劑部14b。於基材層11之上表面11a上，連接端子15自阻焊劑層14(第2阻焊劑部14b)之開口部露出，而於基材層11之下表面上，則焊盤16自阻焊劑層14之開口部露出。其次，於基材層11之上表面11a以及下面上之鍍銅層露出部(即連接端子15以及焊盤16)上，藉由電解電鍍法而依次形成鍍鎳層以及鍍金層。其後，可根據需要對基材層11進行外形加工(切斷)形成佈線基板31。以如此方式而準備之佈線基板31含有複數個於下述佈線基板31之切斷步驟中通過分割而成為佈線基板3之半導體裝置區域(基板區域、

單位基板區域)32，且具有於佈線基板31上面31a之各半導體裝置區域32中所形成之第1阻焊劑部14a及於第1阻焊劑部14a之外周所形成之第2阻焊劑部14b。

於以上述方式所準備(製造)之佈線基板31上面31a之各半導體裝置區域32上如圖14及圖24所示，經由接著材8，接合(晶片焊接，晶片安裝)有半導體晶片2。於該接合步驟中，例如，將熱硬化性之接著材8塗布於佈線基板31上面31a之各半導體裝置區域32之第1阻焊劑部14a上，並於第1阻焊劑部14a上形成晶片固定用之接著層，將半導體晶片2載置於接著材8上，並藉由加熱等使接著材8硬化，並且經由接著材8將半導體晶片2之背面2c與第1阻焊劑部14a進行接合。於半導體晶片2之接合步驟中，如上所述，由於於平面尺寸(面積)小於半導體晶片2之第1阻焊劑部14a上經由接著材8而接合有半導體晶片2，故而於半導體晶片2之背面2c外周部2d之下方不會延伸(存在)有阻焊劑層14(第1阻焊劑部14a以及第2阻焊劑部14b)或接著材8。為此，當將半導體晶片2接合於佈線基板31之各半導體裝置區域32上時，將會於半導體晶片2之背面2c外周部2d與佈線基板3之上面3a之間形成有空間21，且該空間21於高度方向上之尺寸 H_1 ，大致相當於第1阻焊劑部14a之厚度 T_1 與接著材8之厚度 T_2 之總和($H_1=T_1+T_2$)，故可使空間21於高度方向上之尺寸 H_1 相對較大。例如，若接著材8之厚度 T_2 為20至30 μm 左右，第1阻焊劑部14a之厚度 T_1 為20至30 μm 左右，則可使空間21於高度方向上之尺寸 H_1 為40至60 μm 左右。

其次，如圖 15 以及圖 25 所示，實施打線接合步驟，並經由接合線 4 將半導體晶片 2 之各電極 2a 及與此對應之佈線基板 31 上所形成之連接端子 15 進行電性連接。即，經由複數個接合線 4 將佈線基板 31 之上面 31a 之各半導體裝置區域 32 上之複數個連接端子 15 與接合於該半導體裝置區域 32 上之半導體晶片 2 之複數個電極 2a 進行電性連接。例如，使用打線接合裝置，將接合線 4 之一端連接(第一次接合)於半導體晶片 2 之電極 2a 之後，將接合線 4 之他端連接(第二次接合)於佈線基板 31 之連接端子 15。

於該打線接合步驟中，至於其他形態，如圖 26 之主要部分剖面圖中所示般，首先於佈線基板 31 之連接端子 15 上形成含有金(Au)等凸塊(突起電極，凸塊)35 後，如圖 27 所示，亦可將接合線 4 之一端連接於半導體晶片 2 之電極 2a，再將接合線 4 之他端連接於佈線基板 31 之連接端子 15 上所形成之凸塊 35 上。使連接端子 15 形成於與半導體晶片 2 相對較近之位置上，或使用相對較厚之半導體晶片 2 等，則即使接合線 4 與連接端子 15 所成之角度變陡(例如接近於垂直)，對接合線 4 之折曲應力變大，亦可藉由於連接端子 15 上形成凸塊 35，並將接合線 4 連接於該凸塊 35 上，而提高接合線 4 與連接端子 15(凸塊 35)間之連接強度，由此可抑制或防止接合線 4 自連接端子 15(凸塊 35)脫落。因此，可使自連接端子 15 至半導體晶片 2 為止之距離縮小，由此可降低半導體裝置 1 之平面尺寸。又，亦可使用厚度相對較厚之半導體晶片 2，故可擴大對半導體晶片 2 之選擇餘地。

於打線接合步驟後，如圖16以及圖28所示，實施脫模步驟(例如傳送脫模步驟)之樹脂密封，形成密封樹脂5a(密封部)，並藉由密封樹脂5a而封裝半導體晶片2以及接合線4。於該脫模步驟中，實施以密封樹脂5a對佈線基板31上面31a之複數個半導體裝置區域32進行一併密封之一並密封。即，於佈線基板31上面31a之複數個半導體裝置區域32上以覆蓋半導體晶片2以及接合線4之方式形成密封樹脂5a。為此，密封樹脂5a形成為覆蓋佈線基板31上面31a之複數個半導體裝置區域32。密封樹脂5a含有例如熱硬化性樹脂材料等樹脂材料等，亦可含有填充料等。例如，可使用含有填充料之環氧樹脂等形成密封樹脂5a。

於該脫模步驟中，亦將用以形成密封樹脂5a之材料填充於半導體晶片2之背面2c外周部2d之下方空間21中。於本實施形態中，由於半導體晶片2之背面2c外周部2d之下方空間21於高度方向上之尺寸 H_1 相對較大，故而於脫模步驟中，於用以形成密封樹脂5a之材料中所含有之填充料等會易於浸入到半導體晶片2之背面2c外周部2d之下方空間21中，由此可使填滿空間21(經過填充)之密封樹脂5a之成分比與其他區域密封樹脂5a之成分比均一化，故而可進而提高經過硬化之密封樹脂5a與半導體晶片2之密著性(接著強度)。

其次，如圖17所示，將錫球6連接(接合)於佈線基板31下面31b之焊盤16上。例如，可使佈線基板31之下面31b朝向上方，並將複數個錫球6配置於佈線基板31下面31b之複

數個焊盤16上並以焊劑等加以臨時固定，進行回焊處理(焊錫回焊熱處理，熱處理)且將焊錫熔化，以此使錫球6與佈線基板31下面31b之焊盤16接合。其後，亦可根據需要實施清洗步驟，除去附著於錫球6表面之焊劑等。如此般，則接合有作為半導體裝置1外部端子之錫球6。再者，於本實施形態中，就接合作為半導體裝置1外部端子之錫球6之情形加以說明，然而並非限定於此，亦可例如藉由印刷法等而代替錫球6將焊錫供給至焊盤16上以形成半導體裝置1之外部端子(突起電極)。又，將半導體裝置1作為BGA(Ball Grid Array，球狀矩陣)形態之半導體裝置加以說明，然而並非限定於此，亦可省略錫球6之形成，而將半導體裝置1作為LGA(Land Grid Array，柵格陣列)形態之半導體裝置。又，半導體裝置1外部端子(錫球6)之材質可使用含鉛焊錫或不含鉛之無鉛焊錫，又，可藉由電鍍(例如鍍金或鍍Pd等)形成半導體裝置1之外部端子(突起電極)。

其次，如圖18所示，進行標記，於密封樹脂5a之表面付與製品序號等標記。例如，可進行藉由雷射36進行標記之雷射標記，亦可實施藉由油墨進行標記之油墨標記。又，亦可將圖17之錫球6之連接步驟與圖18之標記步驟順序進行調換，於進行圖18之標記步驟後，進行圖17之錫球6連接步驟。

其次，如圖19所示，將密封樹脂5a之上面貼付於密封固定膠帶37上，並沿著切割區域(切割線)39藉由切割刀38等

將佈線基板31以及形成於其上之密封樹脂5a切斷(切割)，將各自之半導體裝置區域(CSP區域)切斷分離為各個(經過單片化之)半導體裝置1(CSP)。即，將佈線基板31以及密封樹脂5a切斷並分割為各個半導體裝置區域32。如此般，可通過進行切斷・單片化，而製造如圖1至圖7所示之半導體裝置1。切斷並分離(分割)於各半導體裝置區域32中之佈線基板31對應於佈線基板3，而切斷並分離(分割)於各半導體裝置區域32中之密封樹脂5a則對應於密封樹脂5。

圖29係如上述般所製造之半導體裝置1之端部附近區域之其他主要部分剖面圖(部分放大剖面圖)，且表示不同於圖4之區域剖面。如上所述，由於使用電解電鍍法形成佈線基板3(佈線基板31)之導體層12，故而於構成佈線基板3之基材層11之上面11a周邊部(於基材層11之上面11a端部與連接端子15之間)存在有電鍍佈線34。於本實施形態中，該電鍍佈線34上受到阻焊劑層14(第2阻焊劑部14b)之覆蓋，故電鍍佈線34與密封樹脂5並不接觸。

不同於本實施形態，於電鍍佈線34上並未形成有阻焊劑層14之情形時，於連接端子15上形成有鍍金層後，於電鍍佈線34上亦形成有鍍金層，故於形成密封樹脂5(密封樹脂5a)後，將導致於上面形成有鍍金層之電鍍佈線34與密封樹脂5直接接觸。由於該情形時，密封樹脂5與電解鍍金層之密著性低於阻焊劑層14與密封樹脂5之密著性，故而電鍍佈線34與密封樹脂5之密著性將會下降。由於該密著性較低之界面(電鍍佈線34與密封樹脂5之界面)經過單片化處

理後將會於半導體裝置之側面上露出，故而將導致自界面進入有濕氣(水分)之吸濕不良。藉由該吸濕不良而有可能產生因密封樹脂5密著性下降而造成之剝離，或因濕氣而造成之接合線4之生銹或氧化，由此導致半導體裝置之可靠性下降。

於本實施形態中，於使用電解電鍍法形成佈線基板3(佈線基板31)之導體層12之情形時，將以阻焊劑層14(第2阻焊劑部14b)覆蓋電鍍佈線34上，藉此可使電鍍佈線34與密封樹脂5並不接觸，並且可使密著性較低之界面並不形成於半導體裝置側面，因此可抑制來自半導體裝置側面之吸濕不良，由此可提高半導體裝置之可靠性。

(實施形態2)

圖30係作為本發明其他實施形態之半導體裝置1b之製造步驟中之主要部分剖面圖，且表示有大致與上述實施形態1之圖4相對應之區域。圖31以及圖32係本實施形態之打線接合步驟之說明圖(主要部分剖面圖)。

本實施形態之半導體裝置1b之製造步驟，由於除打線接合步驟以外與上述實施形態1大致相同故而於此省略其說明，而就本實施形態半導體裝置1b之製造步驟中之打線接合步驟加以說明。

於上述實施形態1中，首先將接合線4之一端連接(第一次接合)於半導體晶片2之電極2a，再將接合線4之他端連接於佈線基板31之連接端子15(第二次接合)，而於本實施形態中，首先將接合線4之一端連接(第一次接合)於佈線基

板31之連接端子15，再將接合線4之他端連接(第二次接合)於半導體晶片2之電極2a。

即，首先，如圖31所示，一面施加超音波一面將包含保持於接合線4形成用之打線接合裝置之毛細管41的金(Au)等之接合線4前端推壓至佈線基板31之連接端子15表面上。隨後如圖32所示，將毛細管41提升至上方，並使之於橫向上移動，一面施加超音波一面將接合線4推壓連接於半導體晶片2之電極2a表面，並切斷接合線4。藉此，可經由接合線4使佈線基板31之連接端子15與半導體晶片2之電極2a電性連接。可藉由如此般實施打線接合，而製造如圖30所示之半導體裝置1b。

圖33不同於本實施形態，其表示首先將接合線4之一端連接(第一次接合)於半導體晶片2之電極2a，再將接合線4之他端連接(第二次接合)於佈線基板31之連接端子15之情形時之主要部分剖面圖。如圖33所示，首先將接合線4之一端連接於半導體晶片2之電極2a情形時，於為進行第二次接合而將毛細管41移動至連接端子15上時，接合線4可位於毛細管41與半導體晶片2之間。因此，若使佈線基板31之連接端子15過於接近半導體晶片2，則可能導致接合線4與半導體晶片2接觸。

對此，於本實施形態中，如圖31以及圖32所示，首先將接合線4之一端連接(第一次接合)於佈線基板31之連接端子15，再將接合線4之他端連接(第二次接合)於半導體晶片2之電極2a。即，可將連接端子15第一次接合於佈線基板31

後，將毛細管41提升至上方並使之於橫向上移動，使半導體晶片2第二次接合於電極2a。為此，於為進行第二次接合而使毛細管41移動至半導體晶片2之電極2a上時，接合線4並不會位於毛細管41與半導體晶片2之間。因而，即使佈線基板31之連接端子15接近於半導體晶片2，亦可防止接合線4與半導體晶片2接觸。藉此，可提高半導體裝置之可靠性。又，由於可使佈線基板31之連接端子15更加接近於半導體晶片2，因此可使半導體裝置小型化(小面積化)。

又，於打線接合步驟中，較之第二次接合，第一次接合者可縮小連接所需之電極面積。於本實施形態中，藉由首先將接合線4之一端連接(第一次接合)於佈線基板31之連接端子15，而可縮小連接端子15之面積，故可使第2阻焊劑部14b之連接端子15露出用之開口部19變小。即，一面施加超音波一面將保持於毛細管41中之接合線4前端推壓並連接於佈線基板31之連接端子15表面(第一次接合)，在將毛細管41提升至上方，故而可使連接端子15變小，因此可使第2阻焊劑部14b之連接端子15露出用之開口部19變小。例如，較好的是，使連接端子15之長度(連接端子15於延伸方向上之長度) L_1 ，即第2阻焊劑部14b之連接端子15露出用之開口部19之長度 L_1 為120 μm 以下($L_1 \leq 120 \mu\text{m}$)，更好的是100 μm 以下($L_1 \leq 100 \mu\text{m}$)。藉此，可使半導體裝置小型化(小面積化)。

又，更好的是，如圖31以及圖32之主要部分剖面圖所示，預先於半導體晶片2之電極2a上形成含有金(Au)等凸

塊(突起電極，凸塊)42，並於進行第二次接合時，將接合線4連接於半導體晶片2之電極2a上之凸塊42。藉此，可提高接合線4與半導體晶片2之電極2a之連接強度。又，於將半導體晶片2第二次接合於電極2a時可降低給於半導體晶片2之應力。

進而，由於可使接合線4與半導體晶片2(半導體晶片之表面側端部2f)之距離較大，故而可使密封樹脂5向半導體晶片2背面2c側之流動性高於如圖33所示之打線接合之情形。

(實施形態3)

圖34係作為本發明其他實施形態之半導體裝置1c之主要部分剖面圖，圖35係其平面透視圖(上面圖)。圖34對應於上述實施形態1之圖4。又，圖35對應於上述實施形態1之圖7，且表示透視密封樹脂5、半導體晶片2以及接合線4時之半導體裝置1c之平面透視圖(上面圖)，即用於半導體裝置1c之佈線基板3之上面圖。再者，於圖35中，用虛線表示半導體晶片2之外形。又，圖35為平面圖，但為便於理解，對自第1阻焊劑部14a，第2阻焊劑部14b，第3阻焊劑部14c，以及第2阻焊劑部14b之開口部19所露出之連接端子15付與影線。

本實施形態之半導體裝置1c中，由於形成於佈線基板3上面3a之阻焊劑層14以外之構成，大致與上述實施形態1之半導體裝置1相同故而於此省略其說明，就於半導體裝置1c上之佈線基板3上面3a所形成之阻焊劑層14加以說

明。

於上述實施形態1中，佈線基板3上面3a之阻焊劑層14包含：位於半導體晶片2下方之第1阻焊劑部14a；位於佈線基板3上面3a之外周部上之第2阻焊劑部14b，而於本實施形態之半導體裝置1c中，佈線基板3上面3a之阻焊劑層14，如圖34以及圖35所示，其含有：位於半導體晶片2下方之第1阻焊劑部14a；位於佈線基板3上面3a之外周部上之第2阻焊劑部14b；進而於第1阻焊劑部14a與第2阻焊劑部14b之間以包圍第1阻焊劑部14a之方式而形成之第3阻焊劑部14c。於第1阻焊劑部14a與第3阻焊劑部14c之間，存在有並未形成有阻焊劑層14而露出有基材層11(以及含有導體層12之抽引佈線)之區域(障壁區域)18a，於第3阻焊劑部14c與第2阻焊劑部14b之間，存在有並未形成阻焊劑層14而露出有基材層11(以及含有導體層12之抽引佈線)區域(障壁區域)18b。於第1阻焊劑部14a上經由接著材8接合(搭載、連接、固定、配置)有半導體晶片2。第2阻焊劑部14b含有用以露出連接端子15之開口部19。與上述實施形態1相同，第1阻焊劑部14a之平面尺寸(面積)，小於半導體晶片2之平面尺寸(面積)。因此，當搭載有半導體晶片2時，於半導體晶片2之背面2c外周部2d下方將不會延伸(存在)有第1阻焊劑部14a。

如此般，於本實施形態中，於佈線基板3上面3a形成有如下者：於佈線基板3上面3a上經由接著材8接合有半導體晶片2之第1阻焊劑部14a；設置於第1阻焊劑部14a周圍(外

周)之第3阻焊劑部14c；設置於第3阻焊劑部14c周圍(外周)並自其開口部19露出連接端子15之第2阻焊劑部14b。於第1阻焊劑部14a與第3阻焊劑部14c之間以及第3阻焊劑部14c與第2阻焊劑部14b之間，存在有並未形成阻焊劑層14而露出有基材層11之區域(障壁區域)18a、18b。因此，當將半導體晶片2接合於佈線基板3上時，於第1阻焊劑部14a與第3阻焊劑部14c之間設置並無阻焊劑層14但露出有基材層11之區域(障壁區域)18a，藉此可防止含有膏材等之接著材8越過區域18a而擴散至第3阻焊劑部14c上，進而，即使含有膏材等之接著材8越過區域18a而擴散至第3阻焊劑部14c上，亦可藉由於第3阻焊劑部14c與第2阻焊劑部14b之間設置並無阻焊劑層14但露出有基材層11之區域(障壁區域)18b，而防止含有膏材等之接著材8越過區域18b擴散至第2阻焊劑部14b上。藉此，可更加確實防止接著材8擴散至連接端子15上，由此可更加確實提高接合線4與連接端子15間電性連接之可靠性。又，即使將流動性相對較高之膏型接著材(接合材)用作接著材8，亦可防止含有膏材之接著材8擴散至接合端子15上，因此可將較之晶粒接合膜價格相對低廉之膏型接著材用作接著材8，因而有利於降低半導體裝置之製造成本。

(實施形態4)

圖36係作為本發明其他實施形態之半導體裝置1d之主要部分剖面圖，並對應於上述實施形態1之圖4。

於上述實施形態1中，半導體裝置1之佈線基板3上面3a

之第1阻焊劑部14a厚度與第2阻焊劑部14b之厚度為大致相同，而於本實施形態之半導體裝置1d中，佈線基板3上面3a之第1阻焊劑部14a之厚度 T_1 則厚於第2阻焊劑部14b之厚度 T_3 ($T_1 > T_3$)。其他構成則與上述實施形態1大致相同，故而於此省略其說明。

於本實施形態中，如圖36所示，使平面尺寸小於半導體晶片2且經由接著材8將半導體晶片2接合於其上之第1阻焊劑部14a之厚度 T_1 厚於設置於第1阻焊劑部14a周圍(外周)之第2阻焊劑部14b之厚度 T_3 ($T_1 > T_3$)。如此之佈線基板3，例如於基材層11之上面11a形成阻焊劑層14時，將阻焊劑層進行2次塗布(複數塗布，複數印刷)，故第2阻焊劑部14b將由第1層之阻焊劑層而形成，藉此使之相對較薄，而第1阻焊劑部14a由第1層以及第2層之阻焊劑層(之積層膜)而形成，藉此使之相對較厚，由此可進行準備(製造)。

於本實施形態中，由於使第1阻焊劑部14a之厚度 T_1 厚於第2阻焊劑部14b之厚度 T_3 ($T_1 > T_3$)，故而較之第1阻焊劑部14a之厚度 T_1 與第2阻焊劑部14b之厚度 T_3 相同之($T_1 = T_3$)情形，當將半導體晶片2晶片焊接於佈線基板3上後，可使於半導體晶片2之背面2c外周部2d與佈線基板3上面3a之間所形成之空間21於高度方向上之尺寸 H_1 更大。因此，於形成密封樹脂5時，用以形成密封樹脂5之材料中所含有之填充料等可藉由半導體晶片2之背面2c外周部2d之下方之空間21而變得易於浸入，因而可使填充空間21之密封樹脂5之成分比與其他區域密封樹脂5之成分比更加均一化。藉

此，可更加提高經過硬化之密封樹脂5與半導體晶片2之密著性(接著強度)，故而可更加提高半導體裝置1d之可靠性。

(實施形態5)

圖37係作為本發明其他實施形態之半導體裝置之平面透視圖(上面圖)，圖38係作為本發明更進一步之其他實施形態之半導體裝置之平面透視圖(上面圖)，且分別對應於上述實施形態1之圖7。因此於圖37以及圖38中表示有透視密封樹脂5，半導體晶片2以及接合線4時之半導體裝置之平面透視圖(上面圖)，即用於本實施形態半導體裝置之佈線基板3之上面圖。又，於圖37以及圖38中，用虛線表示半導體晶片2之外形。又，圖37以及圖38為平面圖，但為便於理解，對第1阻焊劑部14a，第2阻焊劑部14b以及自第2阻焊劑部14b之開口部19所露出之連接端子15付與有影線。

本實施形態之半導體裝置，由於除形成於佈線基板3上面3a上之第2阻焊劑部14b之圖案形狀以外之構成，與上述實施形態1之半導體裝置1大致相同故而於此省略其說明，而就形成於本實施形態半導體裝置之佈線基板3上面3a的第2阻焊劑部14b之圖案形狀加以說明。

於本實施形態中，於第2阻焊劑部14b內周部(與第1阻焊劑部14a相對向之第2阻焊劑部14b之四邊，與半導體晶片2之四邊相對向之第2阻焊劑部14b之四邊)，形成有梳形(凹凸狀)圖案。即，第2阻焊劑部14b含有形成於佈線基板3上

面3a之外周部上且具有用以露出連接端子15之開口部19之第1部分61；以及連接於第1部分61，並自第1部分61延伸於接近第1阻焊劑部14a(半導體晶片2)方向之複數個第2部分62。含有梳形圖案之第2阻焊劑部14b之整體膜厚為大致均一。

藉由第1之部分61與複數個第2部分62而形成第2阻焊劑部14b，並於第2阻焊劑部14b內周之四邊上設置梳形圖案(阻焊劑圖案)，藉此，當藉由傳送脫模步驟等而形成密封樹脂5時，將會易於自半導體晶片2之背面2c外周部2d與佈線基板3上面3a間之空間21中排出空氣，故用以形成密封樹脂5之材料之流動性會加強，因而可更加提高密封樹脂對上述空間21之填充性。因此，可更加提高半導體晶片2與密封樹脂5之密著性(接著強度)，故而可更加提高半導體裝置之可靠性。

又，如圖37所示，若第2阻焊劑部14b第2部分62並未延伸至半導體晶片2下方為止，則當將半導體晶片2晶片焊接於佈線基板3之上面3a時，可進一步擴大半導體晶片2之背面2c外周部2d與佈線基板3上面3a之間所形成之空間21，並當形成密封樹脂5時，可使填充料等易於浸入至半導體晶片2之背面2c外周部2d之下方之空間21中。藉此，可使填充空間21之密封樹脂5之成分比與其他區域密封樹脂5之成分比更加均一。又，如圖38所示亦可使第2阻焊劑部14b第2部分62延伸至半導體晶片2之下方為止，故於該情形時，可使連接端子15進一步接近半導體晶片2側，由此將

有利於半導體裝置小型化(小面積化)。

(實施形態6)

圖39係作為本發明其他實施形態之半導體裝置1e之端部附近區域之主要部分剖面圖(部分放大剖面圖)，其對應於上述實施形態1之圖4。圖40係透視密封樹脂5時之半導體裝置1e之平面透視圖(上面圖)，其對應於上述實施形態1之圖6。圖41係透視密封樹脂5、半導體晶片2以及接合線4時之半導體裝置1e之平面透視圖(上面圖)，即用於半導體裝置1e之佈線基板3之上面圖，且其對應於上述實施形態1之圖7。圖42至圖44係模式性表示用於本實施形態之半導體裝置1e之製造的佈線基板31之製造步驟之一示例之平面圖(上面圖)，且其對應於上述實施形態1之圖21至圖23。再者，於圖41中，用虛線表示半導體晶片2之外形。又，圖41為平面圖，但為便於理解，而對第1阻焊劑部14a，第2阻焊劑部14b以及自第2阻焊劑部14b所露出之連接端子15付與有影線。

於上述實施形態1中，半導體裝置1之佈線基板3之上面3a以及下面3b之導體層12，主要通過使用電解電鍍法而形成，而於本實施形態中，半導體裝置1e之佈線基板3之上面3a以及下面3b之導體層12並不使用電解電鍍法，而是使用無電解電鍍法而形成。又，於上述實施形態1中，於半導體裝置1之佈線基板3上面3a之外周端部上形成有第2阻焊劑部14b，而於本實施形態之半導體裝置1e中，如圖39至圖41所示，於佈線基板3上面3a之連接端子15之更外周

側區域並未形成有第2阻焊劑部14b(阻焊劑層14)，而於佈線基板3上面3a之外周端部中，佈線基板3之基材層11與密封樹脂5處於密著(接觸)狀態。由於其他構成與上述實施形態1大致相同，故而於此省略其說明。

首先，就用於本實施形態半導體裝置1e之製造中的佈線基板31之製造步驟加以說明。佈線基板31可例如以如下方式進行製造。

於作為芯材之絕緣性基材層11之上面11a以及下面上藉由無電解電鍍(無電場電鍍)法而形成無電解鍍銅層，並藉由蝕刻等而將該無電解鍍銅層圖案化。於上述實施形態1中，於無電解鍍銅層上，形成有電解鍍銅層，而於本實施形態中，預先形成較厚之無電解鍍銅層，而並非形成電解鍍銅層。可藉由該無電解鍍銅層(銅層)，而形成佈線基板31(佈線基板3)之導體層12。於圖42中，表示有通孔用導體圖案33與連接端子15(用之導體圖案)於基材層11上面藉由無電解鍍銅層(導體層12)而形成之狀態。連接端子15與導體圖案33藉由含有形成於基材層11上面11a之無電解鍍銅層(導體層12)之抽引佈線(省略圖示)而電性連接。又，雖未進行圖示，但於基材層11之下面，藉由無電解鍍銅層(導體層12)而形成有焊盤16。又，於本實施形態中，由於並未使用有電解電鍍法，故而於基材層11之上面11a，並未形成如上述實施形態1般之電鍍佈線(供電線)34。

其次，如圖43所示，於基材層11開口部形成有(通孔、通道、貫通孔)17。開口部17形成於通孔用導體圖案33之

內側。

其次，藉由無電解電鍍法而於開口部17側壁上形成無電解鍍銅層。藉由於該基材層11側壁上所形成之無電解鍍銅層，而形成有開口部17側壁上之上述導體層12。隨後如圖44所示，使用印刷法等以填充開口部17內之方式於基材層11之上面11a以及下面上形成阻焊劑層14。藉此，於基材層11之上面11a，形成有第1阻焊劑部14a與第2阻焊劑部14b。於基材層11之上面11a，連接端子15自阻焊劑層14之開口部19a露出，而於基材層11之下面，焊盤16自阻焊劑層14之開口部露出。用以露出連接端子15之開口部19a形成於第2阻焊劑部14b上，且以橫切第2阻焊劑部14b開口部19a之中央之方式形成有切割區域39。其次，於基材層11之上面11a以及下面上之無電解鍍銅層之露出部(即連接端子15以及焊盤16)上，藉由無電解電鍍法而依次形成有無電解鍍鎳層、無電解鍍鈮層以及鍍金層。其後，可根據需要對基材層11進行外形加工(切斷)而形成佈線基板31。

可使用以如此方式而製造之佈線基板31，製造本實施形態之半導體裝置1e，但由於該製造步驟大致與上述實施形態1相同，故而於此省略其說明。

於本實施形態中，如上述般，使用無電解電鍍法而並非電解電鍍法，形成佈線基板3(佈線基板31)之導體層12。即，並不使用電解電鍍法，而使用無電解電鍍法形成佈線基板3之連接端子15或焊盤16。由於為形成導體層12而並未使用電解電鍍法，故而於佈線基板3之上面3a(佈線基板

31上面31a)，並未形成有如上述實施形態1般之電鍍佈線(供電線)34。又，於本實施形態中，如上所述，因使切割區域39橫切用以露出連接端子15之開口部19a中央，故於佈線基板3上面3a之連接端子15之更外周側區域中並未形成有第2阻焊劑部14b。即，於佈線基板3之上面3a中，第2阻焊劑部14b(阻焊劑層14)並未自連接端子15延伸至佈線基板3之端部。因此，於佈線基板3上面3a之外周端部露出有佈線基板3之基材層11，且所露出之基材層11可與密封樹脂5密著。於本實施形態中，由於於佈線基板3之上面3a之外周端部並未存在有電鍍佈線，而基材層11與密封樹脂5為密著狀態，故而密著性較低之界面不會形成於半導體裝置之側面，由此可提高半導體裝置之可靠性。

又，由於於佈線基板3上面3a之連接端子15之更外周側區域中並未形成有第2阻焊劑部14b，故而於對連接端子15進行打線接合時，可防止毛細管(對應於上述毛細管41)接觸於第2阻焊劑部14b。因此，可穩定進行對連接端子15之打線接合，故可進一步提高連接端子15與接合線4電性連接之可靠性。又，亦可縮小連接端子15之面積，故而有利於實現半導體裝置小型化(小面積化)。又，亦可易於進行將複數個接合線4連接至一個連接端子15中之複數焊接(例如雙倍焊接或三倍焊接)。

(實施形態7)

圖45係作為本發明其他實施形態之半導體裝置1f之主要部分剖面圖，且其對應於上述實施形態6之圖39。

於上述實施形態6之半導體裝置1e中，半導體裝置1e之佈線基板3上面3a以及下面3b之導體層12係使用無電解電鍍法而並非電解電鍍法所形成者，而於本實施形態之半導體裝置1f中，與上述實施形態1之半導體裝置1相同，主要使用電解電鍍法(或電解電鍍法以及無電場電鍍法之組合)形成半導體裝置1之佈線基板3上面3a以及下面3b之導體層12。然而，不同於上述實施形態1之半導體裝置1，本實施形態之半導體裝置1f並非將電鍍佈線(供電線)34形成於基材層11之上面11a上，而是使其形成於基材層11之下面11b上。本實施形態之半導體裝置1f其他構成以及製造步驟大致與上述半導體裝置1e相同。因此，透視密封樹脂5時之半導體裝置1f之平面透視圖(上面圖)與上述實施形態6之圖40相同，而透視密封樹脂5、半導體晶片2以及接合線4時之半導體裝置1f之平面透視圖(上面圖)，即用於半導體裝置1f中之佈線基板3之上面圖與上述實施形態6之圖41相同。即，於本實施形態之半導體裝置1f中亦含有與上述實施形態6之半導體裝置1e相同之阻焊劑層14(第1阻焊劑部14a以及第2阻焊劑部14b)之圖案形狀。由此，與上述實施形態6之半導體裝置1e相同，於本實施形態之半導體裝置1f中，於佈線基板3上面3a之連接端子15之更外周側區域中並未形成有第2阻焊劑部14b(阻焊劑層14)，且於佈線基板3之上面3a之外周端部上，佈線基板3之基材層11與密封樹脂5處於密著(接觸)狀態。

於本實施形態中，由於與上述實施形態6相同，於佈線

基板3上面3a之連接端子15之更外周側區域中亦並未形成有第2阻焊劑部14b，故而可於對連接端子15進行打線接合時，防止毛細管(對應於上述毛細管41)接觸於第2阻焊劑部14b。因此，可穩定進行對連接端子15之打線接合，故而可提高連接端子15與接合線4電性連接之可靠性。又，亦可使連接端子15之面積縮小，故而有利於實現半導體裝置小型化(小面積化)。又，亦可易於進行將複數個接合線4連接至一個連接端子15中之複數焊接(例如雙倍焊接或三倍焊接)。

又，於本實施形態中，主要使用電解電鍍法形成佈線基板3之上面3a以及下面3b之導體層12，但並未將用於電解電鍍時之電鍍佈線(供電線)34形成於基材層11之上面11a上，而是將其形成於基材層11之下面11b上。因此，於佈線基板3之上面3a(佈線基板31上面31a)上，並未形成有電鍍佈線(供電線)34。又，於本實施形態，亦如上述實施形態6所述，因使切割區域39橫切用以露出連接端子15之開口部19a中央，故而於佈線基板3上面3a之連接端子15之更外周側區域中不會形成有第2阻焊劑部14b。即，於半導體裝置1f之佈線基板3之上面3a中，第2阻焊劑部14b(阻焊劑層14)並未自連接端子15延伸至佈線基板3之端部。因此，於佈線基板3上面3a之外周端部中，露出有佈線基板3之基材層11，並所露出之基材層11可與密封樹脂5進行密著。而於本實施形態中，由於於佈線基板3之上面3a外周端部中，並未存在有電鍍佈線，且基材層11與密封樹脂5密

著，故而密著性較低之界面不會形成於半導體裝置側面，因此可提高半導體裝置之可靠性。

(實施形態8)

圖46係作為本發明其他實施形態之半導體裝置1g之平面透視圖(上面圖)，圖47係其剖面圖。圖46對應於上述實施形態1之圖6，且表示有透視密封樹脂5時之半導體裝置1g之平面透視圖(上面圖)。圖47對應於上述實施形態1之圖3，且圖46之B-B線剖面大致對應於圖47。

於上述實施形態1之半導體裝置1中，於佈線基板3上搭載有一個半導體晶片2，而於本實施形態之半導體裝置1g中，於佈線基板3上搭載有複數個半導體晶片2。於此就搭載有2個半導體晶片2之例示加以說明，但並非限定於此，亦可於佈線基板3上搭載2個以上半導體晶片2而製造半導體裝置1g。

於本實施形態中，於佈線基板3之上面3a形成有：第1阻焊劑部14a，其經由接著材8將半導體晶片2接合於佈線基板3之上面3a上；第2阻焊劑部14b，其設置於第1阻焊劑部14a之周圍(外周)，並自其開口部19露出連接端子15，但數量與搭載於佈線基板3上之半導體晶片2數相同之第1阻焊劑部14a形成於佈線基板3之上面3a。例如，如圖46以及圖47般當將2個半導體晶片2搭載於佈線基板3上之情形時，2個第1阻焊劑部14a形成於佈線基板3之上面3a，並經由接著材8而於各第1阻焊劑部14a上接合半導體晶片2。複數個半導體晶片2之複數個電極2a，經由複數個接合線4而電性

連接於佈線基板3之複數個連接端子15上。而其他構成則大致與上述實施形態1相同。

於本實施形態中，由於於分別接合半導體晶片2之第1阻焊劑部14a與第2阻焊劑部14b之間，亦存在有並未形成阻焊劑層14但露出有基材層11之區域(障壁區域)18，故而當將半導體晶片2接合於佈線基板3上時，可防止含有膏材等之接著材8越過區域18而擴散至第2阻焊劑部14b上。藉此，可防止接著材8擴散至連接端子15上，因此可提高接合線4與連接端子15間電性連接之可靠性。

又，於本實施形態中，各半導體晶片2亦經由接著材8而接合於平面尺寸(面積)小於該半導體晶片之第1阻焊劑部14a上。因此，當將各半導體晶片2晶片焊接於佈線基板3之上表面3a時，於各半導體晶片2之背面2c外周部2d下方不會延伸(存在)有第1阻焊劑部14a以及接著材8，而於各半導體晶片2之背面2c外周部2d與佈線基板3之上表面3a之間形成有空間21。因此，當形成密封樹脂5時，由於亦將用以形成密封樹脂5之材料填充於各半導體晶片2之背面2c外周部2d與佈線基板3之上表面3a間之空間21，而經過硬化之密封樹脂5覆蓋各半導體晶片2之表面2b，側面2e，以及背面2c之外周部2d，由此可提高各半導體晶片2與密封樹脂5之密著性(接著強度)，從而可提高半導體裝置1g之可靠性。又，當形成密封樹脂5時，於用於形成密封樹脂5之材料中含有之填充料等，易於浸入各半導體晶片2之背面2c外周部2d之下方空間21，由此可使填充空間21之密封樹脂5之

成分比，與其他區域密封樹脂5之成分比均勻化。藉此，可提高經過硬化之密封樹脂5與各半導體晶片2之密著性(接著強度)，由此可提高半導體裝置1g之可靠性。

(實施形態9)

圖48係作為本發明其他實施形態之半導體裝置1h之平面透視圖(上面圖)。圖49以及圖50係其剖面圖。圖48對應於上述實施形態1之圖6，且表示有透視密封樹脂5時之半導體裝置1h之平面透視圖(上面圖)。又，圖49與圖50係不同之剖面。

於上述實施形態1之半導體裝置1中，於佈線基板3上搭載有一個半導體晶片2，而於本實施形態之半導體裝置1h中，於佈線基板3上搭載有經過積層之複數個半導體晶片2。於此就將2個半導體晶片2進行積層並搭載於佈線基板3上之例示加以說明，但並非限定於此，可以將2個以上半導體晶片2進行積層並搭載於佈線基板3上之方式製造半導體裝置1h。

於本實施形態中，如圖48至圖50所示，於佈線基板3上面3a之第1阻焊劑部14a上經由接著材8而搭載(接合)半導體晶片2，進而經由接著材71將其他半導體晶片2，即半導體晶片70搭載(接合)於半導體晶片2之表面2b上。即，於佈線基板3之上面3a上積層有半導體晶片2以及半導體晶片70。上層側半導體晶片70之平面尺寸(面積)小於下層側半導體晶片2之平面尺寸(面積)。下層側半導體晶片2之複數個電極2a，經由複數個接合線4而電性連接於佈線基板3之複數

個連接端子15。上層側半導體晶片70之複數個電極70a，經由接合線4而電性連接於半導體晶片2之複數個電極2a及/或佈線基板3之複數個連接端子15上。而其他構成則大致與上述實施形態1相同。

於本實施形態中，於接合下層側半導體晶片2之第1阻焊劑部14a與第2阻焊劑部14b之間，亦存在有並未形成有阻焊劑層14而露出有基材層11之區域(障壁區域)18，故而於將半導體晶片2晶片焊接於佈線基板3上時，可防止含有膏材等之接著材8越過區域18而擴散至第2阻焊劑部14b上。藉此，可防止接著材8擴散至連接端子15上，由此可提高接合線4與連接端子15間電性連接之可靠性。

又，於本實施形態中，下層側半導體晶片2，亦經由接著材8接合於平面尺寸(面積)小於該半導體晶片2之第1阻焊劑部14a上。因此，當將下層側半導體晶片2晶片焊接於佈線基板3之上表面3a時，第1阻焊劑部14a以及接著材8不會延伸(存在)於下層側半導體晶片2之背面2c外周部2d之下方，而於下層側半導體晶片2之背面2c外周部2d與佈線基板3之上表面3a間形成有空間21。因此，於形成密封樹脂5時，由於亦將用以形成密封樹脂5之材料填充於下層側半導體晶片2之背面2c外周部2d與佈線基板3之上表面3a間之空間21，且經過硬化之密封樹脂5覆蓋下層側半導體晶片2之表面2b、側面2e及背面2c外周部2d與上層側半導體晶片70表面以及側面，故而可提高半導體晶片2、70與密封樹脂5之密著性(接著強度)，並可提高半導體裝置1h之可靠性。又，

當形成密封樹脂5時，用以形成密封樹脂5之材料中所含有之填充劑等，易於浸入至下層側半導體晶片2之背面2c外周部2d下方之空間21中，故可使填充空間21之密封樹脂5之成分比與其他區域密封樹脂5之成分比均一化。藉此可進而提高經過硬化之密封樹脂5與各半導體晶片2之密著性(接著強度)，因此可提高半導體裝置1h之可靠性。

又，於本實施形態中，可藉由將複數個半導體晶片2進行積層，於此可藉由將其他半導體晶片70積層於半導體晶片2上，而實現半導體裝置小型化(低面積化)。

以上，基於其他實施形態具體說明由本發明者所完成之發明，但本發明並非限定於上述實施形態者，毋庸置疑於不脫離其精神之範圍內可進行各種變更。

又，本發明可適用於佈線基板上搭載有半導體晶片之各種半導體封裝形態之半導體裝置，但若適用CSP(Chip Size Package)般之小型半導體封裝形態之半導體裝置，則效果更為顯著。

又，於上述實施形態1至9中，於佈線基板3上面3a之阻焊劑層14之第1阻焊劑部14a與第2阻焊劑部14b之間，設有並未形成有阻焊劑層14而露出有基材層11之區域(障壁區域)18，但亦可設置阻焊劑層14之凹部(槽部)而代替露出有基材層11之區域18。即，於區域18中，亦可以薄於第1以及第2阻焊劑部14a、14b之方式殘存(存在)阻焊劑層14，且該情形亦包含於本發明中。如此般，亦於區域18中，較薄殘存有阻焊劑層14，並於佈線基板3上面3a之阻焊劑層14

中，藉由凹凸而設有第1阻焊劑部14a(凸部)、第2阻焊劑部14b(凸部)，及該等間之凹部(與上述區域18相對應之位置凹部)之情形時，亦可獲得大致與上述實施形態1至9同樣之效果。其中，如上述實施形態1至9般，由於於第1阻焊劑部14a與第2阻焊劑部14b間之區域18中露出有基材層11之情形者，較之於區域18較薄殘存有阻焊劑層14之情形者，可進一步加深形成於第1阻焊劑部14a與第2阻焊劑部14b間之凹部(槽部)深度，故而於將半導體晶片2晶片焊接於佈線基板3上後，可進一步確實防止接著材8擴散至第2阻焊劑部14b上或連接端子15上，因而可使提高接合線4與連接端子15間電性連接之可靠性之效果增大。

[產業上之可利用性]

本發明可適用於佈線基板上搭載有半導體晶片之半導體裝置以及其之製造技術。

【圖式簡單說明】

圖1係本發明一實施形態之半導體裝置之上面圖。

圖2係圖1之半導體裝置之下面圖。

圖3係圖1之半導體裝置之剖面圖。

圖4係圖1之半導體裝置之主要部分剖面圖。

圖5係圖1之半導體裝置之側面圖。

圖6係透視密封樹脂時之圖1中的半導體裝置之平面透視圖。

圖7係透視密封樹脂、半導體晶片以及接合線時之圖1中的半導體裝置之平面透視圖。

圖 8 係第 1 比較例之半導體裝置之主要部分剖面圖。

圖 9 係第 2 比較例之半導體裝置之主要部分剖面圖。

圖 10 係第 3 比較例之半導體裝置之主要部分剖面圖。

圖 11 係本發明之其他實施形態之半導體裝置之主要部分剖面圖。

圖 12 係圖 11 之半導體裝置之平面透視圖。

圖 13 係作為本發明一實施形態之半導體裝置之製造步驟中之剖面圖。

圖 14 係繼續圖 13 之半導體裝置製造步驟中之剖面圖。

圖 15 係繼續圖 14 之半導體裝置製造步驟中之剖面圖。

圖 16 係繼續圖 15 之半導體裝置製造步驟中之剖面圖。

圖 17 係繼續圖 16 之半導體裝置製造步驟中之剖面圖。

圖 18 係繼續圖 17 之半導體裝置製造步驟中之剖面圖。

圖 19 係繼續圖 18 之半導體裝置製造步驟中之剖面圖。

圖 20 係繼續圖 19 之半導體裝置製造步驟中之剖面圖。

圖 21 係表示佈線基板製造步驟之平面圖。

圖 22 係繼續圖 21 之佈線基板製造步驟中之平面圖。

圖 23 係繼續圖 22 之佈線基板製造步驟中之平面圖。

圖 24 係作為本發明一實施形態之半導體裝置製造步驟中之主要部分剖面圖。

圖 25 係作為本發明一實施形態之半導體裝置製造步驟中之平面圖。

圖 26 係打線接合步驟之說明圖。

圖 27 係打線接合步驟之說明圖。

圖 28 係作為本發明一實施形態之半導體裝置製造步驟中之主要部分剖面圖

圖 29 係作為本發明一實施形態之半導體裝置之其他主要部分剖面圖。

圖 30 係作為本發明其他實施形態之半導體裝置之主要部分剖面圖。

圖 31 係打線接合步驟之說明圖。

圖 32 係打線接合步驟之說明圖。

圖 33 係打線接合步驟之說明圖。

圖 34 係作為本發明其他實施形態之半導體裝置之主要部分剖面圖。

圖 35 係圖 34 之半導體裝置之平面透視圖。

圖 36 係作為本發明其他實施形態之半導體裝置之主要部分剖面圖。

圖 37 係作為本發明其他實施形態之半導體裝置之平面透視圖。

圖 38 係作為本發明其他實施形態之半導體裝置之平面透視圖。

圖 39 係作為本發明其他實施形態之半導體裝置之主要部分剖面圖。

圖 40 係圖 39 之半導體裝置之平面透視圖。

圖 41 係圖 39 之半導體裝置之平面透視圖。

圖 42 係表示用於圖 39 之半導體裝置製造中的佈線基板製造步驟之平面圖。

圖 43 係繼續圖 42 之佈線基板製造步驟中之平面圖。

圖 44 係繼續圖 43 之佈線基板製造步驟中之平面圖。

圖 45 係作為本發明其他實施形態之半導體裝置之主要部分剖面圖。

圖 46 係作為本發明其他實施形態之半導體裝置之平面透視圖。

圖 47 係圖 46 之半導體裝置之剖面圖。

圖 48 係作為本發明其他實施形態之半導體裝置之平面透視圖。

圖 49 係圖 48 之半導體裝置之剖面圖。

圖 50 係圖 48 之半導體裝置之其他剖面圖。

【主要元件符號說明】

1	半導體裝置
1a	半導體裝置
1b	半導體裝置
1c	半導體裝置
1d	半導體裝置
1e	半導體裝置
1f	半導體裝置
1g	半導體裝置
1h	半導體裝置
2	半導體晶片
2a	電極
2b	表面

2c	背 面
2d	外 周 部
2e	側 面
2f	端 部
3	佈 線 基 板
3a	上 面
3b	下 面
4	接 合 線
5	密 封 樹 脂
5a	密 封 樹 脂
6	錫 球
8	接 著 材
11	基 材 層
11a	上 面
11b	下 面
12	導 體 層
14	阻 焊 劑 層
14a	第 1 阻 焊 劑 部
14b	第 2 阻 焊 劑 部
14c	第 3 阻 焊 劑 部
15	連 接 端 子
16	焊 盤
17	開 口 部
18	區 域

18a	區域
18b	區域
19	開口部
19a	開口部
20a	開口部
20b	後退部
21	空間
31	佈線基板
32	半導體裝置區域
33	導體圖案
34	電鍍佈線
35	凸塊
36	雷射
41	毛細管
61	第1部分
62	第2部分
70	半導體晶片
70a	電極
71	接著材
101	半導體裝置
103	佈線基板
103a	上面
114	阻焊劑層
201	半導體裝置

203	佈線基板
203a	上面
214	阻焊劑層
214a	第1阻焊劑部
214b	第2阻焊劑部
218	區域
221	空間
301	半導體裝置

五、中文發明摘要：

本發明係提高半導體裝置之可靠性。本發明於佈線基板3之上面3a形成有第1阻焊劑部14a與第2阻焊劑部14b，並於第1阻焊劑部14a上經由接著材8接合有半導體晶片2。半導體晶片2之電極2a經由接合線4電性連接於自第2阻焊劑部14b之開口部19所露出之連接端子15上。於佈線基板3之上面3a，以覆蓋半導體晶片2以及接合線4之方式形成有密封樹脂5。第1阻焊劑部14a之平面尺寸小於半導體晶片2之平面尺寸，且於半導體晶片2之背面2c之外周部2d下方亦填充有密封樹脂5。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置之製造方法，其特徵在於包含以下步驟：

準備佈線基板，該佈線基板包含：基材層，其平面形狀為四角形所構成；複數佈線，設於前述基材層之主面；複數連接端子，沿前述基材層之各邊配置，並與前述複數佈線之每一者一體地形成；絕緣膜，其以露出前述基材層之周緣部及前述複數連接端子之方式覆蓋前述複數佈線；及開口部，形成於前述絕緣膜中較前述複數連接端子更內側之區域，並使前述複數佈線之每一者之一部份及前述基材層之一部份露出；

準備半導體晶片，該半導體晶片具有形成有複數電極之主面以及與前述主面對向之背面；

經由供給於前述絕緣膜中較前述開口部更內側之區域的膏狀接著材，以前述半導體晶片之背面與前述佈線基板之主面對向之方式，將前述半導體晶片搭載於前述佈線基板之主面上；

將前述半導體晶片之複數電極墊與前述佈線基板之複數連接端子經由複數接合線一一電性連接；

將前述半導體晶片、前述複數接合線、及前述佈線基板之主面以樹脂密封。

2. 如請求項1之半導體裝置之製造方法，其中

前述複數接合線之連接係使用毛細管所進行。

3. 如請求項1之半導體裝置之製造方法，其中

以前述半導體晶片之端部與前述絕緣膜之開口部平面性地重疊之方式，將前述半導體晶片搭載於前述佈線基板之主面上。

4. 如請求項3之半導體裝置之製造方法，其中

以將前述半導體晶片主面、前述半導體晶片之側面、及前述半導體晶片之背面之一部份以前述樹脂覆蓋之方式密封。

5. 如請求項3之半導體裝置之製造方法，其中

前述開口部係沿前述半導體晶片之端部形成。

6. 如請求項3之半導體裝置之製造方法，其中

前述開口部之平面形狀形成為環狀。

7. 如請求項3之半導體裝置之製造方法，其中

前述半導體晶片之平面形狀為四角形所構成；

前述半導體晶片係以前述半導體晶片之各邊與前述佈線基板之各邊並排之方式搭載於前述佈線基板之主面上；

前述開口部係沿前述半導體晶片之各邊所形成；

前述開口部之角部朝前述佈線基板之角部後退。

8. 如請求項7之半導體裝置之製造方法，其中

前述開口部之各邊之各自一部份朝前述佈線基板之各邊後退。

9. 一種半導體裝置，其特徵在於包含：

佈線基板，其包含：基材層，其平面形狀為四角形所構成；複數佈線，設於前述基材層之主面；複數連接端

子，沿前述基材層之各邊配置，並與前述複數佈線之每一者一體地形成；絕緣膜，其以露出前述基材層之周緣部及前述複數連接端子之方式覆蓋前述複數佈線；及開口部，形成於前述絕緣膜中較前述複數連接端子更內側之區域，並使前述複數佈線之每一者之一部份及前述基材層之一部份露出；

膏狀接著材，供給於前述絕緣膜中較前述開口部更內側之區域；

半導體晶片，其具有形成有複數電極之主面以及與前述主面對向之背面，且以前述背面與前述佈線基板之主面對向之方式，經由前述接著材搭載於前述佈線基板之主面上；

複數接合線，將前述半導體晶片之複數電極墊與前述佈線基板之複數連接端子一一電性連接；

密封樹脂，將前述半導體晶片、前述複數接合線、及前述佈線基板之主面密封。

10. 如請求項9之半導體裝置，其中

前述開口部形成於前述絕緣膜中與前述半導體晶片之端部平面性地重疊之區域。

11. 如請求項10之半導體裝置，其中

前述密封樹脂係以將前述半導體晶片主面、前述半導體晶片之側面、及前述半導體晶片之背面之一部份覆蓋之方式所形成。

12. 如請求項10之半導體裝置，其中

前述開口部係沿前述半導體晶片之端部形成。

13. 如請求項10之半導體裝置，其中

前述開口部之平面形狀形成為環狀。

14. 如請求項10之半導體裝置，其中

前述半導體晶片之平面形狀為四角形所構成；

前述半導體晶片係以前述半導體晶片之各邊與前述佈線基板之各邊並排之方式搭載於前述佈線基板之主面上；

前述開口部係沿前述半導體晶片之各邊所形成；

前述開口部之角部朝前述佈線基板之角部後退。

15. 如請求項14之半導體裝置，其中

前述開口部之各邊之各自一部份朝前述佈線基板之各邊後退。

16. 一種半導體裝置，其特徵在於包括：

(a) 佈線基板，其包含：基材層，其平面形狀為四角形所構成；複數佈線，設於前述基材層之主面；複數連接端子，沿前述基材層之各邊配置；絕緣膜，其以使前述複數連接端子自前述絕緣膜露出之方式覆蓋前述複數佈線；及凹部，形成於前述絕緣膜；

(b) 膏狀接著材，供給於較前述凹部平面性地更內側之前述絕緣膜；

(c) 半導體晶片，具有主面、與前述主面為相反側之背面、及形成於前述主面之複數電極墊，並以前述半導體晶片之周緣部與前述凹部平面性地重疊之方式，經由

前述接著材搭載於前述佈線基板之前述主面上；

(d) 複數接合線，將前述半導體晶片之前述複數電極墊與前述佈線基板之前述複數連接端子一一電性連接；

(e) 密封樹脂，將前述半導體晶片、前述複數接合線、及前述佈線基板之主面密封；

前述複數連接端子分別與前述複數佈線一體地形成；

前述凹部係較前述複數連接端子平面性地更內側配置；

前述凹部與前述連接端子之間之前述絕緣膜自前述佈線基板之前述主面突出；

前述接著材包含膏狀材料；

前述凹部之一部份位於較前述半導體晶片平面性地更外側；

前述密封樹脂之一部份與自前述接著材露出之前述半導體晶片的前述背面接觸。

17. 如請求項16之半導體裝置，其中

前述絕緣膜係以前述基材層之前述周緣部與前述複數連接端子之每一者自前述絕緣膜露出之方式覆蓋前述複數佈線。

18. 如請求項16之半導體裝置，其中

前述凹部係使前述複數佈線之每一者之一部份與前述基材層之一部份露出。

19. 如請求項16之半導體裝置，其中

前述半導體晶片與前述密封樹脂之密著性高於前述接

著材與前述密封樹脂之密著性。

20. 如請求項16之半導體裝置，其中

自前述接著材露出之前述半導體晶片之前述主面、前述半導體晶片之側面、及前述半導體晶片之前述背面，係以前述密封樹脂覆蓋。

21. 如請求項16之半導體裝置，其中

前述凹部係沿前述半導體晶片之端部所形成。

22. 如請求項16之半導體裝置，其中

前述凹部之平面形狀形成為環狀。

23. 如請求項16之半導體裝置，其中

前述半導體晶片之平面形狀為四角形所構成；

前述半導體晶片係以前述半導體晶片之各邊與前述佈線基板之各邊並排之方式搭載於前述佈線基板之主面上；

前述凹部係沿前述半導體晶片之各邊所形成；

前述凹部之角部朝前述佈線基板之角部後退。

24. 如請求項16之半導體裝置，其中

前述凹部之各邊之各自一部份朝前述佈線基板之各邊後退。

七、指定代表圖：

(一)本案指定代表圖為：第（ 4 ）圖。

(二)本代表圖之元件符號簡單說明：

1	半 導 體 裝 置
2	半 導 體 晶 片
2a	電 極
2b	表 面
2c	背 面
2d	外 周 部
2e	側 面
2f	端 部
3	佈 線 基 板
3a	上 面
3b	下 面
4	接 合 線
5	密 封 樹 脂
6	錫 球
8	接 著 材
11	基 材 層
11a	上 面
11b	下 面
12	導 體 層
14	阻 焊 劑 層
14a	第 1 阻 焊 劑 層

14b	第2阻焊劑層
15	連接端子
16	焊盤
17, 19	開口部
18	區域
21	空間
T ₁ , T ₂	厚度

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)