



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I865084 B

(45)公告日：中華民國 113 (2024) 年 12 月 01 日

(21)申請案號：112137937

(22)申請日：中華民國 99 (2010) 年 10 月 27 日

(51)Int. Cl. : **H01L27/105 (2023.01)**

(30)優先權：2009/10/29 日本 2009-249330

2010/01/22 日本 2010-012619

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200933754A US 4902637A1

US 2009/0114918A1

審查人員：張展溢

申請專利範圍項數：23 項 圖式數：31 共 134 頁

(54)名稱

半導體裝置

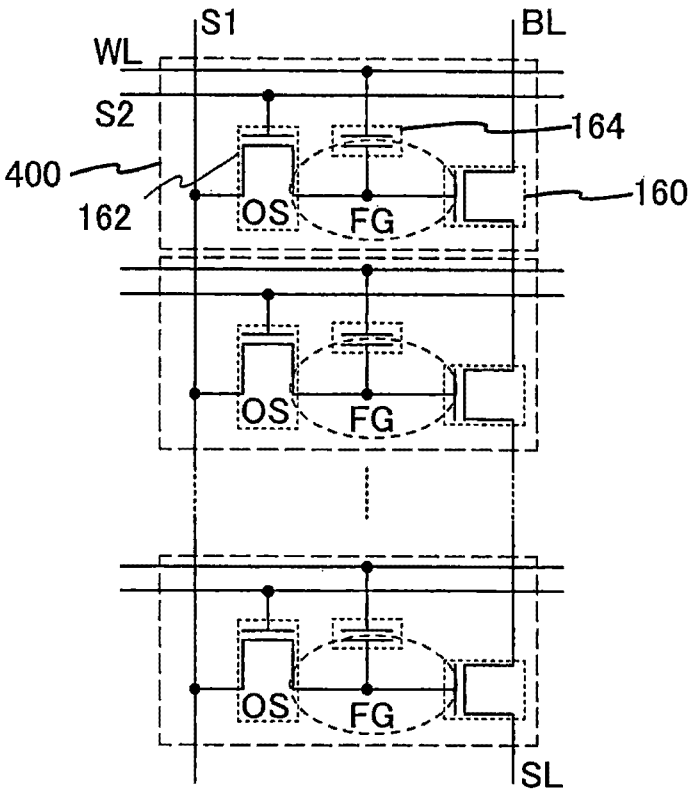
(57)摘要

揭露一種能夠作用為記憶體裝置之半導體裝置。記憶體裝置包含複數個記憶胞，且記憶胞之每一個含有第一電晶體及第二電晶體。第一電晶體設置在含有半導體材料之基板上方，並在基板中具有通道形成區域。第二電晶體具有氧化物半導體層。第一電晶體的閘極電極與第二電晶體的源極及汲極電極之一互相電連接。第二電晶體之極低關閉電流允許儲存在記憶胞中的資料即使在無電力供應下仍可被保留一段顯著長的時間。

Disclosed is a semiconductor device capable of functioning as a memory device. The memory device comprises a plurality of memory cells, and each of the memory cells contains a first transistor and a second transistor. The first transistor is provided over a substrate containing a semiconductor material and has a channel formation region in the substrate. The second transistor has an oxide semiconductor layer. The gate electrode of the first transistor and one of the source and drain electrodes of the second transistor are electrically connected to each other. The extremely low off current of the second transistor allows the data stored in the memory cell to be retained for a significantly longtime even in the absence of supply of electric power.

指定代表圖：

第17A圖



- 符號簡單說明：
- 160:電晶體
 - 162:電晶體
 - 164:電容器
 - 400:記憶胞
 - OS:氧化物半導體層
 - SL:源極線
 - S1:第一信號線
 - S2:複數第二信號線
 - BL:位元線
 - WL:字線
 - FG:浮置閘極部

【發明摘要】

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【中文】

揭露一種能夠作用為記憶體裝置之半導體裝置。記憶體裝置包含複數個記憶胞，且記憶胞之每一個含有第一電晶體及第二電晶體。第一電晶體設置在含有半導體材料之基板上方，並在基板中具有通道形成區域。第二電晶體具有氧化物半導體層。第一電晶體的閘極電極與第二電晶體的源極及汲極電極之一互相電連接。第二電晶體之極低關閉電流允許儲存在記憶胞中的資料即使在無電力供應下仍可被保留一段顯著長的時間。

【英文】

Disclosed is a semiconductor device capable of functioning as a memory device. The memory device comprises a plurality of memory cells, and each of the memory cells contains a first transistor and a second transistor. The first transistor is provided over a substrate containing a semiconductor material and has a channel formation region in the substrate. The second transistor has an oxide semiconductor layer. The gate electrode of the first transistor and one of the source and drain electrodes of the second transistor are electrically connected to each other. The extremely low off current of the second transistor allows the data stored in the memory cell to be retained for a significantly long time even in the absence of supply of electric power.

【代表圖】

【本案指定代表圖】：第 17A 圖

【本代表圖之符號簡單說明】：

160：電晶體

162：電晶體

164：電容器

400：記憶胞

OS：氧化物半導體層

SL：源極線

S1：第一信號線

S2：複數第二信號線

BL：位元線

WL：字線

FG：浮置閘極部

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

【發明說明書】

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【技術領域】

揭露之本發明關於使用半導體元件之半導體裝置及半導體裝置的製造方法。

【先前技術】

使用半導體元件之記憶體裝置大致分成兩類：當電源停止時喪失已儲存的資料之依電性裝置，及即使在不供應電力時仍保留已儲存的資料之非依電性裝置。

依電性記憶體裝置之一典型實例為動態隨機存取記憶體（DRAM）。DRAM以一種方式儲存資料而選擇包括在記憶體元件中之電晶體並儲存電荷於電容器中。

當從DRAM讀取資料時，電容器中之電荷會基於上述原理而喪失。此外，包括在記憶體元件中之電晶體具有漏電流，且即使在未選擇電晶體時電荷流入或流出電容器，所以資料保留時間為短。出於這個原因，在預定間隔之另一寫入操作（更新操作）為必要，且難以充分減少耗電量。此外，由於在電源停止時儲存的資料會喪失，需要使

用磁性材料或光學材料之額外的記憶體裝置來長期保留資料。

依電性記憶體裝置的另一實例為靜態隨機存取記憶體（SRAM）。SRAM藉由使用如正反器之電路來保留已儲存資料而因此無需更新操作。這意指SRAM優於DRAM。然而，每儲存容量之費用會增加，因為使用了如正反器之電路。此外，如在DRAM中般，在電源停止時SRAM中之已儲存的資料會喪失。

非依電性記憶體裝置之一典型實例為快閃記憶體。快閃記憶體包括在電晶體中之閘極電極與通道形成區域之間的浮置閘極並藉由在浮置閘極中保留電荷來儲存資料。因此，快閃記憶體具有資料保留時間極久的優點（幾乎永久）且無需依電性記憶體裝置中所必要的更新操作（如參見專利文獻1）。

然而，包括在記憶體元件中之閘極絕緣層會被在寫入中流動之穿隧電流惡化，所以在多次寫入操作之後記憶體元件會停止其之功能。為了避免此問題，例如採用均等化記憶體元件之寫入操作次數的方法。然而，額外需要複雜的補充電路來實現此方法。此外，採用這類方法不會解決壽命之根本問題。換言之，快閃記憶體不適合用於其中頻繁重寫資料的應用。

另外，高電壓為注入電荷至浮置閘極或移除電荷所必要。此外，注入或移除電荷會花上頗長的時間，且無法輕易以較高速執行寫入及抹除。

[參考]

專利文獻1：日本公開專利申請案第S57-105889號

【發明內容】

有鑑於上述問題，在此揭露的本發明之一實施例的目的在於提供具有新穎結構的半導體裝置，其中即使在未供應電力時仍可保留已儲存資料且其中無寫入次數的限制。

本發明之一實施例為半導體裝置，具有使用氧化物半導體來形成之電晶體和使用非氧化物半導體的材料來形成之電晶體的分層結構。可例如採用下列結構。

本發明之一實施例為半導體裝置，包括第一線（源極線）、第二線（位元線）、第三線（第一信號線）、第四線（第二信號線）、具有第一閘極電極、第一源極電極、及第一汲極電極的第一電晶體、及具有第二閘極電極、第二源極電極、及第二汲極電極的第二電晶體。第一電晶體設置在包括半導體材料之基板上方。第二電晶體包括氧化物半導體層。第一閘極電極與第二源極電極和第二汲極電極之一互相電連接。第一線（源極線）與第一源極電極互相電連接。第二線（位元線）與第一汲極電極互相電連接。第三線（第一信號線）與第二源極電極和第二汲極電極之另一互相電耦合。第四線（第二信號線）與第二閘極電極互相電連接。

在上述結構中，第一電晶體包括設置在包括半導體材料的基板上方之通道形成區域、設置以夾住通道形成區域

的雜質區域、在通道形成區域上方的第一閘極絕緣層、在第一閘極絕緣層上方的第一閘極電極、以及電連接至雜質區域的第一源極電極和第一汲極電極。

在上述結構中，第二電晶體包括設置在包括半導體材料的基板上方之第二閘極電極、在第二閘極電極上方的第二閘極絕緣層、在第二閘極絕緣層上方的氧化物半導體層、以及電連接至氧化物半導體層的第二源極電極和第二汲極電極。

在上述結構中，包括半導體材料的基板較佳為單晶半導體基板或SOI基板。尤其，半導體材料較佳為矽。

在上述結構中，氧化物半導體層較佳包括In-Ga-Zn-O為基之氧化物半導體材料。尤其，氧化物半導體層較佳包括 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶體。此外，氧化物半導體層之氫濃度較佳為 $5 \times 10^{19} \text{ atoms/cm}^3$ 或更少。第二電晶體的關閉電流較佳為 $1 \times 10^{-13} \text{ A}$ 或更少，更佳為 $1 \times 10^{-20} \text{ A}$ 或更少。

在上述結構中，第二電晶體可設置在與第一電晶體重疊的區域中。

注意到在此說明書中，諸如「上方」或「下方」之用詞不一定意指一構件放置在另一構件的「直接上方」或「直接下方」。例如，「在閘極絕緣層上方之第一閘極電極」的詞句不排除其中一構件設置在閘極絕緣層與閘極電極之間的情況。此外，諸如「上方」或「下方」之用詞僅為了敘述方便而用且可包括其中構件的位置關係對調的情況，除非另有所指。

此外，在此說明書中，諸如「電極」或「線」之用詞不限於構件的功能。例如，「電極」有時用為「線」之部分，且反之亦然。此外，「電極」或「線」之用詞可包括其中以積體方式形成複數「電極」或「線」的情況。

當例如使用相反極性的電晶體時或當電流流動方向在電路操作之中改變時，「源極」及「汲極」的功能有時會互換。因此，在此說明書及之類中可互換「源極」及「汲極」之用詞。

注意到在此說明書中，「電連接」之用詞包括其中經由具有任何電功能的物件連接之構件的情況。對於具有任何電功能的物件無任何特定限制，只要可在經由此物件連接之構件間傳送並接收電信號。

具有任何電功能的物件之一實例為切換元件，如電晶體、電阻器、電感器、電容器、及具有各種功能的元件，還有電極和線。

一般而言，「SOI基板」之用詞意指其中矽半導體層設置在絕緣表面上之基板。在此說明書中，「SOI基板」之用詞亦包括其中使用非矽之材料所形成的半導體層設置在絕緣表面上的基板在其類別之中。亦即，包括在「SOI基板」中之半導體層不限於矽半導體層。在「SOI基板」中之基板不限於諸如矽晶圓的半導體基板且可為諸如玻璃基板、石英基板、藍寶石基板、或金屬基板的非半導體基板。換言之，「SOI基板」亦包括具有絕緣表面之導電基板或設有以半導體材料形成之層的絕緣基板在其類別之

中。此外，在此說明書中，「半導體基板」之用詞不僅意指僅使用一半導體材料所形成之基板，而可指包括半導體材料之所有基板。亦即，在此說明書中，「SOI基板」亦包括在「半導體基板」之類別中。

本發明之一實施例提供半導體裝置，其中包括非氧化物半導體的材料之電晶體設置在下部且包括氧化物半導體之電晶體設置在上部。

由於包括氧化物半導體之電晶體的關閉電流極低，藉由使用該電晶體可保留已儲存資料極長的時間。換言之，可大幅減少耗電量，因為更新操作變成不必要或更新操作的頻率可極低。此外，即使在未供應電力時仍可長時間保留已儲存的資料。

此外，無需高電壓來寫入資料，且元件的惡化微不足道。另外，藉由切換於電晶體之啓通與關閉狀態之間來寫入資料，藉此可輕易實現高速操作。還有，由於可藉由控制至電晶體的潛在輸入來重寫資料，無需抹除資料的操作，這又是一個優點。

由於包括非氧化物半導體之材料的電晶體可在比包括氧化物半導體之電晶體更高的速操作，可藉由使用該電晶體來以高速讀出已儲存的資料。

可藉由包括非氧化物半導體的材料之電晶體及包括氧化物半導體的電晶體兩者來實現具有新穎特徵之半導體裝置。

【圖式簡單說明】

在附圖中：

第1圖為半導體裝置之電路圖；

第2A及2B圖為繪示半導體裝置的剖面圖及平面圖；

第3A至3H圖為繪示製造半導體裝置的步驟之剖面圖；

第4A至4G圖為繪示製造半導體裝置的步驟之剖面圖；

第5A至5D圖為繪示製造半導體裝置的步驟之剖面圖；

第6圖為半導體裝置之剖面圖；

第7A及7B圖各為繪示半導體裝置之剖面圖；

第8A及8B圖各為繪示半導體裝置之剖面圖；

第9A及9B圖各為繪示半導體裝置之剖面圖；

第10A至10F圖各繪示電子裝置；

第11圖為包括氧化物半導體之反交錯型電晶體的剖面圖；

第12A及12B圖為第11圖中之剖面A-A'的能帶圖（示意圖）；

第13A圖繪示其中施加正電位（ $+V_G$ ）至閘極（GE1）的狀態，以及第13B圖繪示其中施加負電位（ $-V_G$ ）至閘極（GE1）的狀態；

第14圖繪示繪示真空能階、金屬的工作函數（ ϕ_M ）、及氧化物半導體之電子親和力（ χ ）之關係；

第15A及15B圖為半導體裝置的電路圖；

第16圖為半導體裝置的電路圖；

第17A及17B圖為半導體裝置的電路圖；

第18A至18C圖為半導體裝置的電路圖；

第19圖為半導體裝置的電路圖；

第20圖為繪示電位關係的時序圖；

第21圖為半導體裝置的電路圖；

第22A及22B圖為繪示半導體裝置的剖面圖及平面圖；

第23A至23D圖為繪示半導體裝置的剖面圖；

第24A至24C圖為繪示半導體裝置的剖面圖；

第25圖為顯示包括氧化物半導體之電晶體的特性之圖；

第26圖為評估包括氧化物半導體之電晶體的特性之電路圖；

第27圖為評估包括氧化物半導體之電晶體的特性之時序圖；

第28圖為顯示包括氧化物半導體之電晶體的特性之圖；

第29圖為顯示包括氧化物半導體之電晶體的特性之圖；

第30圖為顯示包括氧化物半導體之電晶體的特性之圖；以及

第31圖為顯示記憶體窗寬度之評估結果的圖。

【實施方式】

將參考附圖於下說明本發明之實施例的實例。注意到本發明不限於下列說明，且熟悉此技藝人士輕易了解到可以各種方式修改在此揭露的模式及細節而不背離本發明之精神與範疇。因此，本發明不應解釋成限於包括在此之實施例的內容。

注意到在某些情況中爲了方便了解而未準確地表示圖中所示之各個結構的位置、大小、範圍、或之類的。因此，本發明之實施例不一定限於圖中所揭露之這類位置、大小、範圍、或之類的。

在此說明書中，使用諸如「第一」、「第二」、及「第三」的順序數以避免混淆構件，且這些用詞不意味構件數量之限制。

（實施例1）

在此實施例中，將參照第1圖、第2A和2B圖、第3A至3H圖、第4A至4G圖、第5A至5D圖、第6圖、第7A和7B圖、第8A和8B圖、及第9A和9B圖說明在此揭露之根據本發明之一實施例的結構及半導體裝置的製造方法。

<半導體裝置之電路組態>

第1圖繪示半導體裝置之電路組態的一實例。半導體裝置包括使用非氧化物半導體（如矽）的材料所形成之電晶體160，及使用氧化物半導體所形成之電晶體162。注意

到第1圖中所示之半導體裝置在下列說明中之某些情況中稱為記憶胞。

在此，電晶體160的閘極電極電連接至電晶體162的源極電極和汲極電極之一。第一線（亦稱為源極線SL）電連接至電晶體160的源極電極。第二線（亦稱為位元線BL）電連接至電晶體160的汲極電極。第三線（亦稱為第一信號線）電連接至電晶體162的源極電極和汲極電極之另一。第四線（亦稱為第二信號線）電連接至電晶體162的閘極電極。

由於包括非氧化物半導體層的材料之電晶體160可在比包括氧化物半導體層之電晶體更高的速度操作，可藉由使用電晶體160來以高速讀出已儲存的資料。此外，包括氧化物半導體層的電晶體162具有極低的關閉電流。針對那些原因，可藉由關閉電晶體162來將電晶體160的閘極電極之電位保持極長的時間。此外，在包括氧化物半導體層之電晶體162中，不會發生短通道效應，其又是一個優點。

使用可保持閘極電極之電位的優點，可以下列方式執行資料的寫入、保持、及讀取。

首先，將說明資料的寫入及保持。首先，將第四線之電位設定在會啓通電晶體162的電位，並啓通電晶體162。因此，將第三線之電位供應至電晶體160的閘極電極（寫入）。之後，將第四線的電位設置在會關閉電晶體162的電位，並關閉電晶體162，藉此保持電晶體160的閘極電極

之電位（保持）。

由於電晶體 162 之關閉電流極低，可保持電晶體 160 之閘極電極的電位極長的時間。例如，當電晶體 160 之閘極電極的電位為會啓通電晶體 160 之電位時，可長時間維持電晶體 160 之啓通狀態。此外，當電晶體 160 之閘極電極的電位為會關閉電晶體 160 之電位時，可長時間維持電晶體 160 之關閉狀態。

再來將說明資料之讀取。當在其中如上述般維持電晶體 160 的啓通狀態或關閉狀態之狀態中將預定電位（低電位）供應至第一線時，第二線之電位隨電晶體 160 的啓通狀態或關閉狀態而變。例如，當電晶體 160 啓通時，第二線的電位在第一線之電位影響下變成較低。相反地，當電晶體 160 關閉時，第二線的電位不改變。

依此方式，在其中保持資料之狀態中互相比較第二線的電位與預定電位，藉此可讀出資料。

第三，將說明資料的重寫。以和資料之寫入和保持類似的方式來執行資料的重寫。亦即，將第四線的電位設定在啓通電晶體 162 的電位，並啓通電晶體 162。因此，將第三線之電位（新資料的電位）供應至電晶體 160 的閘極電極。之後，將第四線的電位設定在關閉電晶體 162 的電位，並關閉電晶體 162，藉此儲存新資料。

在於此揭露之根據本發明的半導體裝置中，可藉由如上述般的另一資料寫入來直接重寫資料。針對那個原因，無需快閃記憶體或之類所必要的抹除操作，因此可防止抹

除操作所導致之操作速度的減低。換言之，可實現半導體裝置的高速操作。

由於包括氧化物半導體層之電晶體162的針對寫入之關閉電流極小，可長時間保持電晶體160的閘極電極之電位。因此，例如，可無需傳統DRAM所需之更新操作，或者更新操作的頻率可顯著地低（如大約每一個月或一年一次）。故，根據揭露之發明的半導體裝置實質上具有非依電性記憶體裝置的特徵。

此外，在揭露之發明的半導體裝置中，不像傳統DRAM，當讀取資料時資料不會喪失；故在每次讀取操作中無需重寫資料。如上述，相較於DRAM可大幅減少資料寫入頻率，其允許充分降低耗電量。

此外，針對揭露之發明的半導體裝置，可藉由重寫新資料至半導體裝置來直接重寫資料。因此，無需快閃記憶體或之類所必要的抹除操作，並可抑制操作速度的減低（其歸因於抹除操作）。換言之，可實現半導體裝置的高速操作。另外，無需傳統浮置閘極電晶體所需之高電壓以寫入及抹除資料；故可進一步減低半導體裝置之耗電量。

根據揭露之發明的半導體裝置可包括至少一寫入電晶體及一讀取電晶體；故相較於需要每一記憶胞六個電晶體之SRAM或之類的，每一記憶胞之面積夠小。換言之，可以高密度配置這類半導體裝置。

在傳統浮置閘極電晶體中，於寫入操作期間電荷行於閘極絕緣層（隧道絕緣薄膜）之中，因此無法避免閘極絕

緣層（隧道絕緣薄膜）之惡化。相反地，在根據本發明之一實施例的記憶胞中，藉由寫入電晶體的切換操作來寫入資料，故可忽略閘極絕緣薄膜的惡化（這傳統以來被視為是一問題）。此意味著原則上無寫入次數的限制且寫入耐久性非常高。例如，即使在寫入資料 1×10^9 或更多次（一億或更多次）之後，電流－電壓特性仍未惡化。

注意到針對寫入的包括半導體裝置的電晶體162之場效遷移率，在啓通狀態中，為 $3 \text{ cm}^2/\text{Vs}$ 至 $250 \text{ cm}^2/\text{Vs}$ （包括這兩值）；較佳為 $5 \text{ cm}^2/\text{Vs}$ 至 $200 \text{ cm}^2/\text{Vs}$ （包括這兩值）；更佳為 $10 \text{ cm}^2/\text{Vs}$ 至 $150 \text{ cm}^2/\text{Vs}$ （包括這兩值）。此外，包括氧化物半導體層之電晶體的次臨界擺幅（S值）設定成 0.1 V/dec 或更少。藉由使用這類電晶體，資料寫入所需的時間可夠短。

針對寫入的包括半導體裝置的電晶體162之通道長度L較佳為 10 nm 至 400 nm （包括這兩值）。以這類通道大小，可獲得各種功效，如高速操作、低耗電量、及電晶體之高整合。

注意到包括結晶矽之電晶體較佳用為針對讀取之電晶體160。尤其，以增加讀取操作之速度來說，較佳使用包括單晶矽之n通道電晶體。可使用例如塊矽（所謂的矽晶圓）來形成這類單晶矽電晶體。

注意到在上述說明中使用n通道電晶體；不用說可取代n通道電晶體而使用p通道電晶體。

<半導體裝置之平面結構及剖面結構>

第2A及2B繪示半導體裝置之結構的一實例。第2A圖繪示半導體裝置的剖面圖，且第2B圖繪示半導體裝置的平面圖。在此，第2A圖對應沿著至第2B圖中之線A1-A2及線B1-B2的剖面。第2A及2B圖中所示之半導體裝置包括在下部中之包括非氧化物半導體裝置的材料之電晶體160，及在上部中之包括氧化物半導體層的電晶體162。注意到在此電晶體160及162為n通道電晶體；替代地，可使用p通道電晶體。尤其，很容易使用p通道電晶體作為電晶體160。

電晶體160包括設置在包括半導體材料之基板100中的通道形成區域116、設置以夾住通道形成區域116之雜質區域114和高濃度雜質區域120（這些區域簡單統稱為雜質區域）、設置在通道形成區域116上方之閘極絕緣層108、設置在閘極絕緣層108上方之閘極電極110、及電連接至雜質區域114的源極電極或汲極電極（此後稱為源極/汲極電極）130a和源極/汲極電極130b。

側壁絕緣層118設置在閘極電極110的一側表面上。高濃度雜質區域120放置在不與側壁絕緣層118重疊之基板100的一區域中，如剖面圖中所示。金屬化合物區域124設置在高濃度雜質區域120上方。元件隔離絕緣層106設置在基板100上方以圍繞電晶體160。設置層間絕緣層126及層間絕緣層128以覆蓋電晶體160。源極/汲極電極130a及源極/汲極電極130b的每一者經由形成在層間絕緣層126及128中的開口電連接至金屬化合物區域124。亦即，源極/

汲極電極 130a 及源極/汲極電極 130b 的每一者經由金屬化合物區域 124 電連接至高濃度雜質區域 120 及雜質區域 114。以和源極/汲極電極 130a 及 130b 類似方式形成的電極 130c 電連接至閘極電極 110。

電晶體 162 包括設置在層間絕緣層 128 上方之閘極電極 136d、設置在閘極電極 136d 上方的閘極絕緣層 138、設置在閘極絕緣層 138 上方之氧化物半導體層 140、及設置在氧化物半導體層 140 上方並電連接至氧化物半導體層 140 的源極/汲極電極 142a 及源極/汲極電極 142b。

在此，設置閘極電極 136d 以嵌入形成在層間絕緣層 128 上方的絕緣層 132 中。像是閘極電極 136d，形成分別與源極/汲極電極 130a、源極/汲極電極 130b、及電極 130c 接觸之電極 136a、電極 136b、及電極 136c。

保護絕緣層 144 設置在電晶體 162 上方以接觸氧化物半導體層 140 之部分。層間絕緣層 146 設置在保護絕緣層 144 上方。到達源極/汲極電極 142a 和源極/汲極電極 142b 之開口形成在保護絕緣層 144 和層間絕緣層 146 之中。形成分別經由個別開口與源極/汲極電極 142a 和源極/汲極電極 142b 接觸之電極 150d 及電極 150e。像是電極 150d 及電極 150e，形成分別經由設置在閘極絕緣層 138、保護絕緣層 144、及層間絕緣層 146 中的開口與電極 136a、電極 136b、及電極 136c 接觸的電極 150a、電極 150b、及電極 150c。

在此，氧化物半導體層 140 較佳為從其充分移除如氫之雜質的高度純化氧化物半導體層。詳言之，氧化物半導

體層 140 中之氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 或更少；較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 或更少；更佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 或更少。與具有近乎 $1 \times 10^{14} / \text{cm}^3$ 之載子濃度的一般矽晶圓（添加微量磷或硼之雜質的矽晶圓）相比，這類極低的氫濃度造成夠低載子濃度（如小於 $1 \times 10^{12} / \text{cm}^3$ 或 $1.45 \times 10^{10} / \text{cm}^3$ ）。可使用這類氧化物半導體來獲得具有顯著優異關閉電流特性之電晶體 162，該氧化物半導體藉由充分減少氫濃度來高度純化且變成本質（i 型）或實質本質（i 型）。例如，電晶體 162 之關閉電流（在此每單位通道寬度（ $1 \mu\text{m}$ ））在室溫（ 25°C ）為 $10 \text{ zA}/\mu\text{m}$ （ 1 zA （賽普托安培（zeptoampere））為 $1 \times 10^{-21} \text{ A}$ ）或更少；較佳為 $1 \text{ zA}/\mu\text{m}$ 或更少。電晶體 162 的關閉電流在 85°C 為 $100 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-19} \text{ A}/\mu\text{m}$ ）或更少；較佳為 $10 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-20} \text{ A}/\mu\text{m}$ ）或更少。使用藉由充分減少氫濃度而變成本質或實質本質的氧化物半導體層 140 以減少電晶體 162 的關閉電流，藉此可實現具有新穎結構的半導體裝置。注意到藉由二次離子質譜（SIMS）來測量氧化物半導體層 140 中之氫濃度。

絕緣層 152 設置在層間絕緣層 146 上方。設置電極 154a、電極 154b、電極 154c、及電極 154d 以加以嵌入絕緣層 152。電極 154a 與電極 150a 接觸。電極 154b 與電極 150b 接觸。電極 154c 與電極 150c 及電極 150d 接觸。電極 154d 與電極 150e 接觸。

亦即，在第 2A 及 2B 圖中所示之半導體裝置中，電晶體 162 之閘極電極 110 及電晶體 162 之源極/汲極電極 142a 經

由電極 130c、136c、150c、154c、及 150d 電連接。

<製造半導體裝置之方法>

接下來，將說明製造半導體裝置之方法的一實例。首先，將參照第 3A 至 3H 圖於下說明製造在下部中之電晶體 160 的方法，並接著將參照第 4A 至 4G 圖及第 5A 至 5D 圖說明製造在上部中之電晶體 162 的方法。

<製造下電晶體之方法>

首先，備置包括半導體材料之基板 100（參見第 3A 圖）。作為包括半導體材料之基板 100，可使用以矽、碳化矽、或之類製成之單晶半導體基板或多晶半導體基板、以鍺化矽或之類製成的化合物半導體基板、SOI 基板、或之類的。在此，說明使用單晶矽基板作為包括半導體材料之基板 100 的一實例。

在基板 100 上方形成充當用於形成元件隔離絕緣層之遮罩的保護層 102（參見第 3A 圖）。作為保護層 102，可例如使用氧化矽、氮化矽、氮氧化矽、或之類所形成之絕緣層。注意到在此步驟之前或之後，可將提供 n 型傳導性之雜質元素或提供 p 型傳導性之雜質元素添加至基板 100 以控制電晶體之臨限電壓。當包括在基板 100 之半導體材料為矽時，可使用磷、砷、或之類的作為提供 n 型傳導性之雜質。可使用硼、鋁、鎵、或之類的作為提供 p 型傳導性之雜質。

接下來，藉由蝕刻來移除未以保護層102覆蓋之區域（亦即暴露區域）中之基板100的部分，使用保護層102作為遮罩。因此，形成隔離的半導體區域104（參見第3B圖）。作為蝕刻，較佳執行乾蝕刻，但可執行濕蝕刻。作為蝕刻氣體，可根據被蝕刻層的材料適當選擇蝕刻劑。

接著，形成絕緣層以覆蓋半導體區域104並選擇性移除與半導體區域104重疊之一區域中的絕緣層，以致形成元件隔離絕緣層106（參見第3B圖）。使用氧化矽、氮化矽、氮氧化矽、或之類的來形成絕緣層。作為移除絕緣層的一種方法，可採用任何蝕刻處理及如CMP之拋光處理。注意到在半導體區域104的形成之後或在元件隔離絕緣層106的形成之後移除保護層102。

接下來，在半導體區域104上方形成絕緣層，並且在絕緣層上方形成包括導電材料之層。

由於絕緣層後續充當閘極絕緣層，絕緣層較佳具有藉由CVD方法、濺鍍方法、或之類使用含有氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、氧化鋇、或之類的薄膜的單層結構或分層結構。替代地，可以一種方式形成絕緣層使得藉由高密度電漿處理或熱氧化處理來氧化或氮化半導體區域104之一表面。可例如使用諸如He、Ar、Kr、或Xe之稀有氣體與諸如氧、氮氧化物、氨、氮、或氫的氣體之混合來執行氣體高密度電漿處理。對於絕緣層之厚度無特別限制；絕緣層可具有例如1nm至100nm（包括這兩值）的厚度。

可使用諸如鋁、銅、鈦、鉭、或鎢之金屬材料來形成包括導電材料之層。可使用諸如含有導電材料之多晶矽的半導體材料來形成包括導電材料之層。對於形成含有導電材料之層的方法並無特別限制，且可採用諸如蒸發方法、CVD方法、濺鍍方法、或旋塗方法的各種薄膜形成方法。注意到此實施例顯示其中含有導電材料之層係使用金屬材料形成的情況之一實例。

之後，選擇性蝕刻絕緣層及包括導電材料之層，以形成閘極絕緣層108及閘極電極110（參見第3C圖）。

接下來，形成覆蓋閘極電極110的絕緣層112（參見第3C圖）。接著，藉由添加磷（P）、砷（As）、或之類的到半導體區域104來形成和基板100具有淺接面深度之雜質區域114（參見第3C圖）。注意到在此添加磷或砷以形成n通道電晶體；可在形成p通道電晶體的情況中添加諸如硼（B）或鋁（Al）之雜質。藉由形成雜質區域114，在閘極絕緣層108下方的半導體區域104中形成通道形成區域116（參見第3C圖）。在此，可適當設定所添加之雜質的濃度；當半導體元件之大小縮小很多時，較佳增加濃度。在此採用其中於絕緣層112形成之後形成雜質區域114的步驟；替代地，可在雜質區域114形成後形成絕緣層112。

接下來，形成側壁絕緣層118（參見第3D圖）。形成絕緣層以覆蓋絕緣層112並接著加以高各向同性蝕刻，藉此可以自對準方式形成側壁絕緣層118。此時，較佳部分蝕刻絕緣層112以暴露出閘極電極110的頂表面及雜質區域

114的頂表面。

接著，形成絕緣層以覆蓋閘極電極110、雜質區域114、側壁絕緣層118、及之類的。接下來，添加諸如磷（P）、砷（As）、或之類的至其中絕緣層與雜質區域114接觸的區域，以形成高濃度雜質區域120（參見第3E圖）。此後，移除絕緣層，並形成金屬層122以覆蓋閘極電極110、側壁絕緣層118、高濃度雜質區域120、及之類的（參見第3E圖）。可採用諸如真空蒸發方法、濺鍍方法、或旋塗方法之各種薄膜形成方法來形成金屬層122。較佳使用與包括在半導體區域104中之半導體材料起反應而成爲低電阻金屬化合物的金屬材料來形成金屬層122。這類金屬材料之實例爲鈦、鉭、鎢、鎳、鈷、及鉑。

接下來，執行熱處理始金屬層122與半導體材料起反應。因此，形成與高濃度雜質區域120接觸之金屬化合物區域124（參見第3F圖）。注意到當使用多晶矽或之類的來形成閘極電極110時，亦在與金屬層122接觸之閘極電極110的一區域中形成金屬化合物區域。

作爲熱處理，可例如採用以閃光燈之照射。雖不用說可使用另一熱處理，較佳使用可實現極短時間之熱處理的方法以改善金屬化合物之形成中的化學反應的可控性。注意到藉由金屬材料與半導體材料之反應形成金屬化合物區域，且其具有充分高的傳導性。金屬化合物區域的形成可恰當減少電阻並改善元件特性。注意到在形成金屬化合物區域124之後移除金屬層122。

接著，形成層間絕緣層126及層間絕緣層128以覆蓋於上述步驟中形成之構件（參見第3G圖）。可使用包括諸如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉬的無機絕緣材料之材料來形成層間絕緣層126及128。此外，可使用諸如聚酰亞胺或丙烯酸樹脂之有機絕緣材料來形成層間絕緣層126及128。注意到在此採用層間絕緣層126及層間絕緣層128的兩層結構；然而，層間絕緣層之結構不限於此結構。在形成層間絕緣層128之後，較佳以CMP、蝕刻、或之類的來平面化層間絕緣層128的表面。

接著，在層間絕緣層126及128中形成到達金屬化合物區域124的開口，並在開口中形成源極/汲極電極130a及源極/汲極電極130b（參見第3H圖）。可以一種方式形成源極/汲極電極130a及130b，例如，使得藉由PVC方法、CVD方法、或之類的在包括開口的區域中形成導電層，並接著藉由蝕刻、CMP、或之類的移除導電層之部分。

注意到在其中藉由移除導電層之部分來形成源極/汲極電極130a及130b的情況中，較佳執行程序以平面化表面。例如，當在包括開口的一區域中形成薄鈦薄膜或薄氮化鈦薄膜並接著形成鎢薄膜以嵌入開口中時，可移除多餘的鎢、鈦、氮化鈦、或之類的並可藉由後續的CMP來改善表面的平面化。以一種方式平面化包括源極/汲極電極130a及130b之表面使得可在後續步驟中有利地形成電極、電線、絕緣層、半導體層、及之類的。

注意到僅在此顯示與金屬化合物區域124接觸之源極/

汲極電極 130a 及 130b；然而，亦可在此步驟中形成與閘極電極 110（如第 2A 圖中之電極 130c）及之類的電極。對於用於源極/汲極電極 130a 及 130b 之材料並無特別限制，且可使用各種導電材料。例如，可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳、或銦之導電材料。

經由上述步驟，形成使用包括半導體材料之基板 100 的電晶體 160。注意到在上述步驟後可進一步形成電極、電線、絕緣層、或之類的。當電線具有包括一層間絕緣層及一導電層之分層結構的多層結構時，可提供高度整合的半導體裝置。

<製造上電晶體的方法>

接下來，將參照第 4A 至 4G 圖及第 5A 至 5D 圖說明在層間絕緣層 128 上方製造電晶體 162。注意到第 4A 至 4G 圖及第 5A 至 5D 圖繪示在層間絕緣層 128 上方製造電極、電晶體 162、及之類的步驟；故省略放置於電晶體 162 下方之電晶體 160 及之類。

首先，在層間絕緣層 128、源極/汲極電極 130a 及源極/汲極電極 130b、及電極 130c 上方形成絕緣層 132（參見第 4A 圖）。可藉由 PVD 方法、CVD 方法、或之類的來形成絕緣層 132。可使用包括諸如氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉭的無機絕緣材料之材料來形成絕緣層 132。

接下來，在絕緣層 132 中形成到達源極/汲極電極 130a

及130b和電極130c的開口。此時，亦在後續將形成閘極電極136d的區域中形成一開口。接著，形成導電層134以嵌入開口中（參見第4B圖）。藉由諸如使用遮罩的蝕刻之方法來形成開口。藉由諸如使用光遮罩的曝光之方法來形成遮罩。可使用濕蝕刻或乾蝕刻來做為蝕刻；乾蝕刻較佳用於微製造中。可藉由諸如PVD方法或CVD方法的薄膜形成方法來形成導電層134。可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈦、或鈦之導電材料或任何這些材料的合金或化合物（如氮化物）來形成導電層134。

詳言之，可採用一種方法，例如，其中藉由PVD方法在包括開口的區域中形成薄鈦薄膜並藉由CVD方法形成薄氮化鈦薄膜，並且接著，形成鎢薄膜以嵌入開口之中。在此，藉由PVD方法所形成之鈦薄膜具有減少形成在下電極（在此，源極/汲極電極130a及130b、電極130c、及之類）的表面上之氧化物薄膜以降低與下電極之接觸電阻的功能。在鈦薄膜形成之後形成的氮化鈦薄膜具有防止導電材料擴散的阻障功能。在形成鈦、氮化鈦、或之類的阻障薄膜之後，可藉由鍍覆方法形成銅薄膜。

在形成導電層134之後，藉由蝕刻、CMP、或之類來移除導電層134的部分，以暴露出絕緣層132並形成電極136a、136b、及136c和閘極電極136d（參見第4C圖）。注意到當藉由移除導電層134之部分而形成電極136a、136b、及136c和閘極電極136d時，較佳執行程序以平面化表面。以一種方式平面化絕緣層132、電極136a、136b、

及136c和閘極電極136d的表面，藉此可在後續步驟中有利地形成電極、電線、絕緣層、半導體層、及之類。

接下來，形成閘極絕緣層138以覆蓋絕緣層132、電極136a、136b、及136c和閘極電極136d（參見第4D圖）。可藉由CVD方法、濺鍍方法、或之類的來形成閘極絕緣層138。較佳使用氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉛、氧化鉬、或之類來形成閘極絕緣層138。注意到閘極絕緣層138可具有單層結構或分層結構。例如，可藉由使用矽烷（ SiH_4 ）、氧、及氮作為來源氣體之電漿CVD方法來形成以氧氮化矽製成之閘極絕緣層138。對於閘極絕緣層138之厚度並無特別限制；閘極絕緣層138可具有例如10nm至50nm（包括這兩值）的厚度。在採用分層結構的情況中，例如，閘極絕緣層138較佳為一具有50nm至200nm（包括這兩值）的厚度之第一閘極絕緣層與在第一閘極絕緣層上方之一具有5nm至300nm（包括這兩值）的厚度之第二閘極絕緣層的堆疊。

注意到藉由移除雜質之變成本質或實質本質的氧化物半導體（高度純化氧化物半導體）頗容易受到界面能階及界面電荷的影響；因此，當使用這類氧化物半導體作為氧化物半導體層時，與閘極絕緣層之界面很重要。換言之，將與高度純化氧化物半導體層接觸的閘極絕緣層138必須有高品質。

例如，較佳藉由使用微波（2.45GHz）之高密度電漿CVD方法來形成閘極絕緣層138，因為閘極絕緣層138可為

稠密且具有高耐受電壓與高品質。當高度純化氧化物半導體層與高品質閘極絕緣層互相接觸時，可減少界面能階且界面特性為有利。

不用說，即使當使用高度純化氧化物半導體層時，可採用諸如濺鍍方法或電漿CVD方法的另一方法，只要可形成高品質的絕緣層作為閘極絕緣層。此外，可使用絕緣層，其與氧化物半導體層之界面的品質及特性藉由在形成絕緣層之後執行的熱處理受到改善。在任何情況中，形成具有作為閘極絕緣層138之有利的薄膜品質並可減少與氧化物半導體層之界面能階密度以形成有利界面的絕緣層作為閘極絕緣層138。

若雜質包括在氧化物半導體中，則會由諸如高電場或高溫的應力劈開雜質與氧化物半導體的主成分間的鍵而造成懸掛鍵，其導致臨限電壓（ V_{th} ）的位移。

將包括在氧化物半導體中之雜質（尤其是氫及水）減至最小並如上述將氧化物半導體與閘極絕緣層之間的界面特性變得有利，藉此可獲得在諸如高電場及高溫的應力下為穩定之電晶體。

接下來，在閘極絕緣層138上方形成氧化物半導體層並藉由諸如使用遮罩的蝕刻之方法加以處理，以形成島狀氧化物半導體層140（參見第4E圖）。

作為氧化物半導體層，較佳使用In-Ga-Zn-O為基的氧化物半導體層、In-Sn-Zn-O為基的氧化物半導體層、In-Al-Zn-O為基的氧化物半導體層、Sn-Ga-Zn-O為基的氧化

物半導體層、Al-Ga-Zn-O爲基的氧化物半導體層、Sn-Al-Zn-O爲基的氧化物半導體層、In-Zn-O爲基的氧化物半導體層、Sn-Zn-O爲基的氧化物半導體層、Al-Zn-O爲基的氧化物半導體層、In-O爲基的氧化物半導體層、Sn-O爲基的氧化物半導體層、或Zn-O爲基的氧化物半導體層。特別較佳這些氧化物半導體存在於非晶態中。在此實施例中，作爲氧化物半導體層，藉由用於沉積In-Ga-Zn-O爲基的氧化物半導體之使用靶材的濺鍍方法來形成非晶氧化物半導體層。注意到由於可藉由添加矽到非晶氧化物半導體層來抑制非晶氧化物半導體層的結晶，可使用例如含有在2wt%至10wt%（包括這兩值）之SiO₂的靶材來形成氧化物半導體層。

作爲藉由濺鍍方法形成氧化物半導體層用之靶材，可使用例如含有氧化鋅作爲其主成分之氧化物半導體沉積靶材。此外，可使用例如含有In、Ga、及Zn（In₂O₃：Ga₂O₃：ZnO的成分比例=1：1：1[莫耳比率]）之沉積氧化物半導體用的靶材。還有，可使用例如含有In、Ga、及Zn（In₂O₃：Ga₂O₃：ZnO的成分比例=1：1：2[莫耳比率]或In₂O₃：Ga₂O₃：ZnO的成分比例=1：1：4[莫耳比率]）之沉積氧化物半導體用的靶材。沉積氧化物半導體用的靶材之填充率爲90%至100%（包括這兩值），較佳大於或等於95%（如99.9%）。使用具有高填充率之沉積氧化物半導體用的靶材來形成稠密氧化物半導體層。

其中形成氧化物半導體層之周圍環境較佳爲稀有氣體

（典型氬）周圍環境、氧周圍環境、或含有稀有氣體（典型氬）及氧之混合周圍環境。詳言之，較佳使用高純度氣體，例如，從其移除諸如氬、水、具有羥基或氫化物之化合物的雜質始濃度為數ppm（較佳數ppb）。

在形成氧化物半導體層中，將基板保持在一維持在減壓之處理室中且基板溫度設定至100℃至600℃（包括這兩值），較佳200℃至400℃（包括這兩值）。在加熱基板的同時形成氧化物半導體層，而得以減少氧化物半導體層之雜質濃度。此外，減少濺鍍造成之氧化物半導體層的破壞。接著，將移除氬與水之濺鍍氣體引到已移除殘留濕氣的處理室之中，並使用金屬氧化物作為靶材來形成氧化物半導體層。較佳使用捕集真空泵以移除處理室中殘留的濕氣。例如，可使用低溫泵、離子泵、或鈦昇華泵。抽空單元可為設有冷阱的渦輪泵。在以低溫泵抽空之沉積室中，除了含有碳原子及氬原子之化合物外，移除諸如水（ H_2O ）的含有氬原子之化合物及之類，藉此可減少形成在沉積室中之氧化物半導體層的雜質濃度。

可在下列條件下形成氧化物半導體層，例如，基板與靶材間的距離為100nm；壓力為0.6Pa；直流（DC）電源為0.5kW；且周圍環境為氧（氧流速為100%）。注意到較佳使用脈衝直流（DC）電源，因為可減少在薄膜沉積中形成的粉末物質（亦稱為粒子或塵埃）並且厚度分布可為小。氧化物半導體層之厚度為2nm至200nm（包括這兩值），較佳為5nm至30nm（包括這兩值）。注意到適當的

厚度隨氧化物半導體材料而變，且根據使用之材料適當設定厚度。

注意到在藉由濺鍍方法形成氧化物半導體層之前，藉由其中引進氬氣體並產生電漿的反向濺鍍來移除閘極絕緣層138之表面上的塵埃。在此，相較於離子衝擊濺鍍靶材之正常濺鍍，反向濺鍍為一種離子衝擊欲處理之表面以修改表面的方法。讓離子衝擊欲處理之表面的方法之一實例為其中在氬周圍環境中供應高頻電壓至表面以在基板附近產生電漿的方法。注意到取代氬周圍環境，可使用氮周圍環境、氦周圍環境、氧周圍環境、或之類的。

作為氧化物半導體層之蝕刻方法，可採用乾蝕刻或濕蝕刻。不用說可結合使用乾蝕刻及濕蝕刻。根據材料適當地設定蝕刻條件（如蝕刻氣體或蝕刻溶液、蝕刻時間、及溫度）以將氧化物半導體蝕刻成希望的形狀。

用於乾蝕刻的蝕刻氣體的一實例為含有氯（氯為基之氣體，如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ））之氣體。此外，可使用含氟之氣體（氟為基之氣體，如四氟化碳（ CF_4 ）、氟化硫（ SF_4 ）、氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ））、溴化氫（ HBr ）、氧（ O_2 ）、或諸如（ He ）或（ Ar ）的稀有氣體可添加至其之任何這些氣體、或之類的。

作為乾蝕刻方法，可使用平行板RIE（反應性離子蝕刻）方法或ICP（電感耦合式電漿）蝕刻方法。為了蝕刻氧化物半導體層至希望的形狀，適當地設定蝕刻條件（如

供應至盤繞電極之電力量、供應至基板側上之電極的電力量、及基板側上之電極溫度）。

作為濕蝕刻的蝕刻劑，可使用磷酸、醋酸、及硝酸或之類的混合溶液。亦可使用如ITO07N（由KANTO CHEMICAL CO., INC所生產）之蝕刻劑。

接著，較佳於氧化物半導體層上執行第一熱處理。可以第一熱處理脫水或脫氫氧化物半導體層。第一熱處理的溫度大於或等於300℃且小於或等於750℃，較佳大於或等於400℃且小於基板之應變點。例如，將基板引進到電爐中，其中使用電阻式加熱元件或之類的，並且使氧化物半導體層140在450℃於氮周圍環境中受到加熱處理一小時。氧化物半導體層140在熱處理期間未暴露至空氣，所以可防止水及氫的進入。

熱處理設備不限於電爐且可為藉由熱輻射或熱傳導從諸如加熱氣體的一媒介加熱物體之設備。例如，可使用諸如氣體迅速熱退火（GRTA）設備或燈迅速熱退火（LRTA）設備的迅速熱退火（RTA）設備。LRTA設備為藉由從諸如鹵素燈、金屬鹵化物、氬弧燈、碳弧燈、高壓鈉燈、或高壓汞燈的燈所發射之光的輻射（電磁波）加熱待處理物體之設備。GRTA設備為使用高溫氣體來執行熱處理的設備。作為氣體，使用不藉由熱處理與物體起反應之例如氮的惰性氣體或諸如氬之稀有氣體。

例如，作為第一熱處理，可如下般執行GRTA程序。將基板放置在已加熱至650℃至700℃的高溫之惰性氣體

中，加熱數分鐘，並從惰性氣體中取出。GRTA程序允許短時的高溫加熱處理。此外，即使當溫度超過基板的應變點時，仍可採用GRTA程序，因為其為短時間的熱處理。

注意到第一熱處理較佳在含有氮或稀有氣體（如氮、氬、或氙）作為主成分且不含水、氫、或之類的周圍環境中執行。例如，引進熱處理室中之氮或諸如氮、氬、或氙之稀有氣體的純度較佳大於或等於6N（99.9999%），更佳大於或等於7N（99.99999%）（亦即，雜質濃度小於或等於1ppm，較佳小於或等於0.1ppm）。

根據第一熱處理之條件或氧化物半導體層之材料，有時氧化物半導體層結晶成微晶或多晶。例如，氧化物半導體層有時變成具有90%或更多，或80%或更多的結晶程度之微晶氧化物半導體層。另外，根據第一熱處理之條件或氧化物半導體層之材料，氧化物半導體層可微不含結晶成分的非晶氧化物半導體層。

此外，氧化物半導體層有時變成其中微晶（粒度為1nm至20nm（包括這兩值），典型為2nm至4nm（包括這兩值））混合在非晶氧化物半導體（如氧化物半導體層的表面）中的層。

可藉由對準氧化物半導體層之非晶區域中的微晶來改變氧化物半導體層的電氣特性。例如，當使用沉積In-Ga-Zn-O為基的氧化物半導體用之靶材來形成氧化物半導體層時，可藉由形成微晶部分（其中具有電各向異性之 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶粒為對準）來改變氧化物半導體之電氣特

性。

詳言之，例如，當配置晶粒使得 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 軸與氧化物半導體層之表面垂直時，可改善與氧化物半導體層平行之方向中的傳導性並可改善與氧化物半導體層之表面垂直之方向中的絕緣性質。此外，這類微晶部分具有抑制諸如水或氫的雜質進入氧化物半導體層中的功能。

注意到可藉由以 GRTA 程序加熱氧化物半導體層來形成包括微晶部分之氧化物半導體層。此外，可藉由使用其中 Zn 量小於 In 或 Ga 量之濺鍍靶材以更佳的方式來形成氧化物半導體層。

可在尚未處理成島狀氧化物半導體層 140 的氧化物半導體層上執行氧化物半導體層 140 之第一熱處理。在那個情況中，在第一熱處理之後，從加熱設備取出基板並執行光微影步驟。

注意到第一熱處理可稱為脫水處理、脫氫處理、或之類的，因其對氧化物半導體層 140 之脫水或脫氫的效果的緣故。可在例如形成氧化物半導體層、在氧化物半導體層 140 上方堆疊源極電極和汲極電極之後、或在源極和汲極電極上方形成保護絕緣層之後，執行這類脫水處理或脫氫處理。可執行這類脫水處理或脫氫處理一次或數次。

接下來，形成與氧化物半導體層 140 接觸之源極/汲極電極 142a 及源極/汲極電極 142b（參見第 4F 圖）。可以一種方式形成源極/汲極電極 142a 及 142b 以形成導電層以覆蓋氧化物半導體層 140 並接著加以選擇性蝕刻。

可藉由諸如濺鍍方法之PVD方法或諸如電漿CVD方法的CVD方法來形成導電層。作為導電層的材料，可使用選自鋁、鉻、銅、鉍、鈦、鉬、或鎢之元素、任何這些元素作為成分之合金、或之類的。還有，可使用選自錳、鎂、鎢、鉍、或鈦的一或更多材料。可使用與選自鈦、鉍、鎢、鉬、鉻、鈦、或鈦的一或更多元素結合的鋁。導電層可為單層結構或包括兩或更多層之分層結構。例如，導電層可具有含矽之鋁薄膜的單層結構、其中鈦薄膜堆疊在鋁薄膜之上的兩層結構、或其中鈦薄膜、鋁薄膜、及鈦薄膜以此順序堆疊的三層結構。

在此，較佳使用紫外線光、KrF雷射光、或ArF雷射光於形成用於蝕刻之遮罩的曝光。

藉由源極/汲極電極142a之下邊緣部與源極/汲極電極142b之下邊緣部之間的距離來決定電晶體之通道長度（L）。注意到在通道長度（L）小於25nm的情況中之曝光，以極紫外射線（其之波長為極短的數奈米至數百奈米）執行形成遮罩的曝光。極紫外射線之曝光的解低度為高且焦深為大。針對這些原因，後續形成之電晶體之通道長度（L）可在10nm至1000nm的範圍中，且可在較高的速度操作電路。此外，關閉電流極低，其防止耗電量增加。

適當調整導電層極氧化物半導體層140之材料和蝕刻條件，使得在導電層之蝕刻中不會移除氧化物半導體層140。注意到在某些情況中，根據材料及蝕刻條件，在蝕刻步驟中部分蝕刻氧化物半導體層140且其因此具有溝槽

部分（凹部）。

可在氧化物半導體層140與源極/汲極電極142a之間和氧化物半導體層140與源極/汲極電極142b之間形成氧化物導電層。可陸續形成氧化物導電層及用於形成源極/汲極電極142a及142b之金屬層。氧化物導電層可作為源極區域及汲極區域。這類氧化物導電層之設置可減少源極區域及汲極區域的電阻，使電晶體可在高速度操作。

為了減少將使用之遮罩的數量並減少步驟數量，可使用以多色調遮罩形成之阻劑遮罩來執行蝕刻步驟，該多色調遮罩為透過其透射的光具有複數強度之曝光遮罩。使用多色調遮罩而形成的阻劑遮罩具有複數厚度（具有像階梯之形狀）且進一步可藉由灰化來改變形狀；因此，阻劑遮罩可用在用於處理成不同形狀的複數蝕刻步驟中。亦即，可藉由使用多色調遮罩來形成對應至至少兩種不同圖案的阻劑遮罩。故可減少曝光遮罩的數量且亦可減少對應光微影步驟之數量，藉此簡化程序。

注意到在上述步驟之後較佳使用諸如 N_2O 、 N_2 、或Ar的氣體來執行電漿處理。此電漿處理移除附接至氧化物半導體層之暴露表面的水或之類的。可使用氧及氫的混合氣體來執行電漿處理。

接下來，形成與未暴露至空氣的氧化物半導體層140之部分接觸的保護絕緣層144（參見第4G圖）。

可藉由一種方法來形成保護絕緣層144，藉此防止諸如水及氫的雜質混合至保護絕緣層144，適當地，例如濺

鍍方法。保護絕緣層 144 具有至少 1nm 的厚度。可使用氧化矽、氮化矽、氧氮化矽、氮氧化矽、或之類的來形成保護絕緣層 144。保護絕緣層 144 可具有單層結構或分層結構。在形成保護絕緣層 144 中之基板溫度較佳高於或等於室溫並低於或等於 300°C。形成保護絕緣層 144 之周圍環境較佳為稀有氣體（典型氬）周圍環境、氧周圍環境、或含有稀有氣體（典型氬）及氧的混合周圍環境。

若氬包含在保護絕緣層 144 中，氬可能進入氧化物半導體層中或提取氧化物半導體層中之氧，藉此可能減少在背通道側上之氧化物半導體層的電阻並可能形成寄生通道。因此，很重要地在形成保護絕緣層 144 中不使用氬，以使氧化物半導體層 140 含有盡可能少的氬。

此外，較佳在移除留在處理室中的水之同時形成保護絕緣層 144，使得氬、羥基、或水不會包含在氧化物半導體層 140 及保護絕緣層 144 之中。

較佳使用捕集真空泵以移除處理室中殘留的濕氣。例如，較佳使用低溫泵、離子泵、或鈦昇華泵。抽空單元可為設有冷阱的渦輪泵。在以低溫泵抽空之沉積室中，移除氬原子及諸如水（ H_2O ）的含有氬原子之化合物；故可減少形成在沉積室中之保護絕緣層 144 的雜質濃度。

作為用於形成保護絕緣層 144 之濺鍍氣體，較佳使用移除了諸如氬、水、具有羥基之化合物、或氬化物的雜質之高純度氣體，使雜質濃度減少至數 ppm（較佳數 ppb）。

接下來，較佳在惰性氣體周圍環境或氧氣體周圍環境（在 200°C 至 400°C （包括這兩值）），例如，在 250°C 至 350°C （包括這兩值）中執行第二熱處理。例如，在 250°C 於氮周圍環境中執行第二熱處理一小時。第二熱處理可減少電晶體之電氣特性中的變異。

此外，可在 100°C 至 200°C 在空氣中執行熱處理一小時至30小時。可在固定加熱溫度執行此熱處理；替代地，可重複進行數次加熱溫度之下列改變：將加熱溫度從室溫增加至的 100°C 至 200°C 溫度並接著降至室溫。可在形成保護絕緣層之前在減壓下執行此熱處理。在減壓下可縮短熱處理的時間。取代第二熱處理可執行在減壓下的此熱處理或可在第二熱處理之前或之後執行此熱處理。

接下來，在保護絕緣層144之上形成層間絕緣層146（參見第5A圖）。可藉由PVD方法、CVD方法、或之類的來形成層間絕緣層146。可使用包括氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁、或氧化鉭的無機絕緣材料的材料來形成層間絕緣層146。在形成層間絕緣層146之後，較佳以CMP、蝕刻、或之類的來平面化層間絕緣層146的表面。

接下來，在層間絕緣層146、保護絕緣層144、及閘極絕緣層138中形成到達電極136a、136b、及136c和源極/汲極電極142a及142b的開口。接著，形成導電層148以嵌入開口中（參見第5B圖）。可藉由諸如使遮罩的蝕刻之方法來形成開口。可藉由諸如使用光遮罩的曝光之方法來形成

遮罩。可使用濕蝕刻或乾蝕刻來做為蝕刻：以微製造而言較佳使用乾蝕刻。可藉由諸如PVD方法或CVD方法的薄膜形成方法來形成導電層148。可例如使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈦、或鈦之導電材料或任何這些材料的合金或化合物（如氮化物）來形成導電層148。

詳言之，可採用一種方法，例如，其中藉由PVD方法在包括開口的區域中形成薄鈦薄膜並藉由CVD方法形成薄氮化鈦薄膜，並且接著，形成鎢薄膜以嵌入開口之中。在此，藉由PVD方法所形成之鈦薄膜具有減少形成在下電極（在此，電極136a、136b、及136c和源極/汲極電極142a及142b）的表面上之氧化物薄膜以降低與下電極之接觸電阻的功能。在鈦薄膜形成之後形成的氮化鈦薄膜具有防止導電材料擴散的阻障功能。在形成鈦、氮化鈦、或之類的阻障薄膜之後，可藉由鍍覆方法形成銅薄膜。

在形成導電層148之後，藉由蝕刻、CMP、或之類來移除導電層148的部分，以暴露出層間絕緣層146並形成電極150a、150b、150c、150d、及150e（參見第5C圖）。注意到當藉由移除導電層148之部分而形成電極150a、150b、150c、150d、及150e時，較佳執执行程序以平面化表面。以一種方式平面化層間絕緣層146和電極150a、150b、150c、150d、及150e的表面，藉此可在後續步驟中有利地形成電極、電線、絕緣層、及之類。

接著，形成絕緣層152，且在絕緣層152中形成到達電極150a、150b、150c、150d、及150e之開口。在形成導電

層以嵌入開口中之後，藉由蝕刻、CMP、或之類的移除導電層的部分。因此，暴露出絕緣層152並形成電極154a、154b、154c、及154d（參見第5D圖）。此步驟與形成電極150a及之類的步驟類似；故不重複詳細說明。

在其中藉由上述方法形成電晶體162的情況中，氧化物半導體層140之氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 或更少且電晶體162的關閉電流為 $100 \text{ zA}/\mu\text{m}$ 或更少。可藉由應用藉由如上述般充分減少氫濃度之高度純化的氧化物半導體層140來獲得具有優異特性的電晶體162。此外，可製造具有優異特性並包括在下部中之使用非氧化物半導體的材料形成之電晶體160及在上部中之使用氧化物半導體形成的電晶體162之半導體裝置。

注意到提出碳化矽（如4H-SiC）作為半導體材料，其可與氧化物半導體相比。氧化物半導體及4H-SiC具有數個共同的特徵。載子密度為其中之一。氧化物半導體中之本質載子的密度在常溫估計為近乎 $10^{-7}/\text{cm}^3$ 。本質載子密度的此值極小，與4H-SiC中的類似， $6.7 \times 10^{-11}/\text{cm}^3$ 。當氧化物半導體之本質載子密度與矽的本質載子密度（近乎 $1.4 \times 10^{10}/\text{cm}^3$ ）相比，可清楚理解到氧化物半導體之本質載子密度明顯地低。

此外，氧化物半導體之能帶隙為3.0eV至3.5eV且4H-SiC的能帶隙為3.26eV。因此，氧化物半導體及碳化矽為類似，因兩者皆為寬隙半導體。

另一方面，氧化物半導體及碳化矽之間有主要差異，

亦即，程序溫度。由於碳化矽一般需要受到在 1500°C 至 2000°C 的熱處理，難以形成碳化矽與使用非碳化矽的半導體材料之半導體元件之堆疊。這是因為在這種高溫下半導體基板、半導體元件、或之類的會受到破壞。同時，可以 300°C 至 500°C 的熱處理形成氧化物半導體（玻璃轉變溫度或更低，高達約 700°C ）；故可使用非氧化物半導體之半導體材料來形成積體電路並接著形成包括氧化物半導體的半導體元件。

另外，與碳化矽相比之下，氧化物半導體較有利，因為可使用諸如玻璃基板的低耐熱基板。此外，氧化物半導體無需受到在高溫的熱處理，所以相較於碳化矽可充分減少能量成本，這是另一項優點。

雖然已經對氧化物半導體之性質進行了許多的研究，這些不包括充分減少能帶隙中之局域化能階（localized levels）的想法。根據所揭露的發明之一實施例，藉由移除可能為局域化能階形成之導因的水或氫來形成高度純化的氧化物半導體。這是依據充分減少能帶隙中之局域化能階的想法。這類高度純化的氧化物半導體允許製造出顯著優異的工業產品。

此外，亦可形成高度純化（i型）的氧化物半導體，這是藉由供應氧至氧空位所產生之懸掛鍵來減少因氧空位造成之局域化能階。例如，形成與通道形成區域接觸之含有過多氧的氧化物薄膜並接著從氧化物薄膜供應氧至通道形成區域，以減少因氧空位造成之局域化能階。

據稱氧化物半導體中之缺陷歸因於在導帶下之淺能階（由過多氫所導致）、深能階（由缺乏氧所導致）、或之類的。執行氫之徹底移除及氧的充分供應以排除這類缺陷。

（包括氧化物半導體之電晶體的傳導機制）

接下來，將參照第11圖、第12A及12B圖、第13A及13B圖、及第14圖說明包括氧化物半導體之電晶體的傳導機制。注意到為了簡單下列說明以理想情形的假設為依據。

第11圖為包括氧化物半導體之反交錯型（*inverted-staggered*）電晶體的剖面圖。氧化物半導體層（OS）設置在閘極電極層（GE1）上方，其之間有閘極絕緣層（GI），並且源極電極（S）與汲極電極（D）設置在氧化物半導體層上方。

第12A及12B圖為沿著第11圖中之A-A'的能帶結構之示意圖。第12A圖繪示其中不施加電壓至閘極電極層（ $V_G=0$ ），且施加無電壓或相同電壓至源極電極和汲極電極（ $V_D=V_S=0$ 或 $V_D=V_S$ ）的情況。第12B圖繪示其中施加正電壓（ $V_D>0$ ）至汲極電極及不施加電壓至閘極電極層（ $V_G=0$ ）的情況（以虛線顯示）和其中施加正電壓（ $V_D>0$ ）至汲極電極及施加正電壓 $+V_G$ （ $V_G>0$ ）至閘極電極層的情況（以實線顯示）。在其中不施加電壓至閘極電極層的情況中，因為高電位阻障的緣故，不會從源極電極

注入載子（電子）氧化物半導體側，所以電流不會流動，這意味著關閉狀態。另一方面，當施加正電壓至閘極電極層時，電位阻障減少並因此電流流動，這意味著啓通狀態。

第13A及13B圖為沿著第11圖中之B-B'的能帶結構之示意圖。第13A圖繪示其中施加正電壓（ $V_G > 0$ ）至閘極電極層（GE1）的情況，亦即，其中載子（電子）在源極電極與汲極電極之間流動的啓通狀態。第13B圖繪示其中施加負電壓 $-V_G$ （ $V_G < 0$ ）至閘極（GE1）的情況，亦即，關閉狀態（其中少數載子不流動）。

第14圖繪示真空能階、金屬的工作函數（ ϕ_M ）、及氧化物半導體之電子親和力（ χ ）之間的關係。

金屬退化且費米能階存在於導帶中。同時，傳統氧化物半導體為n型，且費米能階（ E_f ）與在帶隙中央的本質費米能階（ E_i ）有一段距離且靠近導帶。已知氧化物半導體中之氫部分變成施體且為產生n型氧化物半導體的導因之一。此外，氧空位已知為產生n型氧化物半導體的導因之一。

相比之下，根據所揭露之發明的一實施例之氧化物半導體為以下列方式變成本質（i型）或接近本質的氧化物半導體：藉由高度純化從氧化物半導體移除導致n型氧化物半導體的氫，使氧化物半導體盡可能少地包括非氧化物半導體之主成分的元素（雜質元素）並排除氧空位。亦即，本發明之一實施例的一特徵在於並非藉由添加雜質元

素而是藉由盡可能地排除雜質（諸如氫、水、及氧空位）來將氧化物半導體變成或變成接近高度純化i型（本質）半導體。因此，費米能階（ E_f ）可比本質費米能階（ E_i ）。

據稱氧化物半導體之帶隙（ E_g ）及電子親和力（ χ ）分別為3.15eV及4.3eV。包含在源極電極或汲極電極中之鈦（Ti）的工作函數實質等於氧化物半導體的電子親和力（ χ ）。在此情況中，在金屬與氧化物半導體之間的界面並未形成對抗電子之肖特基阻障。

在其中金屬的工作函數（ ϕ_M ）等於氧化物半導體的電子親和力（ χ ）的情況中，當金屬與氧化物半導體互相接觸可獲得第12A圖中所示之能帶圖（示意圖）。

在第12B圖中，黑點（•）表示電子。當供應正電位至汲極電極時，電子跨過阻障（ h ）並被注入到氧化物半導體中，並且流至汲極電極。阻障（ h ）的高度取決於閘極電壓（ V_G ）。當供應正汲極電壓至汲極電極時，阻障（ h ）之高度低於其中未施加電壓的第12A圖中之阻障的高度，亦即，帶隙（ E_g ）的一半。

在那時，如第13A圖中所示，電子在閘極絕緣層與高度純化的氧化物半導體之間的界面附近行進（以能量而言氧化物半導體為穩定的底部）。

如第13B圖中所示，在其中供應負電位至閘極電極（GE1）的情況中，由於實質不存在為少數載子的洞，電流值盡可能地接近0。

例如，關閉電流在室溫（ 25°C ）為 $10\text{zA}/\mu\text{m}$ （ $1\times 10^{-20}/\mu\text{m}$ ）或更少或 $1\text{zA}/\mu\text{m}$ （ $1\times 10^{-21}\text{A}/\mu\text{m}$ ）或更少。因此，可獲得具有 $0.1\text{V}/\text{dec}$ 之次臨界擺幅（S值）的電晶體。

依此方式，高度純化氧化物半導體以盡可能少地包括非氧化物半導體之主成分的雜質，藉此電晶體之操作可為有利的。

<修改實例>

第6圖、第7A及7B圖、第8A及8B圖、及第9A及9B圖繪示半導體裝置之結構的修改實例。於下將說明其中每一者中之電晶體162具有與上述不同的結構之半導體裝置作為修改實例。亦即，電晶體160的結構與上述相同。

第6圖繪示包括電晶體之半導體裝置的一實例，其中閘極電極136d放置在氧化物半導體層140下方且源極/汲極電極142a及142b與氧化物半導體層140的底表面接觸。注意到可適當改變平面結構以對應剖面；在此僅顯示剖面。

第6圖中之結構與第2A圖中之結構的一大差異在於氧化物半導體層140連接至源極/汲極電極142a及142b的位置。亦即，第2A圖中之結構的氧化物半導體層140的頂表面與源極/汲極電極142a及142b接觸，而第6圖中之結構的氧化物半導體層140的底表面與源極/汲極電極142a及142b接觸。此外，接觸位置的差異造成其他電極、絕緣層、及之類的不同配置。每一構件的細節與第2A及2B圖的相同。

詳言之，第6圖中之半導體裝置包括設置在層間絕緣層128上方之閘極電極136d、設置在閘極電極136d上方之閘極絕緣層138、設置在閘極絕緣層138上方之源極/汲極電極142a及142b、及與源極/汲極電極142a及142b的頂表面接觸之氧化物半導體層140。

在此，設置閘極電極136d以嵌入形成在層間絕緣層128上方的絕緣層132中。像是閘極電極136d，形成分別與源極/汲極電極130a、源極/汲極電極130b、及電極130c接觸的電極136a、電極136b、及電極136c。

保護絕緣層144設置在電晶體162上方以與氧化物半導體層140的部份接觸。層間絕緣層146設置在保護絕緣層144上方。在保護絕緣層144及層間絕緣層146之中形成到達源極/汲極電極142a及源極/汲極電極142b的開口。形成經由個別開口分別與源極/汲極電極142a及源極/汲極電極142b接觸的電極150d及電極150e。像是電極150d及150e，形成經由設置在閘極絕緣層138、保護絕緣層144、及層間絕緣層146之中的開口分別與電極136a、電極136b、及電極136c接觸的電極150a、電極150b、及電極150c。

設置絕緣層152在層間絕緣層146上方。設置電極154a、154b、154c、及154d以嵌入在絕緣層152之中。電極154a與電極150a接觸。電極154b與電極150b接觸。電極154c與電極150c和150d接觸。電極154d與電極150e接觸。

第7A及7B圖繪示半導體裝置之結構的一實例，其中閘極電極136d設置在氧化物半導體層140上方。第7A圖繪

示一種結構的一實例，其中源極/汲極電極 142a 及 142b 與氧化物半導體層 140 的底表面接觸。第 7B 圖繪示一種結構的一實例，其中源極/汲極電極 142a 及 142b 與氧化物半導體層 140 的頂表面接觸。

第 7A 及 7B 圖中之結構與第 2A 圖及第 6 圖中的結構之間的一大差異在於閘極電極 136d 係設置在氧化物半導體層 140 上方。此外，第 7A 圖中之結構與第 7B 圖中之結構間的一大差異在於源極/汲極電極 142a 及 142b 與氧化物半導體層 140 之底表面或頂表面接觸。還有，這些差異導致其他電極、絕緣層、及之類的不同配置。每一構件的細節與第 2A 及 2B 圖及之類的那些相同。

詳言之，第 7A 圖中所示之半導體裝置包括設置在層間絕緣層 128 上方之源極/汲極電極 142a 及 142b、與源極/汲極電極 142a 及 142b 的頂表面接觸之氧化物半導體層 140、設置在氧化物半導體層 140 上方之閘極絕緣層 138、及在閘極絕緣層 138 上方與氧化物半導體層 140 重疊之一區域中的閘極電極 136d。

第 7B 圖中所示之半導體裝置包括設置在層間絕緣層 128 上方之源極/汲極電極 142a 及 142b、設置成與氧化物半導體層 140 的頂表面接觸之源極/汲極電極 142a 及 142b、設置在氧化物半導體層 140 和源極/汲極電極 142a 及 142b 上方之閘極絕緣層 138、及在閘極絕緣層 138 上方與氧化物半導體層 140 重疊之一區域中的閘極電極 136d。

注意到在第 7A 及 7B 圖中之結構中，在某些情況中可

從第2A及2B圖中之結構或之類的省略一構件（如電極150a或電極154a）。在這類情況中，可獲得諸如簡化製程的次級效應。不用說可在第2A及2B圖及之類中省略非必要的構件。

第8A及8B圖各繪示其中元件的大小相對大且閘極電極136d係設置在氧化物半導體層140下方之情況的一實例。在此情況中，表面及覆蓋之平面化的需求相對緩和，因此無需形成將嵌入絕緣層中之電線、電極、及之類。例如，可藉由在形成導電層之後的圖案化來形成閘極電極136d及之類。注意到雖未在此繪示，可以類似方式形成電晶體160。

第8A圖中之結構與第8B圖中之結構間的一大差異在於源極/汲極電極142a及142b與氧化物半導體層140之底表面或頂表面接觸。此外，這些差異導致以不同方式配置其他電極、絕緣層、及之類。每一構件的細節與第2A及2B圖及之類的那些相同。

詳言之，第8A圖中之半導體裝置包括設置在層間絕緣層128上方之閘極電極136d、設置在閘極電極136d上方之閘極絕緣層138、設置在閘極絕緣層138上方之源極/汲極電極142a及142b、及與源極/汲極電極142a及142b的頂表面接觸之氧化物半導體層140。

第8B圖中之半導體裝置包括設置在層間絕緣層128上方之閘極電極136d、設置在閘極電極136d上方之閘極絕緣層138、設置在閘極絕緣層138上方在與閘極電極136d重疊

的一區域中之氧化物半導體層140、及設置成與氧化物半導體層140的頂表面接觸之源極/汲極電極142a及142b。

注意到在第8A及8B圖中之結構中，在某些情況中可從第2A及2B圖中之結構或之類的省略一構件。同樣在這類情況中，可獲得諸如簡化製程的次級效應。

第9A及9B圖各繪示其中元件的大小相對大且閘極電極136d係設置在氧化物半導體層140上方之情況的一實例。同樣在此情況中，表面及覆蓋之平面化的需求相對緩和，因此無需形成將嵌入絕緣層中之電線、電極、及之類。例如，可藉由在形成導電層之後的圖案化來形成閘極電極136d及之類。注意到雖未在此繪示，可以類似方式形成電晶體160。

第9A圖中之結構與第9B圖中之結構間的一大差異在於源極/汲極電極142a及142b與氧化物半導體層140之底表面或頂表面接觸。此外，這些差異導致以不同方式配置其他電極、絕緣層、及之類。每一構件的細節與第2A及2B圖及之類的那些相同。

詳言之，第9A圖中之半導體裝置包括設置在層間絕緣層128上方之源極/汲極電極142a及142b、與源極/汲極電極142a及142b的頂表面接觸之氧化物半導體層140、設置在源極/汲極電極142a及142b及氧化物半導體層140上方的閘極絕緣層138、及設置在閘極絕緣層138上方在與氧化物半導體層140重疊的一區域中之閘極電極136d。

第9B圖中之半導體裝置包括設置在層間絕緣層128上

方之氧化物半導體層140、設置成與氧化物半導體層140的頂表面接觸之源極/汲極電極142a及142b、設置在源極/汲極電極142a及142b上方之閘極絕緣層138、及設置在閘極絕緣層138上方在與氧化物半導體層140重疊的一區域中之閘極電極136d。

注意到同樣在第9A及9B圖中之結構中，在某些情況中可從第2A及2B圖中之結構或之類的省略一構件。同樣在這類情況中，可獲得諸如簡化製程的次級效應。

如上述，可根據在此所揭露的發明之一實施例實現具有新穎結構的半導體裝置。在此實施例中，說明其每一個之中半導體裝置係藉由堆疊電晶體160及電晶體162而形成的實例；然而，半導體裝置之結構不限於此結構。此外，此實施例顯示其每一個中電晶體160的通道長度方向與電晶體162的垂直之實例；然而，電晶體160與162之間的位置關係不限於此實例。另外，可將電晶體160及電晶體162設置成互相重疊。

在此實施例中，爲了簡單說明具有最小儲存單元（一位元）的半導體裝置；然而，半導體裝置之結構不限於此。可藉由適當地連接複數半導體裝置來形成更先進的半導體裝置。例如，可藉由使用複數上述半導體裝置來形成NAND型或NOR型的半導體裝置。佈線組態不限於第1圖中的且可適當加以改變。

根據此實施例之半導體裝置可儲存資料極長的時間，因爲電晶體162有低關閉電流。亦即，無需DRAM及之類

中所需之更新操作，故可抑制耗電量。此外，根據此實施例之半導體裝置可用為實質非依電性半導體裝置。

由於以電晶體 162 之切換操作執行資料寫入或之類，無需高電壓且可忽略元件的惡化。此外，根據電晶體之啓通及關閉狀態來寫入及抹除資料，藉此可輕易實現高速操作。另外，亦有利地無需抹除資料的操作，因為可藉由控制將輸入至電晶體的電位來直接重寫資料，這在塊閃記憶體及之類中為必要的。

由於包括非氧化物半導體之材料的電晶體可以比包括氧化物半導體之電晶體更快的速度操作，可藉由使用該電晶體來以高速讀出已儲存的資料。

在此實施例中所述之結構及方法可與在其他實施例中所述之任何結構及方法適當地結合。

（實施例 2）

在此實施例中，將參照第 15A 及 15B 圖說明根據所揭露的發明之另一實施例的結構及製造半導體裝置之方法。

第 15A 圖繪示半導體裝置之電路組態的一實例。第 15A 圖與第 1 圖的不同之處在於設置電容器 164。亦即，在第 15A 圖中，電晶體 162 之源極電極和汲極電極之一、電容器 164 的電極之一、及電晶體 160 的閘極電極互相電連接。第一線（亦稱為源極線 BL）及電晶體 160 的源極電極互相電連接，且第二線（亦稱為位元線 BL）及電晶體 160 的汲極電極互相電連接。第三線（亦稱為第一信號線 S1）及電

晶體 162 的源極電極和汲極電極的另一互相電連接，且第四線（亦稱為第二信號 S2）及電晶體 162 的閘極電極互相電連接。第五線（亦稱為字線 WL）及電晶體 164 的電極之另一互相電連接。注意到在第 15A 及 15B 的每一圖中，將「OS」寫在一電晶體旁以表示包括氧化物半導體之電晶體。

在此，將上述的包括氧化物半導體之電晶體用為電晶體 162。包括氧化物半導體之電晶體具有明顯小關閉電流的特性。因此，當電晶體 162 為關閉時，電晶體 160 的閘極電極之電位可保持非常長的時間。電容器 164 之設置促進提供給電晶體 160 之閘極電極的電荷保持及已儲存的資料之讀取。

注意到對電晶體 160 並未特別限制。以增加讀取資料之速度來說，較佳使用具有高切換速率之電晶體，如使用單晶矽所形成之電晶體。

第 15A 圖中之半導體裝置利用可保持電晶體 160 之閘極電極的電位的特性，藉此如下般寫入、儲存、及讀取資料。

將說明資料的寫入及儲存。首先，將第四線的電位設定至啓通電晶體 162 的電位，以啓通電晶體 162。依此，供應第三線的電位置電晶體 160 的閘極電極和電容器 164。亦即，提供預定的電荷給電晶體 160 的閘極電極（寫入）。在此，將用於供應兩種不同電位（此後，用於供應低電位的電荷稱為電荷 Q_L 且用於供應高電位的電荷稱為電荷

Q_H) 的電荷之一提供至電晶體 160 的閘極電極。注意到可供應提供三或更多不同電位的電荷以改善儲存電容器。之後，將第四線的電位設定至關閉電晶體 162 的電位，以關閉電晶體 162。因此，保持提供至電晶體 160 的閘極電極之電荷（儲存）。

由於電晶體 162 的關閉電流明顯地小，電晶體 160 之閘極電極的電荷可保持很久。

接下來，將說明資料讀取之操作。藉由在供應預定電位（恆定電位）至第一線的同時供應適當電位（讀取電位）至第五線，第二線的電位隨電晶體 160 之閘極電極中所保持的電荷量而變。這是因為一般而言，當電晶體 160 為 n 通道電晶體時，在其中提供 Q_H 至電晶體 160 的閘極電極的情況中之視臨限電壓（*apparent threshold voltage*） V_{th_H} 低於在其中提供 Q_L 至電晶體 160 的閘極電極的情況中之視臨限電壓 V_{th_L} 。在此，視臨限電壓指第五線的電位，其為啓通電晶體 160 所需。因此，將第五線的電位設定至介於 V_{th_H} 與 V_{th_L} 之間的電位 V_0 中級，藉此可判斷提供至電晶體 160 的閘極電極之電荷。例如，在其中於寫入中提供 Q_H 的情況中，當第五線的電位設定至 V_0 ($>V_{th_H}$) 時，電晶體 160 啓通。在其中於寫入中提供 Q_L 的情況中，即使當第五線的電位設定至 V_0 ($>V_{th_L}$) 時，電晶體 160 維持在關閉狀態中。因此，可藉由第二線的電位讀取已儲存的資料。

注意到在其中排成陣列以被使用之記憶胞的情況中，

僅需讀取希望的記憶胞之資料。因此，在其中讀取預定記憶胞之資料並不讀取其他記憶胞之資料的情況中，可施加一電位（其允許電晶體 160 被關閉而無論閘極電極狀態為何），亦即，低於 V_{th_H} 之電位至不讀取其之資料的記憶胞之第五線。替代地，可施加一電位（允許電晶體 160 被啓通而無論閘極電極狀態為何），亦即，高於 V_{th_L} 之電位至第五線。

接下來，說明資料的重寫。與資料寫入或儲存類似地執行資料重寫。亦即，將第四線之電位設定至允許電晶體 162 被啓通之電位，藉此啓通電晶體 162。依此，將第三線之電位（關於新資料的電位）供應至電晶體 160 之閘極電極和電容器 164。之後，將第四線的電位設置至允許電晶體 162 被關閉的電位，藉此關閉電晶體 162。依此，提供關於新資料的電位至電晶體 160 的閘極電極。

因此，在根據所揭露發明之半導體裝置中，可藉由重寫新資料來直接重寫資料。因此，無需快閃記憶體或之類中所需的高電壓之使用以從浮置閘極擷取電荷，故可抑制操作速度的減少，其歸因於抹除操作。亦即，可實現半導體裝置之高速操作。

注意到電晶體 162 之源極電極和汲極電極電連接至電晶體 160 的閘極電極，藉此具有和用於非依電性記憶體元件之浮置閘極電晶體的浮置閘極類似的功效。因此，圖中電晶體 162 之源極電極和汲極電極電連接至電晶體 160 的閘極電極的部份在某些情況中稱為浮置閘極部 FG。當電晶

體 162 為關閉時，浮置閘極部 FG 可被視為嵌入絕緣體中並因此可在浮置閘極部 FG 中保持電荷。包括氧化物半導體的電晶體 162 之關閉電流量小於或等於包括矽半導體之電晶體的關閉電流量之十萬分之一；故因電晶體 162 的漏電流所造成之累積於浮置閘極部 FG 中的電荷喪失微不足道。亦即，藉由包括氧化物半導體之電晶體 162，可實現能在不被供電下而儲存資料之非依電性記憶體裝置。

例如，當電晶體 162 的關閉電流在室溫（ 25°C ）為 10zA （ 1zA （zeptoampere）為 $1 \times 10^{-21}\text{A}$ ）或更少且電容器 164 的電容值近乎 10fF ，可儲存資料 10^4 秒或更長。不用說儲存時間取決於電晶體的特性及電容值。

此外，在那情況中，不存在閘極絕緣薄膜（隧道絕緣薄膜）的惡化問題，這是傳統浮置閘極電晶體中已有者。亦即，可忽略由於注入電子至浮置閘極造成的閘極絕緣薄膜之惡化，這在傳統上被視為是一問題。這意味著原則上對於寫入次數並無限制。此外，無需傳統浮置閘極電晶體中的寫入或抹除所需之高電壓。

第 15A 圖中之半導體裝置中的諸如電晶體的構件可被視為由如第 15B 圖中所示之電阻器及電容器所組成。亦即，在第 15B 圖中，電晶體 160 及電容器 164 各被視為包括一電阻器及一電容器。R1 及 C1 分別標示電容器 164 的電阻值及電容值。電阻值 R1 對應至取決於包括在電容器 164 中之絕緣層的電阻值。R2 及 C2 分別標示電晶體 160 的電阻值及電容值。電阻值 R2 對應至取決於在電晶體 160 為啓通時

之閘極絕緣層的電阻值。電容值C2對應至所謂的閘極電容（形成在閘極電極與源極電極或汲極電極間的電容或形成在閘極電極與通道形成區域間的電容）的電容值。

電子保持時期（亦稱為資料儲存時期）主要由在電晶體162之閘極漏電夠小且滿足 $R1 \geq ROS$ 及 $R2 \geq ROS$ 的條件下電晶體162之關閉電流而定，其中在電晶體162為關閉的情況中在源極電極與汲極電極之間的電阻值（亦稱為有效電阻）為 ROS 。

另一方面，當沒滿足這些條件時，即使電晶體162的電流夠小仍難以充分保全保持時期。這是因為非電晶體162之關閉電流的漏電流（如產生於源極電極與閘極電極之間的漏電流）為大。故在此實施例中之所揭露的半導體裝置可說是有利地滿足上述關係。

滿足 $C1 \geq C2$ 為有利。若C1為大，則當浮置閘極部FG的電位被第五線控制時（如在讀取時）可抑制第五線之電位的變化。

當滿足上述關係時，可實現更佳的半導體裝置。注意到R1及R2被電晶體160的閘極絕緣層及電容器164的絕緣層所控制。相同關係適用於C1及C2。因此，可適當設定閘極絕緣層之材料、厚度、及之類以滿足上述關係。

在此實施例中所述之半導體裝置中，浮置閘極部FG具有與快閃記憶體或之類的浮置閘極電晶體的浮置閘極類似的功效，但此實施例之浮置閘極部FG具有與快閃記憶體的浮置閘極或之類本質上不同的一特徵。在快閃記憶體

的情況中，由於供應至控制閘極的電壓為高，需要在胞之間保持適當距離以防止電位影響相鄰胞的浮置閘極。這是半導體裝置的高整合之妨礙因素之一。此因素歸因於快閃記憶體的基本原理，其中在供應高電場時穿隧電流流動。

此外，由於快閃記憶體的上述原理，絕緣薄膜之惡化繼續進行，故會發生重寫次數限制的問題（近乎 10^4 至 10^5 次）。

藉由切換包括氧化物半導體的電晶體而不使用上述藉由穿隧電流來注入電荷的原理來操作根據所揭露發明之半導體裝置。亦即，不像快閃記憶體，不需用於電荷注入的高電場。依此，無需考慮來自控制閘極之高電場對相鄰胞的影響，其促進高整合。

此外，不利用穿隧電流來注入電荷，這意味著不會有記憶胞之惡化的導因。換言之，根據所揭露發明之半導體裝置比快閃記憶體具有較高耐久性及可靠性。

另外，相較於快閃記憶體，有利地亦無需高電場及大輔助電路（諸如升壓電路）。

在其中包括在C1中的絕緣層之介電常數 ϵ_{r1} 與包括在C2中的絕緣層之介電常數 ϵ_{r2} 不同的情況中，在滿足 $2 \cdot S2 \geq S1$ （ $S2 \geq S1$ 為有利）的同時容易滿足 $C1 \geq C2$ ，其中S1為C1的面積且S2為C2的面積。詳言之，例如，使用以諸如氧化鉛之高k材料所形成的薄膜或由以諸如氧化鉛之高k材料所形成的薄膜及以氧化物半導體所形成之薄膜的堆疊作為C1，使 ϵ_{r1} 可設定成10或更多，較佳15或更多，且使

用氧化矽作為C2，使 ϵ_{r2} 可設定成3至4。這類結構的結合允許根據所揭露發明之半導體裝置的高整合。

注意到在上述說明中，使用n通道電晶體。然而，不用說可使用p通道電晶體來取代n通道電晶體。

如上述，根據所揭露發明之一實施例的半導體裝置具有非依電性記憶胞，包括一寫入電晶體（其中於關閉狀態中在源極與汲極之間的漏電流（關閉電流）為小）、以和寫入電晶體不同之半導體材料所形成之一讀取電晶體、及一電容器。

寫入電晶體的關閉電流為100zA（ 1×10^{-19} A）或更少；在室溫（如25°C）較佳為10zA（ 1×10^{-20} A）或更少；在室溫（如25°C）更佳為1zA（ 1×10^{-21} A）或更少。在一般矽半導體的情況中，難以實現上述的小關閉電流。然而，在藉由適當條件下處理氧化物半導體而得之電晶體中，可實現小關閉電流。因此，較佳使用包括氧化物半導體之電晶體作為寫入電晶體。

另外，包括氧化物半導體之電晶體具有小次臨界擺幅（S值），使得即使若遷移率相對低，切換速率仍夠高。因此，藉由使用該電晶體作為寫入電晶體，提供至浮置閘極部FG的寫入脈衝之升高可為非常尖銳。此外，關閉電流為小，因此可減少保持在浮置閘極部FG中之電荷量。亦即，藉由使用包括氧化物半導體之電晶體，可以高速執行資料的重寫。

針對讀取電晶體，較佳使用在高速操作之電晶體以增

加讀取速率。例如，較佳使用具有1奈米秒或更低之切換速率的電晶體作為讀取電晶體。

藉由啓通寫入電晶體以供應電位至浮置閘極部FG（在該處寫入電晶體之源極電極與汲極電極之一、電容器之電極之一、及讀取電晶體之閘極電極電連接），並接著關閉寫入電晶體以將預定電荷量保持在浮置閘極部FG中來寫入資料至記憶胞。在此，寫入電晶體的關閉電流非常小；因此，供應至浮置閘極部FG的電荷可保持很久。當關閉電流為例如實質0時，無需傳統DRAM所需之更新操作或更新操作頻率明顯的低（例如，約一個月或一年一次）。依此，可充分減少半導體裝置的耗電量。

此外，可藉由重寫新資料至記憶胞來直接重寫資料。因此，無需快閃記憶體或之類所需的抹除操作，並可抑制操作速度的減少，其歸因於抹除操作。換言之，可實現半導體裝置之高速操作。還有，無需傳統浮置閘極電晶體寫入及抹除資料所需之高電壓；故可進一步減少半導體裝置之耗電量。供應至根據此實施例之記憶胞的最高電壓（同時供應至記憶胞的個別端子的最高電位與最低電位間之差）在寫入兩階段（一位元）之資料的情況中在每一記憶胞中可為5V或更低或3V或更低。

設置在根據所揭露發明之半導體裝置中的記憶胞可包括至少該寫入電晶體及該讀取電晶體；因此，例如，相較於需要每記憶胞中六個電晶體的SRAM，每一記憶胞的面積可夠小。換言之，可在半導體裝置中以高密度配置記憶

胞。

在傳統浮置閘極電晶體中，在寫入操作期間電荷行進於閘極絕緣薄膜（隧道絕緣薄膜）中，因此無法避免閘極絕緣薄膜（隧道絕緣薄膜）的惡化。相反地，在根據本發明之一實施例的記憶胞中，藉由寫入電晶體之切換操作來寫入資料；故沒有閘極絕緣薄膜的惡化。這意味著原則上無寫入次數的限制且重寫耐久性非常高。例如，在根據本發明之一實施例的記憶胞中，即使在寫入資料 1×10^9 或更多次（一億或更多次）之後，電流－電壓特性仍未惡化。

此外，在使用包括氧化物半導體之電晶體作為記憶胞的寫入電晶體的情況中，即使在例如 150°C 的高溫，電流－電壓特性仍未惡化，因為氧化物半導體一般具有寬能隙（例如，在In-Ga-Zn-O為基的氧化物半導體之情況中3.0至3.5eV）且極少熱激載子。

藉由使用這類具有優異特性的電晶體作為記憶胞的寫入電晶體，可提供具有新穎特徵之半導體裝置。

在此實施例中所述之方法及結構可與其他實施例中所述之任何方法及結構適當地結合。

（實施例3）

在此實施例中，參照第16圖、第17A及17B圖、第18A至18C圖、第19圖、第20圖、及第21圖說明根據所揭露發明之另一實施例的半導體裝置之應用實例。

第16圖繪示根據此實施例的半導體裝置之示意圖。

第16圖為包括第1圖或第15A圖中所示之複數半導體裝置（此後稱為記憶胞1200）之一半導體裝置的電路圖之一實例。

第16圖中之半導體裝置包括記憶胞陣列（其中複數記憶胞1200以矩陣配置）、第一驅動器電路1211、第二驅動器電路1212、第三驅動器電路1213、第四驅動器電路1214、電連接至第一驅動器電路1211的複數線L1、電連接至第二驅動器電路1212的複數線L2、電連接至第三驅動器電路1213的複數線L3、及電連接至第四驅動器電路1214的複數線L4。

如第16圖中所示，線L1、L2、L3、及L4電連接至記憶胞1200之每一個。因此，可使用第一驅動器電路1211、第二驅動器電路1212、第三驅動器電路1213、及第四驅動器電路1214來控制記憶胞1200之每一個的操作。記憶胞1200配置在矩陣中，且線L1、L2、L3、及L4設置在格柵圖案中的低方向或行方向，藉此可在記憶胞1200的每一列或每一行中執行半導體裝置的寫入操作及讀取操作。

注意到在第16圖中來自第一驅動器電路1211至第四驅動器電路1214的每一者之一條線電連接至記憶胞1200；然而，所揭露的發明不限於此。來自驅動器電路之任一者或一些的複數條線可電連接至記憶胞1200。替代地，可採用一種結構，其中驅動器電路的任一者之一條線或驅動器電路之一些的一些線不電連接至記憶胞1200的任一者或一些。

在第16圖中之半導體裝置中，分別設置第一驅動器電路1211、第二驅動器電路1212、第三驅動器電路1213、及第四驅動器電路1214；然而，所揭露的發明不限於此。可替代地使用具有該些功能之任一者或一些的驅動器電路。注意到有利地使用單晶半導體材料來形成驅動器電路以保全足夠的操作速度。例如，較佳使用塊矽（所謂的矽晶圓）。

接下來，將說明更具體的組態實例。

第17A及17B圖為半導體裝置之電路圖的實例，各包括第15A圖中所示的複數半導體裝置（此後亦稱為記憶胞400）。第17A圖為所謂的NAND半導體裝置之電路圖，其中記憶胞400為串聯，且第17B圖為所謂的NOR半導體裝置之電路圖，其中記憶胞400為並聯。

第17A圖中之半導體裝置包括源極線SL、位元線BL、第一信號線S1、複數第二信號線S2、複數字線WL、及複數記憶胞400。在第17A圖中，一源極線SL及一位元線BL設置在該半導體裝置中；然而，所揭露的發明之一實施例不限於此。可設置複數源極線SL及複數位元線BL。

在記憶胞400的每一者中，電晶體160的閘極電極、電晶體162之源極電極和汲極電極之一、及電容器164的電極之一互相電連接。第一信號線S1和電晶體162之源極電極和汲極電極之另一互相電連接，且第二信號線S2和電晶體162的閘極電極互相電連接。字線WL和電容器164的電極之另一互相電連接。

此外，包括在記憶胞400中之電晶體160的源極電極電連接至包括在相鄰記憶胞400中之電晶體160的汲極電極。包括在記憶胞400中之電晶體160的汲極電極電連接至在相鄰記憶胞400中之電晶體160的源極電極。注意到包括在複數記憶胞之記憶胞400中的電晶體160的串接之汲極電極（其設置在端部之一）電連接至位元線BL。包括在複數記憶胞之記憶胞400中的電晶體160的串接之源極電極（其設置在另一端）電連接至源極線SL。

在第17A圖中之半導體裝置中，在每一列中執行寫入操作及讀取操作。如下般執行寫入操作。將啓通電晶體162之電位供應至將執行寫入的一列之第二信號線S2，以啓通將執行寫入之該列的電晶體162。依此，將第一信號線S1的電位供應至指定列之電晶體160的閘極電極，以提供預定電荷至閘極電極。因此可寫入資料至指定列的記憶胞。

此外，如下般執行讀取操作。首先，無論提供至電晶體160的閘極電極之電荷為何，將啓通電晶體160之電位供應至非將執行讀取之列的列之字線WL，以啓通非將執行讀取之列的列之電晶體160。接著，將使電晶體160之啓通或關閉狀態取決於電晶體160之閘極電極的電荷之電位（讀取電位）供應至將執行讀取之列的字線WL。之後，將恆定電位供應至源極線SL，以操作連接至位元線BL的讀取電路（未圖示）。在此，在源極線SL與位元線BL之間的複數電晶體160為啓通，除了將執行讀取之列的電晶

體 160；因此，源極線 SL 與位元線 BL 之間電導由將執行讀取之列的電晶體 160 的狀態（啓通狀態或關閉狀態）而定。將執行讀取之電晶體 160 的電導取決於其之閘極電極中的電荷。因此，位元線 BL 的電位隨之變化。藉由以讀取電路讀取位元線 BL 的電位，可從指定列之記憶胞讀取資料。

第 17B 圖中之半導體裝置包括複數源極線 SL、複數位元線 BL、複數第一信號線 S1、複數第二信號線 S2、複數字線 WL、及複數記憶胞 400。電晶體 160 的閘極電極、電晶體 162 之源極電極和汲極電極之一、及電容器 164 的電極之一互相電連接。源極線 SL 及電晶體 160 的源極電極互相電連接。位元線 BL 及電晶體 160 的汲極電極互相電連接。第一信號線 S1 和電晶體 162 之源極電極和汲極電極之另一互相電連接，且第二信號線 S2 和電晶體 162 的閘極電極互相電連接。字線 WL 和電容器 164 的電極之另一互相電連接。

在第 17B 圖中之半導體裝置中，在每一列中執行寫入操作及讀取操作。以和第 17A 圖中之半導體裝置類似的方式執行寫入操作。如下般執行讀取操作。首先，無論提供至電晶體 160 的閘極電極之電荷為何，將啓通電晶體 160 之電位供應至非將執行讀取之列的字線 WL，以關閉非將執行讀取之列的電晶體 160。接著，將使電晶體 160 之啓通或關閉狀態取決於電晶體 160 之閘極電極的電荷之電位（讀取電位）供應至將執行讀取之列的字線 WL。之

後，將恆定電位供應至源極線SL，以操作連接至位元線BL的讀取電路（未圖示）。在此，源極線SL與位元線BL之間電導由將執行讀取之列的電晶體160的狀態（啓通狀態或關閉狀態）而定。亦即，位元線BL的電位取決於將執行讀取之電晶體160的閘極電極中的電荷。藉由以讀取電路讀取位元線BL的電位，可從指定列之記憶胞讀取資料。

雖可儲存在記憶胞400之每一者中的資料量在上述說明中爲一位元，此實施例之記憶體裝置的結構不限於此。可藉由備置將供應至電晶體160的閘極電極之三或更多電位來增加儲存在記憶胞400之每一者中的資料量。例如，在其中供應至電晶體160的閘極電極之電位數量爲四的情況中，可在記憶胞400之每一者中儲存兩位元的資料。

接下來，將參照第18A至18C圖說明可用於第17A及17B圖中的半導體裝置或之類的讀取電路之實例。

第18A圖繪示讀取電路的示意圖。讀取電路包括一電晶體及一感測放大器電路。

在讀取資料時，端子A連接至一位元線BL（將從其讀取資料之一記憶胞係連接至其）。此外，將偏壓電位V_{bias}供應至一電晶體的閘極電極以控制端子A的電位。

記憶胞400之電阻隨已儲存資料而變。詳言之，當選定的記憶胞400之電晶體160爲啓通，則記憶胞400具有低電阻，而當選定的記憶胞400之電晶體160爲關閉，則記憶胞400具有高電阻。

當記憶胞具有高電阻時，端子A的電位高於參考電位 V_{ref} 且感測放大器電路輸出對應至端子A的電位之一電位。另一方面，當記憶胞具有低電阻時，端子A的電位低於參考電位 V_{ref} 且感測放大器電路輸出對應至端子A的電位之一電位。

因此，藉由使用讀取電路，可從記憶胞讀取資料。注意到此實施例之讀取電路僅諸多實例之一。可使用另一電路。讀取電路可進一步包括預先充電電路。取代參考電位 V_{ref} ，可將參考位元線BL連接至感測放大器電路。

第18B圖繪示為感測放大器電路之一實例的一差動感測放大器。差動感測放大器具有輸入端子 $V_{in}(+)$ 及 $V_{in}(-)$ 及一輸出端子 V_{out} 並放大 $V_{in}(+)$ 及 $V_{in}(-)$ 之間的電位差。若 $V_{in}(+)$ 的電位大於 $V_{in}(-)$ 的電位，則 V_{out} 輸出信號高 (High)，而若 $V_{in}(+)$ 的電位低於 $V_{in}(-)$ 的電位，則 V_{out} 輸出信號低 (Low)。在其中差動感測放大器用於讀取電路的情況中， $V_{in}(+)$ 及 $V_{in}(-)$ 之一係連接至端子A，且參考電位 V_{ref} 係供應至 $V_{in}(+)$ 及 $V_{in}(-)$ 的另一者。

第18C圖繪示為感測放大器電路之一實例的一閘鎖感測放大器。閘鎖感測放大器具有輸入/輸出端子 $V1$ 及 $V2$ 和控制信號 S_p 及 S_n 的輸入端子。首先，將控制信號 S_p 及 S_n 分別設定至信號高及信號低，且中斷電源電位 (V_{dd})。接著，將用於比較之個別電位 $V1_{in}$ 及 $V2_{in}$ 分別供應至 $V1$ 及 $V2$ 。之後，將控制信號 S_p 及 S_n 分別設定至信號低及信號

高，並供應電源電位（ V_{dd} ）。若針對比較 V_{1in} 及 V_{2in} 之電位滿足 $V_{1in} > V_{2in}$ ，則來自 V_1 的輸出為信號高且來自 V_2 的輸出為信號低，而若滿足 $V_{1in} < V_{2in}$ ，則來自 V_1 的輸出為信號低且來自 V_2 的輸出為信號高。藉由利用這種關係，可放大 V_{1in} 及 V_{2in} 之間的差。在其中閃鎖感測放大器用於讀取電路的情況中， V_1 及 V_2 之一係連接至端子 A 且輸出端子透過一切換器，且參考電位 V_{ref} 係供應至 V_1 及 V_2 的另一者。

第 19 圖為包括第 15A 圖中之複數半導體裝置的一半導體裝置的電路圖之一實例。第 19 圖中之半導體裝置具有 $m \times n$ 位元的記憶容量。

第 19 圖中之半導體裝置包括記憶胞陣列，其中 m 字線 WL 、 m 第二信號線 $S2$ 、 n 位元線 BL 、 n 源極線 SL 、 n 第一信號線 $S1$ 、及複數記憶胞 1100 係配置在 m （列）（垂直方向中） $\times n$ （行）（水平方向中）（ m 及 n 為自然數）的矩陣中，以及第一驅動器電路 1111、第二驅動器電路 1112、第三驅動器電路 1113、及第四驅動器電路 1114 的周邊電路。在此，上述實施例的任何中所述的組態（如第 15A 圖中之組態）係應用至記憶胞 1100。

亦即，記憶胞 1100 的每一者包括第一電晶體 160、第二電晶體 162、及電容器 164。第一電晶體 160 的閘極電極、第二電晶體 162 之源極電極和汲極電極之一、及電容器 164 的電極之一互相連接。源極線 SL 及第一電晶體 160 的源極電極互相連接。位元線 BL 及第一電晶體 160 的汲極電

極互相連接。第一信號線S1和第二電晶體162之源極電極和汲極電極之另一互相連接。第二信號線S2和第二電晶體162的閘極電極互相連接。字線WL和電容器164的電極之另一互相連接。

此外，記憶胞1100並接在源極線SL與位元線BL之間。例如，第i列與第j行(i,j) (i為大於或等於1且小於或等於m的整數，j為大於或等於1且小於或等於n的整數)的記憶胞1100連接至源極線SL(j)、位元線BL(j)、第一信號線S1(j)、字線WL(i)、及第二信號線S2(i)。

源極線SL及位元線BL連接至第一驅動器電路1111。第一信號線S1連接至第二驅動器電路1112。第二信號線S2連接至第三驅動器電路1113。字線WL連接至第四驅動器電路1114。注意到在此分別設置第一驅動器電路1111、第二驅動器電路1112、第三驅動器電路1113、及第四驅動器電路1114；然而，所揭露的發明不限於此。可替代地使用具有該些功能之任一或一些的解碼器。

接下來，將參照第20圖之時序圖來說明第19圖中之半導體裝置的寫入操作及讀取操作。

雖為了簡單說明兩列及兩行的半導體裝置之操作，所揭露的發明不限於此。

第20圖為繪示第19圖中之半導體裝置的操作之圖。在第20圖中，S1(1)及S1(2)為第一信號線S1之電位；S2(1)及S2(2)為第二信號線S2之電位；BL(1)及BL(2)為位元線BL之電位；WL(1)及WL(2)為字線WL之電位；且SL(1)及

SL(2)為源極線SL之電位。

首先，將說明寫入資料至在第一列中之記憶胞(1,1)及記憶胞(1,2)，並從在第一列中之記憶胞(1,1)及記憶胞(1,2)讀取資料。注意到在下列說明中，假設將寫至記憶胞(1,1)之資料為「1」且將寫至記憶胞(1,2)之資料為「0」。

首先，將說明寫入。在第一列的寫入時期中，將電位 V_H 供應至第一列的第二信號線S2(1)以啓通第一列的第二電晶體162。此外，將0V的電位供應至第二列的第二信號線S2(2)以關閉第二列的第二電晶體162。

接下來，分別將電位V2及0V的電位供應至第一行的第一信號線S1(1)及第二行的第一信號線S1(2)。

結果，分別供應電位V2及0V的電位至記憶胞(1,1)的浮置閘極部FG及記憶胞(1,2)的浮置閘極部FG。在此，電位V2高於第一電晶體160之臨限電壓。接著，將第一列之第二信號線S2(1)的電位設定至0V以關閉第一列的第二電晶體162。因此，完成寫入。

注意到字線WL(1)及WL(2)係在0V的電位。此外，在改變第一列之第一信號線S1(1)的電位之前，第一列的第二信號線S2(1)之電位設定成0V。已寫入資料至其之記憶體元件的臨限電壓在資料「0」的情況中為 V_{w0} 且在資料「1」的情況中為 V_{w1} ，假設在記憶體元件中，連接至字線WL的一端子為控制閘極電極，第一電晶體160之源極電極為一源極電極，且第二電晶體162之汲極電極為一汲極

電極。在此，記憶胞之臨限電壓意指連接至字線WL的該端子之電壓，其改變第一電晶體160之源極電極與汲極電極之間的電阻。注意到滿足 $V_{w0} > 0 > V_{w1}$ 。

首先，將說明讀取。在第一列的讀取時期中，將電位0V及電位VL分別供應至第一列的字線WL(1)及第二列的字線WL(2)。電位VL低於臨限電壓 V_{w1} 。當WL(1)在0V之電位時，在第一列中，記憶胞(1,2)的第一電晶體160（其中儲存資料「0」）為關閉，且記憶胞(1,1)的第一電晶體160（其中儲存資料「1」）為啓通。當WL(2)在電位VL時，在第二列中，記憶胞(2,1)及(2,2)的第一電晶體160（其中儲存資料「0」或資料「1」）為關閉。

接下來，供應0V的電位至第一行的源極線SL(1)及第二行的源極線SL(2)。

結果，啓通在位元線BL(1)及源極線SL(1)之間的記憶胞(1,1)的第一電晶體160，藉此有低電阻，且關閉在位元線BL(2)及源極線SL(2)之間的記憶胞(1,2)的第一電晶體160，藉此有高電阻。連接至位元線BL(1)及位元線BL(2)之讀取電路可依據位元線間的差來讀取資料。

此外，將0V的電位及電位VL分別供應至第二信號線S2(1)及第二信號線S2(2)，以關閉所有的第二電晶體162。第一列之浮置閘極部FG的電位為0V或V2；故第二信號線S2(1)的電位設定至0V，藉此可關閉第一列的所有第二電晶體162。另一方面，第二列的浮置閘極部FG之電位低於直接在若供應電位VL至字線WL(2)的資料寫入之後的時候

之電位。因此，爲了防止啓通第二電晶體 162，與字線 WL(2)之電位類似地將第二信號線 S2(2)的電位設定至低。故可關閉所有第二電晶體 162。

接下來，將說明其中使用第 21 圖中之電路作爲讀取電路的情況中之輸出電位。由於位元線 BL(1)及源極線 SL(1)之間的電阻爲低，供應低電位至時控反向器且輸出 D(1)爲信號高。由於位元線 BL(2)及源極線 SL(2)之間的電阻爲高，供應高電位至時控反向器且輸出 D(2)爲信號低。

針對操作電壓，假設滿足例如 $V_{DD}=2V$ 、 $V_2=1.5V$ 、 $V_H=2V$ 、及 $V_L=-2V$ 。

如此實施例中所述，藉由設置複數記憶胞，可增加半導體裝置的記憶體容量。注意到可適當地設計記憶胞的數量及配置、線的數量及配置、及驅動器電路的數量及配置；因此它們不限於上述結構。

在此實施例中所述之方法及結構可與其他實施例中所述之任何方法及結構適當地結合。

(實施例 4)

在此實施例中，參照第 22A 及 22B 圖、第 23A 至 23D 圖、及第 24A 至 24C 圖說明根據所揭露發明之另一實施例的結構及製造半導體裝置之方法，其與實施例 1 及 2 的那些不同。注意到在此實施例中所述之電晶體 260、電晶體 262、及電容器 264 可分別用爲上述實施例之電路圖中的電晶體 160、電晶體 162、及電容器 164。

<半導體裝置之剖面結構及平面結構>

第22A及22B圖繪示半導體裝置之結構的一實例。第22A圖繪示半導體裝置之剖面圖，且第22B圖繪示半導體裝置之平面圖。在此，第22A圖對應沿著至第22B圖中之線C1-C2及線D1-D2的剖面。在第22B圖之平面圖中，省略某些構件，如源極/汲極電極254和線256以避免繁雜。第22A及22B圖中所示之半導體裝置包括在下部中之包括非半導體裝置的材料之電晶體260，及在上部中之包括氧化物半導體層的電晶體262。使用非氧化物半導體之半導體材料所形成之電晶體可輕易地以高速操作。另一方面，包括氧化物半導體之電晶體因其特性的緣故可長時間保持電荷。

雖然所有電晶體在此為n通道電晶體，不用說可使用p通道電晶體。由於所揭露發明之技術本質為在電晶體262中使用氧化物半導體以儲存資料，無需將半導體裝置的特定結構限制於在此所述之結構。

在第22A及22B圖中之半導體裝置中，設置電晶體262及電容器264以與電晶體260重疊。藉由採用第22B中之平面佈局，高整合為可能。例如，鑑於最小處理尺寸為F，一記憶胞所佔之面積可為 $15F^2$ 至 $25F^2$ 。

第22A及22B圖中之半導體裝置與先前實施例中所述的半導體裝置不同之處在於在電晶體260中不設有側壁絕緣層。亦即，第22A及22B圖中之半導體裝置不包括側壁絕緣層。由於未形成側壁絕緣層，不形成雜質區域114

(如參見第2A及2B圖)。因此，在其中不設有側壁絕緣層的情況中，相較於設有側壁絕緣層的情況，高整合為容易。另外，相較於設有側壁絕緣層的情況，可簡化製程。

第22A及22B圖中之半導體裝置與先前實施例中所述的半導體裝置另一不同之處在於在電晶體260中設有層間絕緣層。亦即，第22A及22B圖中之半導體裝置包括與電晶體260的金屬化合物區域224接觸的含氫層間絕緣層225。藉由設置含氫層間絕緣層225而與金屬化合物區域224接觸，可供應氫至電晶體260以改善電晶體260的特性。作為層間絕緣層225，例如，可提供含氫的氮化矽層，其係藉由電漿CVD方法形成。此外，藉由使用其中氫濃度為低之絕緣層作為層間絕緣層226，可防止會不利影響電晶體262的氫進入電晶體262。作為層間絕緣層226，例如，可提供在缺氫下的濺鍍方法形成的氮化矽層。當採用這種結構時，可充分改善電晶體260及262的特性。注意到在第22A及22B圖中，基板200、元件隔離絕緣層206、閘極絕緣層208、閘極電極210、通道形成區域216、高濃度雜質區域220、及金屬化合物區域224分別對應至實施例1中之基板100、元件隔離絕緣層106、閘極絕緣層108、閘極電極110、通道形成區域116、高濃度雜質區域120、及金屬化合物區域124。

第22A及22B圖中之半導體裝置與先前實施例中所述的半導體裝置另一不同之處在於，在電晶體262中，在氧化物半導體層244與源極電極242a之間及在氧化物半導體

層 244 與汲極電極 242b 之間分別設有絕緣層 243a 及 243b。藉由如此設置絕緣層 243a 及 243b，可減少由閘極電極 248a 及源極電極 242a（或閘極電極 248a 及汲極電極 242b）所形成之所謂的閘極電容以增加電晶體 262 的操作速度。

注意到在實施例 1 中，直接在閘極電極 210 上形成源極電極 242a，藉此在下部的電晶體 260 與在上部的電晶體 262 互相電連接。以這種結構，相較於其中額外設置電極及線的情況，可增加整合程度。另外，可簡化製程。

雖在此實施例中說明包括所有差異之結構，可採用包括這些差異的任一者之結構。

<製造半導體裝置之方法>

接下來，將說明製造上述半導體裝置之方法的一實例。此後，將參照第 23A 至 23D 圖及第 24A 至 24C 圖說明在形成下部中之電晶體 260 之後的步驟及製造上部中之電晶體 262 的方法。可藉由與實施例 1 中所述之方法類似的方法形成下部中之電晶體 260。可參照實施例 1 以得到更多細節。注意到在此實施例中設有電容器 264。另外，形成三個層間絕緣層 225、226、及 228 以覆蓋此實施例中之電晶體 260。注意到並未經由在此實施例中之電晶體 260 的製程形成實施例 1 中之源極/汲極電極 130a 及 130b，且為了方便即使其中未形成源極/汲極電極 130a 及 130b 的結構仍稱為電晶體 260。

首先藉由實施例 1 中所述的方法形成下部中之電晶體

260，並接著，移除電晶體260之閘極電極210的頂表面之一部分。針對移除步驟，可使用如化學機械拋光（CMP）之拋光處理。因此，移除在閘極電極210的頂表面上方之層間絕緣層225、226、及228。注意到充分平面化受到這種拋光處理的表面，藉此可在後續步驟中有利地形成電極、線、絕緣層、半導體層、或之類。

接著，在閘極電極210上方形成導電層並選擇性蝕刻層間絕緣層225、226、及228及導電層，以形成源極及汲極電極242a及242b（參見第23A圖）。在此，形成與閘極電極210直接接觸的源極電極242a。

可使用與實施例1中所述的源極/汲極電極142a及142b類似的材料來形成用於形成源極及汲極電極242a及242b的導電層。此外，可藉由與實施例1中所述的方法類似之方法來蝕刻導電層。可參照實施例1以得到更多細節。

接下來，形成絕緣層以覆蓋源極及汲極電極242a及242b並選擇性加以蝕刻，以分別在源極及汲極電極242a及242b上方形成絕緣層243a及243b（參見第23B圖）。

藉由設置絕緣層243a及243b，可減少形成在後續形成的閘極電極248a與源極及汲極電極242a及242b之間的寄生電容。

之後，形成氧化物半導體層244以覆蓋源極及汲極電極242a及242b，並在氧化物半導體層244上方形成閘極絕緣層246（參見第23C圖）。

可使用實施例1中所述之氧化物半導體層140的材料及

方法來形成氧化物半導體層244。此外，有利地使氧化物半導體層244受到熱處理（第一熱處理）。可參照實施例1以得到更多細節。

可使用實施例1中所述之閘極絕緣層138的材料及方法來形成閘極絕緣層246。此外，有利地使所形成的閘極絕緣層246在惰性氣體周圍環境或氧周圍環境中受到熱處理（第二熱處理）。可參照實施例1以得到更多細節。

接著，在閘極絕緣層246上方，在與電晶體262之一區域重疊的一區域中（其充當通道形成區域）形成閘極電極248a，並在與源極電極242a重疊的一區域中形成電極248b（參見第23D圖）。

可以一種方式形成閘極電極248a及電極248b以在閘極絕緣層246上方形成導電層並接著選擇性加以蝕刻。可藉由PVD方法（典型為濺鍍方法）或CVD方法（如電漿CVD方法）來形成將成為閘極電極248a及電極248b的導電層。細節與源極電極242a或之類的那些類似；故可參照其之說明。

接下來，在閘極絕緣層246、閘極電極248a、及電極248b上方形成層間絕緣層250及252（參見第24A圖）。可使用實施例1中所述之保護絕緣層144和層間絕緣層146的材料及方法來形成層間絕緣層250及252。可參照實施例以得到更多細節。

注意到有利地形成層間絕緣層252以具有平面化表面。這是因為即使在例如其中半導體裝置的尺寸縮小之情

況中可有利地在層間絕緣層252上方形成電極、線、或之類。可使用諸如化學機械拋光（CMP）的方法來平面化層間絕緣層252。

之後，選擇性蝕刻層間絕緣層225、226、及228、氧化物半導體層244、閘極絕緣層246、及層間絕緣層250及252，以形成到達電晶體260之金屬化合物區域224的開口（參見第24B圖）。針對蝕刻，可使用乾蝕刻或濕蝕刻；以微製造來說，有利地採用乾蝕刻。

形成源極/汲極電極254以嵌入該開口中。接著，形成連接至源極/汲極電極254的線256（參見第24C圖）。

可以一種方式形成源極/汲極電極254，例如藉由PVD方法、CVD方法、或之類的以在包括開口的區域中形成導電層並接著藉由蝕刻、CMP、或之類的移除導電層之部分。詳言之，可採用一種方法，例如，其中藉由PVD方法在包括開口的區域中形成薄鈦薄膜並藉由CVD方法形成薄氮化鈦薄膜，並接著，形成鎢薄膜以嵌入該開口中。在此，藉由PVD方法形成之鈦薄膜具有減少形成在其上形成鈦薄膜之表面上的氧化物薄膜之功能（如自然氮化物薄膜），以減少與下電極（在此如金屬化合物區域224）的接觸電阻。在鈦薄膜形成之後所形成之氮化鈦薄膜具有防止導電材料擴散的功能。可在鈦、氮化鈦、或之類的阻障薄膜形成之後藉由鍍覆方法來形成銅薄膜。

可以一種方式形成線256以形成與源極/汲極電極254接觸的導電層並加以選擇性蝕刻。可藉由PVD方法（典型

為濺鍍方法)或CVD方法(如電漿CVD方法)來形成導電層。細節與源極電極242a或之類的那些類似。

因此，完成包括電晶體260、電晶體262、及電容器264的半導體裝置。

在此實施例中所述的半導體裝置中，例如，電晶體262及電容器264與電晶體260重疊，電晶體260不包括側壁絕緣層，在閘極電極210上直接形成源極電極242a；因此，高整合為可能。此外，簡化製程。

此外，在此實施例中所述的半導體裝置中，分別使用含氫絕緣層及具有減少氫濃度的絕緣層作為層間絕緣層225及226；故改善電晶體260及262的特性。鑑於絕緣層243a及243b，減少所謂的閘極電容，且因而增加電晶體262的操作速度。

在此實施例中所述之上述特徵使提供具有明顯優異特性的半導體裝置變得可能。

在此實施例中所述之方法及結構可與在其他實施例中所述之任何方法及結構適當地結合。

(實施例5)

此實施例參照第10A至10F圖說明其中安裝有藉由任何上述實施例所得之半導體裝置之電子裝置的實例。任何上述實施例所得之半導體裝置可在即使未供應電力時儲存資料。此外，不造成源自寫入及抹除的惡化。另外，寫入及抹除之操作亦為高速。有鑑於這些原因，可使用上述半

導體裝置來提供新結構的電子裝置。注意到根據任何上述實施例之半導體裝置係安裝在積體電路板及之類上，並安裝在每一電子裝置內。

第10A圖為包括根據任何前述實施例的半導體裝置之筆記型個人電腦，並以殼體301、殼體302、顯示部303、鍵盤304、及之類的形成。

第10B圖為包括根據任何前述實施例的半導體裝置之個人數位助理（PDA），且設有殼體311、顯示部313、外部界面315、操作鈕314、及之類。另外，有一手寫筆312做為操作配件。

作為電子紙之一實例，第10C圖為電子書讀取器320的繪圖，其包括根據任何前述實施例的半導體裝置。電子書讀取器320包括兩機殼，機殼321及323。機殼321及323以鉸鍊337結合以沿鉸鍊337打開及關閉電子書讀取器320。藉由此一結構，可如紙本書般操作電子書讀取器320。

顯示部325係納入機殼321中，且顯示部327係納入機殼323中。顯示部325及顯示部327可顯示一影像或不同影像。在其中顯示部325及顯示部327顯示不同影像的情況中，例如，在右邊的顯示部（第10C圖中之顯示部325）上可顯示文字，且在左邊的顯示部（第10C圖中之顯示部327）上可顯示圖形。

第10C圖繪示其中殼體321設置有操作部及之類的一實例。例如，殼體321包括電源331、操作鍵333、揚聲器335、及之類。可以操作鍵333翻頁。注意到亦可在其上設

有顯示部之殼體的表面上設置鍵盤、指示裝置、或之類。此外，外部連結端子（如耳機端子、USB端子、可連接至諸如AC轉接器及USB電纜的各種電纜的端子、或之類）、記錄媒體插入部、及之類可設置在殼體的背表面或側表面上。另外，電子書讀取器320可具有電子字典的功能。

再者，電子書讀取器320可無線發送並接收資料。透過無線通訊，可從電子書伺服器購買並下載想要的書資料或之類。

注意到電子紙可應用至任何領域的裝置，只要其可顯示資料。例如，除了電子書讀取器外，電子紙可用於海報、如火車之車輛中的廣告、如信用卡各種卡中的顯示、及諸如此類。

第10D圖為包括根據任何前述實施例的半導體裝置之行動電話。上述行動電話包括兩殼體，殼體340及殼體341。殼體341包括顯示板342、揚聲器343、麥克風344、指示裝置346、相機透鏡347、外部連結端子348、及之類。另外，殼體341包括充電行動電話的太陽能電池單元349、外部記憶體槽350、及之類。另外，天線係納入殼體341中。

顯示板342作用為觸碰板，且如由第10D圖中之虛線所示，顯示複數操作鍵345作為影像。注意到行動電話安裝有用於升高太陽能電池單元349的輸出電壓至每一電路所需之電壓的升壓電路。此外，除了上述結構外，行動電話可進一步納入無接觸式IC晶片、小型記憶體裝置、或之

類。

在顯示板342中，可根據使用模式適當地改變顯示方位。此外，由於相機透鏡347設置在與顯示板342相同表面上，行動電話可用為視訊電話。揚聲器343及麥克風344不僅可用於語音通話，亦可用於視訊通話、記錄、播放聲音、及之類。還有，如第10D圖中所示般發展的殼體340及341可滑動使一者覆蓋於另一者之上；因此，可減少行動電話的大小，使行動電話更適合攜帶。

外部連結端子348可連接至諸如AC轉接器或USB電纜之各種電纜，藉此可充電行動電話或可執行資料通訊或之類。此外，藉由插入記錄媒體至外部記憶體槽350中，行動電話可處置大量資料的儲存及轉移。再者，除了上述功能外，可設有紅外線通訊功能、電視接收功能、或之類。

第10E圖為包括根據任何前述實施例的半導體裝置之數位相機。數位相機包括主體361、顯示部A 367、目鏡363、操作開關364、顯示部B 365、電池366、及之類。

第10F圖為包括根據任何前述實施例的半導體裝置之電視機。電視機370具有納入殼體371中之顯示部373。可在顯示部373上顯示影像。注意到在此可由支架375支撐殼體371。

可藉由殼體371之操作開關或分開的遙控器380操作電視機370。可以遙控器380之操作鍵379控制頻道及音量，因此可控制顯示在顯示部373上之影像。此外，遙控器380可具有顯示部377，其中顯示來自遙控器380的資訊輸出。

注意到電視機370較佳設有接收器、數據機、及之類。藉由使用接收器，可接收一般電視廣播。另外，當顯示裝置經由數據機有線或無線式連接至通訊網路時，可執行單向（從發送器到接收器）或雙向（發送器與接收器之間或接收器之間）資料通訊。

在此實施例中所述之結構、方法、及之類可與其他實施例中所述之任何結構、方法、及之類適當地結合。

（實例1）

在此實例中，說明藉由測量包括高度純化氧化物半導體的電晶體之關閉電流所得之結果。

首先，考量到高度純化氧化物半導體的電晶體之非常小關閉電流而備置具有夠寬的1m之通道寬度W的電晶體，並測量關閉電流。第25圖顯示藉由測量具有1m之通道寬度W的電晶體所得之結果。在第25圖中，水平軸顯示閘極電壓VG且垂直軸顯示汲極電流ID。在其中汲極電壓VD為+1V或+10V且閘極電壓VG在-5V至-20V的範圍內的情況中，發現電晶體之關閉電流小於或等於 1×10^{-13} A，此為偵測極限。此外，發現到電晶體之關閉電流（每單位通道寬度（1 μ m））小於或等於1aA/ μ m（ 1×10^{-18} / μ m）。

接下來將說明藉由更準確地測量包括高度純化氧化物半導體的電晶體之關閉電流所得之結果。如上述，發現到包括高度純化氧化物半導體的電晶體之關閉電流小於或等於 1×10^{-13} A，此為測量設備的測量極限。在此，將說明使

用用於特性評估之元件來測量更準確的關閉電流（值小於或等於上述測量中之測量設備的偵測極限）所得的結果。

首先，參照第26圖說明該特性評估用之元件。

在第26圖中之特性評估用之元件中，並接三個測量系統800。測量系統800包括電容器802、電晶體804、電晶體805、電晶體806、及電晶體808。使用包括高度純化氧化物半導體的電晶體作為電晶體804、電晶體805、及電晶體806的各者。

在測量系統800中，電晶體804之源極端子及汲極端子之一、電容器802的端子之一、電晶體805之源極端子及汲極端子之一連接至電源（用於供應V2）。電晶體804之源極端子及汲極端子之另一者、電晶體808之源極端子及汲極端子之一、電容器802的端子之另一者、電容器805的閘極端子互相連接。電晶體808之源極端子及汲極端子之另一者、電晶體806之源極端子及汲極端子之一、及電晶體806之閘極端子連接至電源（用於供應V1）。電晶體805之源極端子及汲極端子之另一者及電晶體806之源極端子及汲極端子之另一互相連接。此外，設置一輸出端子。

供應用於控制電晶體804之啓通狀態及關閉狀態的電位Vext_b2至電晶體804的閘極端子。供應用於控制電晶體808之啓通狀態及關閉狀態的電位Vext_b1至電晶體808的閘極端子。從該輸出端子輸出電位Vout。

接下來，將說明以特性評估用之元件測量電流之方法。

首先，將概略說明其中供應電位差以測量關閉電流的初始時期。在初始時期中，輸入用於啓通電晶體 808 之電位 V_{ext_b1} 至電晶體 808 的閘極端子，並供應電位 $V1$ 至節點 A，其為連接至電晶體 804 之源極端子及汲極端子之另一者的節點（亦即，連接至電晶體 808 之源極端子及汲極端子之一、電容器 802 的端子之另一者、電容器 805 的閘極端子的節點）。在此，電位 $V1$ 為例如高電位。電晶體 804 為關閉。

之後，輸入用於啓通電晶體 808 之電位 V_{ext_b1} 至電晶體 808 的閘極端子，以關閉電晶體 808。在關閉電晶體 808 之後，電位 $V1$ 設定至低。電晶體 804 仍然為關閉。電位 $V2$ 與電位 $V1$ 的相同。因此，完成初始時期。在其中完成初始時期的狀態中，在節點 A 與電晶體 804 之源極端子及汲極端子之一之間產生電位差，並且還有，在節點 A 與電晶體 808 之源極端子及汲極端子之另一之間產生電位差。因此，電荷稍微流動經過電晶體 804 及電晶體 808。換言之，產生關閉電流。

接下來，將概略說明關閉電流的測量時期。在測量時期中，電晶體 804 之源極端子及汲極端子之一的電位（亦即， $V2$ ）和電晶體 808 之源極端子及汲極端子之另一者（亦即， $V1$ ）設定至低並固定。另一方面，在測量時期不固定節點 A 的電位（節點 A 在浮置狀態中）。依此，隨時間經過，電荷流經電晶體 804 且在節點 A 保持電荷量。此外，當保持在節點 A 之電荷量改變時，節點 A 之電位改

變。亦即，輸出端子的輸出電位 V_{out} 亦改變。

第27圖顯示其中施加電位差之初始時期中及在隨後測量時期中之電位間之關係之細節（時序圖）。

在初始時期中，電位 V_{ext_b2} 設定至啓通電晶體 804 之電位（高電位）。故，節點 A 的電位來到 V_2 ，亦即，低電位（ V_{SS} ）。之後，電位 V_{ext_b2} 設定至關閉電晶體 804 之電位（低電位），藉此關閉電晶體 804。接著，電位 V_{ext_b1} 設定至啓通電晶體 808 之電位（高電位）。因此，節點 A 的電位來到 V_1 ，亦即，高電位（ V_{DD} ）。之後，將電位 V_{ext_b1} 設定至啓通電晶體 808 之電位。依此，將節點 A 帶到浮置狀態中並完成初始時期。

在隨後的測量時期中，電位 V_1 及電位 V_2 個別設定至電荷往返節點 A 流動之電位。在此，電位 V_1 及電位 V_2 為低電位（ V_{SS} ）。注意到在測量輸出電位 V_{out} 之時序，必須操作輸出電路，因此在某些情況中暫時將 V_1 設定至高電位（ V_{DD} ）。使其中 V_1 為高電位（ V_{DD} ）的時期為短，以不影響測量。

當如上述般施加電位差以啓動測量時期時，隨時間過去保持在節點 A 的電荷量會改變，且依此，節點 A 之電位會變化。這意味著電晶體 805 之閘極端子的電位會變化，並因此輸出端子的輸出電位 V_{out} 亦隨時間流逝而變。

將於下說明依據所得的輸出電位 V_{out} 來計算關閉電流之方法。

在計算關閉電流之前預先獲得節點 A 之電位 V_A 與輸出

電位 V_{out} 之間的關係。因此，可依據輸出電位 V_{out} 獲得節點 A 之電位 V_A 。從上述關係，可藉由下列等式表示節點 A 之電位 V_A 為輸出電位 V_{out} 的函數。

[等式 1]

$$V_A = F(V_{out})$$

由下列等式，使用節點 A 之電位 V_A 、連接至節點 A 的電容 C_A 、及常數 (const) 來表示節點 A 之電荷 Q_A 。在此，連接至節點 A 的電容 C_A 為電容器 802 之電容和其他電容的總和。

[等式 2]

$$Q_A = C_A V_A + \text{const}$$

由於藉由相關於時間來微分流至節點 A 的電荷而獲得節點 A 的電流 I_A ，藉由下列等式來表示節點 A 的電流 I_A 。

[等式 3]

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

故可依據連接至節點 A 的電容 C_A 及輸出端子的輸出電位 V_{out} 獲得節點 A 的電流 I_A 。

藉由上述方法，可計算出在關閉之電晶體的源極與汲極之間流動的漏電流（關閉電流）。

在此實例中，使用具有 $10\mu\text{m}$ 的通道長度及 $50\mu\text{m}$ 的通道寬度 W 之高度純氧化物半導體來製造電晶體 804、電

晶體 805、電晶體 806、電晶體 808。在平行配置的測量系統 800 之每一者中，電容器 802a、802b、及 802c 的電容值分別為 100fF、1pF、及 3pF。

注意到假設滿足 $V_{DD}=5V$ 及 $V_{SS}=0V$ 下執行根據此實例的測量。在測量時期，電位 V_1 基本上設定至 V_{SS} 並僅在每 10 至 300 秒的 100 毫秒的週期中設定成 V_{DD} ，並測量 V_{out} 。此外，當流經元件之電流 I 時所使用之 Δt 約為 30,000 秒。

第 28 圖顯示輸出電位 V_{out} 及電流測量中經過的時間 $Time$ 之間的關係。根據第 28 圖，電位隨時間演進而變。

第 29 圖顯示依據上述電流測量所計算之在室溫的關閉電流（ $25^{\circ}C$ ）。注意到第 29 圖顯示源極－汲極電壓 V 與關閉電流 I 之間的關係。根據第 29 圖，關閉電流約為 $40zA/\mu m$ ，其中源極－汲極電壓為 4V。當源極－汲極電壓為 3.1V 時，關閉電流小於或等於 $10zA/\mu m$ 。注意到 $1zA$ 等同於 $10^{-21}A$ 。

此外，第 30 圖顯示依據上述電流測量所計算之在 $85^{\circ}C$ 的室溫環境中之關閉電流。第 30 圖顯示在 $85^{\circ}C$ 的情況中之源極－汲極電壓 V 與關閉電流 I 之間的關係。根據第 30 圖，當源極－汲極電壓為 3.1V 時，關閉電流約為 $100zA/\mu m$ 。

根據此實例，確認在包括高度純化的氧化物半導體的電晶體中之關閉電流夠小。

[實例 2]

檢驗根據所揭露發明之一實施例的半導體裝置可重寫資料的次數。在此實例中，將參照第31圖說明檢驗結果。

用於檢驗之半導體裝置為具有第15A圖中之電路組態的半導體裝置。在此，使用氧化物半導體作為對應至電晶體162之電晶體，並使用具有0.33pF的電容值之電容器作為對應至電容器164之電容器。

藉由比較初始記憶體窗寬度及在重複預定次數的儲存及寫入資料之後的時候之記憶體窗寬度來執行檢驗。藉由施加0V或5V至對應於第15A圖中之第三線的線並施加0V或5V至對應於第15A圖中之第四線的線來儲存並寫入資料。當對應至第四線的線之電位為0V時，對應至電晶體162的電晶體（寫入電晶體）為關閉；因此，保持供應至節點FG的電位。當對應至第四線的線之電位為5V時，對應至電晶體162的電晶體（寫入電晶體）為啓通；因此，供應對應至第三線的線之電位至節點FG。

記憶體窗寬度為記憶體裝置之特性的指標之一。在此，記憶體窗寬度代表不同記憶體狀態之間的曲線（ V_{cg} - I_d 曲線）中之位移量 ΔV_{cg} ，該些曲線顯示對應至第五線的線之電位 V_{cg} 和對應至電晶體160之電晶體（讀取電晶體）的汲極電流 I_d 之間的關係。不同記憶體狀態意指其中施加0V至節點FG的狀態（此後稱為低狀態）及其中施加5V至節點FG的狀態（此後稱為高狀態）。亦即，可藉由掃掠低狀態中及高狀態中的電位 V_{cg} 來檢查記憶體窗寬度。

第31圖顯示在執行寫入 1×10^9 次之後的時候記憶體窗寬度的檢驗結果。注意到在第31圖中，水平軸顯示 V_{cg} (V) 且垂直軸顯示 I_d (A)。根據第31圖，在寫入資料 1×10^9 次之後記憶體窗寬度仍未改變，這意味著在至少寫入資料的 1×10^9 次之後的時期中，半導體裝置並無惡化。

如上述，在根據所揭露的發明之一實施例的半導體裝置中，即使在儲存並寫入資料 1×10^9 次之後，特性仍未改變且對抗重寫之電阻非常高。亦即，可以說根據所揭露的發明之一實施例可實現明顯可靠的半導體裝置。

此申請案依據在2009年10月29日向日本專利局申請之日本專利申請案序號2009-249330以及在2010年1月22日向日本專利局申請之日本專利申請案序號2010-012619，其全部內容以引用方式併於此。

【符號說明】

100：基板

102：保護層

104：半導體區域

106：元件隔離絕緣層

108：閘極絕緣層

110：閘極電極

112：絕緣層

114：雜質區域

116：通道形成區域

- 118：側壁絕緣層
- 120：高濃度雜質區域
- 122：金屬層
- 124：金屬化合物區域
- 124：金屬化合物區域
- 126：層間絕緣層
- 128：層間絕緣層
- 130a：源極/汲極電極
- 130b：源極/汲極電極
- 130c：電極
- 132：絕緣層
- 134：導電層
- 136a：電極
- 136b：電極
- 136c：電極
- 136d：閘極電極
- 138：閘極絕緣層
- 140：氧化物半導體層
- 142a：源極/汲極電極
- 142b：源極/汲極電極
- 144：保護絕緣層
- 146：層間絕緣層
- 148：導電層
- 150a：電極

150b：電極
150c：電極
150d：電極
150e：電極
152：絕緣層
154a：電極
154b：電極
154c：電極
154d：電極
160：電晶體
162：電晶體
164：電容器
200：基板
206：元件隔離絕緣層
208：閘極絕緣層
210：閘極電極
216：通道形成區域
220：高濃度雜質區域
224：金屬化合物區域
225：層間絕緣層
226：層間絕緣層
228：層間絕緣層
242a：源極電極
242b：汲極電極

243a：絕緣層
243b：絕緣層
244：氧化物半導體層
246：閘極絕緣層
248a：閘極電極
248b：電極
250：層間絕緣層
252：層間絕緣層
254：汲極電極
256：線
260：電晶體
262：電晶體
264：電容器
301：主體
302：殼體
303：顯示部
304：鍵盤
311：主體
312：手寫筆
313：顯示部
314：操作鈕
315：外部界面
320：電子書讀取器
321：殼體

- 323：殼體
- 325：顯示部
- 327：顯示部
- 331：電源開關
- 333：操作鍵
- 335：揚聲器
- 337：鉸鍊
- 340：殼體
- 341：殼體
- 342：顯示板
- 343：揚聲器
- 344：麥克風
- 345：操作鍵
- 346：指示裝置
- 347：相機透鏡
- 348：外部連結端子
- 349：太陽能電池單元
- 350：外部記憶體槽
- 361：主體
- 363：目鏡
- 364：操作開關
- 365：顯示部B
- 366：電池
- 367：顯示部A

370：電視機
371：殼體
373：顯示部
375：支架
377：顯示部
379：操作鍵
380：遙控器
400：記憶胞
800：測量系統
802：電容器
802a：電容器
802b：電容器
802c：電容器
804：電晶體
805：電晶體
806：電晶體
808：電晶體
1100：記憶胞
1111：第一驅動器電路
1112：第二驅動器電路
1113：第三驅動器電路
1114：第四驅動器電路
1200：記憶胞
1211：第一驅動器電路

1212：第二驅動器電路

1213：第三驅動器電路

1214：第四驅動器電路

【發明申請專利範圍】

【請求項1】一種半導體裝置，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層具有i型的區域；

該氧化物半導體層包含結晶，該結晶是以c軸與該氧化物半導體層的表面呈垂直的方式配置；

該第一電晶體進入啟通狀態，藉以對該第二電晶體的閘極電極提供電位之後，該第一電晶體進入關閉狀態，藉以保持該第二電晶體的閘極電極的電位。

【請求項2】一種半導體裝置，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

包含浮置閘極部，使得該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層具有i型的區域；

該氧化物半導體層包含結晶，該結晶是以c軸與該氧化物半導體層的表面呈垂直的方式配置。

【請求項3】一種半導體裝置，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層具有i型的區域；

該氧化物半導體層包含結晶，該結晶是以c軸與該氧化物半導體層的表面呈垂直的方式配置；

未設置與該第二電晶體的閘極電極電連接的電容器；

該第一電晶體進入啟通狀態，藉以對該第二電晶體的閘極電極提供電位之後，該第一電晶體進入關閉狀態，藉以保持該第二電晶體的閘極電極的電位。

【請求項4】一種半導體裝置，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層具有i型的區域；

該氧化物半導體層包含結晶，該結晶是以c軸與該氧化物半導體層的表面呈垂直的方式配置；

包含與該第二電晶體的閘極電極電連接的電容器；

該第一電晶體進入啟通狀態，藉以對該第二電晶體的閘極電極提供電位之後，該第一電晶體進入關閉狀態，藉以保持該第二電晶體的閘極電極的電位。

【請求項5】一種半導體裝置，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層包含結晶，該結晶是以c軸與該氧化物半導體層的表面呈垂直的方式配置；

該氧化物半導體層以二次離子質譜測量到的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下；

該第一電晶體進入啟通狀態，藉以對該第二電晶體的閘極電極提供電位之後，該第一電晶體進入關閉狀態，藉以保持該第二電晶體的閘極電極的電位。

【請求項6】一種半導體裝置，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

包含浮置閘極部，使得該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層包含結晶，該結晶是以c軸與該氧化物半導體層的表面呈垂直的方式配置；

該氧化物半導體層以二次離子質譜測量到的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下。

【請求項7】一種半導體裝置，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極

電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層包含結晶，該結晶是以c軸與該氧化物半導體層的表面呈垂直的方式配置；

該氧化物半導體層以二次離子質譜測量到的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下；

未設置與該第二電晶體的閘極電極電連接的電容器；

該第一電晶體進入啟通狀態，藉以對該第二電晶體的閘極電極提供電位之後，該第一電晶體進入關閉狀態，藉以保持該第二電晶體的閘極電極的電位。

【請求項8】一種半導體裝置，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層包含結晶，該結晶是以c軸與該氧化物半導體層的表面呈垂直的方式配置；

該氧化物半導體層以二次離子質譜測量到的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下；

包含與該第二電晶體的閘極電極電連接的電容器；

該第一電晶體進入啟通狀態，藉以對該第二電晶體的閘極電極提供電位之後，該第一電晶體進入關閉狀態，藉以保持該第二電晶體的閘極電極的電位。

【請求項9】如請求項1至8任一項之半導體裝置，

其中，該氧化物半導體層，為 In-Ga-Zn-O 系、In-Sn-Zn-O 系、In-Al-Zn-O 系、Sn-Ga-Zn-O 系、Al-Ga-Zn-O 系、Sn-Al-Zn-O 系、In-Zn-O 系、Sn-Zn-O 系、Al-Zn-O 系、In-O 系、Sn-O 系、或 Zn-O 系的氧化物半導體層。

【請求項 10】如請求項 1 至 8 任一項之半導體裝置，
其中，該第二電晶體於通道形成區域包含矽。

【請求項 11】一種記憶胞，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層具有 i 型的區域；

該氧化物半導體層包含結晶，該結晶是以 c 軸與該氧化物半導體層的表面呈垂直的方式配置；

該第一電晶體進入啟通狀態，藉以對該第二電晶體的閘極電極提供電位之後，該第一電晶體進入關閉狀態，藉以保持該第二電晶體的閘極電極的電位。

【請求項 12】一種記憶胞，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

包含浮置閘極部，使得該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層具有i型的區域；

該氧化物半導體層包含結晶，該結晶是以c軸與該氧化物半導體層的表面呈垂直的方式配置。

【請求項13】一種記憶胞，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層具有i型的區域；

該氧化物半導體層包含結晶，該結晶是以c軸與該氧化物半導體層的表面呈垂直的方式配置；

未設置與該第二電晶體的閘極電極電連接的電容器；

該第一電晶體進入啟通狀態，藉以對該第二電晶體的閘極電極提供電位之後，該第一電晶體進入關閉狀態，藉以保持該第二電晶體的閘極電極的電位。

【請求項14】一種記憶胞，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層具有i型的區域；

該氧化物半導體層包含結晶，該結晶是以c軸與該氧化物半導體層的表面呈垂直的方式配置；

包含與該第二電晶體的閘極電極電連接的電容器；

該第一電晶體進入啟通狀態，藉以對該第二電晶體的閘極電極提供電位之後，該第一電晶體進入關閉狀態，藉以保持該第二電晶體的閘極電極的電位。

【請求項 15】一種記憶胞，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層包含結晶，該結晶是以 c 軸與該氧化物半導體層的表面呈垂直的方式配置；

該氧化物半導體層以二次離子質譜測量到的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下；

該第一電晶體進入啟通狀態，藉以對該第二電晶體的閘極電極提供電位之後，該第一電晶體進入關閉狀態，藉以保持該第二電晶體的閘極電極的電位。

【請求項 16】一種記憶胞，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

包含浮置閘極部，使得該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層包含結晶，該結晶是以 c 軸與該氧化物半導體層的表面呈垂直的方式配置；

該氧化物半導體層以二次離子質譜測量到的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下。

【請求項 17】一種記憶胞，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層包含結晶，該結晶是以 c 軸與該氧化物半導體層的表面呈垂直的方式配置；

該氧化物半導體層以二次離子質譜測量到的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下；

未設置與該第二電晶體的閘極電極電連接的電容器；

該第一電晶體進入啟通狀態，藉以對該第二電晶體的閘極電極提供電位之後，該第一電晶體進入關閉狀態，藉以保持該第二電晶體的閘極電極的電位。

【請求項 18】一種記憶胞，包含：

第一電晶體以及第二電晶體；

該第一電晶體的源極或汲極，與該第二電晶體的閘極電極電連接；

該第一電晶體於氧化物半導體層具有通道形成區域；

該氧化物半導體層包含結晶，該結晶是以 c 軸與該氧化物半導體層的表面呈垂直的方式配置；

該氧化物半導體層以二次離子質譜測量到的氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下；

包含與該第二電晶體的閘極電極電連接的電容器；

該第一電晶體進入啟通狀態，藉以對該第二電晶體的閘極電極提供電位之後，該第一電晶體進入關閉狀態，藉以保持該第二電晶體的閘極電極的電位。

【請求項 19】如請求項 11 至 18 任一項之記憶胞，

其中，該氧化物半導體層，為 In-Ga-Zn-O 系、In-Sn-Zn-O 系、In-Al-Zn-O 系、Sn-Ga-Zn-O 系、Al-Ga-Zn-O 系、Sn-Al-Zn-O 系、In-Zn-O 系、Sn-Zn-O 系、Al-Zn-O 系、In-O 系、Sn-O 系、或 Zn-O 系的氧化物半導體層。

【請求項 20】如請求項 11 至 18 任一項之記憶胞，

其中，該第二電晶體於通道形成區域包含矽。

【請求項 21】一種記憶胞陣列，包含：

如請求項 11 至 18 任一項之記憶胞。

【請求項 22】一種記憶胞陣列，包含：

複數個如請求項 11 至 18 任一項之記憶胞；

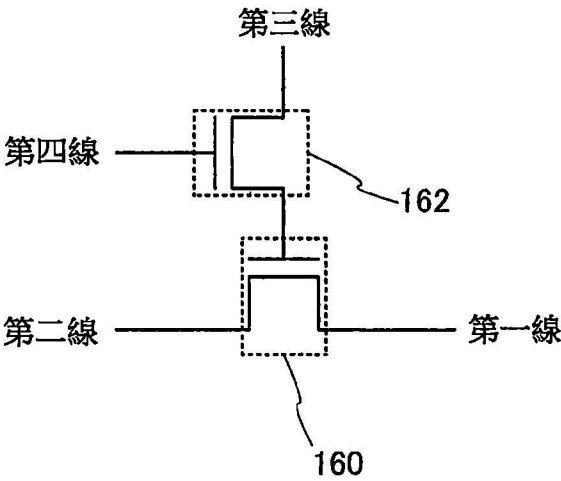
該複數個記憶胞配置為矩陣狀。

【請求項 23】一種非依電性記憶體，包含：

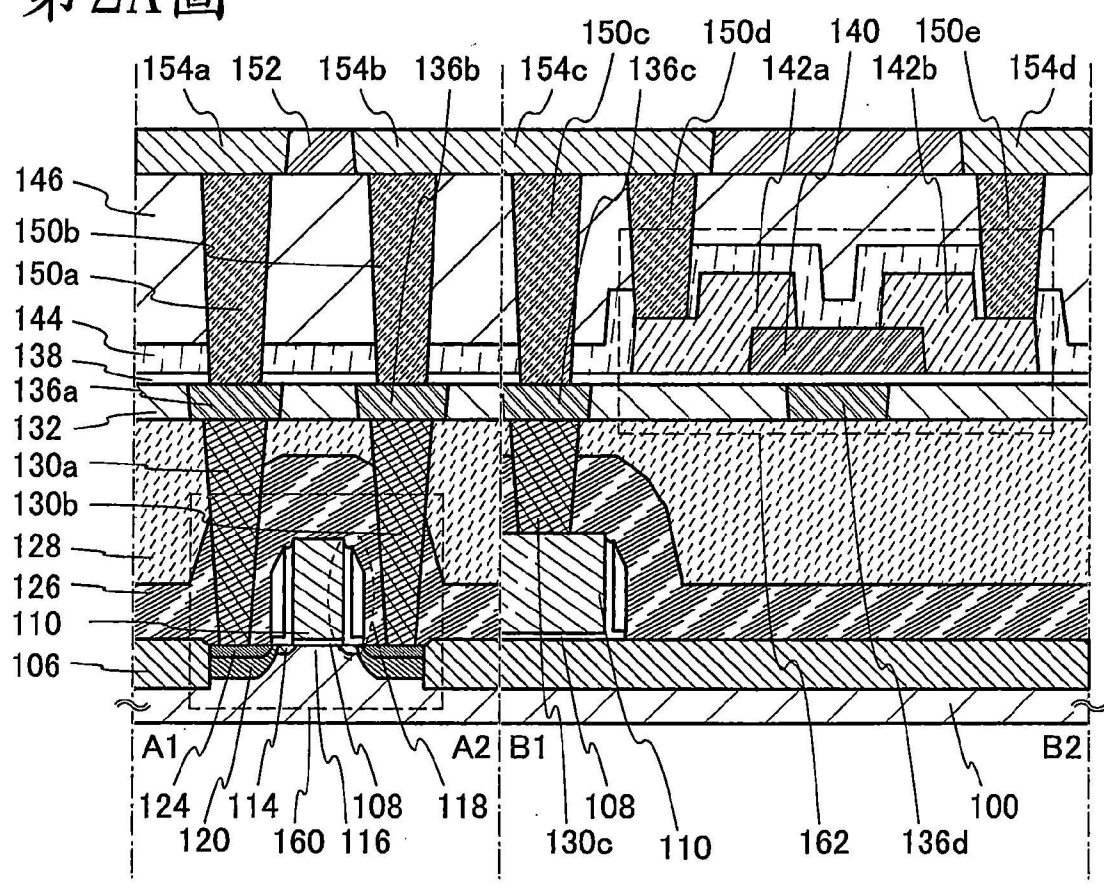
如請求項 11 至 18 任一項之記憶胞。

【發明圖式】

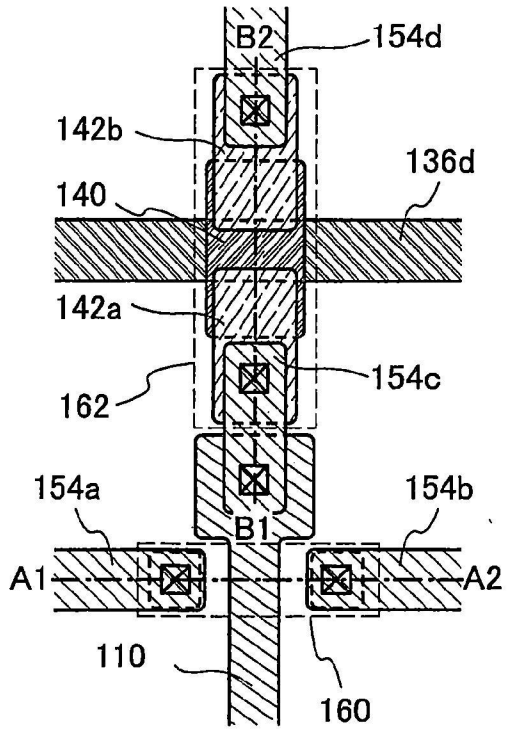
第1圖



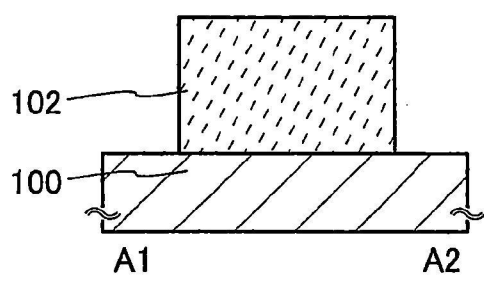
第2A圖



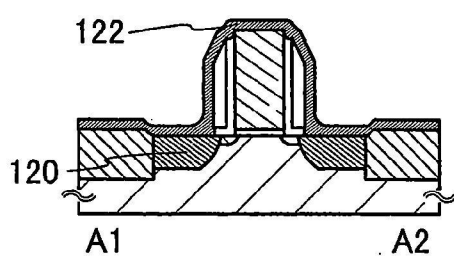
第2B圖



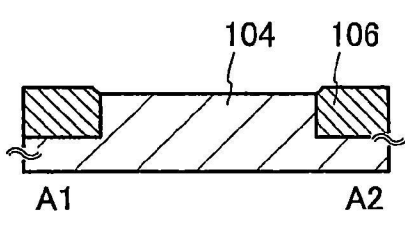
第3A圖



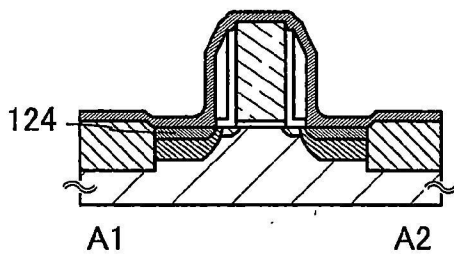
第3E圖



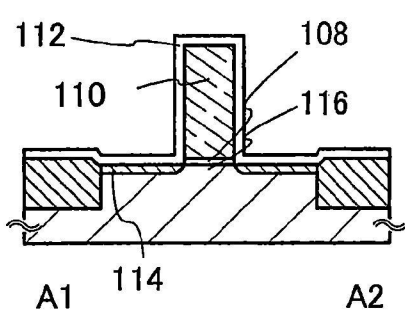
第3B圖



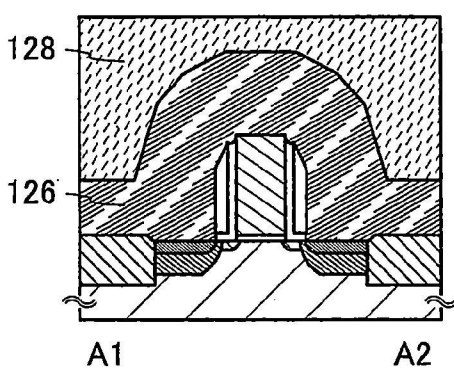
第3F圖



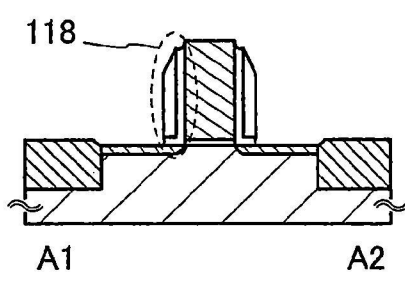
第3C圖



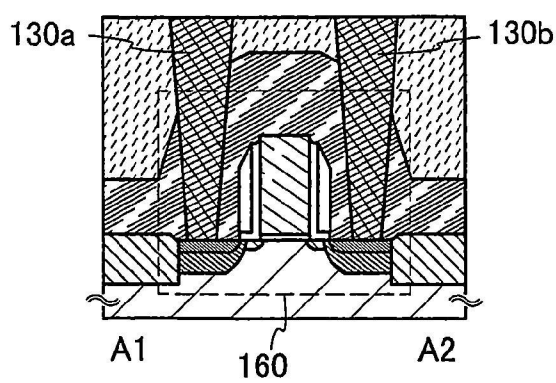
第3G圖



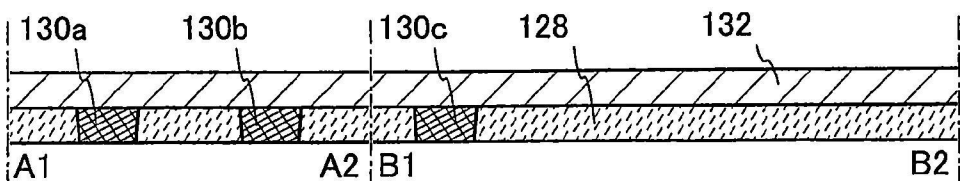
第3D圖



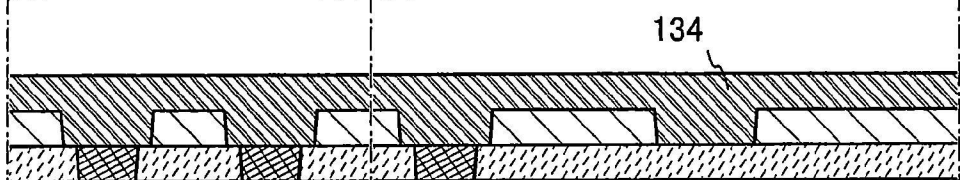
第3H圖



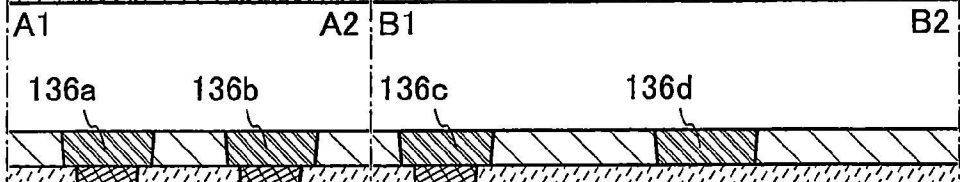
第4A圖



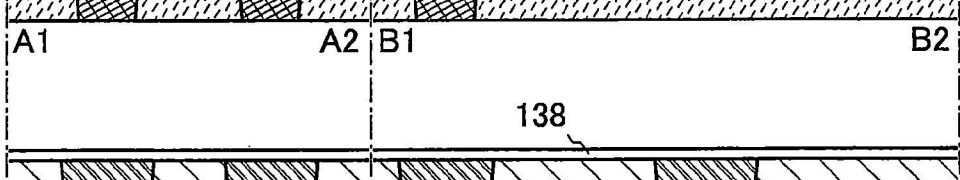
第4B圖



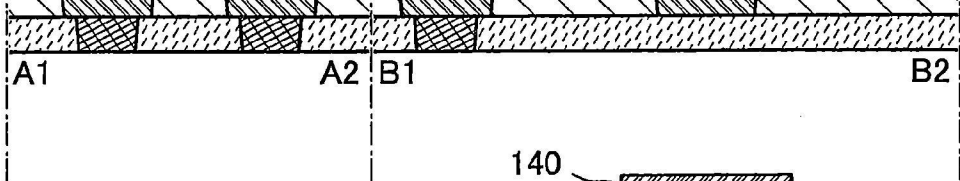
第4C圖



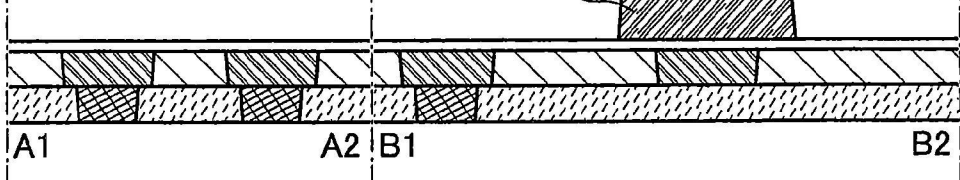
第4D圖



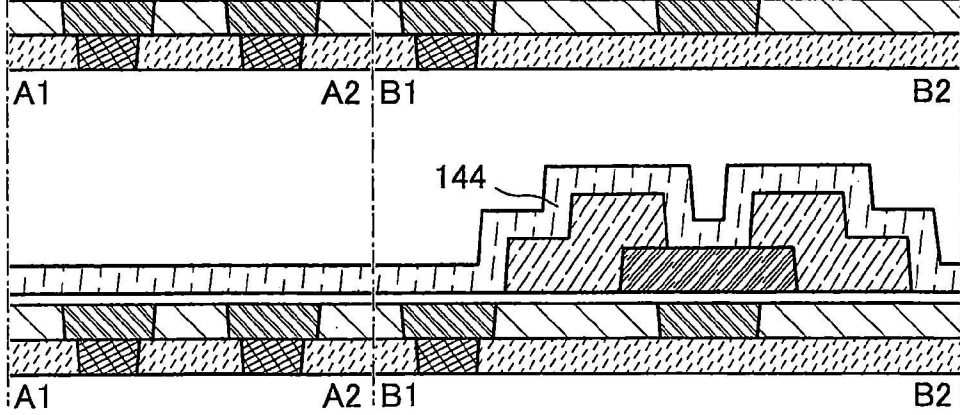
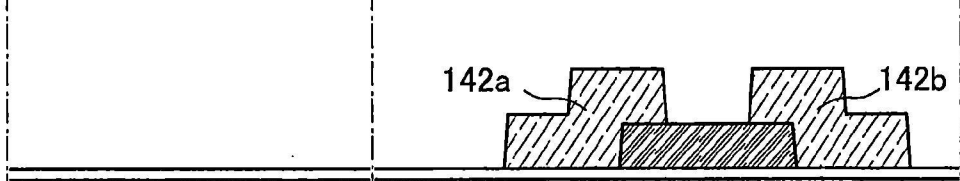
第4E圖



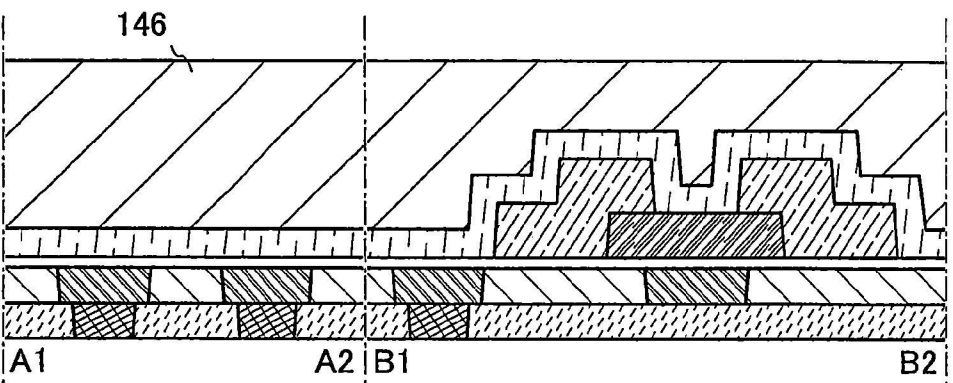
第4F圖



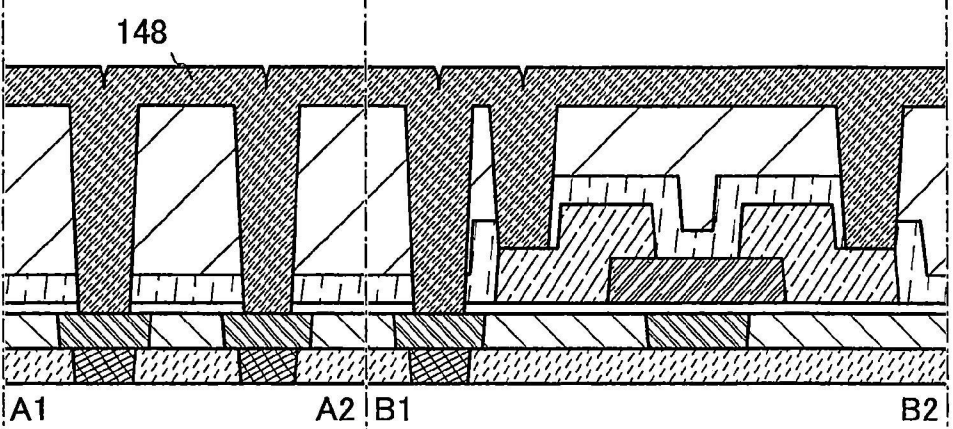
第4G圖



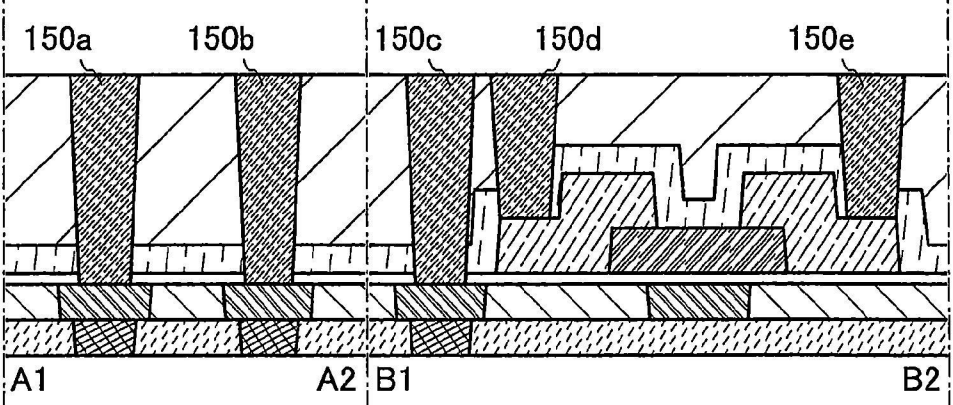
第5A圖



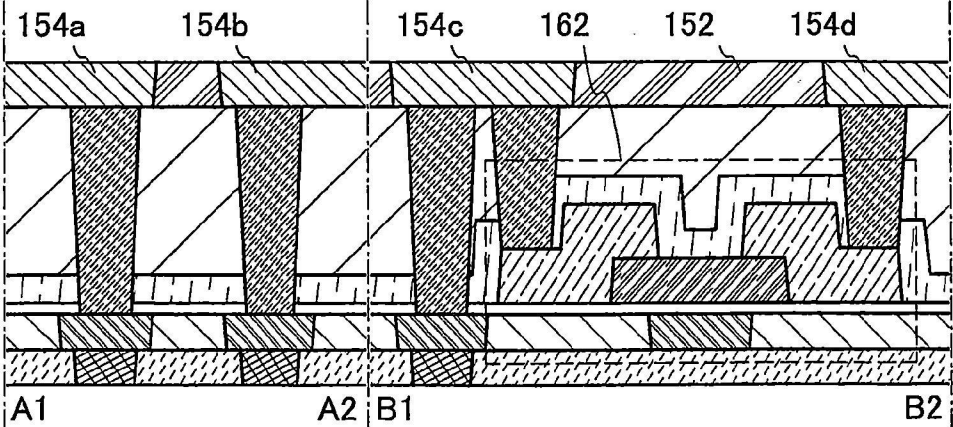
第5B圖



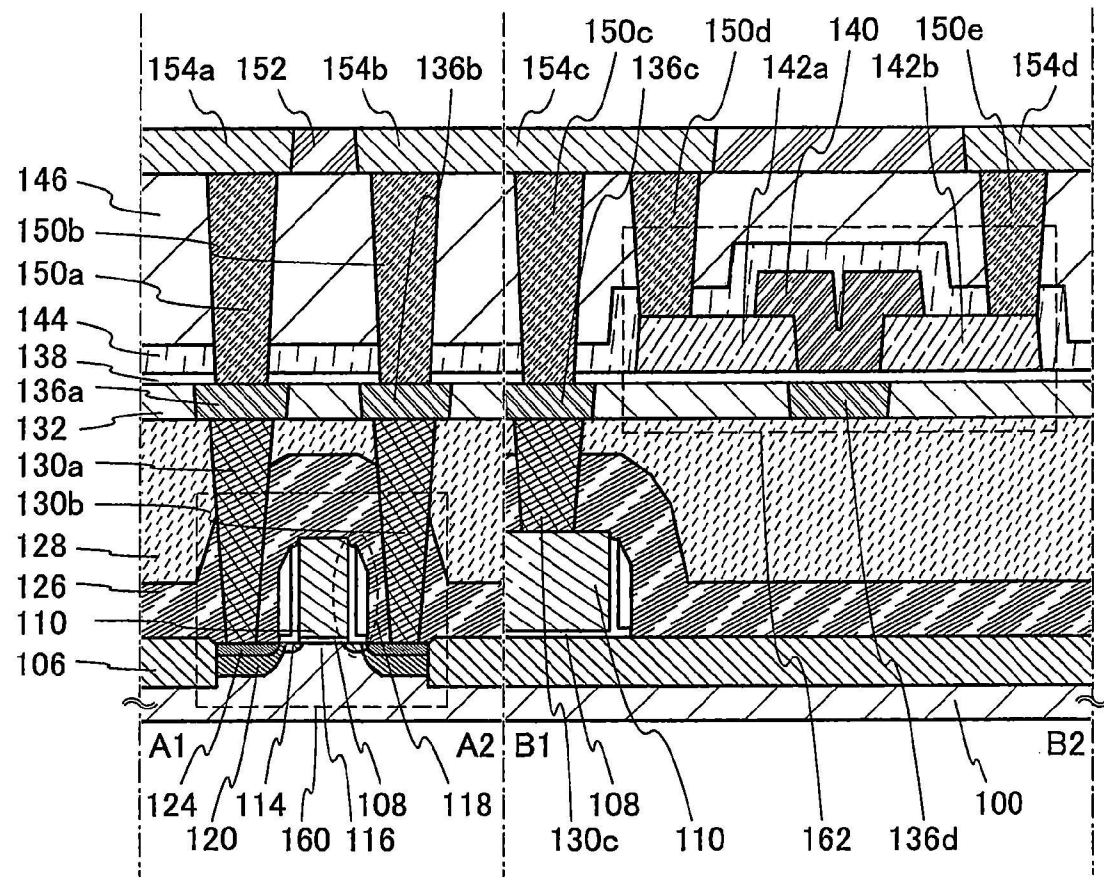
第5C圖



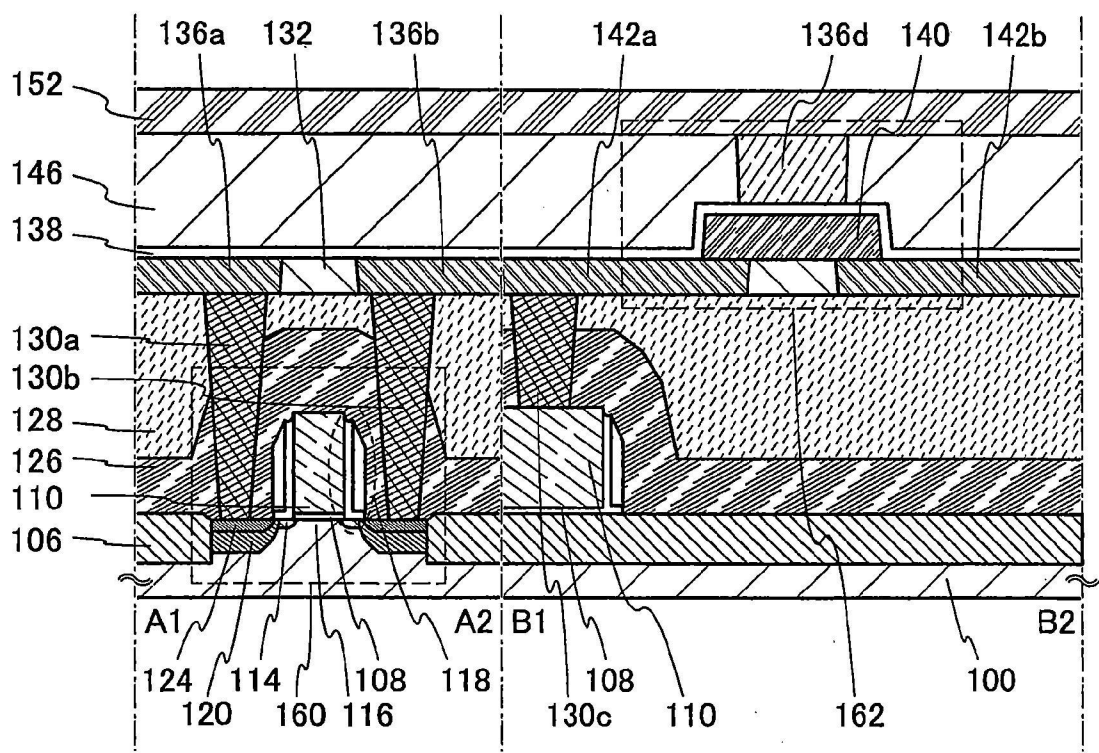
第5D圖



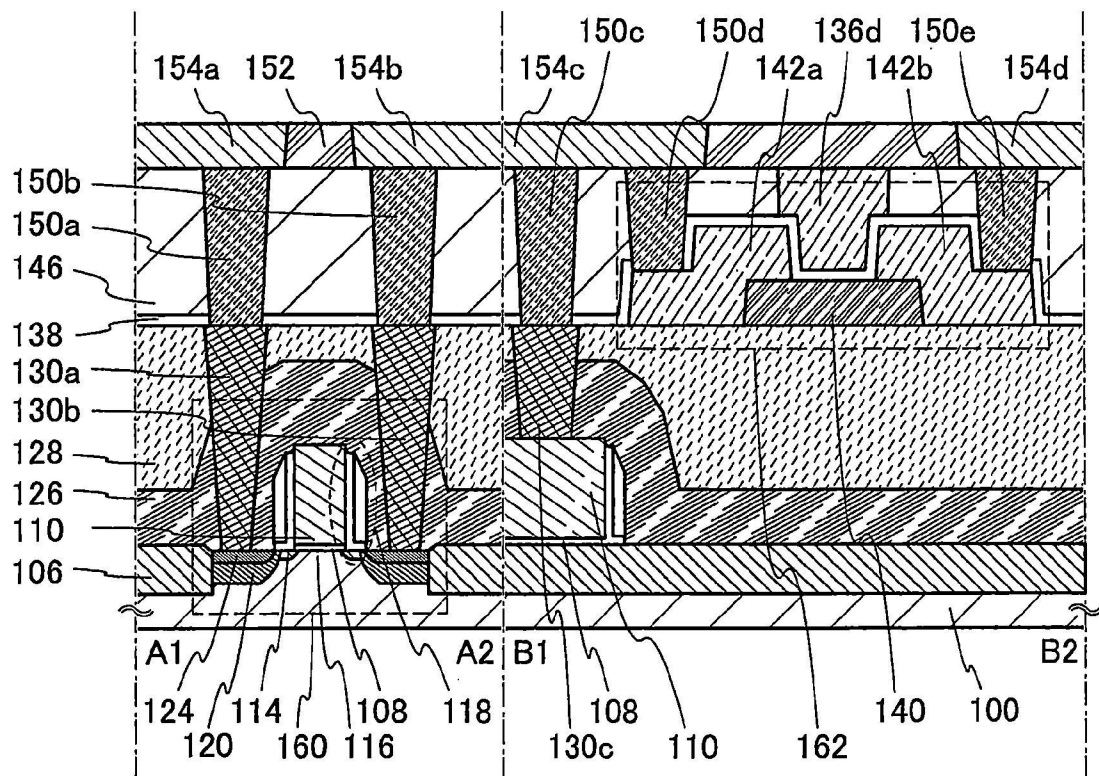
第6圖



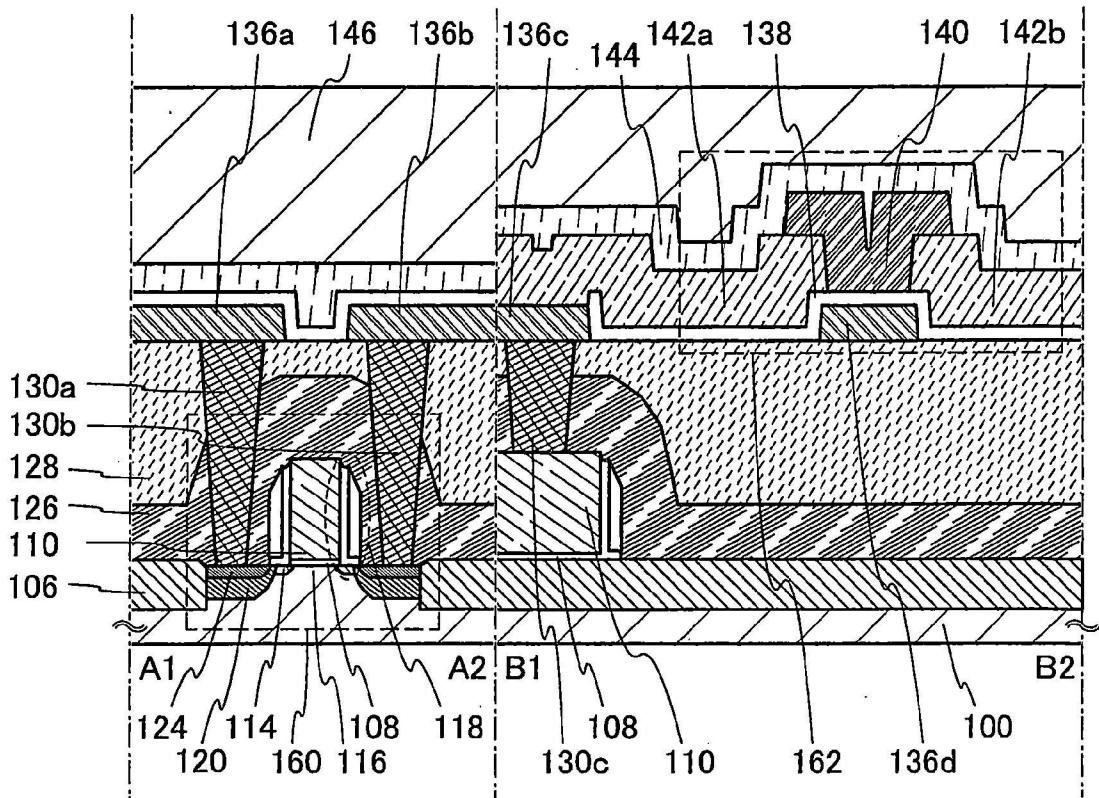
第7A圖



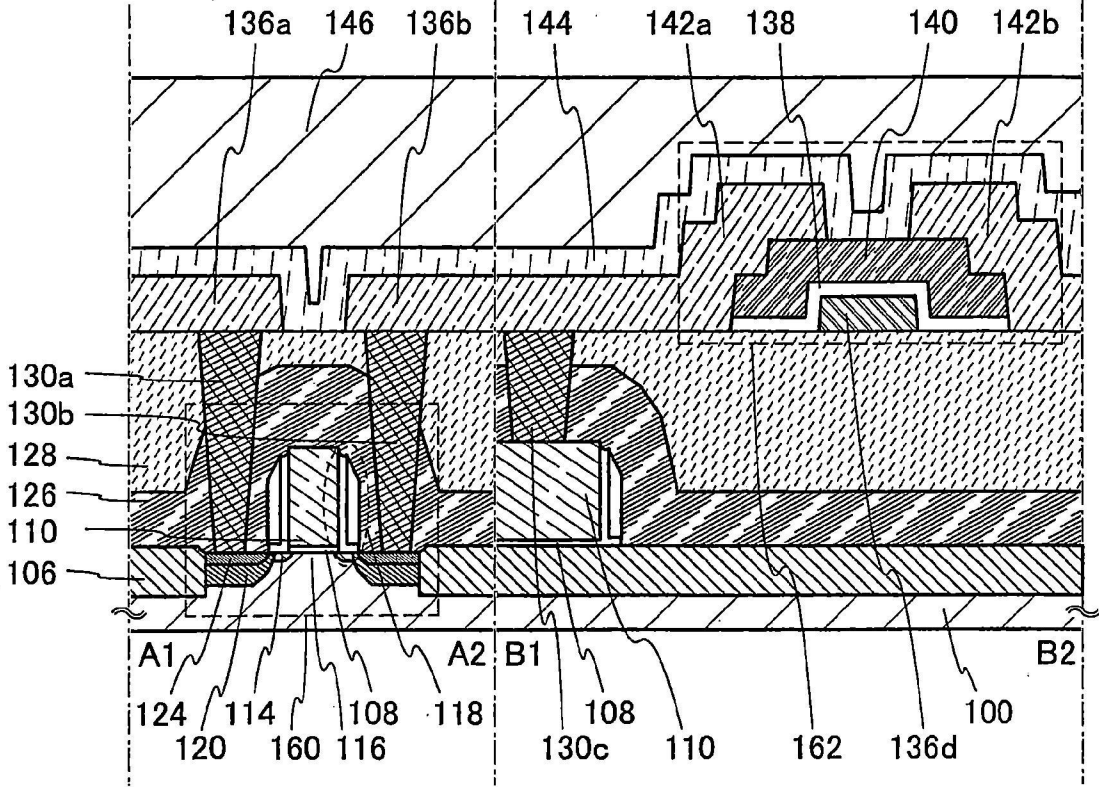
第7B圖



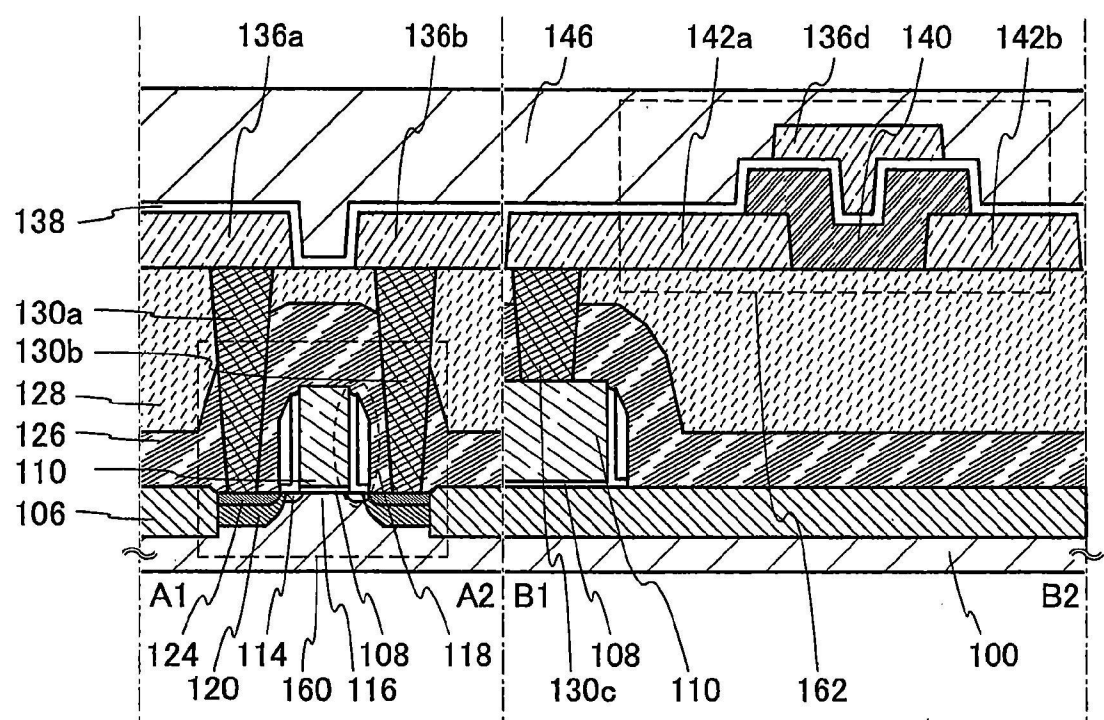
第8A圖



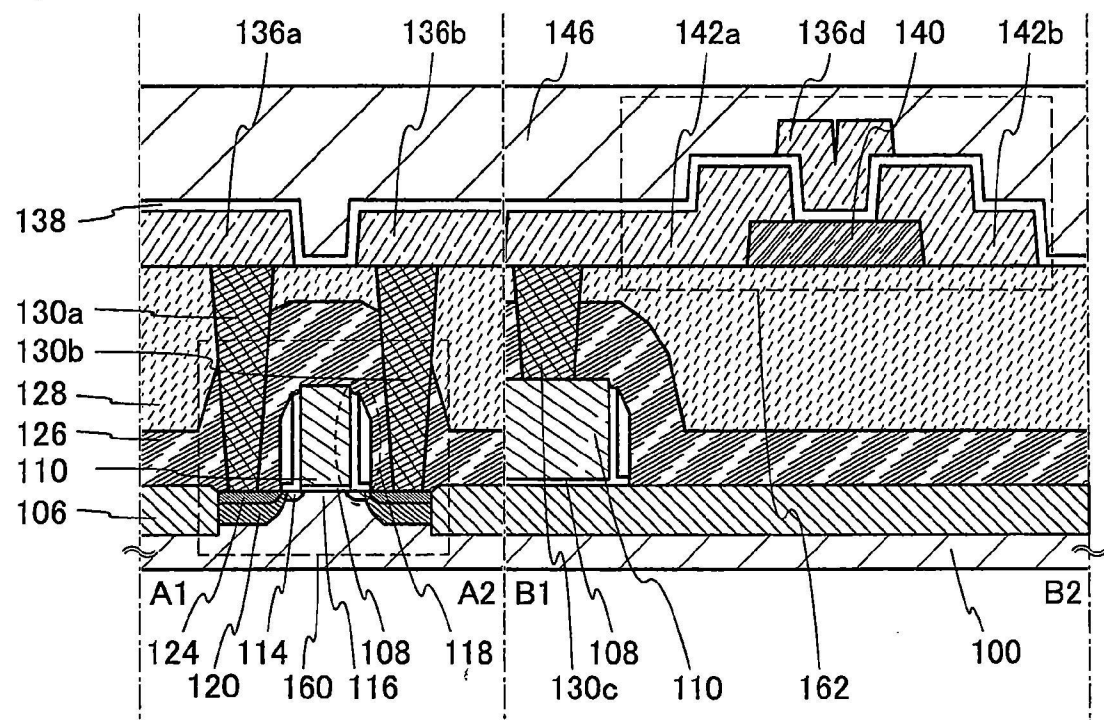
第8B圖



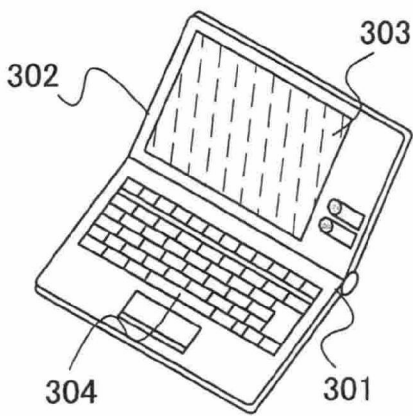
第9A圖



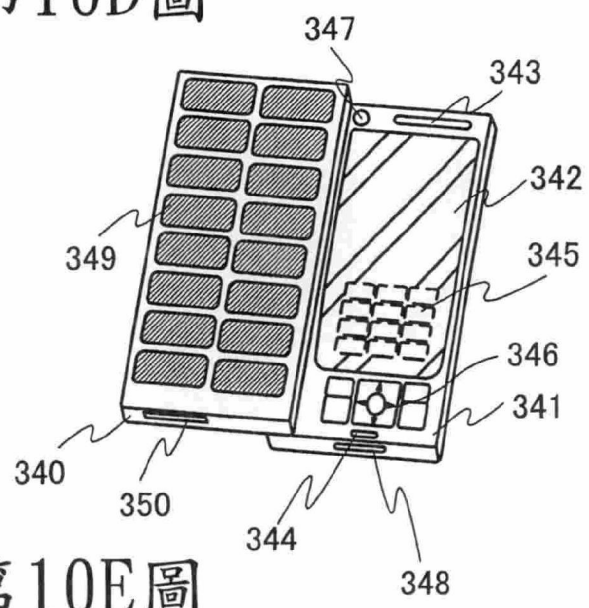
第9B圖



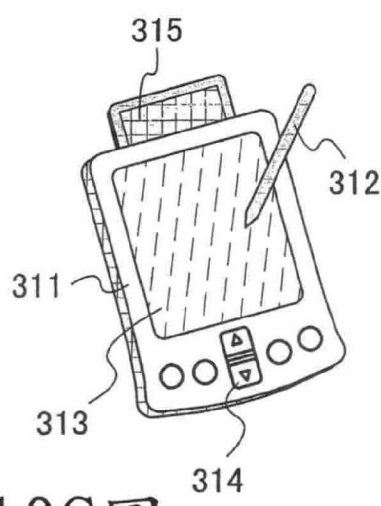
第10A圖



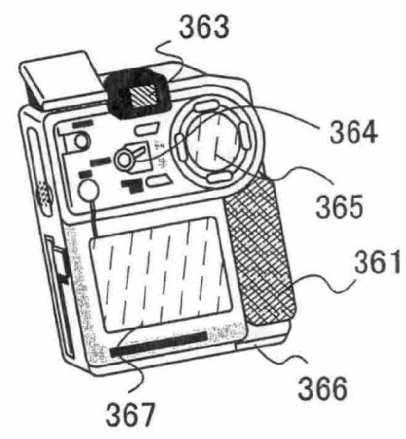
第10D圖



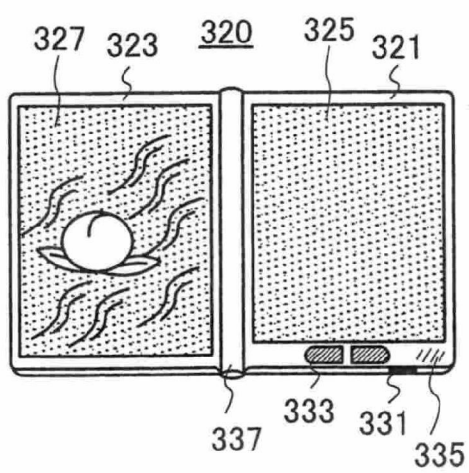
第10B圖



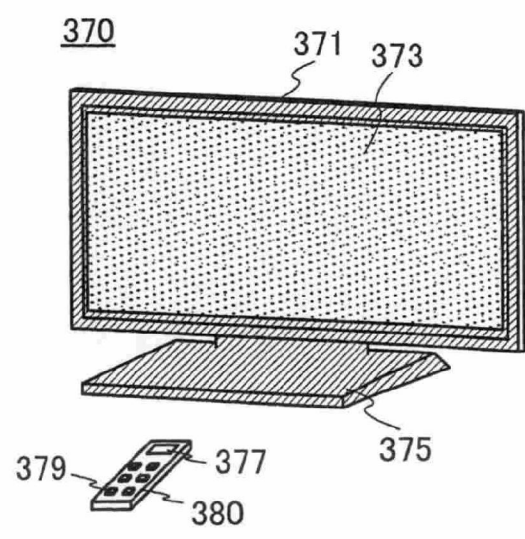
第10E圖



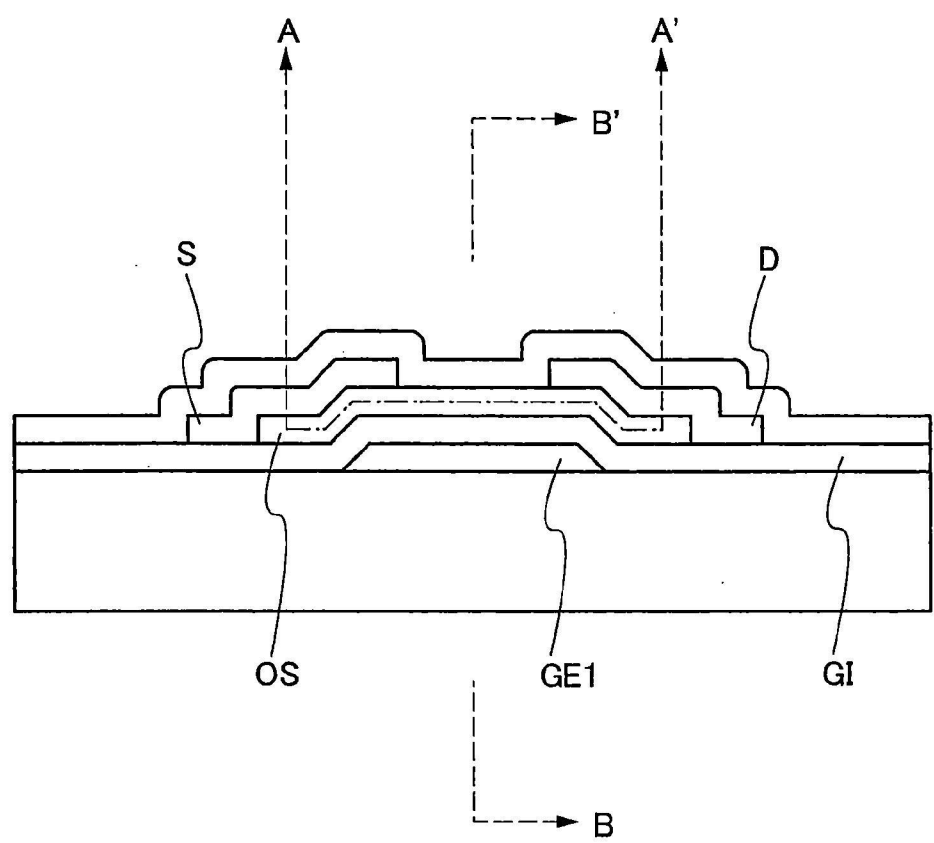
第10C圖



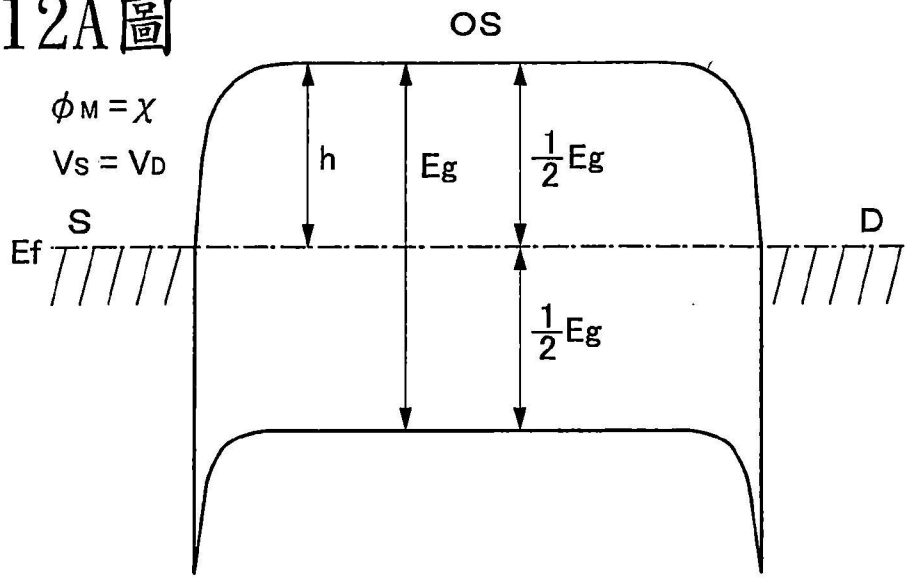
第10F圖



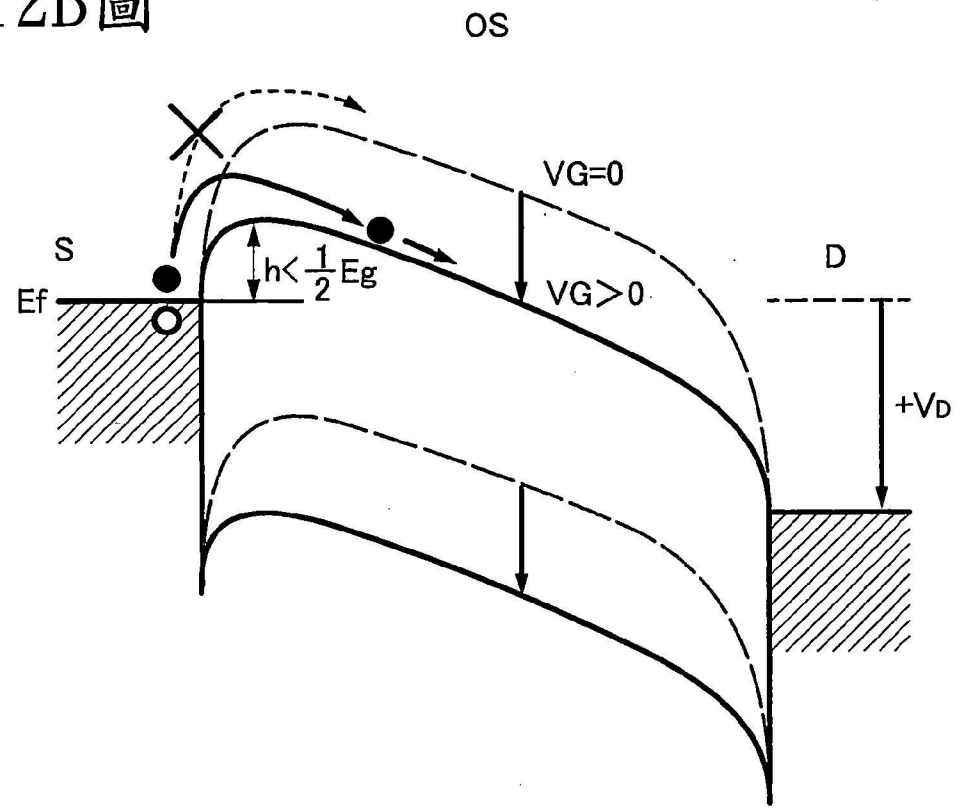
第11圖



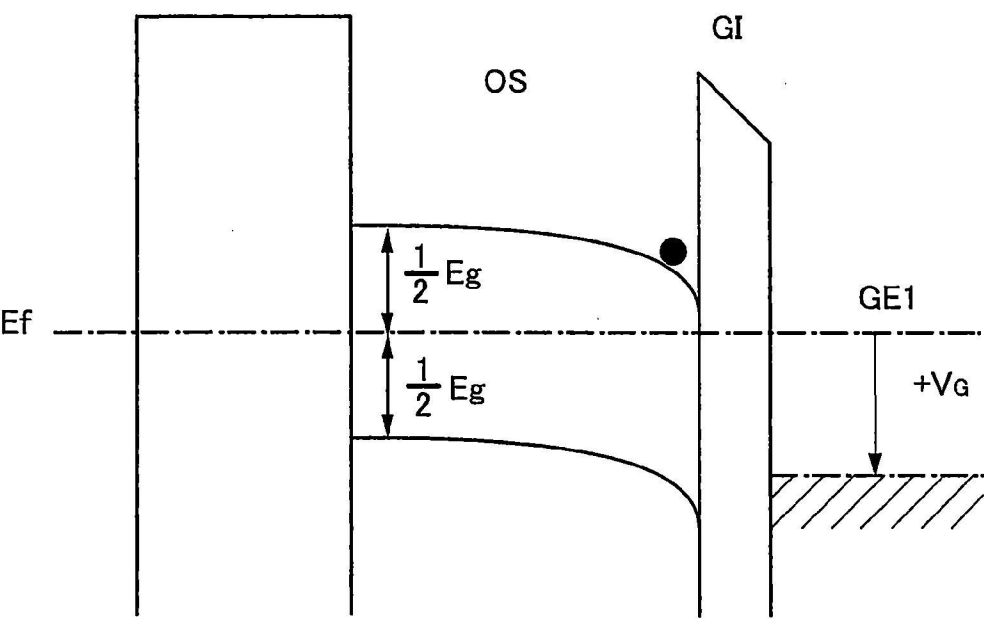
第12A圖



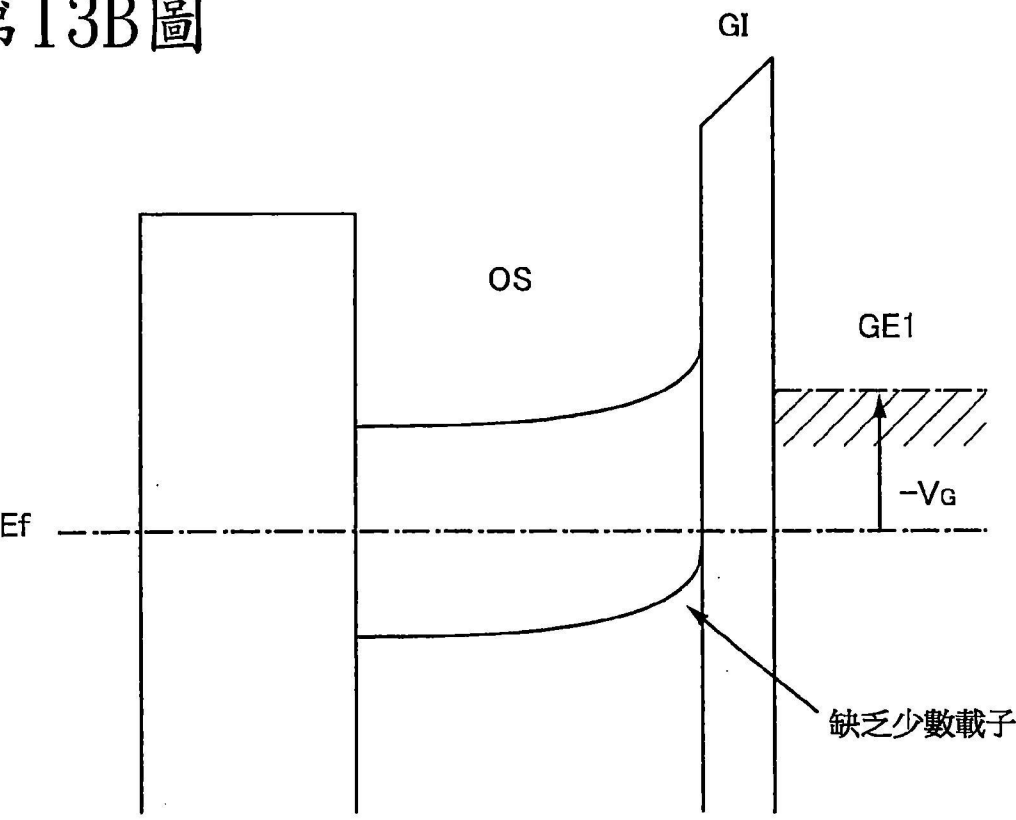
第12B圖



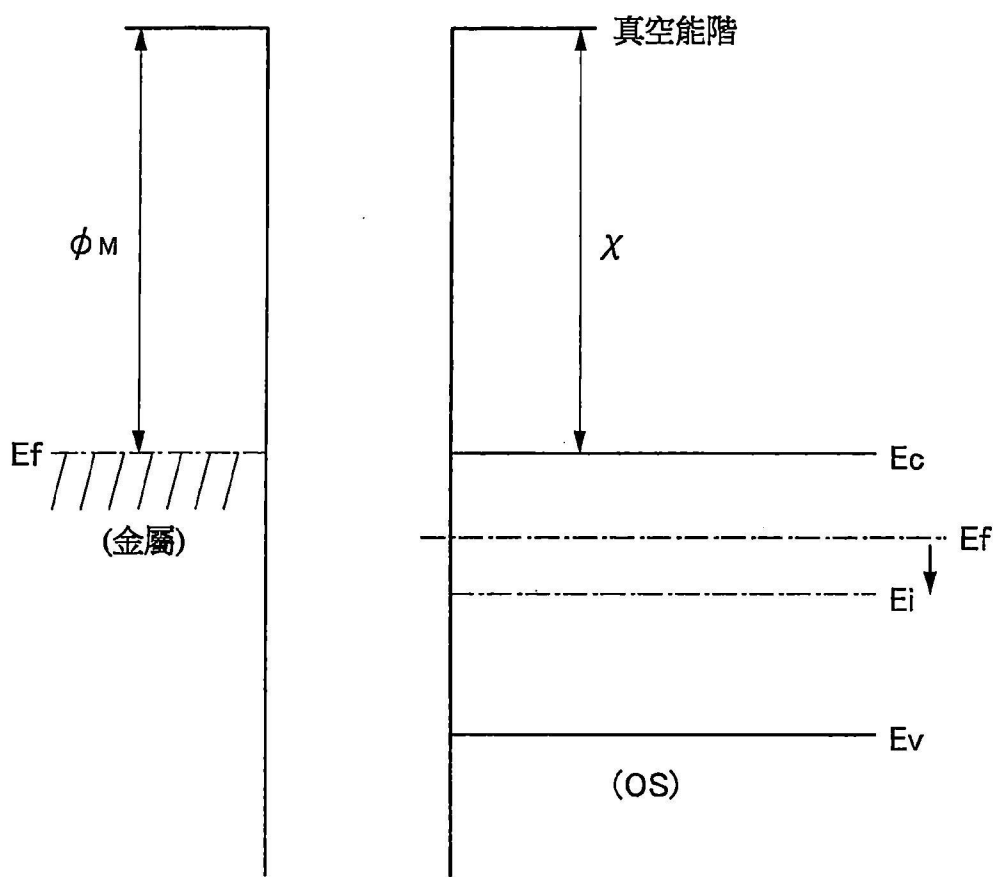
第13A圖



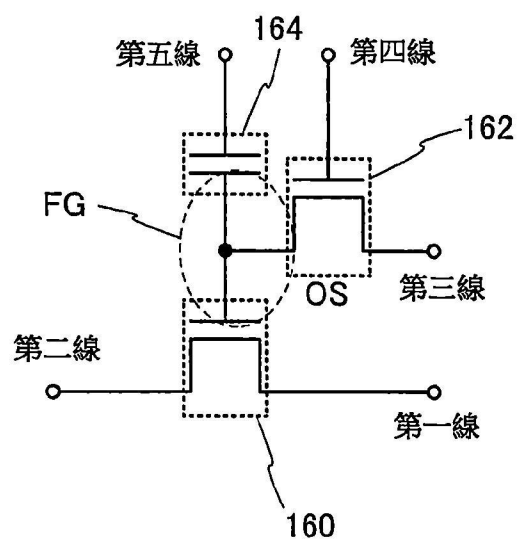
第13B圖



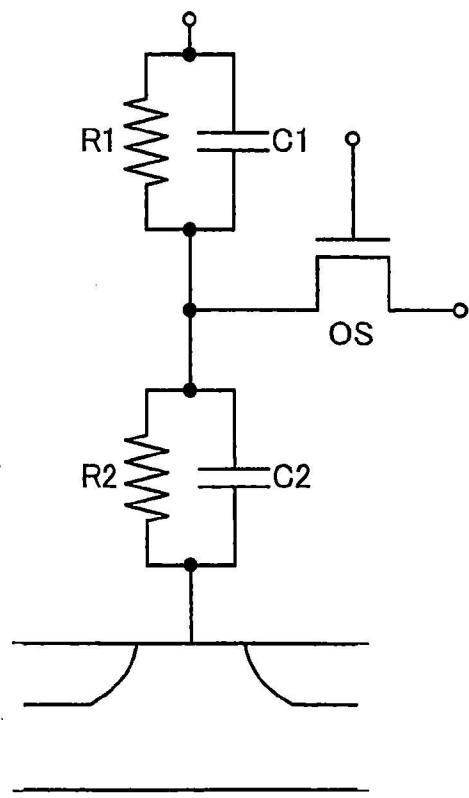
第14圖



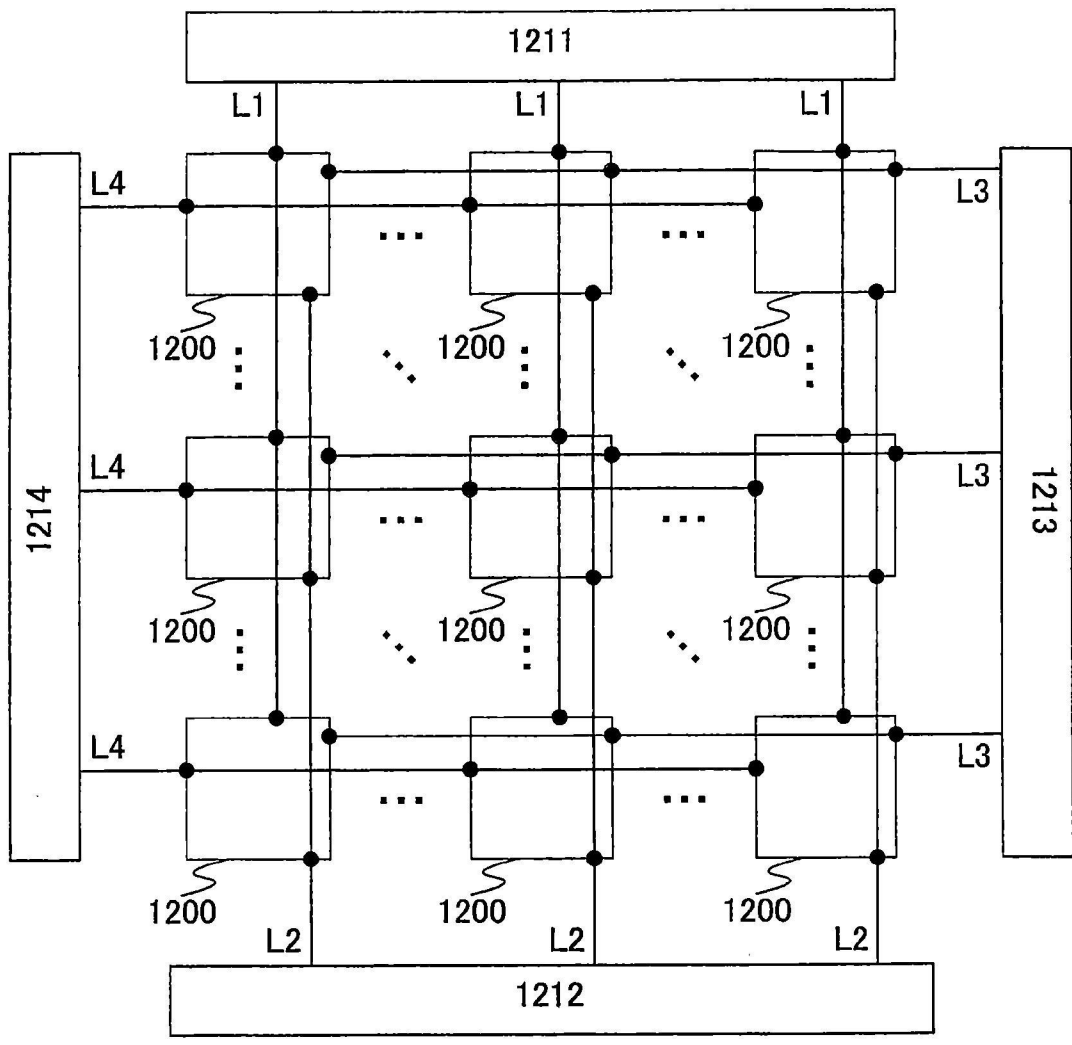
第15A圖

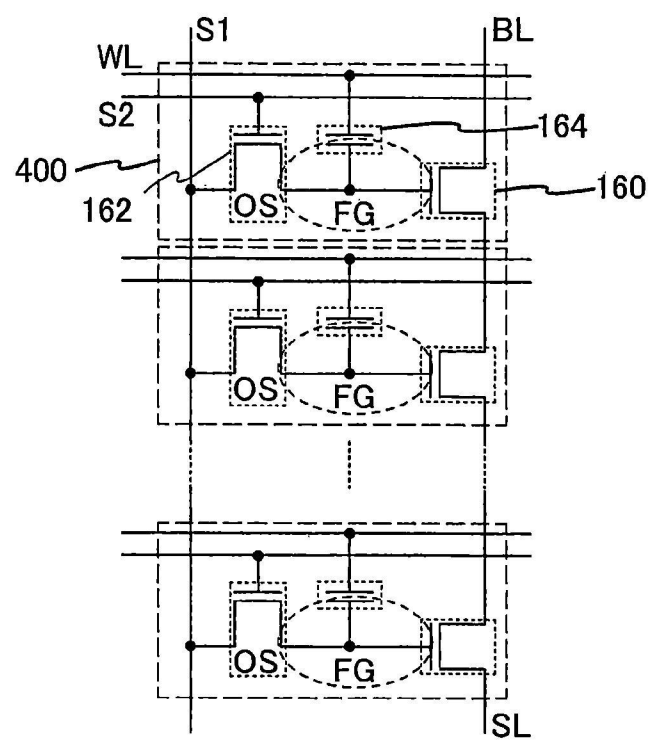


第15B圖

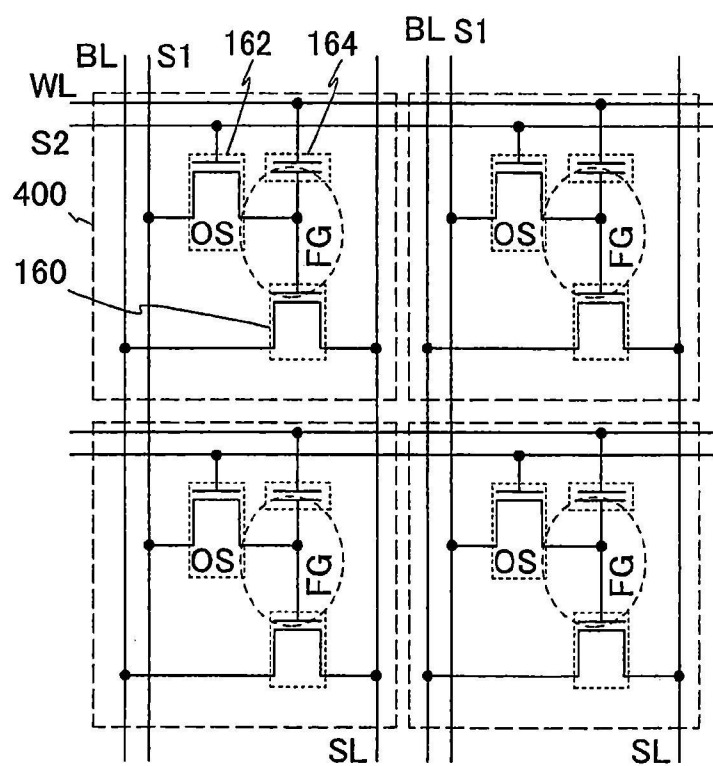


第16圖

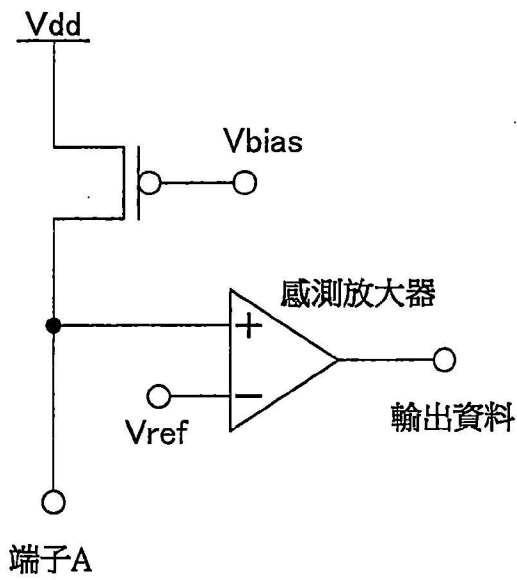




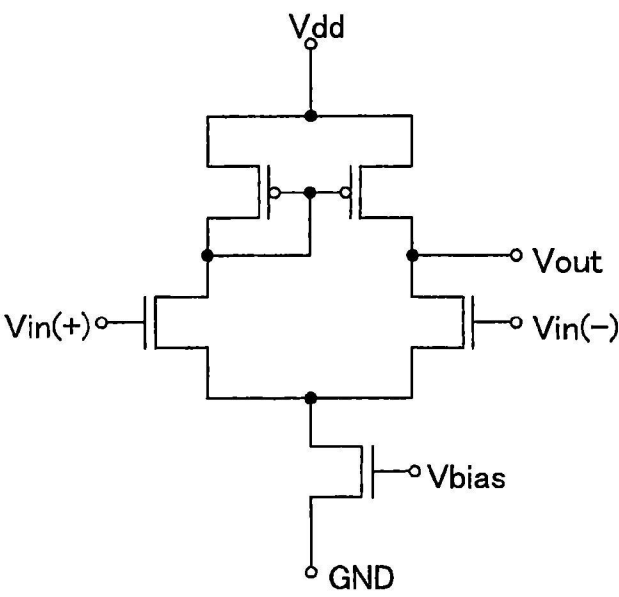
第17B圖



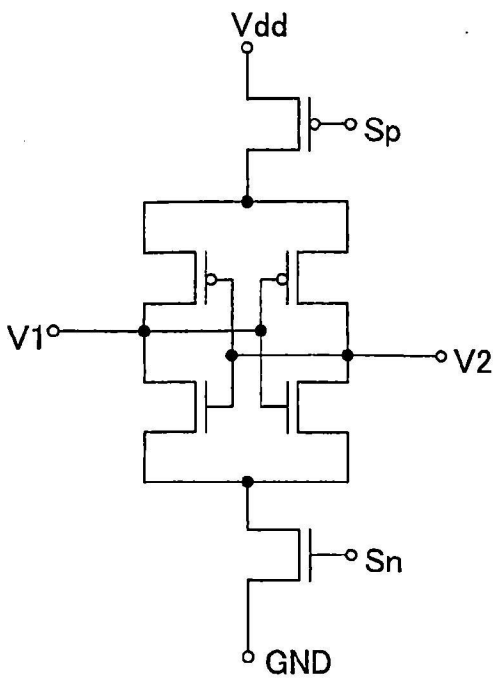
第18A圖



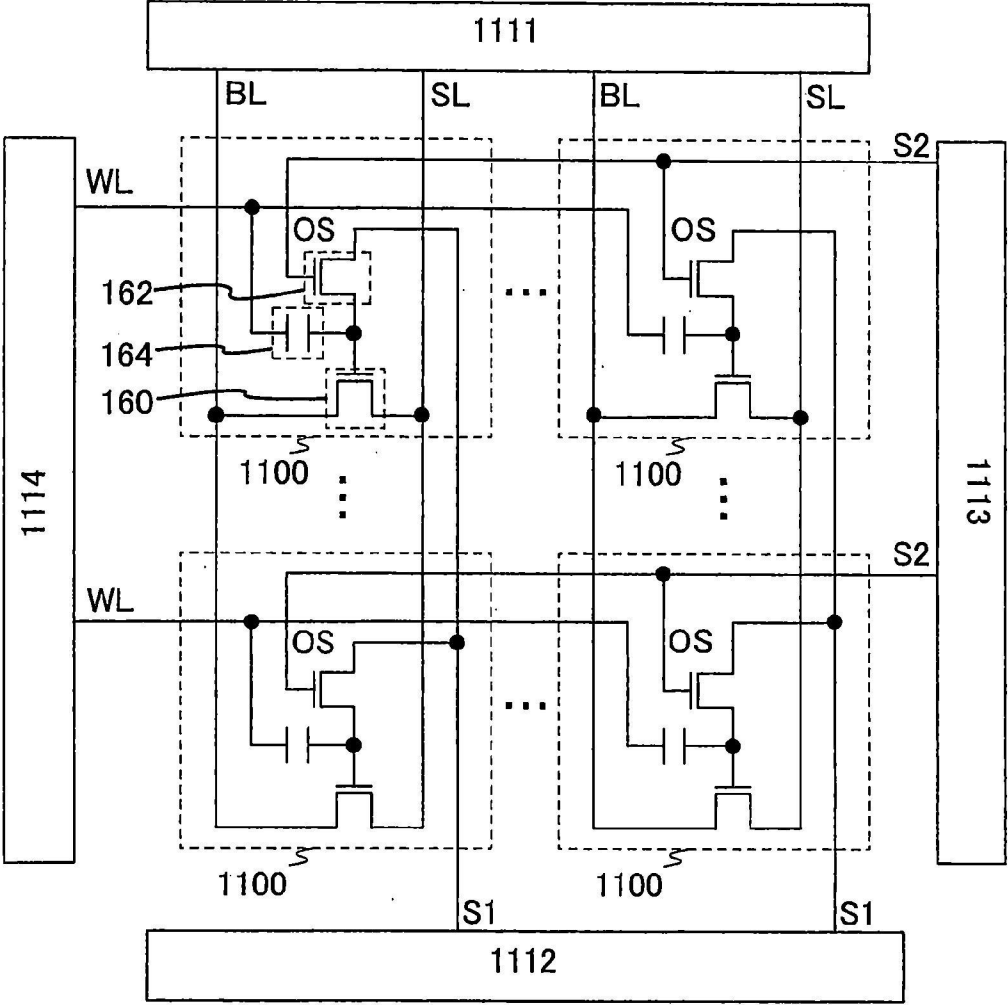
第18B圖



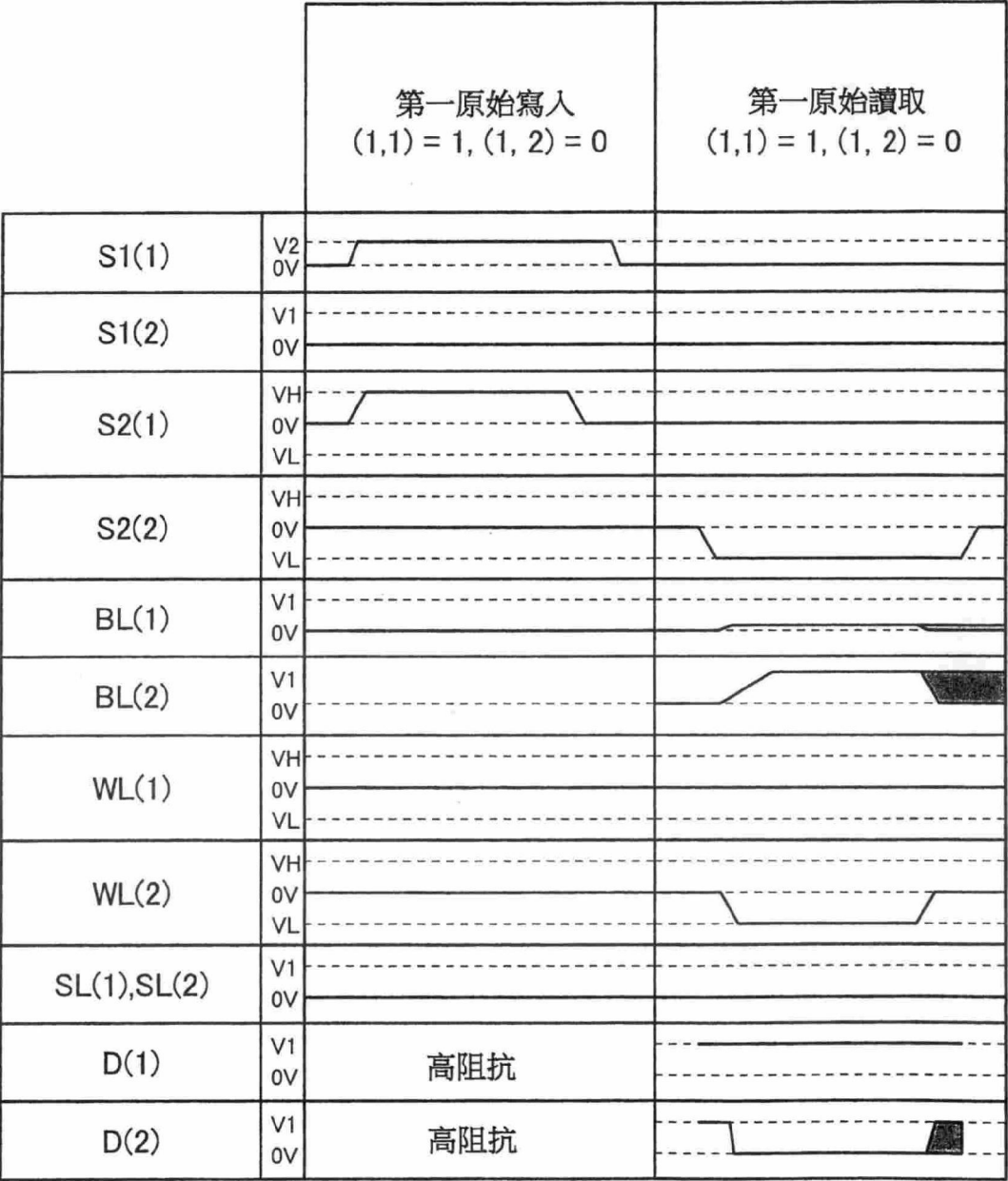
第18C圖



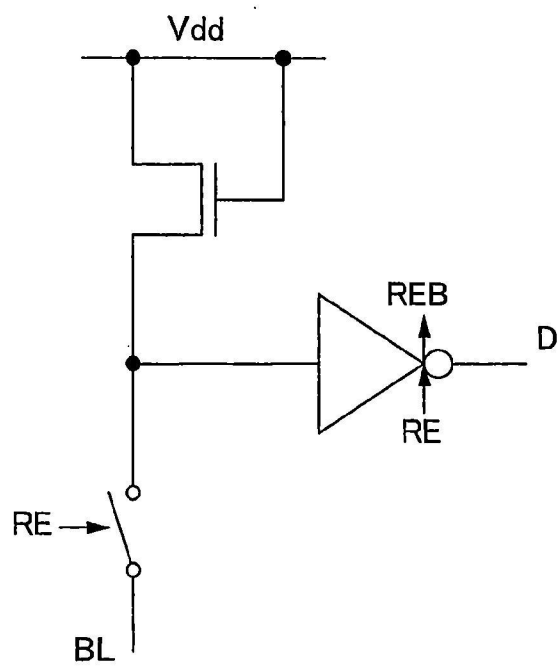
第19圖

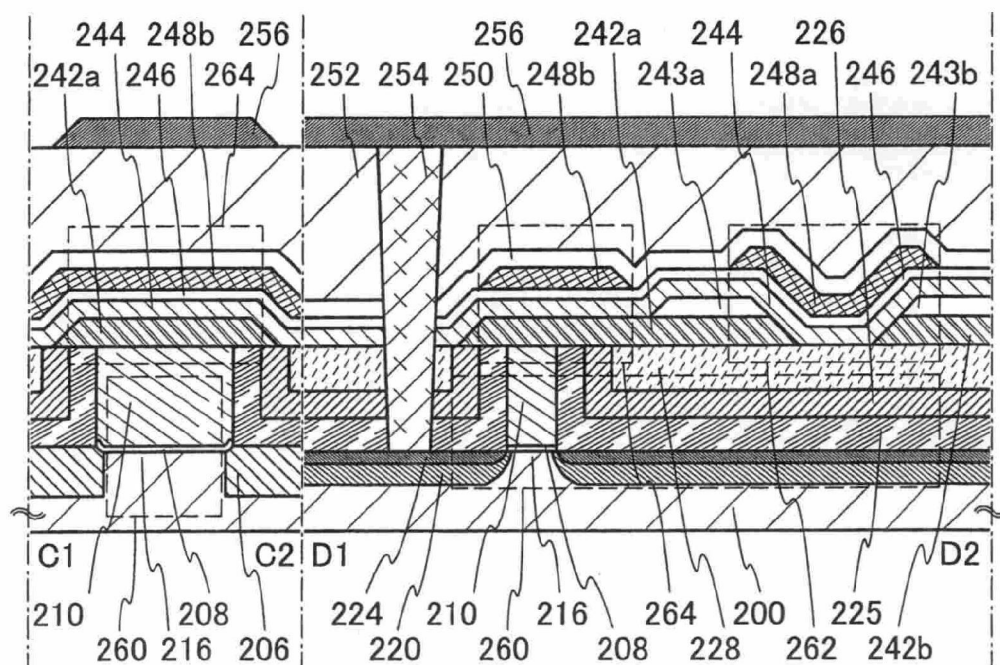


第20圖

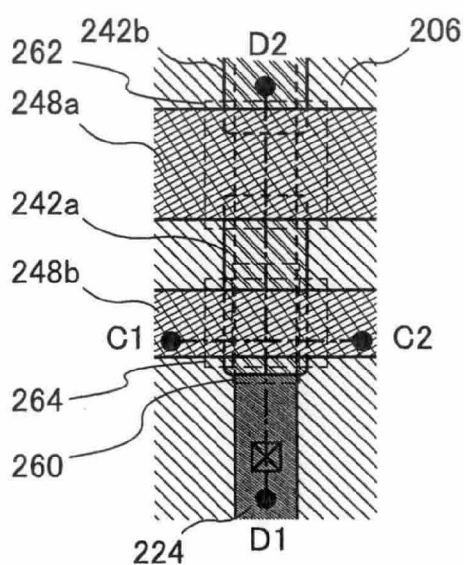


第21圖

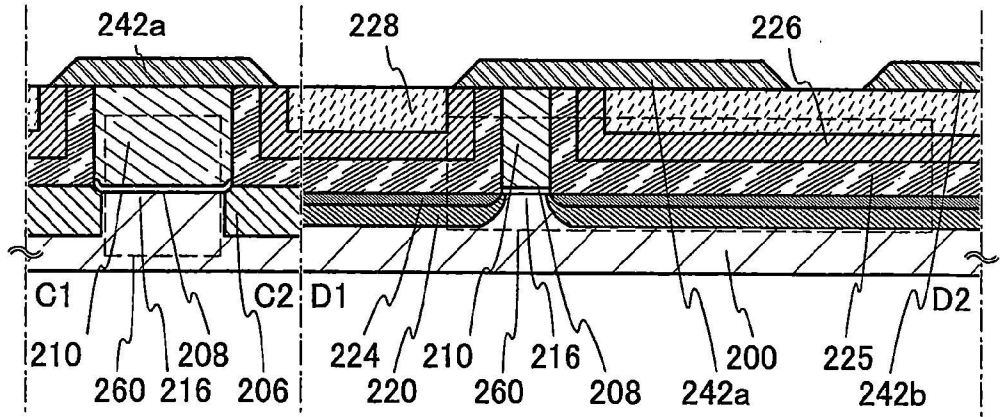




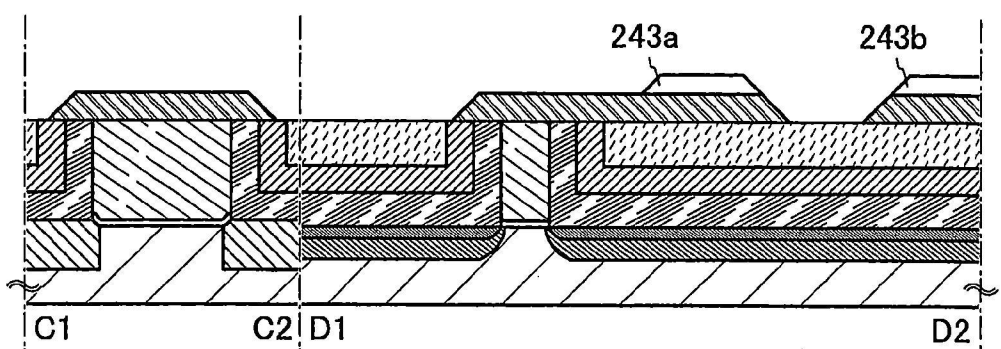
第22B圖



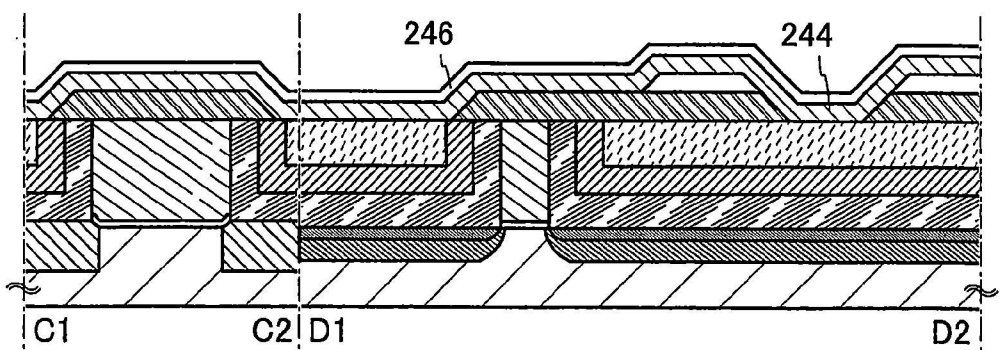
第23A圖



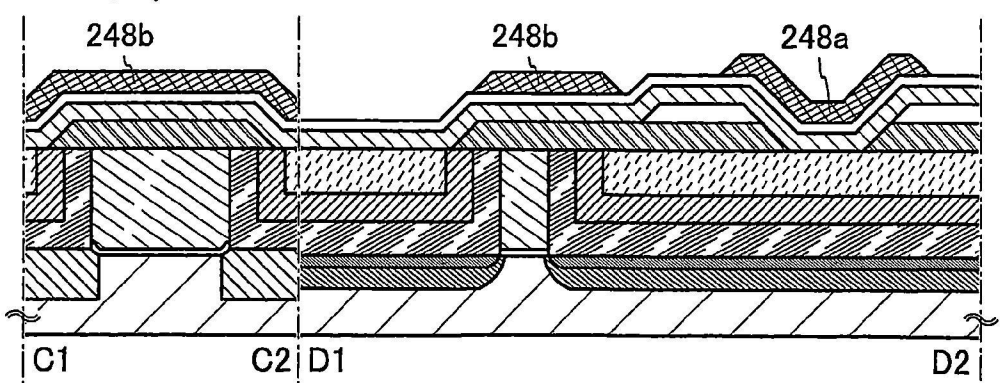
第23B圖



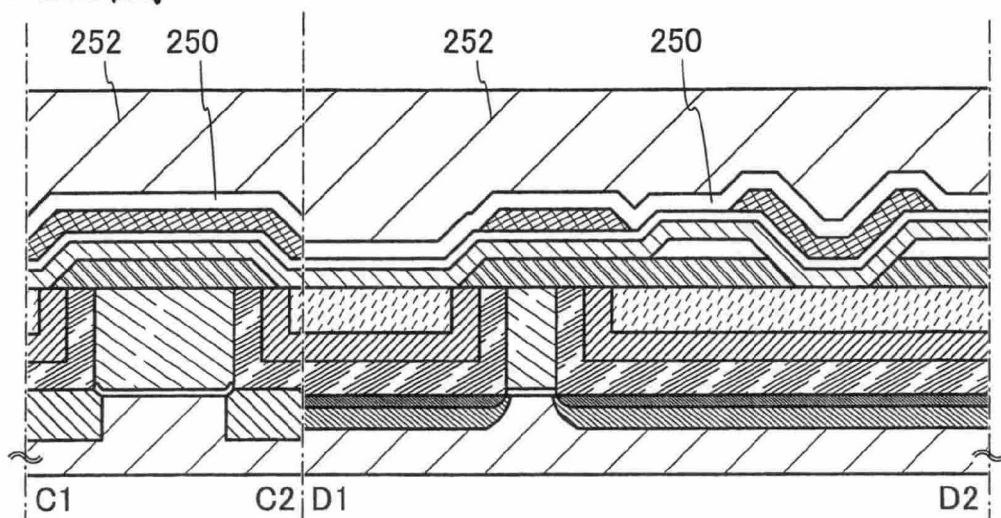
第23C圖



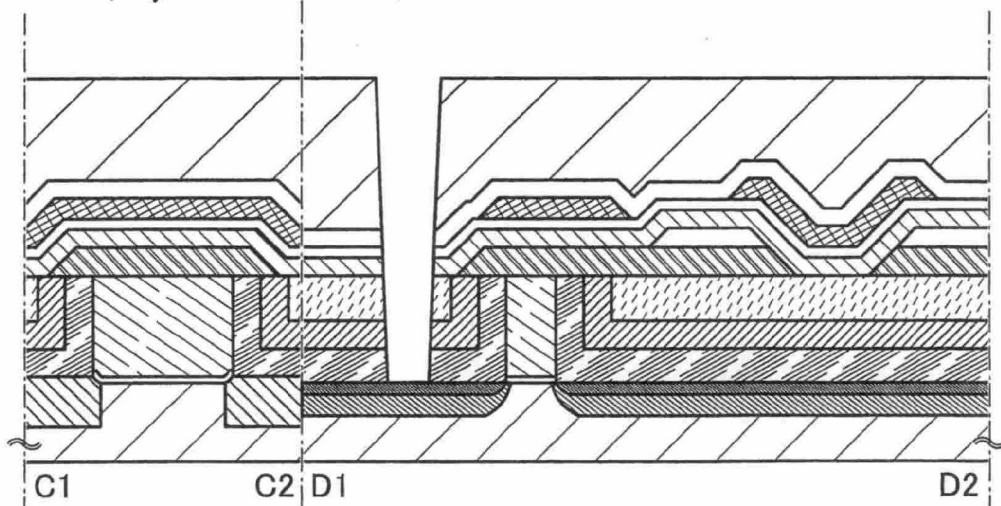
第23D圖



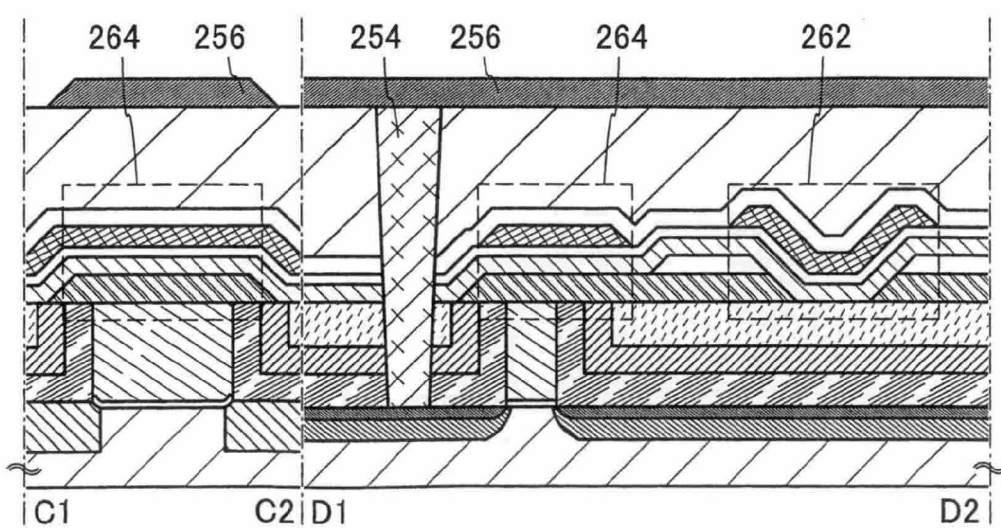
第24A圖



第24B圖

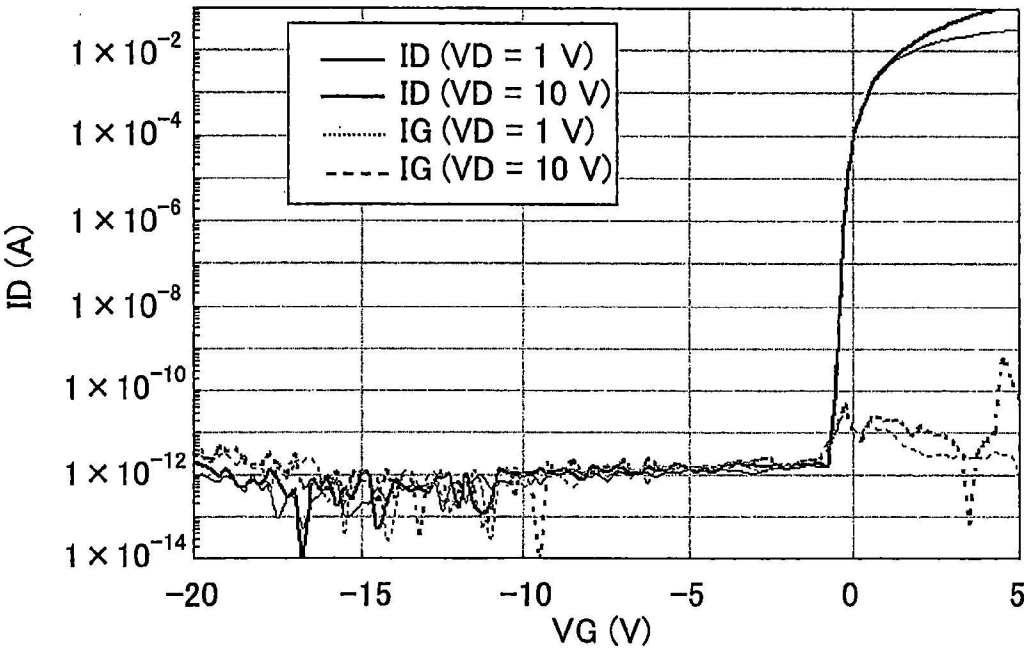


第24C圖

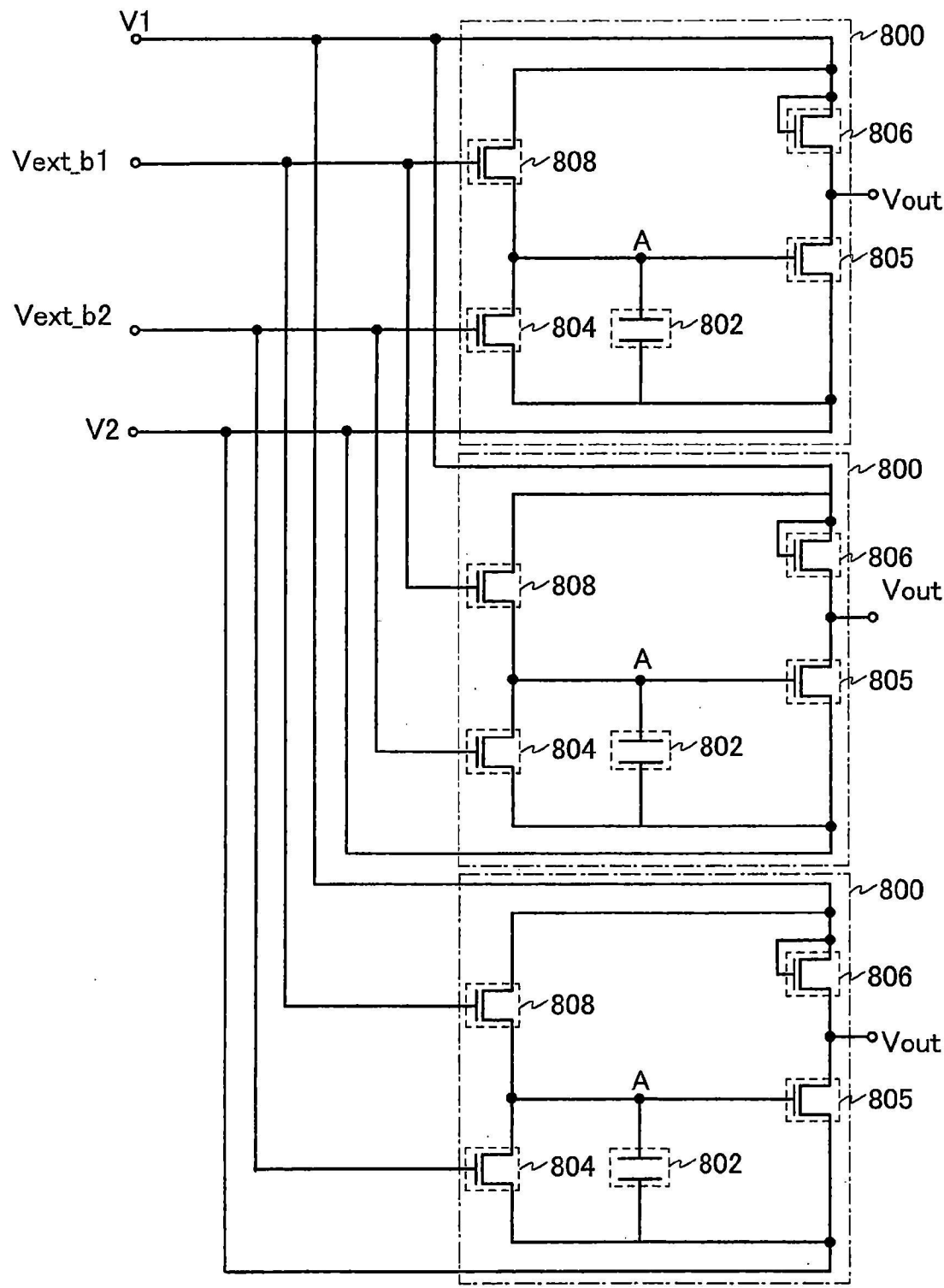


第25圖

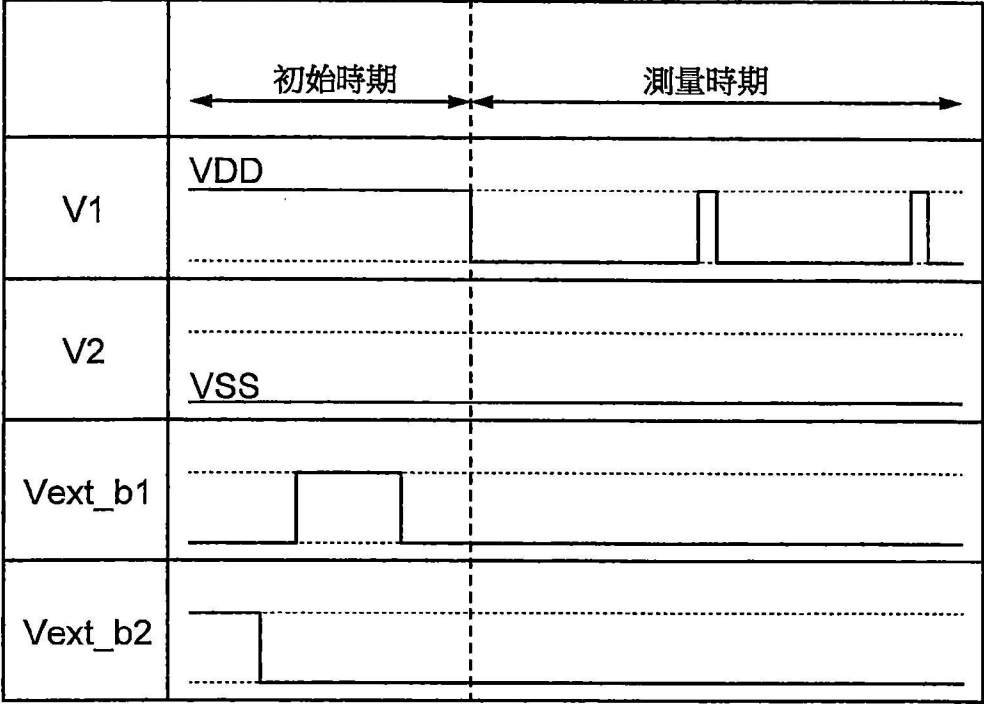
ID-VG 特性



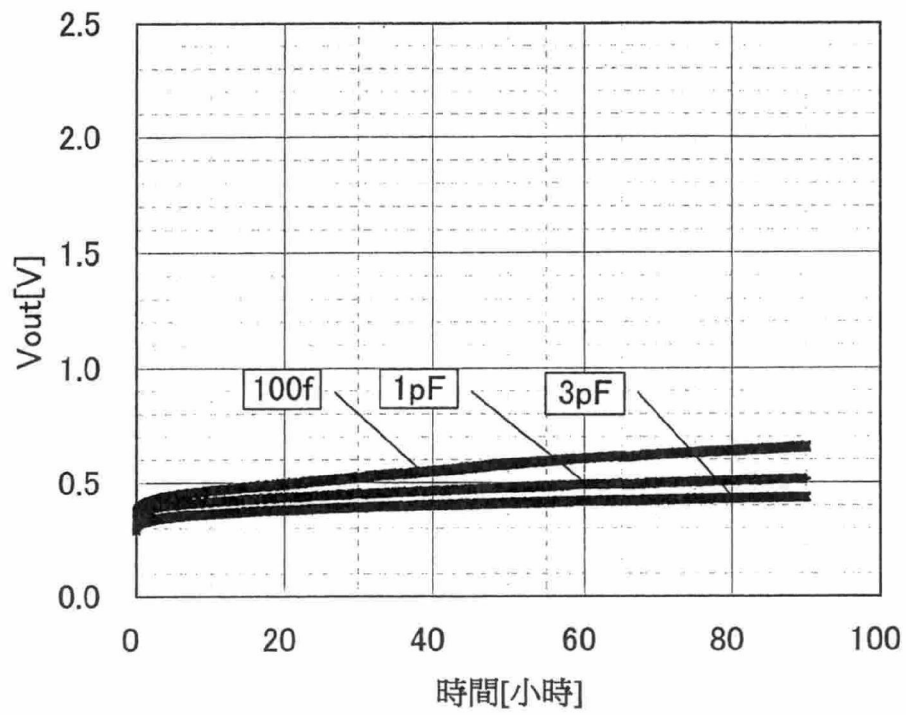
第26圖



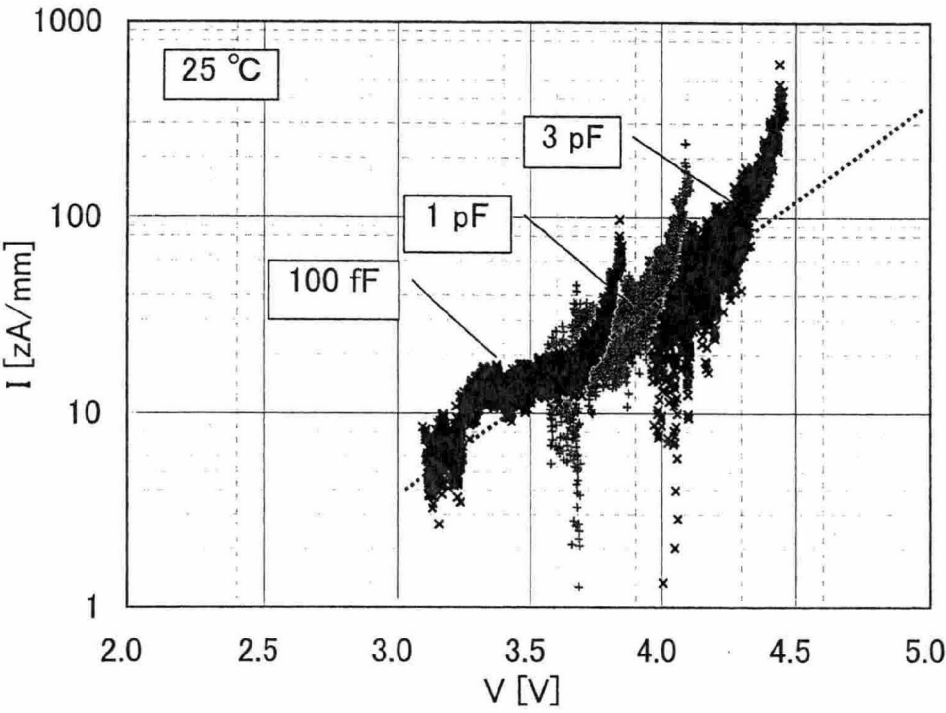
第27圖



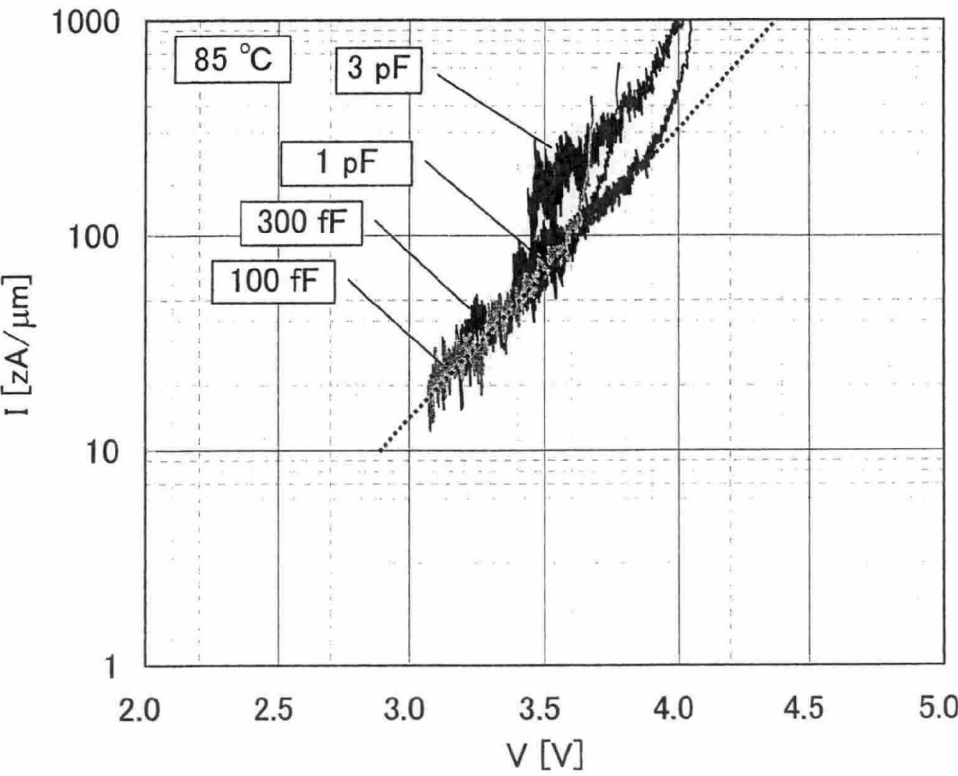
第28圖



第29圖



第30圖



第31圖

