



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2020-0008001  
(43) 공개일자 2020년01월22일

- (51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01) H01L 27/12 (2006.01)  
H01L 29/786 (2006.01)
- (52) CPC특허분류  
G09G 3/3648 (2013.01)  
H01L 27/1255 (2013.01)
- (21) 출원번호 10-2020-0005299(분할)
- (22) 출원일자 2020년01월15일  
심사청구일자 2020년01월15일
- (62) 원출원 특허 10-2018-0130509  
원출원일자 2018년10월30일  
심사청구일자 2018년10월30일
- (30) 우선권주장  
JP-P-2009-205136 2009년09월04일 일본(JP)

- (71) 출원인  
가부시키키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자  
카무라 하지메  
일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시키키가이샤 한도오따이 에네루기 켄큐쇼 내  
아키토모 켄고  
일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시키키가이샤 한도오따이 에네루기 켄큐쇼 내  
(뒷면에 계속)
- (74) 대리인  
황의만

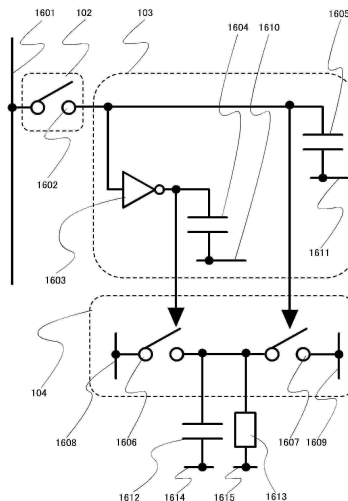
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 표시장치 및 전자기기

(57) 요약

화소에 메모리를 갖는 화소를 구비한 표시장치를 제공한다. 화소에, 적어도, 표시 소자, 용량소자, 인버터 및 스위치를 설치한다. 용량소자에 유지된 신호와, 인버터로부터 출력되는 신호를 사용하여, 스위치를 제어함으로써, 표시 소자에 전압이 공급되도록 한다. 인버터 및 스위치를 같은 극성을 갖는 트랜지스터로 구성할 수 있다. 또한, 화소를 구성하는 반도체층을 투광성을 갖는 재료로 형성해도 된다. 또한, 게이트 전극, 드레인 전극 및 용량전극을 투광성을 갖는 도전층을 사용해서 형성해도 된다. 이렇게 투광성 재료로 화소를 형성함으로써, 메모리가 배치된 화소를 갖고 있으면서, 그 표시장치를 투과형으로 할 수 있다.

대표도 - 도16



(52) CPC특허분류

*H01L 29/78618* (2013.01)

*H01L 29/78693* (2013.01)

*G09G 2300/0842* (2013.01)

(72) 발명자

**츠부쿠 마사시**

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

---

**사사키 토시나리**

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

## 명세서

### 청구범위

#### 청구항 1

반도체 장치로서,

채널 형성 영역을 가지는 산화물 반도체층;

상기 산화물 반도체층의 아래쪽에 배치되고, 제1 절연층을 개재하여 상기 채널 형성 영역과 중첩되는 영역을 가지는 제1 도전층;

상기 산화물 반도체층의 윗쪽에 배치되고, 제2 절연층을 개재하여 상기 채널 형성 영역과 중첩되는 영역을 가지는 제2 도전층; 및

상기 산화물 반도체층과 전기적으로 접속된, 제3 도전층 및 제4 도전층을 가지고,

상기 제2 도전층은 상기 제3 도전층 및 상기 제4 도전층과 같은 레이어의 도전층인, 반도체 장치.

#### 청구항 2

반도체 장치로서,

채널 형성 영역을 가지는 산화물 반도체층;

상기 산화물 반도체층의 아래쪽에 배치되고, 제1 절연층을 개재하여 상기 채널 형성 영역과 중첩되는 영역을 가지는 제1 도전층;

상기 산화물 반도체층의 윗쪽에 배치되고, 제2 절연층을 개재하여 상기 채널 형성 영역과 중첩되는 영역을 가지는 제2 도전층; 및

상기 산화물 반도체층과 전기적으로 접속된, 제3 도전층 및 제4 도전층을 가지고,

상기 제2 도전층은 상기 제3 도전층 및 상기 제4 도전층과 같은 레이어의 도전층이며,

상기 제3 도전층 또는 상기 제4 도전층은 상기 제1 도전층과 전기적으로 접속되어 있는, 반도체 장치.

#### 청구항 3

반도체 장치로서,

채널 형성 영역을 가지는 산화물 반도체층;

상기 산화물 반도체층의 아래쪽에 배치되고, 제1 절연층을 개재하여 상기 채널 형성 영역과 중첩되는 영역을 가지는 제1 도전층;

상기 산화물 반도체층의 윗쪽에 배치되고, 제2 절연층을 개재하여 상기 채널 형성 영역과 중첩되는 영역을 가지는 제2 도전층; 및

상기 산화물 반도체층과 전기적으로 접속된, 제3 도전층 및 제4 도전층을 가지고,

상기 제2 도전층은 상기 제3 도전층 및 상기 제4 도전층과 같은 레이어의 도전층이며,

상기 제3 도전층 또는 상기 제4 도전층은 상기 제1 도전층의 상면과 접하는 영역을 가지는, 반도체 장치.

#### 청구항 4

제 1 항 내지 제 3 중 어느 한 항에 있어서,

상기 제2 내지 상기 제4 도전층은 같은 재료로 이루어지는, 반도체 장치.

#### 청구항 5

반도체 장치로서,

채널 형성 영역을 가지는 산화물 반도체층;

상기 산화물 반도체층의 아래쪽에 배치되고, 제1 절연층을 개재하여 상기 채널 형성 영역과 중첩되는 영역을 가지는 제1 도전층; 및

하나의 도전막이 패터닝되어, 제2 도전층, 제3 도전층, 및 제4 도전층이 되고,

상기 제2 도전층은 상기 산화물 반도체층의 윗쪽에 배치되고, 제2 절연층을 개재하여 상기 채널 형성 영역과 중첩되는 영역을 가지고,

상기 제3 도전층 및 상기 제4 도전층은 상기 산화물 반도체층과 전기적으로 접속되어 있는, 반도체 장치.

#### 청구항 6

반도체 장치로서,

채널 형성 영역을 가지는 산화물 반도체층;

상기 산화물 반도체층의 아래쪽에 배치되고, 제1 절연층을 개재하여 상기 채널 형성 영역과 중첩되는 영역을 가지는 제1 도전층; 및

하나의 도전막이 패터닝되어, 제2 도전층, 제3 도전층, 및 제4 도전층이 되고,

상기 제2 도전층은 상기 산화물 반도체층의 윗쪽에 배치되고, 제2 절연층을 개재하여 상기 채널 형성 영역과 중첩되는 영역을 가지고,

상기 제3 도전층 및 상기 제4 도전층은 상기 산화물 반도체층과 전기적으로 접속되며,

상기 제3 도전층 또는 상기 제4 도전층은 상기 제1 도전층과 전기적으로 접속되어 있는, 반도체 장치.

#### 청구항 7

반도체 장치로서,

채널 형성 영역을 가지는 산화물 반도체층;

상기 산화물 반도체층의 아래쪽에 배치되고, 제1 절연층을 개재하여 상기 채널 형성 영역과 중첩되는 영역을 가지는 제1 도전층; 및

하나의 도전막이 패터닝되어, 제2 도전층, 제3 도전층, 및 제4 도전층이 되고,

상기 제2 도전층은 상기 산화물 반도체층의 윗쪽에 배치되고, 제2 절연층을 개재하여 상기 채널 형성 영역과 중첩되는 영역을 가지고,

상기 제3 도전층 및 상기 제4 도전층은 상기 산화물 반도체층과 전기적으로 접속되며,

상기 제3 도전층 또는 상기 제4 도전층은 상기 제1 도전층의 상면과 접하는 영역을 가지는, 반도체 장치.

#### 청구항 8

제 1 항 내지 제 3 항 및 제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제2 도전층에는 상기 제1 도전층과 다른 전위가 공급되는, 반도체 장치.

#### 청구항 9

제 1 항 내지 제 3 항 및 제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제2 내지 상기 제4 도전층의 각각은 제1 층과 제2 층을 포함하는 적층 구조를 가지고,

상기 제1 층은 몰리브덴, 티타늄, 텅스텐, 탄탈, 또는 크롬을 포함하고,

상기 제2 층은 상기 제1 층 위에 형성되고, 알루미늄, 구리, 또는 은을 포함하는, 반도체 장치.

**청구항 10**

제 1 항 내지 제 3 항 및 제 5 항 내지 제 7 항 중 어느 한 항에 있어서,  
 상기 산화물 반도체층은 In, Ga, 및 Zn을 포함하고,  
 상기 산화물 반도체층의 막 두께는 50nm 이하인, 반도체 장치.

**청구항 11**

제 1 항 내지 제 3 항 및 제 5 항 내지 제 7 항 중 어느 한 항에 있어서,  
 상기 산화물 반도체층과 전기적으로 접속된 화소 전극과 용량 소자를 가지고,  
 상기 화소 전극은 상기 용량 소자의 제1 전극으로서의 기능을 가지는, 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은, 반도체장치, 표시장치, 발광 장치 또는 그들의 제조 방법에 관한 것이다. 특히, 채널 형성 영역에 투광성을 갖는 반도체막을 사용한 박막 트랜지스터로 구성된 회로를 갖는 반도체장치, 표시장치, 발광 장치 또는 그들의 제조 방법에 관한 것이다. 특히, 채널 형성 영역에 산화물 반도체막을 사용한 박막 트랜지스터로 구성된 회로를 갖는 반도체장치, 표시장치, 발광 장치 또는 그들의 제조 방법에 관한 것이다.

**배경 기술**

[0002] 액정표시장치로 대표되는 표시장치의 스위칭소자로서, 아모퍼스 실리콘 등의 실리콘층을 채널층으로서 사용한 박막 트랜지스터(TFT)가 널리 이용되고 있다. 아모퍼스 실리콘을 사용한 박막 트랜지스터는, 전계 효과 이동도가 낮지만 유리 기판의 대면적화에 대응 할 수 있다고 하는 이점을 갖는다.

[0003] 또한, 최근, 반도체 특성을 나타내는 금속 산화물을 사용해서 박막 트랜지스터를 제조하고, 전자 디바이스나 광 디바이스에 응용하는 기술이 주목받고 있다. 예를 들면, 금속 산화물 중에서, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등은 반도체 특성을 나타내는 것이 알려져 있다. 이러한 금속 산화물로 구성되는 투명 반도체층을 채널 형성 영역으로 하는 박막 트랜지스터가 개시되어 있다(예를 들면, 특허문헌 1 참조).

[0004] 또한, 트랜지스터의 채널층을 투광성을 갖는 산화물 반도체층으로 형성하고, 또한, 게이트 전극, 소스 전극, 드레인 전극도 투광성을 갖는 투명 도전막으로 형성함으로써, 개구율을 향상시키는 기술이 검토되고 있다(예를 들면, 특허문헌 2 참조).

[0005] 개구율을 향상시킴으로써, 광 이용 효율이 향상하고, 표시장치의 전력 절약화 및 소형화를 달성하는 것이 가능해진다. 그 한편으로, 표시장치의 대형화나, 휴대 기기에서의 응용화의 관점에서는, 개구율의 향상과 함께 소비 전력의 더욱 더의 저감이 요구되고 있다.

[0006] 또한, 전기광학소자의 투명전극에 대한 금속 보조 배선으로서, 투명전극의 상하 어느 쪽에서, 투명전극과 도통이 취해지도록 금속 보조 배선과 투명전극이 중첩하게 설치된 배선이 알려져 있다(예를 들면, 특허문헌 3 참조).

[0007] 또한, 액티브 매트릭스 기판에 설치되는 부가 용량 전극을 ITO, SnO<sub>2</sub> 등의 투명 도전막으로 형성하고, 부가 용량용 전극의 전기 저항을 작게 하기 위해, 금속막으로 이루어진 보조 배선을 부가 용량용 전극에 접해서 설치하는 구성이 알려져 있다(예를 들면, 특허문헌 4 참조).

[0008] 비정질 산화물 반도체막을 사용한 전계 효과형 트랜지스터에 있어서, 게이트 전극, 소스 전극 및 드레인 전극의 각 전극을 형성하는 재료는, 인듐 주석 산화물(ITO), 인듐 아연 산화물, ZnO, SnO<sub>2</sub> 등의 투명전극이나, Al, Ag, Cr, Ni, Mo, Au, Ti, Ta 등의 금속 전극, 또는 이들을 포함하는 합금의 금속 전극 등을 사용할 수 있다. 이들 재료로 이루어진 막을 2층 이상 적층해서 접촉저항을 저감하는 것이나, 계면강도를 향상시키는 것이 알려져 있다(예를 들면, 특허문헌 5 참조).

[0009] 또한, 아모퍼스 산화물 반도체를 사용하는 트랜지스터의 소스 전극, 드레인 전극 및 게이트 전극, 보조 용량 전

극의 재료로서, 인듐(In), 알루미늄(Al), 금(Au), 은(Ag) 등의 금속이나, 산화 인듐( $In_2O_3$ ), 산화 주석( $SnO_2$ ), 산화 아연( $ZnO$ ), 산화 카드뮴( $CdO$ ), 산화 인듐 카드뮴( $CdIn_2O_4$ ), 산화 카드뮴 주석( $Cd_2SnO_4$ ), 산화 아연 주석( $Zn_2SnO_4$ ) 등의 산화물 재료를 사용할 수 있다. 또한, 게이트 전극, 소스 전극 및 드레인 전극의 재료는, 모두 같아도 되고, 달라도 되는 것이 알려져 있다(예를 들면, 특허문헌 6, 7 참조).

[0010] 한편, 소비 전력을 저감하기 위해서, 화소 내에 메모리가 배치된 표시장치가 검토되고 있다(예를 들면, 특허문헌 8, 9 참조). 또한, 특허문헌 8, 9의 표시장치에서는 광반사형의 화소 전극이 이용되고 있다.

### 선행기술문헌

#### 특허문헌

- [0011] (특허문헌 0001) 일본국 특개 2004-103957호 공보
- (특허문헌 0002) 일본국 특개 2007-81362호 공보
- (특허문헌 0003) 일본국 특개 평 2-82221호 공보
- (특허문헌 0004) 일본국 특개 평 2-310536호 공보
- (특허문헌 0005) 일본국 특개 2008-243928호 공보
- (특허문헌 0006) 일본국 특개 2007-109918호 공보
- (특허문헌 0007) 일본국 특개 2007-115807호 공보
- (특허문헌 0008) 일본국 특개 2001-264814호 공보
- (특허문헌 0009) 일본국 특개 2003-076343호 공보

### 발명의 내용

#### 해결하려는 과제

[0012] 본 발명의 일 태양의 과제의 1개는, 메모리를 구비한 화소에 관한 기술을 제공하는 것이다. 또는, 본 발명의 일 태양의 다른 과제의 1개는, 화소의 개구율을 향상하는 것이다.

[0013] 이때, 복수의 과제의 기재는, 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 태양은, 상기한 과제의 모두를 해결할 필요는 없는 것으로 한다.

#### 과제의 해결 수단

[0014] 예를 들면, 본 발명의 일 태양은, 영상신호의 입력을 제어하는 기능을 갖는 제1 회로와, 영상신호를 유지하는 기능을 갖는 제2 회로와, 표시 소자에 공급되는 전압의 극성을 제어하는 기능을 갖는 제3 회로와, 화소 전극을 갖는 표시 소자를 포함하는 표시장치이다. 본 태양에 의해, 메모리를 구비한 화소를 제공할 수 있다. 또한, 이 태양에 있어서, 제1 내지 제3 회로는, 투광성을 갖는 재료를 사용해서 구성하고, 화소 전극을 제1 내지 제3 회로의 윗쪽에 배치해도 된다.

[0015] 또는, 본 발명의 일 태양은, 제1 스위치를 갖는 제1 회로와, 제1 스위치를 거쳐 신호가 입력되는 제1 용량소자, 및 제2 용량소자와, 입력 단자가 제1 용량소자에 전기적으로 접속되고, 또한 출력 단자가 제2 용량소자에 전기적으로 접속되어 있는 인버터를 갖는 제2 회로와, 제어 단자가 제1 용량소자에 전기적으로 접속되어 있는 제2 스위치, 및 제어 단자가 제2 용량소자에 전기적으로 접속되어 있는 제3 스위치를 갖는 제3 회로와, 제2 스위치 및 제3 스위치에 전기적으로 접속되어 있는 화소 전극을 포함하는 표시 소자를 포함하는 표시장치이다. 본 태양에 의해, 메모리를 구비한 화소를 제공할 수 있다.

[0016] 상기한 태양에 있어서, 제1 내지 제3 배선을 갖고 있어도 된다. 이 구성예에 있어서는, 제1 배선은, 제1 스위치를 거쳐, 제1 용량소자에 전기적으로 접속되고, 인버터의 입력 단자는, 제1 용량소자와 전기적으로 접속되고, 인버터의 출력 단자는, 제2 용량소자와 전기적으로 접속되고, 제1 용량소자는, 제2 스위치의 제어 단자와 전기

적으로 접속되고, 제2 용량소자는, 제3 스위치의 제어 단자와 전기적으로 접속되고, 제2 배선은, 제2 스위치 및 제3 스위치를 거쳐, 제3 배선과 접속되어 있다.

- [0017] 이 태양에 있어서, 제1 내지 제3 스위치, 제1 내지 제2 용량소자, 및 인버터는, 투광성을 갖는 재료를 사용해서 구성할 수 있다. 또한, 화소 전극은, 제1 내지 제3 스위치, 제1 내지 제2 용량소자, 및 인버터의 윗쪽에 배치할 수 있다.
- [0018] 상기한 본 발명의 각 태양에 있어서, 스위치로서는, 다양한 형태의 것을 사용할 수 있다. 스위치의 일례로서는, 전기적 스위치 또는 기계적인 스위치 등을 사용할 수 있다. 즉, 스위치는, 전류를 제어할 수 있는 것이면 되고, 특정한 것에 한정되지 않는다. 스위치의 일례로서는, 트랜지스터(예를 들면, 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들면, PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등), 또는 이것들을 조합한 논리회로 등이 있다. 기계적인 스위치의 일례로서는, 디지털 마이크로미러 디바이스(DMD)와 같이, MEMS(마이크로·일렉트로·메카니컬·시스템) 기술을 사용한 스위치가 있다. 그 스위치는, 기계적으로 움직이는 것이 가능한 전극을 갖고, 그 전극이 움직임으로써, 도통과 비도통을 제어해서 동작한다.
- [0019] 또한, 상기한 각 태양에 있어서, 스위치로서 트랜지스터를 사용하는 경우, 그 트랜지스터는 단순한 스위치로서 동작하기 때문에, 트랜지스터의 극성(도전형)은 특별하게 한정되지 않는다. 다만, 오프 전류를 억제하고 싶은 경우, 오프 전류가 적은 쪽의 극성의 트랜지스터를 사용하는 것이 바람직하다. 오프 전류가 적은 트랜지스터의 일례로서는, 고저항 영역을 갖는 트랜지스터, 또는 멀티 게이트 구조를 갖는 트랜지스터 등이 있다.
- [0020] 또한, 상기한 본 발명의 각 태양에 있어서, 스위치로서 트랜지스터를 사용하고, 그 트랜지스터의 소스의 전위가 저전위측 전원(Vss, GND, 0V 등)의 전위에 가까운 값에서 동작하는 경우에는, 스위치로서 N채널형 트랜지스터를 사용하는 것이 바람직하다. 반대로, 그 트랜지스터의 소스의 전위가 고전위측 전원(Vdd 등)의 전위에 가까운 값에서 동작하는 경우에는, 스위치로서 P채널형 트랜지스터를 사용하는 것이 바람직하다. 왜냐하면, N채널형 트랜지스터에서는 소스가 저전위측 전원의 전위에 가까운 값에서 동작하는 경우, P채널형 트랜지스터에서는 소스가 고전위측 전원의 전위에 가까운 값에서 동작하는 경우에는, 게이트와 소스 사이의 전압의 절대값을 크게 할 수 있기 때문이다. 그 때문에, 스위치로서, 보다 정확한 동작을 행할 수 있기 때문이다. 또는, 트랜지스터가 소스 폴로워 동작을 해 버리는 일이 적기 때문에, 출력 전압의 크기가 작아져 버리는 일이 적기 때문이다.
- [0021] 또한, 상기한 본 발명의 각 태양에 있어서, 스위치로서, N채널형 트랜지스터와 P채널형 트랜지스터의 양쪽을 사용하고, CMOS형의 스위치를 사용해도 된다. CMOS형의 스위치로 하면, P채널형 트랜지스터와 N채널형 트랜지스터 어느 한쪽이 도통하면, 전류가 흐르기 때문에, 스위치로서 기능하기 쉬워진다. 따라서, 스위치에의 입력 신호의 전압이 높은 경우에도, 낮은 경우에도, 적절하게 전압을 출력시킬 수 있다. 또는, 스위치를 온 또는 오프시키기 위한 신호의 전압 진폭값을 작게 할 수 있으므로, 소비 전력을 작게 할 수 있다.
- [0022] 이때, 스위치로서 트랜지스터를 사용하는 경우, 스위치는, 입력 단자(소스 또는 드레인의 한쪽)와, 출력 단자(소스 또는 드레인의 다른 쪽)와, 도통을 제어하는 단자(게이트)를 갖는 경우가 있다. 한편, 스위치로서 다이오드를 사용하는 경우, 스위치는, 도통을 제어하는 단자를 갖고 있지 않은 경우가 있다. 따라서, 트랜지스터보다도 다이오드를 스위치로서 사용한 쪽이, 단자를 제어하기 위한 배선을 적게 할 수 있다.
- [0023] 본 명세서에 개시되어 있는 발명에서는, 트랜지스터로서, 다양한 구조의 트랜지스터를 사용할 수 있다. 즉, 사용하는 트랜지스터의 구성에 한정은 없다.
- [0024] 본 명세서에 있어서, 반도체장치란, 반도체소자(트랜지스터, 다이오드, 사이리스터 등)를 포함하는 회로를 갖는 장치를 말한다. 단, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반, 또는 반도체 재료를 갖는 장치를 반도체장치로 불러도 된다. 본 명세서에 있어서, 표시장치란, 표시 소자를 갖는 장치를 말한다.
- [0025] 본 명세서에 있어서, 구동장치란, 반도체 소자, 전기회로, 전자회로를 갖는 장치를 말한다. 예를 들면, 소스 신호선으로부터 화소 내부로의 신호의 입력을 제어하는 트랜지스터(선택용 트랜지스터, 스위칭용 트랜지스터 등으로 부르는 일이 있다), 화소 전극에 전압 또는 전류를 공급하는 트랜지스터, 발광소자에 전압 또는 전류를 공급하는 트랜지스터 등은, 구동장치의 일례다. 더구나, 게이트 신호선에 신호를 공급하는 회로(게이트 드라이버, 게이트선 구동회로 등으로 부르는 일이 있다), 소스 신호선에 신호를 공급하는 회로(소스 드라이버, 소스선 구동회로 등으로 부르는 것이 있다) 등은, 구동장치의 일례이다.
- [0026] 또한, 표시장치, 반도체장치, 조명 장치, 냉각 장치, 발광 장치, 반사 장치, 및 구동장치 등을 서로 조합하는 것이 가능하며, 이러한 장치도 본 발명의 태양에 포함된다. 예를 들면, 표시장치가, 반도체장치 및 발광 장치를

갖는 경우가 있다. 또는, 반도체장치가, 표시장치 및 구동장치를 갖는 경우가 있다.

- [0027] 또한, 본 발명의 각 태양에 있어서, 소정의 기능을 실현시키기 위해 필요한 회로의 전체를, 동일한 기판(예를 들면, 유리 기판, 플라스틱 기판, 단결정 기판, 또는 SOI 기판 등)에 형성하는 것이 가능하다. 이렇게 해서, 부품 점수의 삭감에 의한 비용의 저감, 또는 회로부품과의 접속 점수의 저감에 의한 신뢰성의 향상을 도모할 수 있다.
- [0028] 또한, 소정의 기능을 실현시키기 위해서 필요한 회로의 전체를 같은 기판에 형성하지 않는 것이 가능하다. 즉, 소정의 기능을 실현시키기 위해서 필요한 회로의 일부는, 어떤 기판에 형성되고, 소정의 기능을 실현시키기 위해서 필요한 회로의 다른 일부는, 다른 기판에 형성되어 있는 것이 가능하다. 예를 들면, 소정의 기능을 실현시키기 위해서 필요한 회로의 일부는, 유리 기판에 형성되고, 소정의 기능을 실현시키기 위해서 필요한 회로의 다른 일부는, 단결정 기판(또는 SOI기판)에 형성되는 것이 가능하다. 그리고, 소정의 기능을 실현시키기 위해 필요한 회로의 다른 일부가 형성되는 단결정 기판(IC칩이라고도 한다)을, COG(Chip On Glass)에 의해, 유리 기판에 접속하고, 유리 기판에 그 IC칩을 배치하는 것이 가능하다. 또는, IC칩을, TAB(Tape Auto mated Bonding), COF(Chip On Film), SMT(Surface Mount Technology), 또는 프린트 기판 등을 사용해서 유리 기판과 접속하는 것이 가능하다.
- [0029] 본 명세서에 있어서, X와 Y가 접속되어 있다라고 명시적으로 기재하는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우를 포함하는 것으로 한다. 여기에서, X, Y는, 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다. 따라서, 소정의 접속 관계, 예를 들면, 도면 또는 문장에 표시된 접속 관계에 한정되지 않고, 도면 또는 문장에 표시된 접속 관계 이외의 것도 포함하는 것으로 한다.
- [0030] X와 Y가 전기적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들면, 스위치, 트랜지스터, 용량소자, 인덕터, 저항소자, 다이오드 등)가, X와 Y 사이에 1개 이상 접속되는 것이 가능하다.
- [0031] X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들면, 논리회로(인버터, NAND 회로, NOR 회로 등), 신호 변환회로(DA 변환회로, AD 변환회로, 감마 보정회로 등), 전위 레벨 변환 회로(전원회로(승압회로, 강압회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 변환회로, 증폭회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, OP 앰프, 차동증폭회로, 소스 폴로워 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어회로 등)가, X와 Y 사이에 1개 이상 접속되는 것이 가능하다. 이때, 일례로서, X와 Y 사이에 다른 회로를 끼우고 있어도, X로부터 출력된 신호가 Y에 전달되는 경우에는, X와 Y는 기능적으로 접속되어 있는 것으로 한다.
- [0032] 이때, X와 Y가 전기적으로 접속되어 있다라고 명시적으로 기재하는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 끼워 접속되어 있는 경우)와, X와 Y가 기능적으로 접속되어 있는 경우(즉, X와 Y 사이에 다른 회로를 끼워 기능적으로 접속되어 있는 경우)와, X와 Y가 직접 접속되어 있는 경우(즉, X와 Y 사이에 다른 소자 또는 다른 회로를 끼우지 않고 접속되어 있는 경우)를 포함하는 것으로 한다. 즉, 전기적으로 접속되어 있다라고 명시적으로 기재하는 경우에는, 단순히, 접속되어 있다라고만 명시적으로 기재되어 있는 경우와 같은 것으로 한다.
- [0033] 본 명세서에 있어서, 명시적으로 단수로서 기재되어 있는 것에 대해서는, 단수인 것이 바람직하다. 단, 이 경우에도, 복수인 것도 가능하다. 마찬가지로, 명시적으로 복수로서 기재되어 있는 것에 대해서는, 복수인 것이 바람직하다. 단, 이 경우에도, 단수인 것도 가능하다.
- [0034] 본 출원의 도면에 있어서, 크기, 층의 두께, 또는 영역은, 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 반드시 그것의 스케일에 한정되지 않는다. 도면은, 이상적인 예를 모식적으로 나타낸 것이며, 도면에 나타낸 형상 또는 값 등에 한정되지 않는다. 예를 들면, 제조 기술에 의한 형상의 격차, 오차에 의한 형상의 격차, 노이즈에 의한 신호, 전압, 혹은 전류의 격차, 또는, 타이밍의 차이에 의한 신호, 전압, 혹은 전류의 격차 등을 포함하는 것이 가능하다.
- [0035] 이때, 전문 용어는, 특정한 실시형태, 또는 실시예 등을 서술할 목적으로 사용되는 경우가 많다. 단, 본 발명의 일 태양은, 전문 용어에 의해, 한정해서 해석 되는 것은 아니다.
- [0036] 이때, 정의되어 있지 않은 문언(전문 용어 또는 학술용어 등의 과학기술 문언을 포함한다)은, 통상의 당업자가 이해하는 일반적인 의미와 동등한 의미로서 사용하는 것이 가능하다. 사전 등에 의해 정의되어 있는 문언은, 관



련 기술의 배경과 모순이 없는 것과 같은 의미로 해석되는 것이 바람직하다.

- [0037] 이때, 제1, 제2, 제3 등의 어구는, 다양한 요소, 부재, 영역, 층, 구역 등에 대해서, 구별해서 기술하기 위해 사용된다. 따라서, 제1, 제2, 제3 등의 어구는, 요소, 부재, 영역, 층, 구역 등의 순서 및 개수를 한정하는 것은 아니다. 더구나, 예를 들면, 「제1」을 「제2」또는 「제3」 등으로 치환하는 것이 가능하다.
- [0038] 또한, 「위에」, 「윗쪽에」, 「아래에」, 「아래쪽에」, 「옆에」, 「우측에」, 「좌측에」, 「비스듬히」, 「속에」, 「바로 앞에」, 「안에」, 「밖에」, 또는 「내부에」 등의 공간적 배치를 나타내는 어구는, 어떤 요소 또는 특징과, 다른 요소 또는 특징의 관련을, 도면에 의해 간단히 나타내기 위해 사용된다. 단, 이러한 용법에 한정되지 않고, 이들의 공간적 배치를 나타내는 어구는, 도면에 그리는 방향 이외에, 다른 방향을 포함하는 경우가 있다. 예를 들면, X 위에 Y로 명시적으로 표시되는 경우에는, Y가 X 위에 있는 것에 한정되지 않는다. 도면 중의 구성은 반전, 또는 180° 회전시키는 것이 가능하므로, Y가 X의 아래에 있는 것을 포함하는 것이 가능하다. 이렇게, 「위에」라고 하는 어구는, 「위에」의 방향 이외에, 「아래에」의 방향을 포함하는 것이 가능하다. 단, 이것에 한정되지 않고, 도면 중의 디바이스는 다양한 방향으로 회전하는 것이 가능하므로, 「위에」라고 하는 어구는, 「위에」, 및 「아래에」의 방향 이외에, 「옆에」, 「우측에」, 「좌측에」, 「비스듬히」, 「속에」, 「바로 앞으로」, 「안에」, 「밖에」, 또는 「내부에」 등의 다른 방향을 포함하는 것이 가능하다. 즉, 상황에 따라 적절하게 해석하는 것이 가능하다.
- [0039] 이때, X의 위에 Y가 형성되어 있다, 또는, X 위에 Y가 형성되어 있다라고 명시적으로 기재하는 경우에는, X의 위에 Y가 직접 접해서 형성되어 있는 것에 한정되지 않는다. 직접 접하고 있지 않은 경우, 즉, X와 Y 사이에 다른 대상물이 개재하는 경우도 포함하는 것으로 한다. 여기에서, X, Y는, 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.
- [0040] 따라서, 예를 들면, 층 X의 위에(또는 층 X 위에), 층 Y가 형성되어 있다라고 명시적으로 기재되어 있는 경우에는, 층 X의 위에 직접 접해서 층 Y가 형성되어 있는 경우와, 층 X의 위에 직접 접해서 다른 층(예를 들면, 층 Z 등)이 형성되어 있고, 그 위에 직접 접해서 층 Y가 형성되어 있는 경우를 포함하는 것으로 한다. 이때, 다른 층(예를 들면, 층 Z 등)은, 단층이어도 되고, 복층이어도 된다.
- [0041] 더구나, X의 윗쪽에 Y가 형성되어 있다라고 명시적으로 기재되어 있는 경우에 대해서도 동일하며, X의 위에 Y가 직접 접하고 있는 것에 한정되지 않고, X와 Y 사이에 다른 대상물이 개재하는 경우도 포함하는 것으로 한다. 따라서, 예를 들면, 층 X의 윗쪽에, 층 Y가 형성되어 있다라고 하는 경우에는, 층 X의 위에 직접 접해서 층 Y가 형성되어 있는 경우와, 층 X의 위에 직접 접해서 다른 층(예를 들면, 층 Z 등)이 형성되어 있고, 그 위에 직접 접해서 층 Y가 형성되어 있는 경우를 포함하는 것으로 한다. 이때, 다른 층(예를 들면, 층 Z 등)은, 단층이어도 되고, 복층이어도 된다.
- [0042] 이때, X의 위에 Y가 형성되어 있다, X 위에 Y가 형성되어 있다, 또는 X의 윗쪽에 Y가 형성되어 있다라고 명시적으로 기재하는 경우, X의 비스듬한 위에 Y가 형성되는 경우도 포함하는 것으로 한다.
- [0043] 이때, X의 아래에 Y가, 또는, X의 아래쪽에 Y가라는 기재에 대해서도 동일하다.

**발명의 효과**

- [0044] 투광성을 갖는 트랜지스터 또는 투광성을 갖는 용량소자를 형성함으로써, 화소 내에 트랜지스터나 용량소자를 배치하는 경우에도, 트랜지스터나 용량소자가 형성된 부분에 있어서도 빛을 투과시킬 수 있다. 그 결과, 화소의 개구율을 향상시킬 수 있다. 또한, 이러한 트랜지스터, 및 투광성을 갖는 배선을 사용하고, 화소 내에 메모리를 설치함으로써, 화소 내에 메모리를 가지면서, 투과형 디스플레이를 실현하는 것이 가능해 진다.
- [0045] 또한, 트랜지스터와 소자(예를 들면, 다른 트랜지스터)를 접속하는 배선, 또는 용량소자와 소자(예를 들면, 다른 용량소자)를 접속하는 배선은, 저항율이 낮고 도전율이 높은 재료를 사용해서 형성함으로써, 신호의 과형 왜곡을 저감하고, 배선 저항에 의한 전압강하를 저감할 수 있다.

**도면의 간단한 설명**

- [0046] 도 1은 표시장치의 구성예를 설명하는 단면도.
- 도 2는 표시장치의 구성예를 설명하는 단면도.
- 도 3은 표시장치의 구성예를 설명하는 단면도.

- 도 4는 표시장치의 구성예를 설명하는 단면도.
- 도 5는 표시장치의 구성예를 설명하는 단면도.
- 도 6은 표시장치의 구성예를 설명하는 단면도.
- 도 7은 표시장치의 구성예를 설명하는 단면도.
- 도 8은 표시장치의 구성예를 설명하는 단면도.
- 도 9는 표시장치의 구성예를 설명하는 단면도.
- 도 10은 표시장치의 구성예를 설명하는 단면도.
- 도 11은 표시장치의 구성예를 설명하는 단면도.
- 도 12는 표시장치의 구성예를 설명하는 단면도.
- 도 13은 표시장치의 구성예를 설명하는 단면도.
- 도 14는 표시장치의 구성예를 설명하는 단면도.
- 도 15는 표시장치의 구성예를 설명하는 블록도.
- 도 16은 표시장치의 구성예를 설명하는 회로도.
- 도 17a~도 17c는 도 16의 표시장치의 동작의 일례를 설명하는 회로도.
- 도 18a~도 18c는 도 16의 표시장치의 동작의 일례를 설명하는 회로도.
- 도 19a~도 19c는 도 16의 표시장치의 동작의 일례를 설명하는 회로도.
- 도 20a~도 20c는 도 16의 표시장치의 동작의 일례를 설명하는 회로도.
- 도 21a~도 21e는 표시장치의 구성예를 설명하는 회로도.
- 도 22a~도 22d는 표시장치의 구성예를 설명하는 회로도.
- 도 23은 표시장치의 동작의 일례를 설명하는 회로도.
- 도 24는 표시장치의 동작의 일례를 설명하는 회로도.
- 도 25는 표시장치의 동작의 일례를 설명하는 회로도.
- 도 26은 표시장치의 동작의 일례를 설명하는 회로도.
- 도 27은 표시장치의 동작의 일례를 설명하는 회로도.
- 도 28a~도 28d는 표시장치의 구성예를 설명하는 회로도.
- 도 29는 표시장치의 구성예를 설명하는 회로도.
- 도 30은 표시장치의 구성예를 설명하는 회로도.
- 도 31은 표시장치의 구성예를 설명하는 회로도.
- 도 32는 표시장치의 구성예를 설명하는 평면도.
- 도 33은 표시장치의 구성예를 설명하는 평면도.
- 도 34a는 표시장치의 구성예를 설명하는 평면도. 도 34b 및 도 34c는 동 단면도.
- 도 35는 표시장치의 구성예를 설명하는 단면도.
- 도 36은 표시장치의 구성예를 설명하는 단면도.
- 도 37a1 및 도 37a2는 표시장치의 구성예를 설명하는 평면도. 도 37b 및 도 37c는 동 단면도.
- 도 38a~도 38f는 표시장치의 제조 방법의 일례를 설명하는 단면도.
- 도 39a~도 39e는 표시장치의 제조 방법의 일례를 설명하는 단면도.

도 40a~도 40h는 전자기기의 구성예를 설명하는 도면.

도 41a~도 41d는 전자기기의 구성예를 설명하는 도면. 도 41e~도 41h는 표시장치의 응용예를 설명하는 도면.

도 42는 표시장치의 구성예를 설명하는 회로도.

도 43은 표시장치의 구성예를 설명하는 회로도.

**발명을 실시하기 위한 구체적인 내용**

- [0047] 이하, 본 발명의 실시형태를 설명한다. 본 명세서에 기재된 발명의 태양은, 예를 들면, 이하의 과제를 해결할 수 있다. 이때, 복수의 과제의 기재는, 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 각 태양은, 하기의 모든 과제를 해결할 필요는 없다.
- [0048] 과제로서는, 예를 들면, 메모리를 구비한 화소에 관한 기술을 제공하는 것, 화소의 개구율을 향상하는 것, 배선 저항을 낮추는 것, 콘택 저항을 저감하는 것, 전압강하를 저감하는 것, 소비 전력을 낮추는 것, 표시 품질을 향상하는 것, 트랜지스터의 오프 전류를 저감하는 것 등을 들 수 있다.
- [0049] 또한, 본 발명의 실시형태는 많은 다른 태양으로 실시하는 것이 가능하며, 취지 및 그 범위에서 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해된다. 따라서, 실시형태의 기재 내용에 한정되어 해석되는 것은 아니다. 이때, 이하에서 설명하는 구성에 있어서, 동일 부분 또는 동일한 기능을 갖는 부분은 다른 도면 사이에서 공통인 부호를 사용해서 나타내고, 동일 부분 또는 동일한 기능을 갖는 부분의 상세한 설명은 생략한다.
- [0050] 또한, 어떤 1개의 실시형태에서 서술되고 있는 내용(일부의 내용이라도 된다)은, 그 실시형태에서 서술되고 있는 다른 내용(일부의 내용이라도 된다), 및/또는, 1개 혹은 복수의 다른 실시형태에서 서술되고 있는 내용(일부의 내용이라도 된다)에 대하여, 선택, 조합, 또는 치환 등을 행할 수 있다. 실시형태에서 서술되고 있는 내용이란, 각각의 실시형태에 있어서, 참조되고 있는 1 또는 복수의 도면에 기재되어 있는 내용, 및 문장으로 표현되어 있는 내용이다.
- [0051] 또한, 어떤 1개의 실시형태에서 참조되고 있는 도면(일부라도 된다)은, 그 도면의 다른 부분, 그 실시형태에서 참조되고 있는 다른 도면(일부라도 된다), 및/또는, 1개 혹은 복수의 다른 실시형태에서 참조되고 있는 도면(일부라도 된다)에 대하여, 조합함으로써, 다른 구성예가 기재된 도를 그릴 수 있다. 또한, 어떤 1개의 실시형태에서 참조되는 도면 또는 기술된 문장에 대해, 그것의 일부분에 근거하여, 다른 태양을 구성하는 것은 가능하다. 따라서, 어떤 부분을 서술하는 도면 또는 문장이 기재되어 있는 경우, 그것의 일부분의 도면 또는 문장으로 표시되는 다른 태양도 개시되어 있다.
- [0052] 그 때문에, 예를 들면, 능동소자(트랜지스터, 다이오드 등), 배선, 수동 소자(용량소자, 저항소자 등), 도전층, 절연층, 반도체층, 유기재료, 무기재료, 부품, 기관, 모듈, 장치, 고체, 액체, 기체, 동작 방법, 제조 방법 등이 단수 또는 복수 기재된 도면(단면도, 평면도, 회로도, 블록도, 흐름도, 공정도, 사시도, 입면도, 배치도, 타이밍 차트, 구조도, 모식도, 그래프, 표, 광로도, 벡터도, 상태도, 파형도, 사진, 화학식 등) 또는 문장에 있어서, 그것의 일부분을 추출하여, 발명의 일 태양을 구성하는 것이 가능한 것으로 한다.
- [0053] 일례로서는, N개(N은 정수)의 회로 소자(트랜지스터, 용량소자 등)를 갖고 구성되는 회로도로부터, M개(M은 정수이고,  $M < N$ )의 회로 소자(트랜지스터, 용량소자 등)를 뽑아 내어, 발명의 일 태양을 구성하는 것은 가능하다. 다른 일례로서는, N개(N은 정수)의 층을 갖고 구성되는 단면도로부터, M개(M은 정수이고  $M < N$ )의 층을 뽑아 내어, 발명의 일 태양을 구성하는 것은 가능하다. 다른 일례로서는, N개(N은 정수)의 요소를 갖고 구성되는 흐름도로부터, M개(M은 정수이고,  $M < N$ )의 요소를 뽑아내어, 발명의 일 태양을 구성하는 것은 가능하다.
- [0054] 또한, 어떤 1개의 실시형태에 있어서 서술하는 도면 또는 문장에 있어서, 적어도 1개의 구체예가 기재되는 경우, 그 구체예의 상위 개념을 이끌어내는 것은, 당업자라면 용이하게 이해된다. 따라서, 어떤 1개의 실시형태에 있어서 서술하는 도면 또는 문장에 있어서, 적어도 1개의 구체예가 기재되는 경우, 그 구체예의 상위개념으로부터, 본 명세서에서 개시되어 있는 발명의 일 태양을 구성하는 것이 가능하다.
- [0055] 또한, 적어도 도면에 기재한 내용(도면 중의 일부라도 된다)은, 발명의 일 태양으로서 개시되어 있는 것이며, 발명의 일 태양을 구성하는 것이 가능하다. 따라서, 어떤 내용에 대해서, 도면에 기재되어 있으면, 문장을 사용해서 서술하지 않고 있어도, 그 내용으로부터, 본 명세서에서 개시되고 있는 발명의 일 태양을 구성할 수 있다. 마찬가지로, 도면의 일부를 추출한 도면으로부터, 본 명세서에서 개시되고 있는 발명의 일 태양을 구성할 수 있

다.

- [0056] 또한, 능동소자(트랜지스터, 다이오드 등), 수동 소자(용량소자, 저항소자 등) 등이 갖는 모든 단자에 대해, 그것의 접속처를 특정하지 않아도, 당업자라면 발명의 일 태양을 구성하는 것이 가능한 경우가 있다. 특히, 단자의 접속처가 복수 상정되는 경우에는, 그 단자의 접속처를 특정한 개소에 한정할 필요는 없다. 따라서, 능동소자(트랜지스터, 다이오드 등), 수동 소자(용량소자, 저항소자 등) 등이 갖는 일부의 단자에 대해서만, 그 접속처를 특정함으로써, 발명의 실시의 태양을 구성하는 것이 가능한 경우가 있다.
- [0057] 또한, 어떤 회로에 대해서, 적어도 접속처를 특정하면, 당업자라면 발명의 실시 태양을 특정하는 것이 가능한 경우가 있으며, 본 명세서에서 개시되는 발명의 태양은 이러한 경우를 포함한다. 또는, 어떤 회로에 대해서, 적어도 기능을 특정하면, 당업자라면 본 명세서에서 개시되는 발명의 태양을 특정하는 것이 가능한 경우가 있다. 본 명세서에서 개시되는 발명의 태양은 이러한 경우를 포함한다.
- [0058] (실시형태 1)
- [0059] 본 실시형태에서는 표시장치에 대해 설명한다.
- [0060] 도 1을 사용하여, 본 실시형태에서 나타난 표시장치(반도체장치라고 할 수도 있다)의 구성예를 설명한다. 표시장치는 복수의 화소를 갖는다. 도 1에는, 1개의 화소의 단면 구조를 나타낸다. 기관 101의 윗쪽에, 회로 102, 회로 103, 회로 104가 설치되어 있다. 그들 회로 102~104의 윗쪽에, 절연층(105)이 설치되어 있다. 절연층(105)의 윗쪽에, 도전층 106이 설치되어 있다. 기관 108의 윗쪽(도 1의 방향에서 본 경우에는 아래쪽)에는, 도전층 109가 설치되어 있다. 도전층 106과 도전층 109 사이에는, 매질(107)이 설치되어 있다. 매질(107), 도전층 106, 및 도전층 109를 사용하여, 표시 소자를 구성하는 것이 가능하다. 그리고, 도전층 106은, 회로 102, 회로 103, 및/또는, 회로 104와 접속되어 있는 것이 가능하다. 도전층 106은, 회로 102, 회로 103, 및/또는, 회로 104에 대해서, 그것들의 전체, 또는, 많은 부분을 덮어 배치되는 것이 가능하다. 단, 본 실시형태는, 이것들에 한정되지 않는다.
- [0061] 도 1의 구성예에 있어서, 기관 108 또는 도전층 109 중 어느 한개를 설치하지 않는 것이 가능하며, 회로 102, 회로 103 및 회로 104에 대해서, 어느 한개를 설치하지 않는 것이 가능하다.
- [0062] 여기에서, 회로 102는, 일레로서, 신호(일레로서는, 화상신호)를, 화소 내에 넣을 것인지 아닌지를 제어하는 기능을 갖는다. 따라서, 회로 102는, 선택용 트랜지스터, 또는, 스위칭용 트랜지스터를 갖는 것이 가능하다.
- [0063] 여기에서, 회로 103은, 일레로서, 신호를 유지하는 기능을 갖는다. 즉, 회로 103은, 메모리 기능을 갖는다. 회로 103은, 메모리로서, 예를 들면, DRAM, SRAM, 불휘발성 메모리 등을 갖는다. 더구나, 회로 103은, 리프레쉬 회로를 갖는 것도 가능하다. 리프레쉬 회로에 의해, DRAM의 데이터를 리프레쉬할 수 있다. 따라서, 회로 103은, 인버터, 클록드 인버터, 용량소자, 아날로그 스위치 등을 갖는 것이 가능하다.
- [0064] 여기에서, 회로 104는, 일레로서, 매질(107)에 공급하는 전압의 극성을 제어하는 기능을 갖는다. 그 때문에, 매질(107)의 종류에 따라서는, 회로 104를 설치하지 않는 경우도 있다. 따라서, 회로 104는, 인버터, 소스 폴로워, 아날로그 스위치 등을 갖는 것이 가능하다. 이렇게, 화소 내에 메모리를 배치함으로써, 신호의 고쳐쓰기 빈도를 낮게 할 수 있으므로, 소비 전력을 낮게 할 수 있다. 단, 본 실시형태는 이것들에 한정되지 않는다.
- [0065] 회로 102~104가 상기한 기능을 갖는 경우, 회로 102, 회로 103, 및/또는, 회로 104가 갖는 트랜지스터, 또는 배선은, 투광성을 갖는 재료를 갖고 구성되어 있는 것이 가능하다. 예를 들면, 트랜지스터에 대해서, 게이트 전극, 반도체층, 소스 전극 또는 드레인 전극에 관해서, 그것의 일부, 또는 전부는, 투광성을 갖는 재료를 갖고 형성되는 것이 가능하다. 그 때문에, 트랜지스터 또는 배선을 배치해도, 빛을 투과시킬 수 있다. 마찬가지로, 소스 신호선, 게이트 신호선, 용량배선, 전원선 등의 배선도, 투광성을 갖는 재료를 갖고 구성하는 것이 가능하다. 따라서, 복수의 화소가 배치된 화소영역은, 그 영역의 대부분에 있어서, 빛을 투과시킬 수 있다.
- [0066] 이때, 소스 신호선, 게이트 신호선, 용량배선, 전원선 등의 배선은, 그것의 일부, 또는, 전부에 대해서, 투광성을 갖는 재료를 갖고 구성되는 것이 가능하지만, 이것에 한정되지 않고, 도전율이 높은 재료를 갖고 구성하는 것이 가능하다. 즉, 투광성을 갖지 않는 재료를 갖고 구성하는 것도 가능하다. 예를 들면, 투광성을 갖는 층과, 투광성을 갖지 않는 층을 적층상태로 하는 것도 가능하다. 이들의 경우, 빛을 투과시키는 영역이 좁아지기 때문에, 개구율은 저하하지만, 도전율이 높기 때문에, 신호의 왜곡의 저감, 전압강하의 저감이 가능하게 된다.
- [0067] 특히, 화소를 구동하기 위한 회로, 예를 들면, 게이트 드라이버, 소스 드라이버, 공통 전극(대향전극) 구동회로 등에 있어서, 투광성을 갖지 않는 층을 갖고, 배선, 및/또는, 트랜지스터를 구성하는 것은 가능하다. 게이트 드

라이버, 소스 드라이버, 공통 전극(대향전극) 구동회로 등에 있어서는, 빛을 투과시킬 필요가 없다. 그 때문에, 도전율이 높은 배선이나 전극을 사용하여, 배선이나 트랜지스터를 구성함으로써, 신호의 왜곡의 저감, 전압강하의 저감이 가능하게 된다.

- [0068] 이때, 도전층 106 또는 도전층 109는, 투광성을 갖는 재료를 갖고 형성되는 것이 가능하다. 여기에서, 도 1에 나타낸 것과 같이, 도전층 106의 밑에, 회로 102, 회로 103, 또는, 회로 104를 배치하는 것이 가능하다. 이때, 회로 102, 회로 103, 또는, 회로 104는, 투광성을 갖는 재료를 갖고 형성되는 것이 가능하기 때문에, 개구율을 향상시킬 수 있다. 또는, 투과형의 표시장치를 구성시키는 것이 가능해진다. 즉, 화소 내에 메모리를 배치하면서, 투과형의 표시장치를 구성할 수 있다.
- [0069] 이때, 도전층 106, 및/또는, 도전층 109에 있어서, 그것의 일부에, 투광성을 갖지 않는 재료, 즉, 도전율이 높은 재료를 갖는 것이 가능하다. 도전층 106의 일부에 있어서, 도전율이 높은 재료를 가짐으로써, 그 부분에서, 빛을 반사시킬 수 있다. 그 때문에, 반투과형의 표시장치를 구성하는 것이 가능해진다.
- [0070] 이때, 도전층 106의 밑에는, 회로 102, 회로 103, 또는, 회로 104에 대해서, 적어도 한개가 배치되어 있으면 된다. 또는, 도전층 106 밑에는, 회로 102, 회로 103, 또는, 회로 104에 대해서, 그것들의 일부가 배치되어 있으면 된다.
- [0071] 이때, 도전층 106은, 화소 전극으로서의 기능을 갖는 것이 가능하다. 또는, 도전층 109는, 공통 전극으로서의 기능을 갖는 것이 가능하다.
- [0072] 단, 도전층 109는, 기관 108에 형성되는 것에 한정되지 않는다. 기관 101에 형성되는 것도 가능하다.
- [0073] 이때, 매질(107)의 예로서는, 액정, 유기 EL, 무기 EL, 전기영동 재료, 전자분 유체, 토너 등을 갖는 경우가 있다. 매질(107)은, 도전층 106 및 도전층 109에 의해 공급되는 전압 또는 전류에 의해, 그것의 광학특성이 제어된다.
- [0074] 도 1에서는, 1화소 중에 회로 102, 회로 103, 회로 104가 설치되는 예가 도시되어 있지만, 본 실시형태는, 이것에 한정되지 않는다. 보다 많은 회로를 설치하는 것이 가능하고, 보다 적은 회로를 설치하는 것도 가능하다.
- [0075] 이때, 기관 101 또는 기관 108은, 절연성을 갖는 기관인 것이 바람직하다. 그것들의 일례로서는, 유리 기관, 플라스틱 기관, 플렉시블 기관, PET(폴리에틸렌테레프탈레이트) 기관, 스테인레스·스틸·호일 기관, SOI 기관, 실리콘 기관, 세라믹 기관, 석영 기관, 사파이어 기관 등을 들 수 있다. 금속이나 스테인레스 등의 도전체로 이루어진 도전성 기관의 표면을 절연체재료로 피복한 것을 사용할 수도 있다. 기관으로서 유리 또는 플라스틱을 사용함으로써, 빛을 투과시키는 것이 가능해진다. 또는, 기관 101, 108로서, 플라스틱 기관 또는 플렉시블 기관을 사용함으로써, 기관을 구부리는 것이 가능해져, 파손하기 어렵게 하는 것이 가능해진다.
- [0076] 이때, 기관 101 또는 기관 108에는, 표면에, 절연층을 1층, 또는, 복수층으로 형성하고 있어도 된다. 그 절연층에 의해, 기관 중에 포함되는 불순물이 확산해 버리는 것을 저감하는 것이 가능해진다.
- [0078] (실시형태 2)
- [0079] 본 실시형태에서는 표시장치에 대해 설명한다.
- [0080] 도 2 내지 도 14를 사용하여, 본 실시형태에서 나타낸 표시장치(반도체장치라고 할 수도 있다)의 구성예를 설명한다. 표시장치는 복수의 화소를 갖는다. 도 2 내지 도 14에는, 1개의 화소의 단면 구조를 나타낸다.
- [0081] 도 2에 나타낸 것과 같이, 기관(101)의 윗쪽에, 도전층 201a, 201b가 배치되어 있다. 도전층 201a, 201b의 윗쪽에, 절연층 202가 배치되어 있다. 절연층 202의 윗쪽에, 반도체층(203)이 배치되어 있다. 반도체층(203) 또는 절연층 202의 윗쪽에, 도전층 204a, 도전층 204b 및 도전층 204c가 배치되어 있다. 도전층 204a, 도전층 204b, 도전층 204c, 또는 반도체층(203)의 윗쪽에는, 절연층 205가 배치되어 있다. 절연층 205의 윗쪽에, 도전층 206이 배치되어 있다. 도전층 204b는, 절연층 205에 형성된 콘택홀을 통해, 도전층 206과 접속되어 있다. 반도체층(203)의 상측과, 도전층 204a, 204b의 하측이, 접촉하여, 접속되어 있다.
- [0082] 이때, 도전층 201a 및 도전층 201b는, 동일한 성막 공정을 거쳐 형성된 막(단층 또는 적층)에 대해 에칭 처리를 행함으로써 형성하는 것이 가능하다. 이 경우, 도전층 201a 및 도전층 201b는 대략 같은 재료를 갖는다. 마찬가지로, 도전층 204a, 도전층 204b 및 도전층 204c는, 같은 성막 공정을 거쳐서 형성된 막(단층 또는 적층)에 대

하여 에칭 처리를 행함으로써 형성하는 것이 가능하다. 이 경우, 도전층 204a와 도전층 204b와 도전층 204c는, 대략 같은 재료를 갖는다.

- [0083] 도전층 201a는, 트랜지스터(207)의 게이트 전극으로서의 기능을 갖는 것이 가능하다. 또는, 도전층 201a는, 게이트 신호선으로서의 기능을 갖는 것이 가능하다. 도전층 201b는, 용량소자 208, 209의 용량전극으로서의 기능을 갖는 것이 가능하다. 또는, 도전층 201b는, 유지용량선으로서의 기능을 갖는 것이 가능하다.
- [0084] 절연층 202는, 트랜지스터(207)의 게이트 절연층으로서의 기능을 갖는 것이 가능하다. 또는, 절연층 202는, 용량소자 208, 209의 절연층으로서의 기능을 갖는 것이 가능하다.
- [0085] 도전층 204a, 204b는, 트랜지스터(207)의 소스 전극 또는 드레인 전극으로서의 기능을 갖는 것이 가능하다. 또는, 도전층 204a, 204b는, 소스 신호선 또는 비디오 신호선으로서의 기능을 갖는 것이 가능하다.
- [0086] 도전층 204c는, 용량소자 208의 용량전극으로서의 기능을 갖는 것이 가능하다. 또는, 도전층 204c는, 유지용량선으로서의 기능을 갖는 것이 가능하다.
- [0087] 반도체층(203)은, 트랜지스터(207)의 활성층으로서의 기능을 갖는 것이 가능하다. 또는, 반도체층(203)은, 트랜지스터(207)의 채널층으로서의 기능을 갖는 것이 가능하다. 또는, 반도체층(203)은, 트랜지스터(207)의 고저항 영역으로서의 기능을 갖는 것이 가능하다. 또는, 반도체층(203)은, 트랜지스터(207)의 불순물 영역으로서의 기능을 갖는 것이 가능하다.
- [0088] 도전층 206은, 화소 전극으로서의 기능을 갖는 것이 가능하다. 또는, 도전층 206은, 용량소자 209의 용량전극으로서의 기능을 갖는 것이 가능하다.
- [0089] 도전층 206은, 도 1에 나타난 도전층 106에 대응시키는 것이 가능하다. 또는, 절연층 205는, 도 1에 나타난 절연층(105)에 대응시키는 것이 가능하다.
- [0090] 이렇게, 도전층 206의 아래쪽에, 트랜지스터(207)나 용량소자 208 등을 배치하는 것이 가능하다. 트랜지스터(207)나 용량소자 208 등은, 투광성을 갖기 때문에, 개구율을 높게 하는 것이 가능하다. 또는, 투과형 표시장치를 구성하는 것이 가능하다. 그리고, 트랜지스터(207)나 용량소자 208, 209를 사용하여, 선택용 트랜지스터, 메모리, DRAM, SRAM, 아날로그 스위치, 인버터, 클록드 인버터 등을 구성하는 것이 가능하다.
- [0091] 이때, 트랜지스터(207)는, 반도체층(203)의 하측에 도전층 201a가 존재하기 때문에, 보텀 게이트형의 트랜지스터라고 할 수 있다. 또는, 트랜지스터(207)는, 역스태거형의 트랜지스터라고 할 수 있다. 또는, 트랜지스터(207)는, 반도체층(203) 위에 채널 보호막이 없기 때문에, 채널에칭형의 트랜지스터라고 할 수 있다. 또는, 트랜지스터(207)는, 박막 트랜지스터라고 할 수 있다.
- [0092] 이때, 트랜지스터나 용량소자의 구성은, 도 2의 구성에 한정되지 않는다. 다른 다양한 구성을 적용하는 것이 가능하다.
- [0093] 예를 들면, 채널부에 대하여, 게이트 전극과 반대측에 전극을 설치하는 것과 같은 트랜지스터를 구성하는 것이 가능하다. 도 3에, 도전층 206a를 반도체층(203) 및 절연층 205의 윗쪽에 설치한 경우의 화소의 구성예를 나타낸다. 도전층 206a는, 트랜지스터(207)의 백 게이트로서 기능시키는 것이 가능하다. 도전층 206a에는, 도전층 201a와는 다른 전위를 공급함으로써, 트랜지스터(207)의 동작을 안정시킬 수 있다. 또는, 도전층 206a에는, 도전층 201a와 같은 전위를 공급함으로써, 트랜지스터(207)의 채널이 실질적으로 2배가 되기 때문에, 실질적으로 이동도를 높게 할 수 있다.
- [0094] 이때, 도전층 206a, 206은, 같은 성막 공정을 거쳐 형성된 막(단층 또는 적층)에 대하여 에칭 처리를 행함으로써 형성하는 것이 가능하다. 이 경우, 도전층 206a 및 도전층 206은 대략 같은 재료를 갖는다.
- [0095] 이때, 용량소자 208은, 도 3에 나타난 것과 같이, 도전층 204c와 도전층 201c 사이에, 반도체층 203a를 설치하는 것도 가능하다. 여기에서, 반도체층 203, 203a는, 같은 성막 공정을 거쳐 형성된 막(단층 또는 적층)에 대하여 에칭 처리를 행함으로써 형성하는 것이 가능하다. 이 경우, 반도체층 203과 반도체층 203a는, 대략 같은 재료를 갖는다.
- [0096] 이때, 주변회로부(예를 들면, 화소를 구동하는 회로부)의 트랜지스터와, 화소부의 트랜지스터의 구성을 다르게 하는 것이 가능하다. 일례로서, 화소부에 있어서는, 도 2와 같이, 트랜지스터(207)에는 도전층 206a를 설치하지 않는 구성으로 하고, 한편, 화소부를 구동하는 회로에 있어서는, 도 3과 같이, 트랜지스터(207)에는 도전층 206a를 설치하는 구성으로 하는 것이 가능하다. 화소부를 구동하는 회로에 있어서는, 트랜지스터(207)의 임계전

압을 제어하는 것이, 매우 중요하다. 그러나, 화소부에 있어서는, 가령, 트랜지스터(207)가 노멀리 온 상태가 되어도, 동작시키는 것이 가능한 경우가 있다. 더구나, 화소부에서는, 도전층 206a를 설치하지 않음으로써, 개구율이 저하하는 것을 막을 수 있다. 따라서, 화소부의 트랜지스터(207)는 도전층 206a를 설치하지 않는 구성으로 하고, 화소부를 구동하는 회로의 트랜지스터(207)는, 도전층 206a를 설치하는 구성으로 함으로써, 표시장치를 적절하게 동작시키고, 또한, 화소부의 개구율을 높게 할 수 있다.

- [0097] 단, 본 실시형태는, 도 3에 한정되지 않는다. 도전층 206a와는 다른 층을 사용하여, 화소를 구성할 수 있다. 도 4에 그것의 일례를 나타낸다.
- [0098] 절연층 205와 도전층 206 사이에, 도전층 406a와 절연층 405를 배치한다. 도전층 406a는, 트랜지스터(207)의 백 게이트로서 기능시키는 것이 가능하다. 이렇게, 도전층 206과는 다른 층을 사용함으로써, 도전층 206의 아래에, 트랜지스터(207) 및 도전층 406a를 배치할 수 있다. 그 때문에, 화소에 있어서 이 구조의 트랜지스터(207)를 사용함으로써, 개구율을 향상시킬 수 있다.
- [0099] 이때, 도전층 406a와 같은 층의 도전막을 사용함으로써, 용량소자 408을 구성하는 것이 가능하다. 용량소자 408은, 도전층 406b와 도전층 201c를 사용해서 구성하는 것이 가능하다. 또는, 용량소자 409는, 도전층 406b와 도전층 206을 사용해서 구성하는 것이 가능하다. 또는, 용량소자 408a는, 도전층 406b와 도전층 204d를 사용해서 구성하는 것이 가능하다.
- [0100] 이때, 도전층 201a 및 도전층 201c는, 같은 성막 공정을 거쳐 형성된 막(단층 또는 적층)에 대하여 에칭 처리를 행함으로써 형성하는 것이 가능하다. 이 경우, 도전층 201a와 도전층 201c는, 대략 같은 재료를 갖는다. 이때, 도전층 204a, 204b, 204d는, 같은 성막 공정을 거쳐 형성된 막(단층 또는 적층)에 대하여 에칭 처리를 행함으로써 형성하는 것이 가능하다. 이 경우, 도전층 204a, 도전층 204b 및 도전층 204d는, 대략 같은 재료를 갖는다. 도전층 406a, 406b는, 같은 성막 공정을 거쳐 형성된 막(단층 또는 적층)에 대하여 에칭 처리를 행함으로써 형성하는 것이 가능하다. 이 경우, 도전층 406a와 도전층 406b는, 대략 같은 재료를 갖는다.
- [0101] 이때, 도 2, 도 3 및 도 4에 있어서, 트랜지스터(207)는, 반도체층(203) 위에, 채널 보호막을 배치하지 않는 경우의 예를 나타낸다. 단, 본 실시형태는, 이것에 한정되지 않는다. 채널 보호막을 배치하는 것이 가능하다. 일례로서, 도 2의 트랜지스터(207)에, 채널 보호막(503)을 배치한 경우를 도 5에 나타낸다. 마찬가지로, 도 3, 도 4의 경우에도, 채널 보호막을 배치하여, 트랜지스터를 구성시키는 것이 가능하다. 도 5의 트랜지스터(207)에 있어서는, 채널 보호막(503)을 배치함으로써, 반도체층 203의 두께를 얇게 하는 것이 가능해진다. 그 때문에, 오프 전류를 저감하는 것이 가능해진다. 또는, S값(subthreshold swing value)을 작게 하는 것이 가능해진다. 또는, 반도체층 203과 도전층 204a, 204b의 에칭시의 선택비를 고려할 필요가 없기 때문에, 자유롭게 재료를 선택하는 것이 가능해진다.
- [0102] 도 2 내지 도 5의 구성예는, 도전층 204a, 204b의 아래에, 반도체층(203)이 배치되어 있지 않은 영역을 갖는다. 본 실시형태는, 이들의 구성에 한정되지 않고, 도 6에 나타낸 것과 같이, 도전층 204a, 204b 아래의 전체 영역에, 반도체층(203)을 배치하도록 하여도 된다. 그 경우, 채널 보호막(503)을 설치하지 않는 것도 가능하다. 채널 보호막(503)을 설치하지 않는 경우, 다계조 마스크(하프톤 마스크 또는 그레이톤 마스크라고도 말한다)를 사용하여, 마스크(레티클)수를 저감하는 것이 가능하다. 예를 들면, 다음과 같은 공정을 행하면 된다. 반도체층(203), 도전층 204a 및 도전층 204b를 구성하는 막을 연속적으로 성막한다. 레지스트 마스크를 형성하고, 그것들의 층을 동시에 에칭한다. 레지스트 마스크의 애싱 등을 행하여, 도전층 204a 및 도전층 204b만을 에칭하는 마스크를 형성한다. 1매의 노광용 마스크로, 반도체층(203)의 채널 부분, 및 도전층 204a 및 도전층 204b를 에칭하기 위한 레지스트 마스크를 형성하는 것이 가능하다.
- [0103] 도 2 내지 도 6에는, 화소의 구성예로서, 반도체층(203)의 상측과 도전층 204a, 204b의 하측이 접촉하여, 전기적으로 접속되어 있는 구성예가 표시되어 있다. 물론, 본 실시형태는, 이것에 한정되지 않는다. 반도체층(203)의 하측에 접촉하고, 전기적으로 접속된 도전층을 설치하는 것도 가능하다. 이하, 도 7 내지 도 10을 참조하여, 이러한 구성예를 설명한다.
- [0104] 도 2에 있어서, 반도체층(203)의 상측과, 도전층 204a, 204b의 하측이 접촉하는 경우의 트랜지스터(207)의 단면도를, 도 7에 나타낸다. 마찬가지로, 도 3에 있어서, 반도체층(203)의 상측과, 도전층 204a, 204b의 하측이 접촉하는 경우의 트랜지스터(207)의 단면도를, 도 8에 나타낸다. 마찬가지로, 도 4에 있어서, 반도체층(203)의 상측과, 도전층 204a, 204b의 하측이 접촉하는 경우의 트랜지스터(207)의 단면도를, 도 9에 나타낸다. 마찬가지로, 도 6에 있어서, 채널 보호막(503)을 배치하지 않고, 또한, 반도체층(203)의 상측과, 도전층 204a,

204b의 하측이 접촉하는 경우의 트랜지스터(207)의 단면도를, 도 10에 나타낸다. 이때, 도 10에 있어서, 도전층 206과, 반도체층(203)이 접촉하는 부분에 있어서는, 반도체층(203)이, 충분히 N형화, 또는, P형화되어 있는 것이 바람직하다. 즉, 이들 접촉 부분이 오믹 콘택으로 되어 있는 것이 바람직하다.

[0105] 이때, 도 2 내지 도 10에서는, 도전층 204a, 204b와 반도체층(203) 사이에는, 절연층이 설치되어 있지 않은 구성예가 표시되어 있다. 물론, 본 실시형태는, 이것에 한정되지 않는다. 도전층 204a, 204b와 반도체층(203) 사이에, 절연층을 설치하는 것이 가능하다. 일례로서, 도 2에 있어서, 절연층 1105를 설치한 경우의 단면도를 도 11에 나타낸다. 도전층 204a, 204b와, 반도체층(203)은, 절연층 1105에 설치된 콘택홀을 통해, 접속되어 있다.

[0106] 이때, 이 경우, 도전층 204a, 204b와 같은 레이어의 도전층을 사용하여, 채널부에 대하여, 게이트 전극과 반대측에 전극을 설치하는 것이 가능하다. 그 경우의 예를 도 12에 나타낸다. 도전층 204e가, 채널부에 대하여, 게이트 전극과 반대측에 설치되어 있다. 이렇게, 도전층 204a와 같은 레이어에서 설치되기 때문에, 화소부에 있어서, 이러한 트랜지스터 구조를 사용해도, 개구율이 저하하는 것을 막을 수 있다.

[0107] 이때, 도전층 204a, 204b, 204e는, 같은 성막 공정을 거쳐 형성된 막(단층 또는 적층)에 대하여 에칭 처리를 행함으로써 형성하는 것이 가능하다. 이 경우, 도전층 204a와 도전층 204b와 도전층 204e는, 대략 같은 재료를 갖는다.

[0108] 이때, 도 3 내지 도 10의 화소의 경우도, 도 11, 도 12와 같은 트랜지스터(207)를 적용할 수 있다.

[0109] 이때, 절연층을 개재하여 배치된, 각 층의 도전층끼리를 접속시키는 경우, 절연층에 콘택홀을 열 필요가 있다. 그 경우의 콘택 구조의 예를 도 13에 나타낸다. 콘택 구조 1301의 경우, 도전층 201b, 도전층 204b, 및 도전층 206을 전기적으로 접속하기 위해, 절연층 205 및 절연층 202에 콘택홀이 형성되어 있다. 이들 콘택홀은 동시에 형성된다. 이 경우, 마스크수(레티클수)와 프로세스 공정수를 절감할 수 있다. 그러나, 도전층 204b와 도전층 201b를 접속시키고 싶은 경우, 도전층 206을 통해, 접속시킬 필요가 있기 때문에, 콘택 저항이 높아지거나, 또는 레이아웃 면적이 커질 가능성이 있다. 한편, 콘택 구조 1302와 같이, 절연층 202에 콘택홀을 열고, 도전층 204a와 도전층 201a를 직접 접속시키는 것도 가능하다. 이 경우, 콘택 저항이 높아질 되는 가능성과, 레이아웃 면적이 커질 가능성을 낮게 하는 것이 가능하다.

[0110] 도전층 406a, 406b가 존재하는 경우의 콘택 구조의 구성예를, 도 14에 나타낸다. 콘택 구조 1401의 경우, 절연층 405, 205, 202에, 동시에 콘택홀을 열고, 도전층 201a, 204b, 406a, 206을 접속하고 있다. 이 경우, 마스크수(레티클수)와 프로세스 공정수를 절감할 수 있다. 그러나, 도전층 406a와 도전층 204b나 도전층 201a를 접속시키는 경우, 도전층 206을 통해, 접속시킬 필요가 있기 때문에 콘택 저항이 높아지거나, 또는 레이아웃 면적이 커질 가능성이 있다. 한편, 콘택 구조 1402와 같이, 절연층 205 및 절연층 202에 콘택홀을 열고, 도전층 406b와 도전층 204d, 도전층 201c를 직접 접속시키는 것도 가능하다. 이 경우, 콘택 저항이 높아질 가능성이나, 또는 레이아웃 면적이 커질 가능성을 낮게 하는 것이 가능하다.

[0111] 이때, 도 2 내지 도 12에서는, 보텀 게이트형의 트랜지스터의 경우의 예를 나타내지만, 본 실시형태는, 이것에 한정되지 않는다. 톱 게이트형 트랜지스터를 사용해서 구성하는 것도 가능하다. 마찬가지로, 역스태거형의 트랜지스터에 한정되지 않고, 플래너형 트랜지스터를 사용해서 구성하는 것도 가능하다.

[0112] 이때, 도 2 내지 도 12에 나타낸 반도체층(203)은, 단층 구조 또는 적층 구조의 반도체막으로 형성할 수 있다. 반도체층을 형성하는 막은, 인듐 주석 산화물(Indium Tin Oxide: ITO), 산화 실리콘을 포함하는 인듐 주석 산화물(ITSO), 유기 인듐, 유기 주석, 산화 아연(ZnO) 등의 투광성을 갖는 재료로 형성할 수 있다. 또한, 산화 아연을 포함하는 인듐 아연 산화물(Indium Zinc Oxide: IZO), 산화 아연에 갈륨(Ga)을 도프한 재료, 산화 주석(SnO<sub>2</sub>), 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물 등으로 형성해도 된다. 이들 재료로 이루어진 막은, 스퍼터링법에 의해 형성할 수 있다.

[0113] 이때, 도 1 내지 도 14에 나타낸 도전층, 예를 들면, 도전층 201a, 201b, 204a~204e, 206, 206a, 406a, 406b 등은, 단층 구조 또는 적층 구조의 도전막으로 형성할 수 있다. 이들 도전층을 형성하는 막은, 인듐 주석 산화물(Indium Tin Oxide: ITO), 산화 실리콘을 포함하는 인듐 주석 산화물(ITSO), 유기 인듐, 유기 주석, 산화 아연(ZnO) 등의 투광성을 갖는 재료로 형성할 수 있다. 또한, 산화 아연을 포함하는 인듐 아연 산화물(Indium Zinc Oxide: IZO), 산화 아연에 갈륨(Ga)을 도프한 재료, 산화 주석(SnO<sub>2</sub>), 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐



주석 산화물 등으로 형성해도 된다. 이들 재료로 이루어진 막은, 스퍼터링법에 의해 형성할 수 있다. 단, 적층 구조의 도전막에서, 도 1 내지 도 14에 나타낸 도전층을 형성하는 경우에는, 적층 구조에 있어서의 광투과율을 충분히 높게 하는 것이 바람직하다.

[0114] 이때, 소스 신호선, 게이트 신호선, 용량 배선, 전원선 등의 배선은, 그것의 일부, 또는, 전부에 대해서, 도전율이 높은 재료를 갖고 구성하는 것이 가능하다. 즉, 투광성을 갖지 않는 재료를 갖고 구성하는 것도 가능하다. 예를 들면, 투광성을 갖는 층과, 투광성을 갖지 않는 층을 적층 상태로 하는 것도 가능하다. 이 경우의 배선 재료로서는, 예를 들면, 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오디뮴(Nd), 니오븀(Nb), 세륨(Ce), 크롬(Cr) 등의 금속 재료, 또는 이들 금속 재료를 주성분으로 하는 합금 재료, 또는 이들의 금속 재료를 성분으로 하는 질화물을 사용하여, 단층 또는 적층으로 형성할 수 있다.

[0115] 이때, 어떤 도전층의 한개로서 ITO를 사용하고, 다른 한개로서 알루미늄을 사용한 경우, 그것들이 접촉한 경우, 화학반응이 일어나 버리는 경우가 있다. 따라서, 화학반응이 일어나는 것을 피하기 위해, 그들 사이에, 고용점 재료를 사용하는 것이 바람직하다. 예를 들면, 고용점 재료의 예로서는, 몰리브덴, 티타늄, 텅스텐, 탄탈, 크롬 등을 들 수 있다. 그리고, 고용점 재료를 사용한 막 위에, 도전율이 높은 재료를 사용하여, 도전층을 다층막으로 하는 것이 바람직하다. 도전율이 높은 재료로서는, 알루미늄, 구리, 은 등을 올릴 수 있다. 예를 들면, 도전막을 적층 구조로 형성하는 경우에는, 1층째를 몰리브덴, 2층째를 알루미늄, 3층째를 몰리브덴의 적층, 혹은, 1층째를 몰리브덴, 2층째에 네오디뮴을 미량으로 포함하는 알루미늄, 3층째를 몰리브덴의 적층으로 형성할 수 있다. 이러한 구성으로 함으로써 힐록을 방지할 수 있다.

[0116] 도 1 내지 도 14에 나타낸 절연층, 예를 들면, 절연층 105, 202, 205, 405, 1105 등은, 산화 실리콘 막, 산화 질화 실리콘 막, 질화 실리콘 막, 질화산화 실리콘 막, 산화 알루미늄 막, 질화 알루미늄 막, 산화질화 알루미늄 막, 질화산화 알루미늄 막, 또는 산화 탄탈 막의 단층 또는 적층으로 설치할 수 있다. 각각의 절연층은, 스퍼터링법 등을 사용해서 막두께를 50nm 이상 250nm 이하로 형성할 수 있다. 예를 들면, 절연층으로서, 스퍼터링법 또는 CVD법에 의해 산화 실리콘 막을 100nm의 두께로 형성할 수 있다. 또는, 스퍼터링법에 의해 산화 알루미늄 막을 100nm의 두께로 형성할 수 있다. 또는, 산화 실리콘, 질화 실리콘, 산화질화 실리콘, 질화산화 실리콘 등의 산소 또는 질소를 갖는 절연막, DLC(다이아몬드 라이크 카본) 등의 탄소를 포함하는 막이나, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 등의 유기 재료 또는 실록산 수지 등의 실록산 재료로 이루어진 막을 단층 또는 적층 구조로 설치할 수 있다.

[0117] 또한, 도 1 내지 도 14에 나타낸 절연층은, 칼라필터, 및/또는, 블랙 매트릭스로서의 기능을 갖는 것이 가능하다. 기판 101 측에 칼라필터를 설치함으로써, 대향기판측에 칼라필터를 설치할 필요가 없어서, 2개의 기판의 위치를 조정하기 위한 마진이 필요없어지기 때문에, 패널의 제조를 용이하게 할 수 있다.

[0118] 도 2 내지 도 14에 나타낸 반도체층, 예를 들면, 반도체층(203)으로서, 예를 들면, In, M, 또는 Zn을 포함하는 산화물 반도체를 사용할 수 있다. 여기에서, M은, Ga, Fe, Ni, Mn, 또는 Co 등으로부터 선택된 1의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, M으로서 Ga를 사용하는 경우에는, 이 재료로 이루어진 반도체막을 In-Ga-Zn-O계 비단결정 막이라고도 부른다. 또한, 상기 산화물 반도체에 있어서, M으로서 포함되는 금속 원소 이외에, 불순물 원소로서 Fe, Ni 기타의 천이 금속 원소, 또는 상기 천이 금속의 산화물이 포함되어 있는 것이 있다. 또한, 반도체층(203)에는 절연성의 불순물을 포함시켜도 된다. 해당 불순물로서, 산화 실리콘, 산화 게르마늄, 산화 알루미늄 등으로 대표되는 절연성 산화물, 질화 실리콘, 질화 알루미늄 등으로 대표되는 절연성 질화물, 혹은 산질화 실리콘, 산질화 알루미늄 등의 절연성 산질화물이 적용된다. 이들 절연성 산화물 혹은 절연성 질화물은, 산화물 반도체의 전기전도성을 손상하지 않는 농도로 첨가된다. 산화물 반도체에 절연성의 불순물을 포함시키는 것에 의해, 상기 산화물 반도체의 결정화를 억제 할 수 있다. 산화물 반도체의 결정화를 억제함으로써, 박막 트랜지스터의 특성을 안정화하는 것이 가능해진다.

[0119] In-Ga-Zn-O계 산화물 반도체에 산화 실리콘 등의 불순물을 포함시켜 농음으로써, 300℃ 내지 600℃의 열처리를 행하여도, 상기 산화물 반도체의 결정화 또는 미결정립의 생성을 막을 수 있다. In-Ga-Zn-O계 산화물 반도체층을 채널 형성 영역으로 하는 박막 트랜지스터의 제조과정에서는, 열처리를 행함으로써 S값이나 전계 효과 이동도를 향상시키는 것이 가능하지만, 그러한 경우에도 박막 트랜지스터가 노멀리 온이 되어버리는 것을 막을 수 있다. 또한, 해당 박막 트랜지스터에 열 스트레스, 바이어스 스트레스가 가해진 경우에도, 임계전압의 변동을 막을 수 있다.

[0120] 박막 트랜지스터의 채널 형성 영역에 적용하는 산화물 반도체로서 상기한 것 이외에도, In-Sn-Zn-O계, In-Al-

Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체를 적용할 수 있다. 즉, 이것들의 산화물 반도체에 결정화를 억제하여 비정질 상태를 유지시키는 불순물을 가함으로써, 박막 트랜지스터의 특성을 안정화시킬 수 있다. 해당 불순물은, 산화 실리콘, 산화 게르마늄, 산화 알루미늄 등으로 대표되는 절연성 산화물, 질화 실리콘, 질화 알루미늄 등으로 대표되는 절연성 질화물, 혹은 산질화 실리콘, 산질화 알루미늄 등의 절연성 산질화물 등이다.

[0121] 일례로서, In, Ga, 및 Zn을 포함하는 산화물 반도체 타겟( $In_2O_3:Ga_2O_3:ZnO=1:1:1$ )을 사용한 스퍼터링법으로, 반도체막을 형성할 수 있다. 스퍼터의 조건으로서는, 예를 들면, 기판 101과 타겟의 거리를 30mm~500mm, 압력을 0.1Pa~2.0Pa, 직류(DC) 전원 출력을 0.25kW~5.0kW(직경 8인치의 타겟 사용시), 분위기를 아르곤 분위기, 산소 분위기, 또는 아르곤과 산소의 혼합 분위기로 할 수 있다. 반도체막의 막두께는, 5nm~200nm 정도로 하면 된다.

[0122] 상기한 스퍼터링법으로서는, 스퍼터용 전원에 고주파 전원을 사용하는 RF 스퍼터링법이나, DC 스퍼터링법, 펄스식으로 직류 바이어스를 가하는 펄스 DC 스퍼터링법 등을 사용할 수 있다. RF 스퍼터링법은 주로, 절연막을 성막하는 경우에 사용되고, DC 스퍼터링법은 주로, 금속막을 성막하는 경우에 사용된다.

[0123] 또한, 재료가 다른 타겟을 복수 설치할 수 있는 다원 스퍼터 장치를 사용해도 된다. 다원 스퍼터 장치에서는, 동일 챔버에서 다른 막을 적층형성하는 것도, 동일 챔버에서 복수 종류의 재료를 동시에 스퍼터하여 1개의 막을 형성할 수도 있다. 더구나, 챔버 내부에 자계 발생기구를 구비한 마그네트론스퍼터 장치를 사용하는 방법(마그네트론 스퍼터링법)이나, 마이크로파를 사용해서 발생시킨 플라즈마를 사용하는 ECR 스퍼터링법 등을 사용해도 된다. 또한, 성막 중에 타겟 물질과 스퍼터 가스 성분을 화학반응시켜 그들의 화합물을 형성하는 리액티브 스퍼터링법이나, 성막 중에 기판에도 전압을 가하는 바이어스 스퍼터링법 등을 사용해도 된다.

[0124] 이때, 트랜지스터(207)의 채널층으로서 사용하는 반도체 재료로서는, 산화물 반도체에 한정되지 않는다. 예를 들면, 실리콘층(아모퍼스 실리콘층, 미결정 실리콘층, 다결정 실리콘층 또는 단결정 실리콘층)을 트랜지스터(207)의 채널층으로서 사용해도 된다. 그 밖에도, 트랜지스터(207)의 채널층으로서, 투광성을 갖는 유기 반도체 재료, 카본 나노튜브, 갈륨 비소나 인듐 인 등의 화합물 반도체를 사용해도 된다.

[0125] 이때, 반도체층(203)을 형성한 후, 질소 분위기 하 또는 대기 분위기 하에서, 100℃~600℃, 대표적으로는 200℃~400℃의 열처리를 행하는 것이 바람직하다. 예를 들면, 질소 분위기 하에서 350℃, 1시간의 열처리를 행할 수 있다. 이 열처리에 의해 섬 형상의 반도체층(203)의 원자 레벨의 재배열이 행해진다. 이 열처리(광 어닐 등도 포함한다)는, 섬 형상의 반도체층(203) 내부에 있어서의 캐리어의 이동을 저해하는 왜곡을 해방할 수 있는 점에서 중요하다. 이때, 상기한 열처리를 행하는 타이밍은, 반도체층(203)의 형성후이면 특별하게 한정되지 않는다.

[0126] 일례로서는, 이상의 재료를 사용해서 구성함으로써, 반도체장치 또는 표시장치를 제조할 수 있다.

[0128] (실시형태 3)

[0129] 본 실시형태에서는, 표시장치에 대해 설명한다. 본 실시형태에 관한 표시장치는, 영상신호의 입력을 제어하는 기능을 갖는 제1 회로와, 영상신호를 유지하는 기능을 갖는 제2 회로와, 액정소자 등의 표시 소자에 공급되는 전압의 극성을 제어하는 기능을 갖는 제3 회로와, 표시 소자를 포함하는 표시장치이다. 본 실시형태의 표시장치는, 화소에 정보를 기억하는 메모리 기능을 구비하고 있다.

[0130] 도 15에, 표시장치(반도체장치라고 할 수도 있다) 전체의 회로도(블럭도)를 나타낸다. 화소부(1501)에는, 복수의 화소가 매트릭스 모양으로 배치되어 있다. 화소부(1501)의 주변에는, 화소부(1501)를 구동하거나, 혹은 제어하기 위한 회로 1502 및 회로 1503이 배치되어 있다. 더구나, 표시장치는, 회로 1502 및 회로 1503에 신호를 공급하는 회로 1504를 갖는다.

[0131] 회로 1502는, 화소부(1501)에 배치되어 있는 트랜지스터의 게이트의 전위를 제어하는 기능을 갖는 것이 가능하다. 따라서, 회로 1502는, 게이트선 구동회로, 게이트 드라이버, 또는, 스캔 드라이버로 불리는 회로의 기능을 갖는 것이 가능하다. 회로 1503은, 화소부(1501)에 배치되어 있는 트랜지스터의 소스 또는 드레인의 전위를 제어하는 기능을 갖는 것이 가능하다. 또는, 회로 1503은, 화소부(1501)에, 영상신호를 공급하는 기능을 갖는 것이 가능하다. 따라서, 회로 1503은, 소스선 구동회로, 소스 드라이버, 또는, 데이터 드라이버로 불리는 회로의 기능을 갖는 것이 가능하다. 회로 1503은, 아날로그 스위치만을 갖고 회로를 구성하는 것도 가능하다. 회로 1502, 1503에는, 클럭 신호, 스타트 펄스 신호, 래치 신호, 영상신호, 대향 전압 반전신호 등, 다양한 신호가

입력된다. 그러한 신호는, 회로 1504로부터, 회로 1502, 1503에 공급된다. 따라서, 회로 1504는, 콘트롤러, 펄스 제네레이터 등으로 불리는 기능을 갖는 것이 가능하다.

- [0132] 다음에, 화소부(1501)에 배치되는 화소의 예를 도 16에 나타낸다. 도 16은, 1 화소분의 회로도들을 보이고 있다. 화소는, 회로 102, 회로 103, 회로 104, 용량소자 1612, 및 화소 전극을 갖는 표시 소자(1613)를 갖는다. 이때, 본 발명의 실시형태의 일 형태는, 이것들에 한정되지 않는다.
- [0133] 회로 102는, 스위치 1602를 갖는다. 회로 103은, 인버터(1603), 용량소자 1604, 1605를 갖는다. 회로 104는, 스위치 1606, 1607을 갖는다. 여기에서, 인버터(1603)는, 신호를 반전시키는 기능을 구비하고 있어도 되고, 또는, 출력을 하이 임피던스 상태(플로팅 상태)로 하는 기능을 구비하고 있어도 된다.
- [0134] 스위치 1602는, 배선 1601과 접속되어 있다. 용량소자 1605는, 배선 1611과 스위치 1602 사이에 접속되어 있다. 용량소자 1604는, 배선 1610과 인버터(1603)의 출력 단자 사이에 접속되어 있다. 인버터(1603)의 입력 단자는, 스위치 1602에 접속되어 있다. 인버터(1603)의 출력 단자는, 용량소자 1604와 접속되어 있다. 배선 1608과, 배선 1609는, 스위치 1606, 1607을 거쳐, 접속되어 있다. 스위치 1606은, 인버터(1603)의 출력 신호, 또는, 용량소자 1604에 유지된 신호에 의해, 온과 오프(도통과 비도통)가 제어된다. 스위치 1607은, 인버터(1603)의 입력 신호, 또는, 용량소자 1605에 유지된 신호에 의해, 온과 오프(도통과 비도통)가 제어된다. 표시 소자(1613)는, 스위치 1607과 스위치 1606 사이의 노드와, 배선 1615 사이에 접속되어 있다. 용량소자 1612는, 스위치 1607과 스위치 1606 사이의 노드, 또는, 표시 소자(1613)의 화소 전극과, 배선 1614 사이에 접속되어 있다.
- [0135] 도 16의 구성예에 있어서, 용량소자 1612는, 생략하는 것이 가능하다. 또는, 용량소자 1604는, 생략하는 것이 가능하다.
- [0136] 도 16에 나타낸 회로도와, 도 1에 나타낸 단면도를 대응시키면, 일례로서는, 도전층 109는, 대향전극 또는 공통전극에 대응시킬 수 있다. 또한, 도전층 109는 배선 1615와 대응시킬 수 있다. 또는, 표시 소자(1613)는, 매질(107)을 갖는다고 할 수 있다. 또는, 도전층 106은, 화소 전극으로서의 기능을 갖고, 표시 소자(1613)가 갖는 화소 전극과 대응시킬 수 있다.
- [0137] 이때, 배선 1610과 배선 1611을 서로 접속하여, 1개의 배선으로서 형성하는 것이 가능하다. 이때, 배선 1610, 및/또는, 배선 1611을, 배선 1608, 배선 1609 및 배선 1614에 접속함으로써, 1개의 배선으로서 형성하는 것이 가능하다. 이때, 배선 1614는, 배선 1608, 배선 1609, 배선 1610, 또는, 배선 1611에 접속함으로써, 1개의 배선으로서 형성하는 것이 가능하다.
- [0138] 스위치 1602는, 배선 1601에 공급되는 신호를 화소 내(또는, 용량소자 1605, 1604, 인버터(1603))에 입력하는지 아닌지를 제어하는 기능을 갖는 것이 가능하다. 따라서, 스위치 1602는, 스위칭용, 또는, 선택용으로서의 기능을 갖는다고 하는 것이 가능하다.
- [0139] 배선 1601은, 도 15에 나타낸 회로 1503에 전기적으로 접속되어 있다. 따라서, 회로 1503으로부터 배선 1601에, 영상신호가 공급되는 것이 가능하다. 그 때문에, 배선 1601은, 소스선, 소스 신호선, 데이터 선, 데이터 신호선 등으로 불리는 것이 가능하다.
- [0140] 이때, 배선 1601은, 투광성을 갖는 재료로 형성함으로써, 개구율을 높게 할 수 있다. 단, 본 실시형태는, 이것에 한정되지 않는다. 예를 들면, 배선 1601은, 비투광성이며, 도전율이 높은 재료로 형성함으로써, 신호 지연을 저감시키는 것이 가능하다. 또한, 배선 1601을, 도전율이 높은 재료로 이루어진 층과, 투광성을 갖는 재료로 형성된 층의 적층막으로 형성하는 것이 가능하다.
- [0141] 스위치 1602를 거쳐 화소에 입력된 신호는, 용량소자 1605에 유지된다. 용량소자 1605는, 신호를 유지하는 기능을 갖는다. 따라서, 용량소자 1605는, 메모리 인 것이 가능하다. 더구나, 용량소자 1605는, 시간의 경과에 따라, 유지한 신호가 감쇠해 갈 가능성이 있기 때문에, DRAM인 것이 가능하다.
- [0142] 인버터(1603)는, 용량소자 1605에 유지된 신호, 또는, 스위치 1602를 거쳐 배선 1601로부터 공급된 신호를, 반전해서 출력하는 기능을 갖는다. 그리고, 인버터(1603)로부터 출력된 신호는, 용량소자 1604에 유지된다. 더구나, 용량소자 1604는, 시간의 경과에 따라, 유지한 신호가 감쇠해 갈 가능성이 있기 때문에, DRAM인 것이 가능하다.
- [0143] 인버터(1603)가 배치되어 있기 때문에, 통상, 용량소자 1605에 유지된 신호와, 용량소자 1604에 유지된 신호는, 서로 반전된 신호로 되어 있다. 따라서, 한쪽이 H 신호(고레벨의 신호)인 경우에는, 다른 쪽이 L 신호(저레벨의 신호)가 되는 일이 많다. 단, 인버터(1603)가 신호를 출력하지 않는 경우, 예를 들면, 출력이 하이 임피던스 상

태로 되어 있는 경우에는, 이것에 해당하지 않는다.

- [0144] 스위치 1606은, 배선 1608의 전위를, 용량소자 1612, 또는, 표시 소자(1613)에 공급하는지 아닌지를 제어하는 기능을 갖는다. 마찬가지로, 스위치 1607은, 배선 1609의 전위를, 용량소자 1612, 또는, 표시 소자(1613)에 공급하는지 아닌지를 제어하는 기능을 갖는다.
- [0145] 이렇게, 용량소자 1605에 유지된 신호와, 용량소자 1604에 유지된 신호는, 서로 반전되어 있는 경우가 많기 때문에, 스위치 1606과 스위치 1607은, 한쪽이 온 상태(도통 상태)에 있고, 다른 쪽이 오프 상태(비도통 상태)에 있는 일이 많다. 따라서, 그 경우에는, 표시 소자(1613)에는, 배선 1609나 배선 1608 중 어느쪽의 전위가 공급되게 된다. 이때, 배선 1609의 전위와, 배선 1608의 전위가 다르면, 표시 소자(1613)에 공급되는 전위도 다르기 때문에, 표시 소자(1613)를 다른 상태(예를 들면, 투과와 비투과, 발광과 비발광, 명과 암, 산란과 투과) 등으로 제어할 수 있다. 그 때문에, 표시 상태를 바꿀 수 있어, 계조를 표현하여, 화상을 표시하는 것이 가능해진다.
- [0146] 다음에, 도 16에 나타난 회로의 동작의 일례를 나타낸다. 우선, 도 17a에 나타난 것과 같이, 배선 1601로부터 H 신호가 공급되는 것으로 한다. 스위치 1602가 온으로 되어 있으면, 용량소자 1605에, H 신호가 입력된다. 용량소자 1604에는, 인버터(1603)를 거쳐, L 신호가 입력된다.
- [0147] 다음에, 도 17b에 나타난 것과 같이, 스위치 1602가 오프된다. 그러면, 용량소자 1604, 1605에 보존된 신호는, 그대로 유지된다. 용량소자 1604에는, L 신호가 보존되고, 용량소자 1605에는, H 신호가 보존된다. 따라서, 스위치의 제어 단자에, H 신호가 공급되었을 때에 온 상태로 되고, L 신호가 공급되었을 때에는 오프 상태로 되는 것으로 하면, 스위치 1606은 오프되고, 스위치 1607은 온된다. 따라서, 표시 소자(1613)의 화소 전극에는, 배선 1609의 전위 V1이 공급되게 된다. 배선 1615에, 전위 Vcom이 가해지고 있는 것으로 하면, 표시 소자(1613)에는, V1과 Vcom의 차이의 전압이 가해지게 된다. 이때, 전위 V1의 쪽이, 전위 Vcom보다도 크면, 표시 소자(1613)에, 양극성의 전압이 가해지게 된다. 가령, 표시 소자(1613)가, 노멀리 블랙(전압을 공급하지 않을 때에는, 흑 상태가 되는 경우)이면, 표시 소자(1613)는 화이트를 표시하게 된다. 반대로, 표시 소자(1613)가, 노멀리 화이트(전압을 공급하지 않을 때에는, 백 상태가 되는 경우)이면, 표시 소자(1613)는 흑을 표시하게 된다.
- [0148] 다음에, 표시 소자(1613)를 교류 구동할 필요가 있는 경우에는, 즉, 예를 들면, 표시 소자(1613)가 액정소자인 경우에는, 표시 소자(1613)에 음극성의 전압을 가할 필요가 있다. 그 때에는, 도 17c에 나타난 것과 같이, 배선 1609의 전위를, V1으로부터 V2로 변화시킨다. 이때, 전위 V2는, 전위 Vcom보다도 낮은 전위로 되어 있다. 그리고, 일례로서는, V1-Vcom과, Vcom-V2는, 대략 같은 크기로 되어 있다. 그 결과, 표시 소자(1613)에, 음극성의 전압이 가해지게 된다. 그후, 어떤 주기마다, 도 17b와 도 17c를 교대로 반복하는 것에 의해, 표시 소자(1613)를 교류 구동할 수 있다.
- [0149] 이때, 배선 1601로부터, 신호를 고쳐 넣지 않아도, 용량소자 1605, 1604에 신호가 유지되어 있으므로, 도 17b와 도 17c를 교대로 반복함으로써, 표시 소자(1613)를 교류 구동할 수 있다. 그 때문에, 소비 전력을 저감하는 것이 가능해진다. 그리고, 용량소자 1604, 1605의 신호를 리플레쉬할 필요가 생겼을 때, 또는, 신호를 바꾸어 쓸 필요가 생겼을 때에는, 도 17a로 되돌아가, 재차, 배선 1601로부터 신호를 입력한다.
- [0150] 도 17a~도 17c에서는, 배선 1601로부터 H 신호가 입력된 경우의 동작에 대해 서술했지만, L 신호가 입력되는 경우도 같은 동작을 한다. 그 일례를 도 18a~도 18c에 나타낸다.
- [0151] 우선, 도 18a에 나타난 것과 같이, 배선 1601로부터 L 신호가 공급되는 것으로 한다. 스위치 1602가 온으로 되어 있으면, 용량소자 1605에, L 신호가 입력된다. 용량소자 1604에는, 인버터(1603)를 거쳐, H 신호가 입력된다.
- [0152] 다음에, 도 18b에 나타난 것과 같이, 스위치 1602가 오프된다. 그러면, 용량소자 1604, 1605에 보존된 신호는, 그대로 유지된다. 용량소자 1604에는, H 신호가 보존되고, 용량소자 1605에는, L 신호가 보존된다. 따라서, 스위치 1606은 온되고, 스위치 1607은 오프된다. 따라서, 표시 소자(1613)의 화소 전극에는, 배선 1608의 전위 V3이 공급되게 된다. 배선 1615에, 전위 Vcom이 가해지고 있는 것으로 하면, 표시 소자(1613)에는, V3과 Vcom의 차이의 전압이 가해지게 된다. 이때, 전위 V3과 전위 Vcom이 대략 같은 전위이면, 표시 소자(1613)에는, 거의 전압이 가해지지 않게 된다. 가령, 표시 소자(1613)가, 노멀리 블랙(전압을 공급하지 않을 때에는, 흑 상태가 되는 경우)이면, 표시 소자(1613)는 흑을 표시하게 된다. 반대로, 표시 소자(1613)가, 노멀리 화이트(전압을 공급하지 않을 때에는, 백 상태가 되는 경우)이면, 표시 소자(1613)는 화이트를 표시하게 된다.
- [0153] 다음에, 표시 소자(1613)를 교류 구동할 필요가 있는 경우에는, 즉, 예를 들면, 표시 소자(1613)가 액정소자일

경우에는, 도 18c에 나타난 것과 같이, 배선 1609의 전위를, V1으로부터 V2로 변화시킨다. 그러나, 배선 1608의 전위는 변화시키지 않는다. 그 결과, 배선 1609의 전위가 변화하여도, 표시 소자(1613)에는, 거의 전압이 가해지지 않게 된다. 그후, 어떤 주기마다, 도 18b와 도 18c를 교대로 반복하게 된다. 그리고, 용량소자 1604, 1605의 신호를 리플레쉬할 필요가 생겼을 때, 또는, 신호를 바꾸어 쓸 필요가 생겼을 때에는, 도 18로 되돌아가, 재차, 배선 1601로부터 신호를 입력한다.

- [0154] 이렇게, 배선 1601로부터, H 신호를 넣은 경우에도, L 신호를 넣은 경우에도, 교류 구동, 또는, 반전 구동을 행하면서, 표시시킬 수 있다.
- [0155] 이때, 도 17a~도 17c, 및 도 18a~도 18c에 나타난 구동방법에서는, 표시 소자(1613)의 극성을 반전시키는 경우, 즉, 교류 구동을 행하고 있는 경우, 배선 1615의 전위를 변화시키지 않았다. 그러나, 배선 1615의 전위를 변화시킴으로써, 배선 1609의 전위의 진폭(V1과 V2의 차이)을 작게 할 수 있다. 이것은, 배선 1615의 전위, 즉, 대향전극 또는 공통 전극의 전위를 변화시키는 것이며, 공통 반전 구동으로 부르고 있다.
- [0156] 따라서, 공통 반전 구동을 행하는 경우의 동작 방법을, 도 19a~도 19c, 및 도 20a~도 20c에 나타낸다.
- [0157] 우선, 도 19a에 나타난 것과 같이, 배선 1601로부터 H 신호가 공급되는 것으로 한다. 스위치 1602가 온으로 되어 있으면, 용량소자 1605에, H 신호가 입력된다. 용량소자 1604에는, 인버터(1603)를 거쳐, L 신호가 입력된다.
- [0158] 다음에, 도 19b에 나타난 것과 같이, 스위치 1602가 오프된다. 그러면, 용량소자 1604, 1605에 보존된 신호는, 그대로 유지된다. 용량소자 1604에는, L 신호가 보존되고, 용량소자 1605에는, H 신호가 보존된다. 그 때문에, 스위치 1606은 오프되고, 스위치 1607은 온된다. 따라서, 표시 소자(1613)의 화소 전극에는, 배선 1609의 전위 V5가 공급되게 된다. 배선 1615에, 전위 V6이 가해지고 있는 것으로 하면, 표시 소자(1613)에는, V5와 V6의 차이의 전압이 가해지게 된다. 이때, 전위 V5의 쪽이, 전위 V6보다도 크면, 표시 소자(1613)에, 양극성의 전압이 가해지게 된다. 가령, 표시 소자(1613)가, 노멀리 블랙(전압을 공급하지 않을 때에는, 흑 상태가 되는 경우)이면, 표시 소자(1613)는 화이트를 표시하게 된다. 반대로, 표시 소자(1613)가 노멀리 화이트(전압을 공급하지 않을 때에는, 백 상태가 되는 경우)이면, 표시 소자(1613)는 흑을 표시하게 된다.
- [0159] 또한, 이때, 배선 1614에 공급되는 전위는 특정한 값에 한정되지 않는다. 그러나, 배선 1615에 공급되는 전위와 같은 진폭이며, 배선 1614의 전위도 변화시키는 것이 바람직하다. 따라서, 일례로서는, 배선 1614에는, 배선 1615와 같은 전위가 공급되는 것이 바람직하다. 단, 본 실시형태는 이것에 한정되지 않는다.
- [0160] 다음에, 표시 소자(1613)를 교류 구동할 필요가 있는 경우에는, 즉, 예를 들면, 표시 소자(1613)가 액정소자일 경우에는, 표시 소자(1613)에 음극성의 전압을 가할 필요가 있다. 그 때에는, 도 19c에 나타난 것과 같이, 배선 1609의 전위를, V5로부터 V6으로 변화시킨다. 그리고, 배선 1608, 배선 1615 및 배선 1614의 전위를, V6로부터 V5로 변화시킨다. 이때, 전위 V6은, 전위 V5보다도 낮은 전위로 되어 있다. 그 결과, 표시 소자(1613)에, 음극성의 전압이 가해지게 된다. 그후, 어떤 주기마다, 도 19b와 도 19c를 교대로 반복함으로써, 표시 소자(1613)를 교류 구동할 수 있다. 그리고, 용량소자 1604, 1605의 신호를 리플레쉬할 필요가 생겼을 때, 또는, 신호를 바꾸어 쓸 필요가 생겼을 때에는, 도 19a로 되돌아가, 재차, 배선 1601로부터 신호를 입력한다.
- [0161] 이때, 배선 1615의 전위도 변화시키기 때문에, 배선 1609의 전위의 변화량(진폭)을 작게 할 수 있다. 그 때문에, 소비 전력을 저감하는 것이 가능해진다.
- [0162] 도 19a~도 19c에서는, 배선 1601로부터 H 신호가 입력된 경우의 동작에 대해서 서술했지만, L 신호가 입력되는 경우도 같은 동작을 한다. 그것의 일례를 도 20a~도 20c에 나타낸다.
- [0163] 우선, 도 20a에 나타난 것과 같이, 배선 1601로부터 L 신호가 공급되는 것으로 한다. 스위치 1602가 온으로 되어 있으면, 용량소자 1605에, L 신호가 입력된다. 용량소자 1604에는, 인버터(1603)를 거쳐, H 신호가 입력된다.
- [0164] 다음에, 도 20b에 나타난 것과 같이, 스위치 1602가 오프된다. 그러면, 용량소자 1604, 1605에 보존된 신호는, 그대로 유지된다. 용량소자 1604에는, H 신호가 보존되고, 용량소자 1605에는, L 신호가 보존된다. 따라서, 스위치 1606은 온되고, 스위치 1607은 오프된다. 따라서, 표시 소자(1613)의 화소 전극에는, 배선 1608의 전위 V6이 공급되게 된다. 배선 1615에, 전위 V6이 가해지고 있는 것으로 하면, 표시 소자(1613)에는, 거의 전압이 가해지지 않게 된다. 가령, 표시 소자(1613)가 노멀리 블랙(전압을 공급하지 않을 때에는, 흑상태가 되는 경우)이면, 표시 소자(1613)는 흑을 표시하게 된다. 반대로, 표시 소자(1613)가 노멀리 화이트(전압을 공급하지 않을

때에는, 백 상태가 되는 경우)이면, 표시 소자(1613)는 화이트를 표시하게 된다.

- [0165] 다음에, 표시 소자(1613)를 교류 구동할 필요가 있는 경우에는, 즉, 예를 들면, 표시 소자(1613)가 액정소자인 경우에는, 도 20c에 나타난 것과 같이, 배선 1609의 전위를, V5로부터 V6으로 변화시킨다. 더구나, 배선 1608, 배선 1614 및 배선 1615의 전위를, V6로부터 V5로 변화시킨다. 그 결과, 배선 1614의 전위가 변화하여도, 표시 소자(1613)에는, 거의 전압이 가해지지 않게 된다. 그후, 어떤 주기마다, 도 20b와 도 20c를 교대로 반복하게 된다. 그리고, 용량소자 1604, 1605의 신호를 리플레쉬할 필요가 생겼을 때, 또는, 신호를 바꾸어 쓸 필요가 생겼을 때에는, 도 20a로 되돌아가, 재차, 배선 1601로부터 신호를 입력한다.
- [0166] 이렇게, 배선 1601로부터, H 신호를 넣은 경우에도, L 신호를 넣은 경우에도, 교류 구동, 또는, 반전 구동을 행하면서, 표시시킬 수 있다. 그리고, 영상신호의 진폭을 작게 할 수 있다. 더구나, 영상신호를 다시 입력하지 않아도, 반전 구동을 행할 수 있기 때문에, 소비 전력을 저감할 수 있다.
- [0168] (실시형태 4)
- [0169] 본 실시형태에서는, 표시장치(반도체장치)가 갖는 회로에 대해, 도면을 참조해서 설명한다.
- [0170] 도 21a~도 21e에, 도 16 등에 나타난 인버터(1603)의 구체예에 대해 나타낸다. 도 21a는, 인버터(1603)를 CMOS 구성으로 한 경우의 예를 나타낸다. P채널형 트랜지스터(2101)와 N채널형 트랜지스터(2102)가, 배선 2104와 배선 2103 사이에, 직렬로 접속되어 있다. 이 CMOS구성은, 배선 2103에 낮은 전압이 공급되는 기능을 갖고, 배선 2104에 높은 전압이 공급되는 기능을 갖는다. 이러한 CMOS 구성으로 함으로써, 관통 전류를 저감할 수 있기 때문에, 소비 전력을 낮게 할 수 있다.
- [0171] 이때, 배선 2103, 또는, 배선 2104에는, 시간적으로 변화하지 않는 전압을 공급하는 것이 가능하지만, 이것에 한정되지 않고, 펄스형의 신호를 가하는 것이 가능하다.
- [0172] 이때, 반도체층으로서, 다결정 실리콘 반도체를 사용하는 경우 뿐만 아니라, 산화물 반도체를 사용하는 경우도, P채널형의 트랜지스터를 구성하는 것이 가능하다. 예를 들면, 억셉터가 되는 도펀트(예를 들면, N, B, Cu, Li, Na, K, Rb, P, As, 및 이들의 혼합물)를 사용한 치환 도핑에 의해, 다양한 P형 도펀트와 도핑법을 이용해서 P형 아연 산화물막을 실현할 수 있다. 단, 본 실시형태는, 이것에 한정되지 않는다.
- [0173] 도 21b에는, P채널형 트랜지스터(2101) 대신에, 저항소자(2101a)가 사용된 인버터(1603)의 구체예를 나타낸다. 저항소자(2101a)로서, N채널형 트랜지스터(2102)가 갖는 반도체층과 같은 레이어의 반도체층을 사용하는 것이 가능하다. 따라서, 예를 들면, 산화물 반도체를 사용하여, 저항소자(2101a)를 형성하는 것이 가능하다. 그 경우, N채널형 트랜지스터(2102)가 갖는 채널층으로서 사용되는 산화물 반도체층과, 저항소자(2101a)로서 사용되는 산화물 반도체층은, 같은 레이어에 존재하는 층으로 구성하는 것이 가능하다.
- [0174] 도 21c에는, P채널형 트랜지스터(2101) 대신에, 트랜지스터 2101b가 사용된 인버터(1603)의 구체예를 나타낸다. 트랜지스터 2101b는, 다이오드 접속되어 있다. 이때, 트랜지스터 2101b를 디플리션형(노멀리 온)의 트랜지스터로 하여, 게이트와 소스 사이의 전압이 0V 이하라도, 온되어 전류가 흐르도록 하는 것이 가능하다. 이때, N채널형 트랜지스터(2102)와 트랜지스터 2101b는, 같은 극성이기 때문에, 프로세스 공정을 저감하는 것이 가능해진다.
- [0175] 도 21d에는, 부트스트랩 기능을 갖는 인버터(1603)의 일례를 나타낸다. 트랜지스터 2101c, 트랜지스터 2101d, 트랜지스터 2102a 및 트랜지스터 2102b를 갖는다. 그리고, 트랜지스터 2101d의 게이트의 전위를, 부트스트랩 동작에 의해, 충분히 높게 되도록 한다. 그 결과, 배선 2104b의 전위를, 그대로 출력시킬 수 있다. 이때, 도 21d의 인버터(1603)는, 배선 2103a 및 배선 2103b에는 낮은 전압이 공급되는 기능을 갖고, 배선 2104a, 및 배선 2104b에는, 높은 전압이 공급되는 기능을 갖는다. 이때, 배선 2103a와 배선 2103b를 접속시켜, 1개의 배선으로 합쳐도 된다. 마찬가지로, 배선 2104a와 배선 2104b를 접속시켜, 1개의 배선으로 합쳐도 된다. 이때, 트랜지스터 2101c, 2102a, 2102b, 2101d는, 같은 극성이기 때문에, 프로세스 공정을 저감하는 것이 가능해진다.
- [0176] 이때, 도 21b로부터 도 21d까지에 있어서, 트랜지스터가 N채널형인 경우에 대해서 서술했지만, 이것에 한정되지 않는다. P채널형으로 한 경우도, 마찬가지로 형성할 수 있다. 일례로서, 도 21c의 트랜지스터 2101b, 2102를 P채널형으로 한 경우의 예를, 도 21e에 나타낸다. P채널형 트랜지스터 2101p, 및 P채널형 트랜지스터 2102p를 사용해서 인버터를 구성하고 있다.

- [0177] 다음에, 도 16 등에 나타난 스위치 1602, 1606, 1607 등의 구체예에 대해서 나타낸다. 스위치 1602, 1606, 1607은, 아날로그 스위치, 또는, 트랜스퍼 게이트로 불리는 것이 가능하다. 도 22a~도 22d에 스위치 1602의 구성예를 나타낸다. 이때, 다른 스위치 1606, 스위치 1607 등도 스위치 1602와 마찬가지로 구성할 수 있다.
- [0178] 도 22a는, CMOS 구성에 의한 스위치 1602의 구성예를 나타낸다. 스위치 1602를, P채널형 트랜지스터(2202)와 N채널형 트랜지스터(2201)를 병렬로 접속시킴으로써 구성하고 있다. 이때, P채널형 트랜지스터(2202)의 게이트와 N채널형 트랜지스터(2201)의 게이트에는, 서로 반전된 신호를 공급되는 것이 바람직하다. 그것에 의해, P채널형 트랜지스터(2202) 및 N채널형 트랜지스터(2201)를, 동시에 온 오프할 수 있다. 이러한 CMOS 구성으로 함으로써, P채널형 트랜지스터(2202) 및 N채널형 트랜지스터(2201)의 게이트에 공급하는 전압의 진폭값을 작게 할 수 있다. 따라서, 소비 전력을 저감하는 것이 가능해 진다.
- [0179] 도 22b에는, P채널형 트랜지스터를 사용하지 않고, N채널형 트랜지스터(2201)를 사용한 스위치 1602의 구성예를 나타낸다. 도 22c에는, 멀티 게이트 구조의 N채널형 트랜지스터(2201)로 설치된 스위치 1602의 구성예를 나타낸다.
- [0180] 이때, 도 22b, 도 22c의 구성예에서는 트랜지스터 2201이 N채널형이지만, 스위치 1602의 구성은 이것에 한정되지 않는다. 예를 들면, P채널형의 트랜지스터로도, 마찬가지로 스위치를 구성할 수 있다. 일례로서, 도 22b의 N채널형 트랜지스터(2201)를 P채널형로 한 경우의 스위치 1602의 구성예를, 도 22d에 나타낸다. P채널형 트랜지스터 2201p를 사용해서 스위치 1602가 구성되어 있다.
- [0181] 다음에, 도 21a~도 21e 및 도 22a~도 22d에 나타난 회로를 사용하여, 도 16 내지 도 20c에 개시되어 있는 회로를 구성한 경우의 일례를, 도 23에 나타낸다. 도 23에서는, 스위치 1602, 1606, 1607은, 도 22b의 회로로 구성되고, 인버터(1603)는 도 21c의 회로로 구성되어 있다. 따라서, 도 23의 회로는, 모두 같은 극성의 트랜지스터를 사용해서 구성되게 된다. 그 때문에, 프로세스 공정수를 저감하는 것이 가능해 진다. 물론, 본 실시형태는, 이것에 한정되지 않고, 다른 구성을 적용하는 것도 가능하다.
- [0182] 도 23의 회로에서는, 트랜지스터 1602a의 게이트는 배선 2301과 접속되어 있다. 배선 2301은, 도 15에 있어서의 회로 1502와 접속되어 있는 것이 가능하다. 따라서, 회로 1502로부터 배선 2301에, 선택신호가 공급되는 것이 가능하다. 그 때문에, 배선 2301은, 게이트 선, 게이트 신호선, 스캔선, 스캔 신호선 등으로 불리는 것이 가능하다.
- [0183] 이때, 배선 2301로서, 투광성을 갖는 재료로 형성되어 있는 배선을 사용함으로써, 개구율을 높게 할 수 있다. 단, 본 실시형태는, 이것에 한정되지 않는다. 예를 들면, 배선 2301은, 비투광성이며, 도전율이 높은 재료로 형성함으로써, 신호 지연을 저감시키는 것이 가능하다. 이때, 배선 2301을, 도전율이 높은 재료로 형성하는 경우, 투광성을 갖는 재료로 형성된 층을 사용하여, 다층 상태로서, 배선을 형성하는 것이 가능하다.
- [0184] 그리고, 도 23에서는, 표시 소자(1613)로서, 액정소자(1613a)가 사용되고 있다. 스위치 1602, 스위치 1606, 스위치 1607로서, 각각, 트랜지스터 1602a, 트랜지스터 1606a, 트랜지스터 1607a를 배치했다.
- [0185] 이때, 도 23에서는, 용량소자 1605와 용량소자 1604는, 어느쪽도, 배선 1610에 접속되어 있다. 즉, 배선 1611을 생략하고, 배선 1610에 합쳤다고 할 수 있다.
- [0186] 이때, 도 23에서는, 용량소자 1612는, 생략하였지만, 설치해도 된다.
- [0187] 이때, 배선 2103은, 배선 1610과 접속하여, 한개의 배선으로 합쳐도 된다.
- [0188] 도 23에서는, 인버터(1603)로서, 도 21c의 구성이 사용되고 있다. 이 경우, 인버터(1603)에 입력되는 신호에 따라서는, 트랜지스터 2101b, 2102에 전류가 계속해서 흐를 가능성이 있다. 즉, 인버터(1603)에 관통 전류가 흐를 가능성이 있다. 그 경우, 인버터(1603)에서 여분의 전력을 소비해 버릴 우려가 있다.
- [0189] 따라서, 구동방법을 연구함으로써, 관통 전류를 저감하는 것이 가능하다. 도 24 내지 도 27에, 인버터(1603)의 관통 전류를 저감하는 경우의 구동방법을 나타낸다. 아이디어로서, 배선 2104의 전위를, 쪽 높은 전위인 채로 해 두는 것이 아니고, 계속하여 높은 것이 불필요해지면, 전위를 낮추도록 한다는 것이다. 그 결과, 트랜지스터 2101b가 오프되어, 관통 전류가 흘러 버리는 것을 저감할 수 있다. 그 경우, 출력이 하이 임피던스 상태로 되는 경우가 있다.
- [0190] 우선, 도 24에 나타난 것과 같이, 배선 1601로부터, 트랜지스터 1602a를 통해, H 신호를 입력한다. 이때, 배선 2104의 전위 V7은, 배선 2103의 전위보다도 높아지고 있다. 그러면, N채널형 트랜지스터(2102)가 온되어, 용량

소자 1604에, L 신호를 출력한다. 이때, 트랜지스터 2101b도 온되지만, 온 저항의 차이에 의해, L 신호가 출력된다. 그때, 관통 전류는 계속해서 흐른다. 그것을 위해서는, N채널형 트랜지스터(2102)의 채널 폭 W와 채널 길이 L의 비인 W/L이, 트랜지스터 2101b의 W/L보다도, 큰 것이 바람직하다.

- [0191] 다음에, 도 25에 나타난 것과 같이, 배선 2104의 전위를 전위 V8으로 하강시킨다. 여기에서,  $V7 > V8$ 이며, 전위 V8은, 배선 2103의 전위와 대략 동일하다. 그 결과, 트랜지스터 2101b가 오프하기 때문에, 관통 전류가 흐르는 것을 저감할 수 있다. 그리고, 용량소자 1604가 유지하는 신호는, L 신호인 채로 유지된다.
- [0192] 또한, 이때, 트랜지스터 1602a도 오프로 되고 있지만, 트랜지스터 1602a가 오프로 되는 타이밍은, 배선 2104의 전위를 변화시킬 때의, 앞이라도, 뒤라도, 또는, 동시라도, 어느쪽이라도 가능하다.
- [0193] 이때, 이 때의 배선 2104의 전위 V8은, 배선 2103의 전위와 같은 정도이면 된다. 전위 V8은, 배선 2103의 전위보다도 트랜지스터 2101b의 임계전압분만큼 높아진 위보다도 낮으면 된다. 더욱 바람직하게는, 배선 2103의 전위로 같은 것이 바람직하다. 그 결과, 필요하게 되는 전위의 수를 절감할 수 있어, 장치를 소형화하는 것이 가능해진다.
- [0194] 도 24, 도 25에는, 배선 1601로부터 H 신호가 입력된 경우를 나타내지만, L 신호가 입력되는 경우도 동일하며, 그 경우를 도 26, 도 27에 나타낸다. 우선, 도 26에 나타난 것과 같이, 배선 1601로부터, 트랜지스터 1602a를 통해, L 신호를 입력한다. 이때, 배선 2104의 전위 V7은, 배선 2103의 전위보다도 높아져 있다. 그리고, N채널형 트랜지스터(2102)가 오프되어 있기 때문에, 트랜지스터 2101b가 온되어, 용량소자 1604에, H 신호를 출력한다. 이 때, N채널형 트랜지스터(2102)가 오프되어 있기 때문에, 관통 전류는 흐르지 않는다. 이때, 이 때의 H 신호는, 배선 2104의 전위 V7보다도, 트랜지스터 2101b의 임계전압분만큼 낮은 전위가 되지만, 트랜지스터 1606a가 온되는 전압이면, 동작에는 문제는 없다.
- [0195] 다음에, 도 27에 나타난 것과 같이, 배선 2104의 전위를 전위 V8으로 하강시킨다. 여기에서,  $V7 > V8$ 이다. 그 결과, 트랜지스터 2101b가 오프된다. 그리고, 용량소자 1604가 유지하는 신호는, H 신호인 채로 유지된다. 이때, 인버터(1603)의 출력은, 하이 임피던스 상태에 있다고 말하는 것이 가능하다.
- [0196] 이렇게, 인버터(1603)가, 신호를 출력하지 않으면 안될 때에만, 즉, 용량소자 1604의 신호를 바꾸어 쓸 필요가 있을 때에만, 배선 2104의 전위를 높게 해 두고, 인버터(1603)가 신호를 출력할 필요가 없는 경우에는, 배선 2104의 전위를 낮게 함으로써, 인버터(1603) 내부의 관통 전류를 저감할 수 있다. 그 때문에, 소비 전력을 저감할 수 있다.
- [0197] 이때, 도 24 내지 도 27에서는, 구동방법을 연구함으로써, 인버터(1603)의 관통 전류를 저감하도록 하였지만, 본 실시형태는, 이것에 한정되지 않는다. 인버터(1603)의 회로 구성을 일부 변경함으로써, 관통 전류를 저감하는 것이 가능하다. 그 경우의 일례를 도 28a~도 28d에 나타낸다.
- [0198] 도 28a에는, 배선 2104와 인버터(1603)의 출력 단자 사이에, 트랜지스터 2101b와 직렬로 접속한 스위치 2802a를 배치한 경우의 인버터(1603)의 구성예를 나타낸다. 이때, 스위치 2802a는, 트랜지스터 2101b와 인버터(1603)의 출력 단자 사이에 접속해도 되고, 배선 2104와 트랜지스터 2101b 사이에 접속해도 된다. 따라서, 도 28a에 대하여, 스위치 2802a를 트랜지스터 2802로 구성한 경우의 인버터(1603)의 회로도도 도 28b에 나타낸다. 또한, 도 28b의 트랜지스터 2802의 접속 개소를 변경한 경우의 구성예를, 도 28c에 나타낸다. 이들과 같은 회로 구성을 사용하여, 트랜지스터 2802의 게이트의 전위를 제어하여, 온 오프를 제어함으로써, 관통 전류를 저감하는 것이 가능하다. 이 경우, 배선 2104의 전위를 변화시키는 것과 마찬가지로, 트랜지스터 2802의 게이트의 전위를 제어하면 된다.
- [0199] 이 경우에 있어서도, 도 24 내지 도 27과 같이, 배선 2104의 전위를 변화시키도록 해도 된다. 그러나, 배선 2104의 전위를 일정한 채로 해 두어도, 트랜지스터 2802기 관통 전류를 저감할 수 있기 때문에, 문제는 없다.
- [0200] 도 28a 내지 도 28c에서는, 배선 2104와 인버터(1603)의 출력 단자 사이에, 트랜지스터를 배치했지만, 이것에 한정되지 않고, 인버터(1603)의 출력 단자와 배선 2103 사이에, 트랜지스터를 배치하는 것도 가능하다. 도 28d에는, 도 28b의 회로에 대하여, 더구나, 트랜지스터 2803을 N채널형 트랜지스터(2102)와 직렬로 접속한 경우의 인버터(1603)의 구성예를 나타낸다. 이때, 도 28c와 같이 트랜지스터 2803을 배치하는 위치를 변경하여, P채널형 트랜지스터(2101)와 배선 2103 사이에 배치하는 것이 가능하다.
- [0201] 이때, 트랜지스터 2802, 2803의 게이트에 접속된 배선 2801은, 도 23에 있어서의 배선 2301에 접속하는 것이 가능하다. 이에 따라, 트랜지스터 1602a가 온되어 있을 때에만, 트랜지스터 2802, 2803이 온되도록 할 수 있다.



그 때문에, 인버터(1603)의 동작이 불필요할 때에는, 관통 전류를 저감할 수 있다. 더구나, 배선 2301과 접속시킴으로써, 별도 배선을 설치하는 경우와 비교하여, 배선의 수를 저감할 수 있다. 단, 본 실시형태는, 이것에 한정되지 않는다.

[0202] 도 28d의 인버터(1603)는, 트랜지스터 2802, 2803을 제어함으로써, 신호를 출력할지, 하이 임피던스 상태로 할지를 제어할 수 있기 때문에, 클록드 인버터로 부르는 것도 가능하다.

[0204] (실시형태 5)

[0205] 본 실시형태에서는, 표시장치(반도체장치)가 갖는 회로에 대해서, 도면을 참조해서 설명한다.

[0206] 도 29에, 도 16에 나타낸 회로의 일부가 변경된 회로의 구성예를 나타낸다. 도 29의 회로는, 도 16의 회로에 스위치 2901 및 스위치 2902가 추가된 회로에 대응한다.

[0207] 스위치 2902는, 표시 소자(1613)와, 배선 1601의 도통 또는 비도통을 제어하는 기능을 갖는다. 따라서, 스위치 2902를 온으로 함으로써, 배선 1601에 공급되는 신호를, 직접, 표시 소자(1613)에 공급할 수 있다. 그 때문에, 통상, 배선 1601에 공급되는 신호는, 디지털 신호인 경우가 많지만, 그 신호가 아날로그 신호인 경우, 표시 소자(1613)에 아날로그 신호를 직접 입력하는 것이 가능해 지기 때문에, 아날로그 계조로 표시하는 것이 가능해진다.

[0208] 한편, 스위치 2901은, 배선 1608 및 배선 1609의 전위가, 표시 소자(1613)에 공급되지 않도록 제어하는 기능을 갖는다. 스위치 2902가 온으로 되어, 배선 1601로부터 표시 소자(1613)에 신호를 공급하고 있을 때, 또는, 그후, 스위치 2902가 오프되어, 표시 소자(1613)에, 아날로그 신호가 유지되어 있을 때에, 배선 1608 또는 배선 1609의 전위가 표시 소자(1613)에 공급되어 버리면, 표시 소자(1613)에 유지되는 신호 값이 바뀌어 버린다. 그 때문에, 그러한 사태를 방지하기 위해, 스위치 2901을 온 오프시킨다. 그리고, 스위치 1602를 거쳐 신호가 입력된 경우에는, 스위치 2901을 온으로 해서, 배선 1608 또는 배선 1609의 전위가 표시 소자(1613)에 공급되도록 한다. 이러한 구성으로 함으로써, 표시 품위의 향상과, 소비 전력의 저감을 양립하는 것이 가능해진다. 단, 본 실시형태는, 이것들에 한정되지 않는다.

[0209] 다른 구성예로서, 1 화소로 표시할 수 있는 계조수, 즉, 비트수를 증가시킨 경우의 예를 도 30, 도 31에 나타낸다. 도 16에서는, 화소에 유지되는 영상신호의 비트수는 1비트이었다. 따라서, 2계조를 표시하게 된다. 따라서, 다계조화를 실현하기 위해, 1화소에 복수의 부화소(서브 픽셀)를 설치한다. 복수의 부화소를 설치하여, 표시 소자의 표시 면적을 제어함으로써, 면적계조법을 사용하여, 다계조화를 도모할 수 있게 된다.

[0210] 도 30에서는, 배선 2301을 사용하여, 2개의 부화소에 동시에 영상신호를 입력하는 경우의 회로도도 나타낸다. 동시에 신호를 입력하기 위해, 배선 1601 이외에, 배선 1601a를 설치하여, 배선 1601이나 배선 1601a의 어느쪽인가에 공급된 신호를, 각각의 부화소에 입력하도록 되어 있다.

[0211] 한편, 도 31에, 배선 2301과 배선 2301a를 사용하여, 2개의 부화소에, 순차 영상신호를 입력하는 경우의 회로도도 나타낸다. 영상신호는, 한쪽의 부화소에는 배선 2301로부터 입력되고, 또 한쪽의 부화소에는 배선 2301a로부터 입력된다. 영상신호를 순차 입력하기 때문에, 배선 1601로부터, 각각의 부화소에 순차 신호를 입력할 수 있다.

[0212] 이때, 도 30 및 도 31에서는, 1화소에 2개의 부화소를 설치하는 경우의 예를 나타내지만, 비트수는 2에 한정되지 않는다. 더구나 비트수를 늘리는 것이 가능하다. 특히, 트랜지스터, 용량소자가, 투광성을 갖는 재료를 사용해서 구성되는 경우에는, 비트수를 늘려도, 개구율의 저하에 영향을 미치지 않기 때문에, 용이하게 비트수를 늘릴 수 있다.

[0213] 이때, 배선 2103, 1610, 1611, 1614, 1609, 1608, 2104 등은, 복수의 부화소 사이에서, 공유하여, 합치는 것이 가능해진다. 그것에 의해, 배선수를 저감하는 것이 가능해진다.

[0214] 다른 구성예로서, 회로 104의 일부를 변경한 경우를 도 42에 나타낸다. 스위치 1606과 직렬로 스위치 4206을 설치한다. 또는, 스위치 1607과 직렬로 스위치 4207을 설치한다. 도 42에는, 스위치 4206 및 스위치 4207의 양쪽을 설치한 경우를 나타낸다. 스위치 4206, 및/또는, 스위치 4207의 온 오프를 제어함으로써, 배선 1608 또는 배선 1609의 전위를, 스위치 1606 또는 스위치 1607의 온 오프에 무관하게, 표시 소자(1613)에 공급되지 않도록 할 수 있다.

- [0215] 더구나 다른 변형예로서, 회로 104의 일부를 변경한 경우를 도 43에 나타낸다. 도 43은, 도 16에 있어서의 스위치 1607과 배선 1609를, 2개로 나눈 것에 해당한다. 배선 1609a에는, 양극용의 전압이 공급되고, 배선 1609b에는, 음극용의 전압이 공급되고 있다. 배선 1608에는, 표시 소자(1613)에 전압이 공급되지 않도록 하는 전압, 예를 들면, 배선 1615와 대략 같은 전압이 공급되고 있다. 표시 소자(1613)와, 배선 1609a 사이에, 스위치 1607과 스위치 4307a가, 직렬로 접속되어 있다. 마찬가지로, 표시 소자(1613)와, 배선 1609b 사이에, 스위치 1607b와 스위치 4307b가, 직렬로 접속되어 있다. 이때, 이들 스위치는, 직렬로 접속되어 있으면, 다른 구성으로 접속하는 것이 가능하다. 그리고, 동작의 일례로서는, 스위치 4307a와 스위치 4307b가, 교대로 온 오프를 한다. 즉, 스위치 4307a가 온일 때에는, 스위치 4307b는 오프가 되고, 스위치 4307a가 오프일 때에는, 스위치 4307b는 온이 된다. 그 결과, 반전 구동을 행할 수 있다.
- [0216] 이때, 도 43에서는, 용량소자 1612를 설치하지 않는 구성을 나타내고 있지만, 설치하는 것도 가능하다.
- [0218] (실시형태 6)
- [0219] 본 실시형태에서는, 표시장치(반도체장치)가 갖는 회로에 대해서, 도면을 참조해서 설명한다.
- [0220] 도 32는, 도 23에 나타난 회로의 레이아웃 예를 나타낸 평면도다. 도 32의 트랜지스터 및 용량소자에는, 각각, 도 2에 나타난 트랜지스터(207), 및 용량소자 208의 구조가 적용되어 있다. 또한, 콘택 구조는, 도 13에 나타난 콘택 구조 1302와 같이, 절연층 202에 콘택홀을 열고, 도전층 204a와 도전층 201a를 직접 접속하는 구조로 하고 있다. 이러한 콘택 구조로 함으로써, 화소의 개구율을 향상시킬 수 있다. 또는, 콘택 저항을 낮게 할 수 있어, 전압강하를 저감할 수 있다. 또는, 레이아웃 면적을 작게 할 수 있으므로, 보다 많은 회로를 배치하는 것이 가능해 진다. 단, 본 실시형태는, 이것에 한정되지 않는다. 다양한 트랜지스터 구조, 콘택 구조, 용량 소자의 구조 등을 사용하는 것이 가능하다.
- [0221] 도 32에 나타난 것과 같이, 콘택홀 3201b는, 트랜지스터 1602a의 드레인 전극(소스 전극)과, N채널형 트랜지스터(2102)의 게이트 전극을 접속하고 있다. 마찬가지로, 콘택홀 3201a는, 트랜지스터 2101b의 드레인 전극(소스 전극)과, 게이트 전극을 접속하고 있다.
- [0222] 더구나, 콘택홀 3202는, 트랜지스터 1607a의 드레인 전극(소스 전극)(또는, 트랜지스터 1606a의 드레인 전극(소스 전극))과, 화소 전극(3203)을 접속하고 있다.
- [0223] 도 32에 나타난 것과 같이, 트랜지스터, 용량소자, 배선 등을, 투광성을 갖는 재료를 사용하여, 형성하는 것이 가능하다. 그 결과, 개구율을 높게 할 수 있다. 단, 본 발명의 실시형태의 일 형태는, 이것에 한정되지 않는다. 예를 들면, 배선에 대해서, 투광성을 갖지 않는 재료로 형성하는 것이 가능하다. 그 경우의 예를 도 33에 나타낸다.
- [0224] 도 33에서는, 배선 1601, 배선 2301, 배선 2104는, 도전율이 높은 재료를 갖고 구성되어 있다. 따라서, 투광성을 갖지 않고 있다. 이들 배선에는, 주파수가 높은 신호가 공급된다. 따라서, 도전율이 높은 재료를 갖고 구성함으로써, 신호 파형의 왜곡을 저감하는 것이 가능해 진다.
- [0225] 도 34a~도 34c를 사용하여, 도 33의 트랜지스터 1602a, 배선 1601, 배선 2103의 일부의 구성예를 설명한다. 도 34a는 이 구성예의 평면도다. 도 34c는, 도 34a의 절단선 AB에 따른 단면 구조의 일례를 나타낸 도면이고, 도 34c는, 동 절단선에 따른 단면 구조의 다른 일례를 나타낸 도면이다.
- [0226] 도 34b에서는, 배선 1601은, 도전층 204ab과 도전층 204aa의 적층으로 되어 있다. 여기에서, 도전층 204ab은, 비투광성이며, 도전율이 높은 재료를 갖고 구성되어 있다. 도전층 204aa는, 투광성을 갖는 재료로 구성되어 있다. 마찬가지로, 배선 2103은, 도전층 201ab과 도전층 201aa의 적층으로 되어 있다. 여기에서, 도전층 201ab은, 비투광성이며, 도전율이 높은 재료를 갖고 구성되어 있다. 도전층 201aa는, 투광성을 갖는 재료로 구성되어 있다. 이렇게, 비투광성을 갖는 층의 아래에는, 투광성을 갖는 층을 배치하는 것이 가능하다. 이 경우, 다계조 마스크(하프톤 마스크 또는 그레이톤 마스크라고도 한다)를 사용하여, 마스크(레티클) 수를 저감하는 것이 가능하다. 예를 들면, 도전층 201aa와 도전층 201ab를 연속적으로 성막하고, 동시에 그들 층을 에칭하고, 레지스트를 애싱하는 것 등의 처리를 행하여, 도전층 201ab만을 에칭함으로써, 1매의 마스크로, 투광성을 갖는 영역과 비투광성을 갖는 영역을 갖는 패턴을 형성하는 것이 가능하다.
- [0227] 단, 본 실시형태는 이것들에 한정되지 않는다. 도 34c에 나타난 것과 같이, 도전층 201bb의 아래에, 도전층 201ba가 존재하지 않는 영역을 갖도록 배치하는 것, 도전층 204bb의 아래에, 도전층 204ba가 존재하지 않는 영

역을 갖도록 배치하는 것도 가능하다.

- [0228] 이때, 도 34b, 도 34c에서는, 투광성을 갖는 층(도전층 201aa, 204aa, 201ba, 204ba 등)의 위에, 비투광성을 갖는 층(도전층 201ab, 204ab, 201bb, 204bb 등)을 설치하는 구성으로 되어 있지만, 본 실시형태는 이것에 한정되지 않는다. 예를 들면, 반대의 순서로 층을 형성하는 것이 가능하다. 또는, 투광성을 갖는 층을, 비투광성을 갖는 층으로 끼우도록 하는 층 구조로 하는 것도 가능하다.
- [0229] 이때, 도 34b에 나타난 것과 같이, 비투광성을 갖는 층의 아래에는, 투광성을 갖는 층을 배치하도록 해서 도전층을 형성하고, 그들 층을 사용하여, 트랜지스터나 용량소자를 구성하는 것이 가능하다. 그러한 층 구조를 사용하여, 도 2에 나타난 것과 같은 구조로 트랜지스터 및 용량소자를 구성한 경우의 단면도의 일례를, 도 35에 나타낸다.
- [0230] 게이트 전극은, 도전층 201ca, 201cb를 사용해서 구성된다. 도전층 201ca는, 투광성을 갖고, 도전층 201cb은, 비투광성을 갖고, 도전율이 높다. 소스 전극(드레인 전극)은, 도전층 204ca, 204cb를 사용해서 구성된다. 도전층 204ca는, 투광성을 갖고, 도전층 204cb은, 비투광성을 갖고, 도전율이 높다. 드레인 전극(소스 전극)은, 도전층 204da, 204db를 사용해서 구성된다. 도전층 204da는, 투광성을 갖고, 도전층 204db은, 비투광성을 갖고, 도전율이 높다. 용량소자의 전극은, 도전층 201da, 201db를 사용해서 구성된다. 도전층 201da는, 투광성을 갖고, 도전층 201db은, 비투광성을 갖고, 도전율이 높다. 용량소자의 전극은, 도전층 204ea, 204eb를 사용해서 구성된다. 도전층 204ea는, 투광성을 갖고, 도전층 204eb은, 비투광성을 갖고, 도전율이 높다.
- [0231] 마찬가지로, 도 34c에 나타난 것과 같이, 비투광성을 갖는 층의 아래에는, 투광성을 갖는 층을 배치하지 않는 영역을 갖도록 해서 도전층을 형성하고, 그들 층을 사용하여, 트랜지스터나 용량소자를 구성하는 것이 가능하다. 그러한 층 구조를 사용하여, 도 2에 나타난 것과 같은 구조로 트랜지스터 및 용량소자를 구성한 경우의 단면도의 일례를, 도 36에 나타낸다.
- [0232] 게이트 전극은, 도전층 201eb를 사용해서 구성된다. 도전층 201eb은, 비투광성을 갖고, 도전율이 높다. 소스 전극(드레인 전극)은, 도전층 204fb를 사용해서 구성된다. 도전층 204fb은, 비투광성을 갖고, 도전율이 높다. 드레인 전극(소스 전극)은, 도전층 204gb를 사용해서 구성된다. 도전층 204gb은, 비투광성을 갖고, 도전율이 높다. 용량소자의 전극은, 도전층 201fb를 사용해서 구성된다. 도전층 201fb은, 비투광성을 갖고, 도전율이 높다. 용량소자의 전극은, 도전층 204hb를 사용해서 구성된다. 도전층 204hb은, 비투광성을 갖고, 도전율이 높다.
- [0233] 이때, 이러한 층을 갖는 소자는, 다른 트랜지스터 구조, 용량소자의 구조에 있어서도, 예를 들면, 도 3 내지 도 14에 나타난 것과 같은 경우에도, 동일하게 형성하는 것이 가능하다.
- [0234] 이때, 도 35 및 도 34에 나타난 것과 같은 트랜지스터나 용량소자는, 화소를 구동하는 회로에 있어서 사용하는 것이 바람직하다. 그러한 회로에서는, 투광성을 가질 필요가 없고, 도전율이 낮은 층으로 배선이 형성되는 것이 바람직하기 때문이다. 단, 본 실시형태는, 이것에 한정되지 않는다.
- [0236] (실시형태 7)
- [0237] 도 37a1 내지 도 39를 사용하여, 표시장치(반도체장치)의 제조 방법의 일 형태를 설명한다. 본 실시형태에서는, 다른 구조의 2개의 박막 트랜지스터를 동일 기판 위에 제조하는 방법의 일례를 설명한다.
- [0238] 도 37a1은, 한쪽의 박막 트랜지스터 410의 평면도이며, 도 37a2는, 또 한쪽의 박막 트랜지스터 420의 평면도다. 또한, 도 37b에는 도 37a1의 선 C1-C2에 따른 단면도, 및 도 37a2의 선 D1-D2에 따른 단면도를 나타낸다. 또한, 도 37c에는 도 37a1의 선 C3-C4에 따른 단면도, 및 도 37a2의 선 D3-D4에 따른 단면도를 나타낸다.
- [0239] 박막 트랜지스터 410은, 채널에치형으로 불리는 보텀 게이트 구조의 한개이며, 박막 트랜지스터 420은 채널 보호형(채널 스톱형이라고도 한다)으로 불리는 보텀 게이트 구조의 한개이다. 박막 트랜지스터 410 및 박막 트랜지스터 420은 역스태거형 박막 트랜지스터라고도 한다. 박막 트랜지스터 410은, 반도체장치의 구동회로에 배치되는 트랜지스터이다. 한편, 박막 트랜지스터 420은 화소에 배치되는 박막 트랜지스터 420이다. 우선, 반도체장치의 구동회로에 배치되는 박막 트랜지스터 410의 구성을 설명한다.
- [0240] 박막 트랜지스터 410은, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(411), 제1 게이트 절연층(402a), 제2 게이트 절연층(402b), 적어도 채널 형성 영역(413), 고저항 소스 영역(414a), 및 고저항 드레인 영역(414b)을 갖는 산화물 반도체층(412), 소스 전극층(415a), 및 드레인 전극층(415b)을 포함한다. 또한, 박막 트랜지스터

410을 덮고, 채널 형성 영역(413)에 접하는 산화물 절연층(416)이 설치되어 있다.

- [0241] 소스 전극층(415a)의 밑면에 접해서 고저항 소스 영역(414a)이 자기정합적으로 형성되어 있다. 또한, 드레인 전극층(415b)의 밑면에 접해서 고저항 드레인 영역(414b)이 자기정합적으로 형성되어 있다. 또한, 채널 형성 영역(413)은, 산화물 절연층(416)과 접하고, 또한, 막두께가 얇아져 있고, 고저항 소스 영역(414a), 및 고저항 드레인 영역(414b)보다도 고저항의 영역(I형 영역)으로 한다.
- [0242] 또한, 박막 트랜지스터 410은 배선을 저저항화하기 위해 소스 전극층(415a), 및 드레인 전극층(415b)에는 금속 재료를 사용하는 것이 바람직하다.
- [0243] 또한, 액정표시장치에 있어서, 동일 기관 위에 화소부와 구동회로를 형성하는 경우, 구동회로에 있어서, 논리 게이트를 구성하는 박막 트랜지스터, 아날로그 회로를 구성하는 박막 트랜지스터는, 소스 전극과 드레인 전극 사이에 양극성만, 혹은 음극성만이 인가된다. 이때, 논리 게이트로서는 인버터 회로, NAND 회로, NOR 회로, 래치회로 등을 들 수 있다. 또한, 아날로그 회로에는 센스앰프, 정전압 발생회로, VCO 등을 들 수 있다. 따라서, 내압이 요구되는 한쪽의 고저항 드레인 영역(414b)의 폭을 또 한쪽의 고저항 소스 영역(414a)의 폭보다도 넓게 설계해도 된다. 또한, 고저항 소스 영역(414a), 및 고저항 드레인 영역(414b)이 게이트 전극층(411)과 겹치는 폭을 넓게 해도 된다.
- [0244] 또한, 구동회로에 배치되는 박막 트랜지스터 410은 단일 게이트 구조의 박막 트랜지스터를 사용하여 설명했지만, 필요에 따라, 채널 형성 영역을 복수 갖는 멀티 게이트 구조의 박막 트랜지스터도 형성할 수 있다.
- [0245] 또한, 채널 형성 영역(413) 윗쪽에 겹치는 도전층(417)이 설치되어 있다. 도전층(417)을 게이트 전극층(411)과 전기적으로 접속하여, 동전위로 함으로써, 게이트 전극층(411)과 도전층(417) 사이에 배치된 산화물 반도체층(412)에 상하로부터 게이트 전압을 인가할 수 있다. 또한, 게이트 전극층(411)과 도전층(417)을 다른 전위, 예를 들면, 고정 전위, GND, 0V로 하는 경우에는, TFT의 전기 특성, 예를 들면, 임계전압 등을 제어할 수 있다.
- [0246] 또한, 도전층(417)과 산화물 절연층(416) 사이에는 보호 절연층(403)과, 평탄화 절연층(404)을 적층한다.
- [0247] 또한, 보호 절연층(403)은, 보호 절연층(403)의 아래쪽에 설치하는 제1 게이트 절연층(402a) 또는 하지로 되는 절연막과 접하는 구성으로 하는 것이 바람직하고, 기관의 측면으로부터의 수분이나, 수소 이온이나, OH<sup>-</sup> 등의 불순물이 침입하는 것을 블록한다. 특히, 보호 절연층(403)과 접하는 제1 게이트 절연층(402a) 또는 하지로 되는 절연막을 질화 실리콘 막으로 하면 유효하다.
- [0248] 다음에, 화소에 배치되는 채널 보호형의 박막 트랜지스터 420의 구성을 설명한다.
- [0249] 박막 트랜지스터 420은, 절연 표면을 갖는 기관(400) 위에, 게이트 전극층(421), 제1 게이트 절연층(402a), 제2 게이트 절연층(402b), 채널 형성 영역을 포함하는 산화물 반도체층(422), 채널 보호층으로서 기능하는 산화물 절연층(426), 소스 전극층(425a), 및 드레인 전극층(425b)을 포함한다. 또한, 박막 트랜지스터 420을 덮고, 산화물 절연층(426), 소스 전극층(425a), 및 드레인 전극층(425b)에 접해서 보호 절연층(403), 및 평탄화 절연층(404)이 적층되어 설치되어 있다. 평탄화 절연층(404) 위에는 드레인 전극층(425b)과 접하는 화소 전극층(427)이 설치되어 있고, 박막 트랜지스터 420과 전기적으로 접속하고 있다.
- [0250] 또한, 산화물 반도체층(422)을 형성하기 위해서는, 적어도 산화물 반도체층(422)을 구성하는 반도체막의 성막 후에 불순물인 수분 등을 저감하는 가열처리(탈수화 또는 탈수소화를 위한 가열처리)가 행해진다. 탈수화 또는 탈수소화를 위한 가열처리를 행하고, 서냉한 후, 산화물 반도체층(422)에 접해서 산화물 절연층(426)의 형성 등을 행해서 산화물 반도체층(422)의 캐리어 농도를 저감하는 것이, 박막 트랜지스터 420의 전기 특성의 향상 및 신뢰성의 향상에 이어진다.
- [0251] 화소에 배치되는 박막 트랜지스터 420의 채널 형성 영역은, 산화물 반도체층(422) 중, 채널 보호층인 산화물 절연층(426)에 접하고, 또한, 게이트 전극층(421)과 겹치는 영역이다. 박막 트랜지스터 420은, 산화물 절연층(426)에 의해 보호되기 때문에, 소스 전극층(425a), 드레인 전극층(425b)을 형성하는 에칭 공정에서, 산화물 반도체층(422)이 에칭되는 것을 막을 수 있다.
- [0252] 또한, 박막 트랜지스터 420은 투광성을 갖는 박막 트랜지스터로서, 고개구율을 갖는 표시장치를 실현하기 위해, 소스 전극층(425a), 드레인 전극층(425b)은, 투광성을 갖는 도전막을 사용한다.
- [0253] 또한, 박막 트랜지스터 420의 게이트 전극층(421)도 투광성을 갖는 도전막을 사용한다.
- [0254] 또한, 박막 트랜지스터 420이 배치되는 화소에는, 화소 전극층(427), 또는 그 밖의 전극층(용량전극층 등)이나,

그 밖의 배선층(용량배선층 등)에 가시광선에 대하여 투광성을 갖는 도전막을 사용하여, 고개구율을 갖는 표시 장치를 실현한다. 물론, 제1 게이트 절연층(402a), 제2 게이트 절연층(402b), 및 산화물 절연층(426)도 가시광선에 대하여 투광성을 갖는 막을 사용하는 것이 바람직하다.

- [0255] 본 명세서에 있어서, 가시광선에 대하여 투광성을 갖는 막이란 가시광선의 투과율이 75~100%인 막을 가리키고, 그 막이 도전성을 갖는 경우는 투명한 도전막으로도 부른다. 또한, 게이트 전극층, 소스 전극층, 드레인 전극층, 화소 전극층, 또는 그 밖의 전극층이나, 그 밖의 배선층에 적용하는 금속 산화물로서, 가시광선에 대하여 반투명의 도전막을 사용해도 된다. 가시광선에 대하여 반투명이란 가시광선의 투과율이 50~75%인 것을 가리킨다.
- [0256] 이하, 도 38a~도 38f 및 도 39a~도 39e를 사용하여, 동일 기판 위에 박막 트랜지스터 410 및 박막 트랜지스터 420을 제조하는 공정을 설명한다. 이들 도면에서 나타내고 있는 단면 구조는, 도 37b의 단면 구조에 대응한다.
- [0257] 우선, 도 38a에 나타낸 것과 같이, 절연 표면을 갖는 기판(400) 위에 투광성을 갖는 도전막을 형성한 후, 제1 포토리소그래피 공정에 의해 게이트 전극층 411, 421을 형성한다. 또한, 이 투광성을 갖는 도전막에 대한 제1 포토리소그래피 공정에 의해, 화소부에는 용량배선층을 형성한다. 또한, 화소부 뿐만 아니라 구동회로에 용량이 필요한 경우에는, 구동회로에도 용량배선층을 형성한다. 이때, 레지스트 마스크를 잉크젯법으로 형성해도 된다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0258] 절연 표면을 갖는 기판(400)으로서 사용할 수 있는 기판에 큰 제한은 없지만, 적어도, 나중의 가열처리에 견딜 수 있는 정도의 내열성을 갖는 것이 필요하게 된다. 절연 표면을 갖는 기판(400)에는 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연체로 이루어진 기판을 사용할 수 있다.
- [0259] 또한, 하지막이 되는 절연막을 기판(400)과 게이트 전극층 411, 421 사이에 설치해도 된다. 하지막은, 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능이 있으며, 질화 실리콘 막, 산화 실리콘 막, 질화산화 실리콘 막, 또는 산화질화 실리콘 막으로부터 선택된 1 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다.
- [0260] 게이트 전극층 411, 421, 화소부 등의 용량배선의 재료는, 가시광선에 대하여 투광성을 갖는 도전 재료로 이루어진 막을 적용할 수 있다. 예를 들면, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 금속 산화물을 적용할 수 있다. 게이트 전극층 411, 421, 화소부 등의 용량배선의 막두께는 50nm 이상 300nm 이하의 범위 내에서 적절히 선택한다. 게이트 전극층 411, 421에 사용하는 금속 산화물의 성막 방법은, 스퍼터링법이나 진공증착법(전자빔 증착법 등)이나, 아크방전 이온 도금법이나, 스프레이법을 사용한다. 또한, 스퍼터링법을 사용하는 경우, SiO<sub>2</sub>을 2중량% 이상 10중량% 이하 포함하는 타겟을 사용해서 성막을 행하여, 투광성을 갖는 도전막에 결정화를 저해하는 SiO<sub>x</sub>(X>0)를 포함시키고, 나중의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열처리에 결정화해 버리는 것을 억제하는 것이 바람직하다.
- [0261] 이어서, 게이트 전극층 411, 421 위에 게이트 절연층을 형성한다.
- [0263] 게이트 절연층은, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층 또는 질화산화 실리콘층을 단층으로 또는 적층해서 형성할 수 있다. 예를 들면, 성막 가스로서, SiH<sub>4</sub>, 산소 및 질소를 사용해서 플라즈마 CVD법에 의해 산화 질화 실리콘층을 형성하면 된다.
- [0264] 본 실시형태에서는, 도 38b에 나타낸 것과 같이, 막두께 50nm 이상 200nm 이하의 제1 게이트 절연층(402a)과, 막두께 50nm 이상 300nm 이하의 제2 게이트 절연층(402b)의 적층의 게이트 절연층의 2층 구조의 게이트 절연층을 형성한다. 제1 게이트 절연층(402a)으로서는 막두께 100nm의 질화 실리콘 막 또는 질화산화 실리콘 막을 사용한다. 또한, 제2 게이트 절연층(402b)으로서는, 막두께 100nm의 산화 실리콘 막을 사용한다.
- [0265] 제2 게이트 절연층(402b) 위에, 막두께 2nm 이상 200nm 이하의 산화물 반도체막(430)을 형성한다. 또한, 산화물 반도체막(430)의 결정 구조는 비정질로 한다.
- [0266] 본 실시형태에서는, 산화물 반도체막(430)의 형성후에 탈수화 또는 탈수소화를 위한 가열처리를 행한다. 이 가열처리후의 산화물 반도체막(430)의 결정 상태가 비정질의 상태를 유지시키기 위해서, 그것의 막두께를 50nm 이하로 얇게 하는 것이 바람직하다. 산화물 반도체막(430)의 막두께를 얇게 함으로써, 산화물 반도체막(430)의 형성후에 가열처리에 의해 결정화하는 것을 억제할 수 있다.

- [0267] 이때, 산화물 반도체막(430)을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역스퍼터를 행하여, 제2 게이트 절연층(402b)의 표면에 부착되어 있는 먼지를 제거하는 것이 바람직하다. 역스퍼터란, 타겟측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판측에 RF 전원을 사용해서 전압을 인가해서 기판 근방에 플라즈마를 형성해서 표면을 개질하는 방법이다. 이때, 아르곤 대신에, 질소, 헬륨, 산소 등의 분위기에서 스퍼터 처리를 행할 수도 있다.
- [0268] 산화물 반도체막(430)은, In-Ga-Zn-O계 비단결정 막, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체막을 사용한다. 본 실시형태에서는, In-Ga-Zn-O계 산화물 반도체 타겟을 사용하고, 스퍼터링법에 의해, 산화물 반도체막(430)을 성막한다. 또한, 산화물 반도체막(430)은, 회가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 회가스(대표적으로는 아르곤) 및 산소 분위기 하에서 스퍼터링법에 의해 형성할 수 있다. 또한, 스퍼터링법을 사용하는 경우, SiO<sub>2</sub>을 2중량% 이상 10중량% 이하 포함하는 타겟을 사용해서 성막을 행하여, 산화물 반도체막(430)에 결정화를 저해하는 SiO<sub>x</sub>(X>0)을 포함시켜, 나중의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열처리에 결정화해 버리는 것을 억제하는 것이 바람직하다.
- [0269] 이어서, 산화물 반도체막(430)을 제2 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층으로 가공한다. 또한, 섬 형상의 산화물 반도체층을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 된다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0270] 이어서, 산화물 반도체층의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제1 가열처리의 온도는, 350℃ 이상 기판의 변형점 미만, 바람직하게는 400℃ 이상으로 하고 한다. 여기에서는, 가열처리장치의 한개 인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기 하에서 가열처리를 행한 후, 산화물 반도체층이 소정의 온도 이하로 냉각할 때까지 대기에 접촉시키지 않도록 하여, 산화물 반도체층에의 물이나 수소의 재혼입을 막고, 산화물 반도체층 431, 432를 얻는다(도 38b 참조). 본 실시형태에서는, 전기로에 있어서, 산화물 반도체층의 탈수화 또는 탈수소화를 행하기 위한 질소 분위기 하에서, 온도 T에서의 가열처리를 행한 후, 다시 물이 들어가지 않도록 하는 충분한 온도까지(구체적으로는, 온도 T로부터 100℃ 이상 떨어질 때까지), 같은 전기로 내에서 기판을 서냉한다. 또한, 질소 분위기에 한정되지 않고, 헬륨, 네온, 아르곤 등의 분위기 하에서 가열처리를 행할 수도 있다.
- [0271] 이때, 제1 가열처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 회가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열처리장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 회가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, (즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0272] 또한, 제1 가열처리의 조건, 또는 산화물 반도체층의 재료에 따라서는, 산화물 반도체층이 결정화하여, 미결정막 또는 다결정막으로 되는 경우도 있다.
- [0273] 또한, 산화물 반도체층의 제1 가열처리는, 섬 형상의 산화물 반도체층으로 가공하기 전의 산화물 반도체막(430)에 행할 수도 있다. 그 경우에는, 제1 가열처리후에, 가열처리장치로부터 기판을 추출하여, 포토리소그래피 공정을 행한다.
- [0274] 또한, 산화물 반도체막(430)의 성막전에, 불활성 가스 분위기(질소, 또는 헬륨, 네온, 아르곤 등)하, 산소분위기 하에서 가열처리(400℃이상 기판의 변형점 미만)를 행하여, 층 내에 포함되는 수소 및 물의 불순물을 제거한 게이트 절연층으로 해도 된다.
- [0275] 이어서, 제2 게이트 절연층(402b), 및 산화물 반도체층 431, 432 위에, 금속도전막을 형성한 후, 제3 포토리소그래피 공정에 의해 레지스트 마스크 433a, 및 레지스트 마스크 433b를 형성하고, 선택적으로 에칭을 행해서 금속 전극층 434, 및 금속 전극층 435를 형성한다(도 38c 참조).
- [0276] 금속 도전막의 재료로서는, Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소, 또는 전술한 원소를 성분으로 하는 합금이나, 전술한 원소를 조합한 합금 등이 있다. 금속 도전막으로서, 티타늄층 위에 알루미늄층과, 상기 알루미늄층 위에 티타늄층이 적층된 3층의 적층 구조, 또는 몰리브덴층 위에 알루미늄층과, 상기 알루미늄층 위에 몰리브덴층을 적층한 3층의 적층 구조로 하는 것이 바람직하다. 물론, 금속 도전막으로서 단층, 또는 2층 구조, 또는 4층 이상의 적층 구조로 해도 된다.
- [0277] 또한, 금속 전극층 434, 435를 형성하기 위한 레지스트 마스크 433a, 433b를 잉크젯법으로서 형성해도 된다. 레

지스트 마스크 433a, 433b를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

- [0278] 이어서, 레지스트 마스크 433a, 433b를 제거하고, 제4 포토리소그래피 공정에 의해 레지스트 마스크 436a, 레지스트 마스크 436b를 형성하고, 선택적으로 에칭을 행해서 소스 전극층(415a), 및 드레인 전극층(415b)을 형성한다(도 38d 참조). 이때, 제4 포토리소그래피 공정에서는, 산화물 반도체층 431은 일부만이 에칭되어, 홈부(오목부)를 갖는 산화물 반도체층 437이 된다. 또한, 산화물 반도체층 431에 홈부(오목부)를 형성하기 위한 레지스트 마스크 436a, 436b를 잉크젯법으로 형성해도 된다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0279] 이어서, 레지스트 마스크 436a, 436b를 제거하고, 제5 포토리소그래피 공정에 의해 산화물 반도체층 437을 덮는 레지스트 마스크 438을 형성하고, 산화물 반도체층 432 위의 금속 전극층 435를 제거한다(도 38e참조).
- [0280] 이때, 제5 포토리소그래피 공정에서 산화물 반도체층 432와 겹치는 금속 전극층 435를 제거하기 위해, 금속 전극층 435의 에칭시에, 산화물 반도체층 432도 제거되지 않도록 각각의 재료 및 에칭 조건을 적절히 조절한다.
- [0281] 레지스트 마스크 438을 제거한 후, 도 38f에 나타난 것과 같이, 산화물 반도체층 432의 윗면 및 측면, 및 산화물 반도체층 437의 홈부(오목부)에 접하여, 산화물 절연막(439)을 형성한다. 산화물 절연막(439)은 보호 절연막이 된다.
- [0282] 산화물 절연막(439)은, 적어도 1nm 이상의 막두께로 하고, 스퍼터링법 등, 산화물 절연막(439)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 사용해서 형성할 수 있다. 본 실시형태에서는, 산화물 절연막(439)으로서, 스퍼터링법을 사용해서 막두께 300nm의 산화 실리콘 막을 성막한다. 성막시의 기판 온도는, 실온 이상 300℃ 이하로 하면 되고, 본 실시형태에서는 100℃로 한다. 산화 실리콘 막의 스퍼터링법에 의한 성막은, 회가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 회가스(대표적으로는 아르곤) 및 산소 분위기 하에서 행할 수 있다. 또한, 타겟으로서 산화 실리콘 타겟 또는 실리콘 타겟을 사용할 수 있다. 예를 들면, 실리콘 타겟을 사용하고, 산소, 및 질소분위기 하에서 스퍼터링법에 의해 산화 실리콘을 형성할 수 있다. 저저항화한 산화물 반도체층 432, 437에 접해서 형성하는 산화물 절연막(439)은, 수분, 수소 이온, 및 OH<sup>-</sup> 등의 불순물을 포함하지 않고, 이것들이 외부에서 침입하는 것을 블록하는 무기 절연막을 사용하고, 대표적으로는 산화 실리콘 막, 질화산화 실리콘 막, 산화 알루미늄 막, 또는 산화질화 알루미늄 막 등을 사용한다.
- [0283] 이어서, 불활성 가스 분위기 하, 또는 산소 가스 분위기 하에서 제2 가열처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들면, 250℃ 이상 350℃ 이하)를 행한다. 예를 들면, 질소분위기 하에서 250℃, 1시간의 제2 가열처리를 행한다. 제2 가열처리를 행하면, 산화물 반도체층 437의 홈부, 산화물 반도체층 432의 윗면 및 측면이 산화물 절연막(439)과 접한 상태로 가열된다.
- [0284] 도 39a는 제2 가열처리후의 상태를 나타낸다. 도 39a에 있어서, 산화물 반도체층 412는, 제2 가열처리가 행해진 산화물 반도체층 437이며, 산화물 반도체층 422는, 제2 가열처리가 행해진 산화물 반도체층 432이다.
- [0285] 이상의 공정을 거침으로써, 성막후의 산화물 반도체막(430)에 대하여, 탈수화 또는 탈수소화를 위한 제1 가열처리, 및, 불활성가스 분위기 하 또는 산소 가스 분위기 하에서 제2 가열처리가 행해진다.
- [0286] 따라서, 산화물 반도체층 412에 있어서, 소스 전극층(415a)에 겹치는 영역에는 고저항 소스 영역(414a)이 자기정합적으로 형성되고, 드레인 전극층(415b)에 겹치는 영역에는 고저항 드레인 영역(414b)이 자기정합적으로 형성된다. 또한, 게이트 전극층(411)과 겹치는 영역 전체는 I형의 영역이며, 채널 형성 영역(413)으로 된다. 또한, 산화물 반도체층 432는 제2 가열처리로, 막 전체가 산소 과잉의 상태로 되기 때문에, 전체가 고저항화된(I형화된) 산화물 반도체층 422가 형성된다.
- [0287] 제2 가열처리후, 산화물 반도체층 422가 노출되어 있는 상태에서, 질소, 불활성 가스 분위기 하, 또는 감압 하에서 가열처리를 행하면, 고저항화된(I형화된) 산화물 반도체층 422가 저저항화해 버린다. 따라서, 제2 가열처리 이후의 공정에서는, 산화물 반도체층 422가 노출되어 있는 상태에서 행하는 가열처리는 산소 가스, N<sub>2</sub>O 가스 분위기 하, 또는, 초진조 에어(노점이 -40℃ 이하, 바람직하게는 -60℃ 이하)에서 행한다.
- [0288] 이때, 드레인 전극층(415b)(및 소스 전극층(415a))과 중첩한 산화물 반도체층 412에 있어서, 고저항 드레인 영역(414b)(또는 고저항 소스 영역(414a))을 형성함으로써, 박막 트랜지스터 410이 설치되는 구동회로의 신뢰성을 향상시킬 수 있다. 구체적으로는, 고저항 드레인 영역(414b)을 형성함으로써, 드레인 전극층(415b)으로부터 고저항 드레인 영역(414b), 채널 형성 영역(413)에 걸쳐서, 도전율을 단계적으로 변화시킬 수 있는 것과 같은 구

조로 할 수 있다. 그 때문에, 드레인 전극층(415b)에 고전원 전위 VDD를 공급하는 배선에 접속하여, 박막 트랜지스터 410을 동작시키는 경우, 게이트 전극층(411)과 드레인 전극층(415b) 사이에 고전계가 인가되어도 고저항 드레인 영역(414b)이 버퍼가 되어 국소적인 고전계가 인가되지 않아, 박막 트랜지스터 410의 내압을 향상시킬 수 있다.

- [0289] 또한, 산화물 반도체층 412의 드레인 전극층(415b)(또는 소스 전극층(415a))과 중첩하고 있는 영역에, 고저항 드레인 영역(414b)(또는 고저항 소스 영역(414a))을 형성함으로써, 구동회로에 박막 트랜지스터 410을 설치해도, 그 채널 형성 영역(413)에서의 리크 전류의 저감을 도모할 수 있다.
- [0290] 이어서, 도 39b에 나타난 것과 같이, 제6 포토리소그래피 공정에 의해, 레지스트 마스크 440a 및 레지스트 마스크 440b를 형성하고, 산화물 절연막(439)을 선택적으로 에칭하여, 산화물 절연층 416 및 산화물 절연층 426을 형성한다. 산화물 절연층 426은, 산화물 반도체층 422의 채널 형성 영역을 형성하는 영역을 덮고, 채널 보호층으로서 기능한다. 이때, 본 실시형태와 같이, 제2 게이트 절연층(402b)으로서 산화물 절연층을 사용하는 경우, 산화물 절연막(439)의 에칭 공정에 의해, 제2 게이트 절연층(402b)의 일부도 에칭되어서 막두께가 얇아지는(막 감소하는) 경우가 있다. 제2 게이트 절연층(402b)으로서 산화물 절연막(439)과 선택비가 높은 질화 절연막을 사용하는 경우에는, 제2 게이트 절연층(402b)이 에칭으로 얇아지는 것을 막을 수 있다.
- [0291] 레지스트 마스크 440a, 440b를 제거한 후, 산화물 반도체층 422 및 산화물 절연층 426 위에, 투광성을 갖는 도전막을 형성한다. 그리고, 제7 포토리소그래피 공정에 의해 레지스트 마스크를 형성하고, 이 레지스트 마스크를 사용해서 투광성의 도전막을 에칭하여, 도 39c에 나타난 것과 같이, 소스 전극층(425a), 및 드레인 전극층(425b)을 형성한다. 에칭 공정후, 레지스트 마스크를 제거한다.
- [0292] 투광성을 갖는 도전막의 성막 방법에는, 스퍼터링법이나 진공증착법(전자빔 증착법 등)이나, 아크방전 이온도금법이나, 스프레이법을 사용할 수 있다. 도전막의 재료로서는, 가시광선에 대하여 투광성을 갖는 도전 재료, 예를 들면, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 금속 산화물을 적용할 수 있다. 투광성을 갖는 도전막의 막두께는 50nm 이상 300nm 이하의 범위 내에서 적절히 선택한다. 또한, 스퍼터링법을 사용하는 경우, SiO<sub>2</sub>을 2중량% 이상 10중량% 이하 포함하는 타겟을 사용해서 성막을 행하고, 투광성을 갖는 도전막에 결정화를 저해하는 SiO<sub>x</sub>(X>0)을 포함시켜, 나중의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열처리에 결정화해 버리는 것을 억제하는 것이 바람직하다.
- [0293] 이때, 소스 전극층(425a), 드레인 전극층(425b)을 형성하기 위한 레지스트 마스크를 포토리소그래피 공정이 아니고, 잉크젯법으로 형성해도 된다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0294] 이어서, 도 39d에 나타난 것과 같이, 산화물 절연층 416, 426, 소스 전극층(425a), 및 드레인 전극층(425b) 위에 보호 절연층(403)을 형성한다. 본 실시형태에서는, RF 스퍼터링법을 사용하여, 보호 절연층(403)으로서 질화 실리콘 막을 형성한다. RF 스퍼터링법은, 양산성이 좋기 때문에, 보호 절연층(403)의 성막 방법으로서 바람직하다. 보호 절연층(403)은, 수분이나, 수소 이온이나, OH<sup>-</sup> 등의 불순물을 포함하지 않아, 이것들이 외부에서 침입하는 것을 블록하는 무기 절연막을 사용하고, 질화 실리콘 막, 질화 알루미늄 막, 질화산화 실리콘 막, 산화질화 알루미늄 막 등을 사용한다. 물론, 보호 절연층(403)은 투광성을 갖는 절연막이다.
- [0295] 또한, 보호 절연층(403)은, 보호 절연층(403)의 아래쪽에 설치되어 있는 제1 게이트 절연층(402a) 또는 하지로 되는 절연막과 접하는 구성으로 하는 것이 바람직하고, 기판(400)의 측면 근방으로부터의 수분이나, 수소 이온이나, OH<sup>-</sup> 등의 불순물이 침입하는 것을 블록한다. 특히, 보호 절연층(403)과 접하는 제1 게이트 절연층(402a) 또는 하지로 되는 절연막을 질화 실리콘 막으로 하면 유효하다. 즉, 산화물 반도체층의 밀면, 윗면, 및 측면을 둘러싸도록 질화 실리콘 막을 설치하면, 표시장치의 신뢰성이 향상된다.
- [0296] 이어서, 보호 절연층(403) 위에 평탄화 절연층(404)을 형성한다. 평탄화 절연층(404)으로서, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리이미드, 에폭시 등의, 내열성을 갖는 유기재료를 사용할 수 있다. 또한, 상기 유기재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 글래스), BPSG(인 보론 글래스) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연층(404)을 형성해도 된다.
- [0297] 이때, 실록산계 수지란, 실록산계 재료를 출발 재료로서 형성된 Si-O-Si 결합을 포함하는 수지에 해당한다. 실록산계 수지는 치환기로서는 유기기(예를 들면, 알킬기나 아릴기)나 플루오르기를 사용해도 된다. 또한, 유기기



는 플루오르기를 갖고 있어도 된다.

- [0298] 평탄화 절연층(404)의 형성법은, 특별하게 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스펀코트, 딥, 스프레이 도포, 액적도출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다.
- [0299] 다음에, 제8 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 평탄화 절연층(404) 및 보호 절연층(403)의 에칭에 의해 드레인 전극층(425b)에 이르는 콘택홀(441)을 형성한다. 또한, 여기에서의 에칭에 의해 게이트 전극층 411, 421에 이르는 콘택홀도 형성한다. 또한, 드레인 전극층(425b)에 이르는 콘택홀을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 된다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0300] 이어서, 레지스트 마스크를 제거한 후, 투광성을 갖는 도전막을 성막한다. 투광성을 갖는 도전막의 재료로서는, 산화 인듐( $\text{In}_2\text{O}_3$ )나 산화 인듐 산화 주석 합금( $\text{In}_2\text{O}_3\text{-SnO}_2$ , ITO로 약기한다) 등을 스퍼터링법이나 진공증착법 등을 사용해서 형성한다. 투광성을 갖는 도전막의 다른 재료로서, 질소를 포함하는 Al-Zn-O계 비단결정 막, 즉 Al-Zn-O-N계 비단결정 막이나, 질소를 포함하는 Zn-O계 비단결정 막이나, 질소를 포함하는 Sn-Zn-O계 비단결정 막을 사용해도 된다. 이때, Al-Zn-O-N계 비단결정 막의 아연의 조성비(원자%)는, 47원자% 이하로 하고, 비단결정 막 중의 알루미늄의 조성비(원자%)보다 크고, 비단결정 막 중의 알루미늄의 조성비(원자%)는, 비단결정 막 중의 질소의 조성비(원자%)보다 크다. 이러한 재료의 에칭 처리는 염산계의 용액에 의해 행한다. 그러나, 특히 ITO의 에칭은 잔류물이 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해 산화 인듐 산화 아연 합금( $\text{In}_2\text{O}_3\text{-ZnO}$ )을 사용해도 된다.
- [0301] 이때, 투광성을 갖는 도전막의 조성비의 단위는 원자%로 하고, 전자선 마이크로 아날라이저(EPMA: Electron Probe X-ray MicroAnalyzer)를 사용한 분석에 의해 평가하는 것으로 한다.
- [0302] 다음에, 제9 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하여, 도 39e에 나타낸 것과 같이, 화소 전극층(427) 및 도전층(417)을 형성한다. 평탄화 절연층(404) 및 보호 절연층(403)에 형성된 콘택홀(441)을 통해, 화소 전극층(427)은 드레인 전극층(425b)과 전기적으로 접속한다.
- [0303] 이상의 공정에 의해, 9매의 노광용 마스크를 사용하여, 동일 기관(400) 위에, 박막 트랜지스터 410을 포함하는 구동회로, 및 박막 트랜지스터 420을 포함하는 화소부를 제조할 수 있다. 구동회로용의 박막 트랜지스터 410은, 고저항 소스 영역(414a), 고저항 드레인 영역(414b), 및 채널 형성 영역(413)을 포함하는 산화물 반도체층(412)을 포함하는 채널에치형 박막 트랜지스터다. 또한, 화소용의 박막 트랜지스터 420은, 전체가 I형화된 산화물 반도체층(422)을 포함하는 채널 보호형 박막 트랜지스터다.
- [0304] 또한, 제1 게이트 절연층(402a), 제2 게이트 절연층(402b)을 유전체로 하고 용량배선층과 용량전극으로 형성되는 용량소자도 동일기관(400) 위에 형성할 수 있다. 박막 트랜지스터 420과 용량소자를 각각의 화소에 대응해서 매트릭스 모양으로 배치해서 화소부를 구성하고, 화소부의 주변에 박막 트랜지스터 410을 갖는 구동회로를 배치함으로써 액티브 매트릭스형의 표시장치를 제조하는 위한 한쪽의 기관으로 할 수 있다. 본 명세서에서는 편의상 이러한 기관을 액티브 매트릭스 기관으로 부른다.
- [0305] 또한, 화소 전극층(427)은 용량전극층과 전기적으로 접속된다. 이 2개의 전극층을 전기적으로 접속하기 위한 콘택홀은, 콘택홀(441)과 동시에 형성된다. 또한, 용량전극층은, 소스 전극층(425a), 드레인 전극층(425b)과 같은 투광성을 갖는 재료, 같은 공정으로 형성할 수 있다.
- [0306] 도전층(417)을 산화물 반도체층 412의 채널 형성 영역(413)과 겹치는 위치에 설치함으로써, 박막 트랜지스터 410의 신뢰성을 조사하기 위한 바이어스-열 스트레스 시험(이하, BT 시험이라고 한다)에 있어서, BT 시험 전후에 있어서의 박막 트랜지스터 410의 임계전압의 변화량을 저감할 수 있다. 또한, 도전층(417)은, 전위가 게이트 전극층(411)과 같아도 되고, 달라도 되고, 제2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전층(417)의 전위가 GND, 0V, 또는 플로팅 상태이어도 된다.
- [0307] 또한, 도전층(417) 및 화소 전극층(427)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 된다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0308] (실시형태 8)
- [0309] 본 실시형태에서는, 표시장치를 구비한 전자기기의 예에 대해 설명한다.

- [0310] 도 40a 내지 도 40h, 도 41a 내지 도 41d는, 전자기기를 도시한 도면이다. 이들 전자기기는, 하우징(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치, 또는 조작 스위치를 포함한다), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 빛, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(5008) 등을 가질 수 있다.
- [0311] 도 40a는 모바일 컴퓨터이며, 전술한 것 이외에, 스위치(5009), 적외선 포트(5010) 등을 가질 수 있다. 도 40b는 기록 매체를 구비한 휴대형의 화상 재생장치(예를 들면, DVD 재생장치)이며, 전술한 것 이외에, 제2표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 40c는 고글형 디스플레이이며, 전술한 것 이외에, 제2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 가질 수 있다. 도 40d는 휴대형 오락기이며, 전술한 것 이외에, 기록매체 판독부(5011) 등을 가질 수 있다. 도 40e는 텔레비전 수상 기능을 갖는 디지털 카메라이며, 전술한 것 이외에, 안테나(5014), 셔터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 40f는 휴대형 오락기이며, 전술한 것 이외에, 제2표시부(5002), 기록매체 판독부(5011) 등을 가질 수 있다. 도 40g는 텔레비전 수상기이며, 전술한 것 이외에, 튜너, 화상처리부 등을 가질 수 있다. 도 40h는 포터블 텔레비전 수상기이며, 전술한 것 이외에, 신호의 송수신이 가능한 충전기(5017) 등을 가질 수 있다.
- [0312] 도 41a는 디스플레이이며, 전술한 것 이외에, 지지대(5018) 등을 가질 수 있다. 도 41b는 카메라이며, 전술한 것 이외에, 외부 접속 포트(5019), 셔터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 41c는 컴퓨터이며, 전술한 것 이외에, 포인팅 디바이스(5020), 외부 접속 포트(5019), 리더/라이터(5021) 등을 가질 수 있다. 도 41d는 휴대전화기이며, 전술한 것 이외에, 송신부, 수신부, 휴대전화·이동단말을 위한 1 세그먼트 부분 수신 서비스용 튜너 등을 가질 수 있다.
- [0313] 도 40a 내지 도 40h, 도 41a 내지 도 41d에 나타난 전자기기는, 다양한 기능을 가질 수 있다. 예를 들면, 다양한 정보(정지 화상, 동화상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치패널 기능, 캘렌다, 날짜 또는 시간 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 무선통신 기능, 무선통신 기능을 사용해서 다양한 컴퓨터 네트워크에 접속하는 기능, 무선통신 기능을 사용해서 다양한 데이터의 송신 또는 수신을 행하는 기능, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독해서 표시부에 표시하는 기능 등을 가질 수 있다. 더구나, 복수의 표시부를 갖는 전자기기에 있어서는, 1개의 표시부를 주로 화상정보를 표시하고, 다른 1개의 표시부를 주로 문자정보를 표시하는 기능, 또는, 복수의 표시부에 시각차를 고려한 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 더구나, 수상부를 갖는 전자기기에 있어서는, 정지 화상을 촬영하는 기능, 동화상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 카메라에 내장)에 보존하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 이때, 도 40a 내지 도 40h, 도 41a 내지 도 41d에 나타난 전자기기가 가질 수 기능은 이것들에 한정되지 않고, 다양한 기능을 가질 수 있다.
- [0314] 본 실시형태에 있어서 서술한 전자기기는, 어떠한 정보를 표시하기 위한 표시부를 갖는 것을 특징의 한개로 한다.
- [0315] 다음에, 표시장치(반도체장치)의 응용예를 설명한다. 우선, 이동하지 않는 물체, 예를 들면, 건조물에 표시장치(반도체장치)를 적용하는 예를 설명한다.
- [0316] 도 41e는, 표시장치(반도체장치)가 끼워넣어진 건조물의 일 태양을 설명하는 도면이다. 반도체장치는, 하우징(5022), 표시부(5023), 조작부인 리모트콘트롤 장치(5024) 및 스피커(5025) 등을 포함한다. 반도체장치는 벽걸이형의 표시장치로서 거실의 벽에 끼워넣어져 있다. 이러한 태양은, 넓은 설치 스페이스가 필요없기 때문에, 대 화면(40인치 이상)의 표시부(5023)를 구비한 반도체장치를 건조물에 끼워넣는 방법으로서 적합하다.
- [0317] 도 41f는, 표시장치(반도체장치)가 끼워넣어진 건조물의 일 태양을 설명하는 도면이다. 반도체장치는 표시 패널(5026)을 구비하고 있다. 이 표시 패널(5026)은 유닛배스(prefabricated bath)(5027)에 끼워넣어져 있어, 입욕자는 표시 패널 5026에서 영상을 감상하는 것이 가능하게 된다.
- [0318] 이때, 도 41e, 도 41f에서는, 벽, 및 유닛배스에 표시장치(반도체장치)를 끼워넣은 예를 나타내었지만, 본 실시형태의 건조물은 이것들에 한정되지 않고, 건조물의 다양한 개소에 반도체장치를 끼워넣을 수 있다.
- [0319] 다음에, 표시장치(반도체장치)가 끼워넣어진 이동체의 구성예를 설명한다.
- [0320] 도 41g는, 표시장치(반도체장치)가 설치된 자동차의 일 태양을 설명하는 도면이다. 반도체장치는 표시 패널

(5028)을 갖는다. 표시 패널(5028)은, 자동차의 차체(5029)에 부착되어 있고, 차체의 동작 또는 차체 내외에서 입력되는 정보를 온디맨드로 표시할 수 있다. 또한, 반도체장치는 네비게이션 기능을 갖고 있어도 된다.

[0321] 도 41h는, 표시장치(반도체장치)가 설치된 여객용 비행기의 일 태양을 설명하는 도면이다. 반도체장치는 표시 패널(5031)을 갖는다. 여객용 비행기의 좌석 상부의 천정(5030)에, 힌지부(5032)를 거쳐 표시 패널(5031)이 부착되어 있다. 표시 패널(5031)은 승객이 조작함으로써 정보를 표시하는 기능을 갖는다. 도 41h에는, 표시 패널(5031)의 사용시의 상태를 나타내고 있다. 힌지부(5032)의 신축에 의해 승객은, 표시 패널(5031)의 영상의 감상이 가능하게 된다.

[0322] 이때, 도 41g, 도 41h에서는, 이동체로서 자동차, 및 여객용 비행기의 예를 나타내었지만, 본 실시형태는, 이것들에 한정되지 않고, 자동 이륜차, 자동 사륜차(자동차, 버스, 트럭 등을 포함한다), 철도차량, 선박, 및 항공기 등, 다양한 이동체에 적용할 수 있다.

[0323] (실시형태 9)

[0324] 본 실시형태에서는, 본 명세서에 개시되어 있는 발명에 관한 반도체장치, 및 표시장치 등에 대해 설명을 한다.

[0325] 본 명세서에 있어서, 표시장치란, 표시 소자를 갖는 장치를 말한다. 본 명세서에 개시되어 있는 발명이 적용되는 표시장치로서는, 전기자기적 작용에 의해, 콘트라스트, 휘도, 반사율, 투과율 등이 변화하는 표시 매체를 갖는 것을 들 수 있다. 본 명세서에서 개시되어 있는 표시장치가 구비하는 표시 소자로서는, EL(electroluminescence) 소자(유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자방출소자, 액정소자, 전자 잉크, 전기영동소자, 그레이팅 라이트밸브(GLV), 플라즈마 튜브, 디지털 마이크로미러 디바이스(DMD), 압전 세라믹 소자, 카본 나노튜브 등을 들 수 있다. EL 소자를 사용한 표시장치의 일례로서는, EL 디스플레이 등이 있다. 전자방출소자를 사용한 표시장치의 일례로서는, 필드 에미션 디스플레이(FED) 또는 SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 있다. 액정소자를 사용한 표시장치의 일례로서는, 액정표시장치(투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치, 직시형 액정표시장치, 투사형 액정표시장치) 등이 있다. 전자 잉크 또는 전기영동소자를 사용한 표시장치의 일례로서는, 전자 페이퍼 등이 있다. 이때, EL 소자나 LED 등 빛을 발생하는 발광소자를 구비한 장치는, 표시장치로 불리는 일도 있고, 또한, 발광 장치로 불리는 일도 있다. 표시 소자로서 발광소자를 갖는 발광 장치는, 표시장치의 구체예의 한 개이다.

[0326] EL 소자의 일례로서는, 양극과, 음극과, 양극과 음극 사이에 끼워진 EL층을 갖는 소자 등이 있다. EL층의 일례로서는, 1중항 여기자로부터의 발광(형광)을 이용하는 것, 3중항 여기자로부터의 발광(인광)을 이용하는 것, 1중항 여기자로부터의 발광(형광)을 이용하는 것과 3중항 여기자로부터의 발광(인광)을 이용하는 것을 포함하는 것, 유기물에 의해 형성된 것, 무기물에 의해 형성된 것, 유기물에 의해 형성된 것과 무기물에 의해 형성된 것을 포함하는 것, 고분자의 재료를 포함하는 것, 저분자의 재료를 포함하는 것, 또는 고분자의 재료와 저분자의 재료를 포함하는 것 등이 있다. 단, 이것에 한정되지 않고, EL 소자로서 다양한 것을 사용할 수 있다.

[0327] 전자방출소자의 일례로서는, 음극에 고전계를 집중해서 전자를 인출하는 소자 등이 있다. 구체적으로는, 전자방출소자의 일례로서는, 스피인트(Spindt)형, 카본 나노튜브(CNT)형, 금속-절연체-금속을 적층한 MIM(Metal-Insulator-Metal)형, 금속-절연체-반도체를 적층한 MIS(Metal-Insulator-Semiconductor)형, MOS형, 실리콘형, 박막 다이오드형, 다이아몬드형, 금속-절연체-반도체-금속형 등의 박막형, HEED형, EL형, 포러스실리콘형, 또는 표면전도(SCE)형 등이 있다. 단, 이것에 한정되지 않고, 전자방출소자로서 다양한 것을 사용할 수 있다.

[0328] 본 명세서에 있어서, 액정표시장치란, 액정소자를 갖는 표시장치를 말한다. 액정표시장치에는, 화상의 표시 방법에 의해 직시형, 투사형 등으로 분류된다. 또한, 조명광이 화소를 투과하는지, 반사하는지로, 투과형, 반사형, 반투과형으로 분류할 수 있다. 액정소자의 일례로서는, 액정의 광학적 변조 작용에 의해 빛의 투과 또는 비투과를 제어하는 소자가 있다. 그 소자는 한 쌍의 전극과 액정층에 의해 구성되는 것이 가능하다. 이때, 액정의 광학적 변조작용은, 액정에 걸리는 전계(횡방향의 전계, 종방향의 전계 또는 경사 방향의 전계를 포함한다)에 의해 제어된다. 액정소자에 적용되는 액정으로서, 네마틱 액정, 콜레스테릭 액정, 스택틱 액정, 디스코틱 액정, 서모트로픽 액정, 리�트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 바나나형 액정 등을 들 수 있다.

[0329] 또한, 액정표시장치의 표기방식으로서, TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment)

모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, PNLC(Polymer Network Liquid Crystal) 모드, 게스트 호스트 모드, 및, 블루상(Blue Phase) 모드 등이 있다.

- [0330] 물론, 본 명세서에 개시되는 발명에는, 상기한 구성예에 한정되지 않고, 다양한 구성예의 액정표시장치를 적용할 수 있다.
- [0331] 전자 페이퍼의 일례로서는, 분자에 의해 표시되는 것(광학 이방성, 염료 분자 배향 등), 입자에 의해 표시되는 것(전기영동, 입자 이동, 입자 회전, 상변화 등), 필름의 일단이 이동함으로써 표시되는 것, 분자의 발색/상변화에 의해 표시되는 것, 분자의 광흡수에 의해 표시되는 것, 또는 전자와 홀이 결합해서 자발광에 의해 표시되는 것 등을 사용할 수 있다. 구체적으로는, 전자 페이퍼의 일례로서는, 마이크로캡슐형 전기영동, 수평 이동형 전기영동, 수직 이동형 전기영동, 구형 트위스트 볼, 자기 트위스트 볼, 원주 트위스트 볼 방식, 대전 토너, 전자분 유체, 자기영동형, 자기 감열식, 일렉트로웨팅, 광산란(투명/백탁 변화), 콜레스테릭 액정/광 도전층, 콜레스테릭 액정, 쌍안정성 네마틱 액정, 강유전성 액정, 2색성 색소·액정 분산형, 가동 필름, 로이코(leuco) 염료에 의한 발소색, 포토크로믹, 일렉트로크로믹, 일렉트로 디포지션, 플렉시블 유기 EL 등이 있다. 단, 이것에 한정되지 않고, 전자 페이퍼로서 다양한 것을 사용할 수 있다. 여기에서, 마이크로캡슐형 전기영동을 사용함으로써, 전기영동방식의 결점인 영동 입자의 응집, 침전을 해결할 수 있다. 전자분 유체는, 고속 응답성, 고반사율, 광 시야각, 저소비 전력, 메모리성 등의 장점을 갖는다.
- [0332] 플라즈마 디스플레이의 일례로서는, 전극을 표면에 형성한 기관과, 전극 및 미소한 홈을 표면에 형성하고 또한 홈 내부에 형광체층을 형성한 기관을 좁은 간격으로 대향시켜, 회가스를 봉입한 구조를 갖는 것 등이 있다. 그 밖에도, 플라즈마 디스플레이의 일례로서는, 플라즈마 튜브를 상하로부터 필름 형태의 전극으로 끼운 구조를 갖는 것 등이 있다. 플라즈마 튜브란, 유리 튜브 내에, 방전 가스, RGB 각각의 형광체 등을 봉지한 것이다. 전극 사이에 전압을 가함으로써 자외선을 발생시켜, 형광체를 빛나게 함으로써, 표시를 행할 수 있다. 본 명세서에 개시되는 발명에는, 상기한 구성예에 한정되지 않고, 다양한 구성예의 플라즈마 디스플레이를 적용할 수 있다.
- [0333] 또한, 조명 장치를 필요로 하는 표시장치가 있다. 예를 들면, 액정표시장치, 그레이팅 라이트밸브(GLV)를 사용한 표시장치, 디지털 마이크로미러 디바이스(DMD)를 사용한 표시장치 등이다. 이들 조명장치로서는, 예를 들면, EL 소자를 적용한 조명 장치, 냉음극관, 열음극관, LED, 레이저 광원인, 수은 램프 등을 사용할 수 있다.
- [0334] 또한, 표시장치로서는, 표시 소자를 포함하는 복수의 화소를 구비한 표시장치를 들 수 있다. 이 경우 표시장치는, 복수의 화소를 구동시키는 주변 구동회로를 포함하고 있어도 된다. 표시장치의 주변 구동회로는, 복수의 화소와 동일 기관 위에 형성된 회로이어도 되고, 다른 기관에 형성된 회로이어도 된다. 그 양쪽의 회로를 주변 구동회로로서 설치할 수도 있다. 화소와 다른 기관에 형성되어 있는 회로로서는, 와이어본딩이나 범프 등에 의해 화소가 존재하는 기관 위에 배치된 회로, 소위, 칩 온 글래스(COG)로 접속된 IC칩, 또는, TAB 등으로 접속된 IC칩을 들 수 있다.
- [0335] 회로의 일부가 화소부와 같은 기관에 형성되어 있는 것에 의해, 부품수의 삭감에 의한 비용의 저감, 또는 회로 부품과의 접속 점수의 저감에 의한 신뢰성의 향상을 도모할 수 있다. 특히, 구동전압이 큰 부분의 회로, 또는 구동주파수가 높은 부분의 회로 등은, 소비 전력이 커질 우려가 있다. 따라서, 이러한 회로를, 화소부와는 다른 기관(예를 들면, 단결정 기관)에 형성하고, IC칩을 구성한다. 이 IC칩을 사용함으로써, 소비 전력의 증가를 막을 수 있다.
- [0336] 또한, 표시장치는, IC칩, 저항소자, 용량소자, 인덕터, 트랜지스터 등이 부착된 플렉시블 프린트 서킷(FPC)을 포함하여도 된다. 또한, 표시장치는, 플렉시블 프린트 서킷(FPC) 등을 거쳐 접속되고, IC칩, 저항소자, 용량소자, 인덕터, 트랜지스터 등이 부착된 프린트 배선 기관(PWB)을 포함하고 있어도 된다. 또한, 표시장치는, 편광판 또는 위상차판 등의 광학 시트를 포함하고 있어도 된다. 이때, 표시장치는, 조명 장치, 하우징, 음성 입출력장치, 광센서 등을 포함하고 있어도 된다.
- [0337] 본 명세서에 있어서, 1 화소란, 밝기를 제어할 수 있는 요소 1개분을 나타낸 것으로 한다. 예를 들면, 1 화소란, 1개의 색요소를 나타낸 것으로 하고, 그 색요소 한개로 밝기를 표현한다. 따라서, 그 때에는, R(적색) G(녹색) B(청색)의 색요소를 갖는 컬러 표시장치의 경우에는, 화상의 최소단위는, R의 화소와 G의 화소와 B의 화소의 3화소로 구성되는 것으로 한다. 단, 색요소는, 3색에 한정되지 않고, 3색 이상을 사용해도 되고, RGB 이

의의 색을 사용해도 된다. 예를 들면, 백색을 더하여, RGB(W는 화이트)로서도 가능하다. 또는, RGB에, 예를 들면, 옐로, 시안, 마젠타, 에메랄드 그린, 주홍색 등을 1색 이상 추가하는 것이 가능하다. 또는, RGB 중의 적어도 1색에 유사한 색을, RGB에 추가하는 것이 가능하다. 예를 들면, R, G, B1, B2로 해도 된다. B1과 B2란, 어느 쪽도 청색이지만, 약간 파장이 다르다. 마찬가지로, R1, R2, G, B로 하는 것도 가능하다. 이러한 색요소를 사용함으로써, 보다 실물에 가까운 표시를 행할 수 있다. 이러한 색요소를 사용함으로써, 소비 전력을 저감할 수 있다.

[0338] 1개의 색요소에 대해, 복수개 영역을 사용해서 밝기를 제어하는 경우에는, 그 영역 1개분을 1 화소로 하는 것이 가능하다. 예를 들면, 면적계조를 행하는 경우 또는 부화소(서브 화소)를 갖는 경우, 1개의 색요소밖에 없고, 밝기를 제어하는 영역이 복수 있으며, 그 전체로 계조를 표현하는 일이 있다. 그 경우, 밝기를 제어하는 영역의 1개분을 1 화소로 하는 것이 가능하다. 즉, 1개의 색요소는, 복수의 화소로 구성되게 된다. 단, 밝기를 제어하는 영역이 1개의 색요소 중에 복수 있어도, 그것들을 합쳐서, 1개의 색요소를 1 화소로 해도 된다. 그 경우는, 1개의 색요소는, 1 화소로 구성되게 된다. 또한, 1개의 색요소에 대해, 복수개 영역을 사용해서 밝기를 제어하는 경우, 화소에 의해, 표시에 기여하는 영역의 크기가 다르게 해도 된다. 또한, 1개의 색요소에 대해서 복수 있는, 밝기를 제어하는 영역에 있어서, 각각에 공급하는 신호를 약간 다르게 하도록 하여, 시야각을 넓히도록 하여도 된다. 즉, 1개의 색요소에 대해서, 복수개 영역이 각각 갖는 화소 전극의 전위가, 각각 다른 것도 가능하다. 그 결과, 액정분자 등의 표시 소자에 가해지는 전압이 각 화소 전극에 의해 각각 다르다. 따라서, 액정표시장치의 경우에는 시야각을 넓게 할 수 있다. 또한, 색요소마다 표시에 기여하는 영역의 크기가 달라도 된다. 이에 따라, 저소비 전력화, 또는 표시 소자의 장수명화를 도모할 수 있다.

[0339] 이때, 1 화소(3색분)로 명시적으로 기재하는 경우에는, R와 G와 B의 3화소분을 1 화소로 간주할 수 있다. 1 화소(1색분)로 명시적으로 기재하는 경우에는, 1개의 색요소에 대해, 복수개 영역이 있는 경우, 그것들을 합쳐서 1 화소로 간주할 수 있다.

[0340] 복수의 화소는, 예를 들면, 매트릭스 모양으로 배치(배열)할 수 있다. 여기에서, 화소가 매트릭스로 배치(배열)되어 있다란, 종방향 혹은 횡방향에 있어서, 화소가 직선 위에 늘어서 있는 경우에 한정되지 않는다. 예를 들면, 3색의 색요소(예를 들면, RGB)로 풀컬러 표시를 행하는 표시장치에 있어서, 화소의 배열로서는, 예를 들면, 스트라이프 배치, 3개의 색요소의 도트로 이루어진 델타 배치, 베이어 배치 등을 들 수 있다.

[0342] (실시형태 10)

[0343] 본 명세서에 개시되어 있는 발명에는, 다양한 구조의 트랜지스터를 사용할 수 있다. 즉, 트랜지스터의 구성에 특별한 제약은 없다. 예를 들면, 실시형태 7을 적용함으로써, 고개구율의 화소를 구비한 표시장치를 제조할 수 있다. 본 실시형태에서는, 트랜지스터의 몇가지 구성예에 대해 설명한다.

[0344] 트랜지스터의 일례로서는, 비결정 실리콘, 다결정 실리콘, 미결정(마이크로 크리스탈, 나노 크리스탈, 세미아모퍼스라고도 한다) 실리콘 등으로 대표되는 비단결정 반도체막을 갖는 박막 트랜지스터(TFT) 등을 사용할 수 있다. TFT를 사용하는 경우, 다양한 장점이 있다. 예를 들면, 단결정 실리콘의 경우보다도 낮은 온도에서 제조할 수 있기 때문에, 제조 비용의 삭감, 또는 제조 장치의 대형화를 도모할 수 있다. 제조 장치를 크게 할 수 있기 때문에, 대형기관 위에 제조할 수 있다. 그 때문에, 동시에 많은 개수의 표시장치를 제조할 수 있기 때문에, 저비용으로 제조할 수 있다. 또는, 제조 온도가 낮기 때문에, 내열성이 약한 기관을 사용할 수 있다. 그 때문에, 투광성을 갖는 기관 위에 트랜지스터를 제조할 수 있다. 또는, 투광성을 갖는 기관 위의 트랜지스터를 사용해서 표시 소자에서의 빛의 투과를 제어할 수 있다. 또는, 트랜지스터가 얇기 때문에, 트랜지스터를 형성하는 막의 일부는, 빛을 투과시킬 수 있다. 그 때문에, 개구율을 향상시킬 수 있다.

[0345] 이때, 다결정 실리콘을 제조할 때에, 촉매(니켈 등)를 사용함으로써, 결정성을 한층 더 향상시켜, 전기 특성이 좋은 트랜지스터를 제조하는 것이 가능해 진다. 그 결과, 게이트 드라이버 회로(주사선 구동회로), 소스 드라이버 회로(신호선 구동회로), 및 신호 처리회로(신호 생성 회로, 감마 보정회로, DA 변환회로 등)를 기관 위에 일체 형성 할 수 있다.

[0346] 이때, 미결정 실리콘을 제조할 때에, 촉매(니켈 등)를 사용함으로써, 결정성을 한층 더 향상시켜, 전기 특성이 좋은 트랜지스터를 제조하는 것이 가능해 진다. 이때, 레이저 조사를 행하지 않고, 열처리를 가하는 것만으로, 결정성을 향상시키는 것도 가능하다. 그 결과, 소스 드라이버 회로의 일부(아날로그 스위치 등) 및 게이트 드라이버 회로(주사선 구동회로)를 기관 위에 일체 형성할 수 있다. 이때, 결정화를 위해 레이저 조사를 행하지 않

는 경우에는, 실리콘의 결정성의 불균일을 억제할 수 있다. 그 때문에, 화질이 향상된 화상을 표시할 수 있다. 단, 촉매(니켈 등)를 사용하지 않고, 다결정 실리콘 또는 미결정 실리콘을 제조하는 것은 가능하다.

[0347] 이때, 실리콘의 결정성을, 다결정 또는 미결정 등으로 향상시키는 것은, 패널 전체에서 행하는 것이 바람직하지만, 거기에 한정되지 않는다. 패널의 일부의 영역에서만, 실리콘의 결정성을 향상시켜도 된다. 선택적으로 결정성을 향상시키는 것은, 레이저광을 선택적으로 조사하는 것 등에 의해 가능하다. 예를 들면, 화소 이외의 영역인 주변회로 영역에만, 게이트 드라이버 회로 및 소스 드라이버 회로 등의 영역에만, 또는 소스 드라이버 회로의 일부(예를 들면, 아날로그 스위치)의 영역에만, 레이저광을 조사해도 된다. 그 결과, 회로를 고속으로 동작시킬 필요가 있는 영역에만, 실리콘의 결정화를 향상시킬 수 있다. 화소영역은, 고속으로 동작시킬 필요성이 낮기 때문에, 결정성이 향상되지 않아도, 문제 없이 화소회로를 동작시킬 수 있다. 이렇게 함으로써, 결정성을 향상시키는 영역이 적어도 되기 때문에, 제조 공정도 짧게 할 수 있다. 그 때문에, 스루풋이 향상되어, 제조 비용을 저감시킬 수 있다. 또는, 필요하게 되는 제조 장치의 수도 적은 수로 제조할 수 있기 때문에, 제조 비용을 저감시킬 수 있다.

[0348] 이때, 트랜지스터의 일례로서는, ZnO, a-InGaZnO, SiGe, GaAs, IZO, ITO, SnO, TiO, AlZnSnO(AZTO) 등의 화합물 반도체 또는 산화물 반도체를 갖는 트랜지스터 또는, 이들의 화합물 반도체 또는 산화물 반도체를 박막화한 박막 트랜지스터 등을 사용할 수 있다. 이것들에 의해, 제조 온도를 낮게 할 수 있으므로, 예를 들면, 실온에서 트랜지스터를 제조하는 것이 가능해진다. 그 결과, 내열성이 낮은 기판, 예를 들면, 플라스틱 기판 또는 필름 기판 등에 직접 트랜지스터를 형성할 수 있다. 이때, 이들의 화합물 반도체 또는 산화물 반도체를, 트랜지스터의 채널 부분에 사용할 뿐만 아니라, 그 이외의 용도로 사용할 수도 있다. 예를 들면, 이러한 화합물 반도체 또는 산화물 반도체를 배선, 저항소자, 화소 전극, 또는 투광성을 갖는 전극 등으로서 사용할 수 있다. 그것들을 트랜지스터의 제조 과정으로 형성하는 것이 가능하기 때문에, 비용을 저감할 수 있다.

[0349] 이때, 트랜지스터의 일례로서는, 잉크젯법 또는 인쇄법을 사용해서 형성한 트랜지스터 등을 사용할 수 있다. 이것들에 의해, 실온에서 제조, 저진공도에서 제조, 또는 대형기판 위에 제조할 수 있다. 따라서, 마스크(레티클)를 사용하지 않아도 제조하는 것이 가능해지기 때문에, 트랜지스터의 레이아웃을 용이하게 변경할 수 있다. 또는, 레지스트를 사용하지 않고 제조하는 것이 가능하므로, 재료비가 싸지고, 공정수를 삭감할 수 있다. 또는, 필요한 부분에만 막을 형성하는 것이 가능하므로, 전체면에 성막한 후에 에칭한다고 하는 제법보다도, 재료가 쓸데 없게 되지 않아, 저비용으로 할 수 있다.

[0350] 트랜지스터의 일례로서는, 유기 반도체나 카본 나노튜브를 갖는 트랜지스터 등을 사용할 수 있다. 이것들에 의해, 절곡이 가능한 기판 위에 트랜지스터를 형성할 수 있다. 이러한 기판을 사용한 반도체장치는, 충격에 강하게 할 수 있다.

[0351] 트랜지스터로서는, 그 밖에도 다양한 구조의 트랜지스터를 사용할 수 있다. 예를 들면, 트랜지스터로서, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터 등을 사용할 수 있다. 트랜지스터로서 MOS형 트랜지스터를 사용함으로써, 트랜지스터의 사이즈를 작게 할 수 있다. 따라서, 트랜지스터의 집적도를 높게 할 수 있다. 트랜지스터로서 바이폴러 트랜지스터를 사용함으로써, 큰 전류를 흘릴 수 있다. 따라서, 고속으로 회로를 동작시킬 수 있다. 이때, MOS형 트랜지스터와 바이폴러 트랜지스터를 1개의 기판에 혼재시켜 형성해도 된다. 이에 따라, 저소비 전력, 소형화, 고속동작 등을 실현할 수 있다.

[0352] 트랜지스터의 일례로서는, 게이트 전극이 2개 이상인 멀티 게이트 구조의 트랜지스터를 사용할 수 있다. 멀티 게이트 구조로 하면, 채널 영역이 직렬로 접속되기 때문에, 복수의 트랜지스터가 직렬로 접속된 구조가 된다. 따라서, 멀티 게이트 구조에 의해, 오프 전류의 저감, 트랜지스터의 내압 향상(신뢰성의 향상)을 도모할 수 있다. 또는, 멀티 게이트 구조에 의해, 포화 영역에서 동작할 때에, 드레인과 소스 사이의 전압이 변화하여도, 드레인과 소스 사이의 전류가 그다지 변화되지 않아, 전압·전류 특성의 기울기를 플랫폼하게 할 수 있다. 전압·전류 특성의 기울기가 플랫폼한 특성을 이용하면, 이상적인 전류원 회로, 또는 매우 높은 저항값을 갖는 능동 부하를 실현할 수 있다. 그 결과, 특성의 좋은 차동 회로 또는 커런트 미러 회로 등을 실현할 수 있다.

[0353] 트랜지스터의 일례로서는, 채널의 상하에 게이트 전극이 배치되어 있는 구조의 트랜지스터를 적용할 수 있다. 채널의 상하에 게이트 전극이 배치되는 구조로 함으로써, 복수의 트랜지스터가 병렬로 접속된 것과 같은 회로 구성이 된다. 따라서, 채널 영역이 증가하기 때문에, 전류값의 증가를 도모할 수 있다. 또는, 채널의 상하에 게이트 전극이 배치되어 있는 구조로 함으로써, 공핍층이 생기기 쉬워지기 때문에, S<sub>Δ</sub>(subthreshold swing value)의 개선을 도모할 수 있다.

- [0354] 트랜지스터의 일례로서는, 채널 영역 위에 게이트 전극이 배치되어 있는 구조, 채널 영역의 아래에 게이트 전극이 배치되어 있는 구조, 정 스테거 구조, 역 스테거 구조, 채널 영역을 복수개 영역으로 나눈 구조, 채널 영역을 병렬로 접속한 구조, 또는 채널 영역이 직렬로 접속하는 구조 등의 트랜지스터를 사용할 수 있다.
- [0355] 이때, 트랜지스터의 일례로서는, 채널 영역(혹은 그것의 일부)에 소스 전극이나 드레인 전극이 중첩되어 있는 구조의 트랜지스터를 사용할 수 있다. 채널 영역(혹은 그것의 일부)에 소스 전극이나 드레인 전극이 겹치는 구조로 함으로써, 채널 영역의 일부에 전하가 머무는 것에 의해 동작이 불안정해지는 것을 막을 수 있다.
- [0356] 트랜지스터의 일례로서는, 고저항 영역을 설치한 구조를 적용할 수 있다. 고저항 영역을 설치함으로써, 오프 전류의 저감, 또는 트랜지스터의 내압 향상(신뢰성의 향상)을 도모할 수 있다. 또는, 고저항 영역을 설치함으로써, 포화 영역에서 동작할 때에, 드레인과 소스 사이의 전압이 변화하여도, 드레인 전류가 그다지 변화되지 않아, 전압·전류 특성의 기울기가 플랫폼한 특성으로 할 수 있다.
- [0357] 다양한 기판을 사용하여, 트랜지스터를 형성할 수 있다. 기판의 종류는, 특정한 것에 한정되는 일은 없다. 그 기판의 일례로서는, 반도체 기판(예를 들면, 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인레스·스틸 기판, 스테인레스·스틸·호일을 갖는 기판, 텅스텐 기판, 텅스텐·호일을 갖는 기판, 가요성 기판, 부착 필름, 섬유형의 재료를 포함하는 종이, 또는 기재 필름 등이 있다. 유리 기판의 일례로서는, 바륨 보로실리케이트 글래스, 알루미늄보로실리케이트 글래스, 또는 소다라임 글래스 등이 있다. 가요성 기판의 일례로서는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르술폰(PES)으로 대표되는 플라스틱, 또는 아크릴 등의 가요성을 갖는 합성 수지 등이 있다. 부착 필름의 일례로서는, 폴리프로필렌, 폴리에스테르, 비닐, 폴리불화비닐, 또는 염화비닐 등이 있다. 기재 필름의 일례로서는, 폴리에스테르, 폴리아미드, 폴리이미드, 무기 증착 필름, 또는 지류 등이 있다. 특히, 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 사용해서 트랜지스터를 제조함으로써, 특성, 사이즈, 또는 형상 등의 격차가 적고, 전류능력이 높고, 사이즈가 작은 트랜지스터를 제조할 수 있다. 이러한 트랜지스터에 의해 회로를 구성하면, 회로의 저소비 전력화, 또는 회로의 고집적화를 도모할 수 있다.
- [0358] 어떤 기판을 사용해서 트랜지스터를 형성하고, 그후, 다른 기판에 트랜지스터를 전치하고, 다른 기판 위에 트랜지스터를 배치해도 된다. 트랜지스터가 전치되는 기판의 일례로서는, 전술한 트랜지스터를 형성하는 것이 가능한 기판 이외에, 종이 기판, 셀로판 기판, 석재 기판, 목재 기판, 천 기판(천연 섬유(비단, 면, 삼), 합성 섬유(나일론, 폴리에스테르, 폴리에스테르) 혹은 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스테르) 등을 포함한다), 피혁 기판, 또는 고무 기판 등이 있다. 이들 기판을 사용함으로써, 특성이 좋은 트랜지스터의 형성, 소비 전력이 작은 트랜지스터의 형성, 깨지기 어려운 장치의 제조, 내열성의 부여, 경량화, 또는 초박형화를 도모할 수 있다.
- [0359] 여기에서, 트랜지스터란, 게이트와, 드레인과, 소스를 포함하는 적어도 3개의 단자를 갖는 소자이며, 드레인 영역과 소스 영역 사이에 채널 영역을 갖고 있고, 드레인 영역과 채널 영역과 소스 영역을 거쳐 전류를 흘려보낼 수 있는 것이다. 여기에서, 소스와 드레인은, 트랜지스터의 구조 또는 동작조건 등에 의해 바뀌기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 따라서, 소스로서 기능하는 영역, 및 드레인으로서 기능하는 영역을, 소스 또는 드레인으로 부르지는 경우가 있다. 그 경우, 일례로서, 소스와 드레인의 한쪽을, 제1단자, 제1전극, 또는 제1영역으로 표기하고, 소스와 드레인의 다른 쪽을, 제2단자, 제2전극, 또는 제2영역으로 표기하는 경우가 있다.
- [0360] 또한, 트랜지스터는, 베이스와 에미터와 콜렉터를 포함하는 적어도 3개의 단자를 갖는 소자이어도 된다. 이 경우도 마찬가지로, 일례로서, 에미터와 콜렉터의 한쪽을, 제1단자, 제1전극, 또는 제1영역으로 표기하고, 에미터와 콜렉터의 다른 쪽을, 제2단자, 제2전극, 또는 제2영역으로 표기하는 경우가 있다. 이때, 트랜지스터로서 바이폴러 트랜지스터가 사용되는 경우, 게이트라고 하는 표기를 베이스로 바꿔 말하는 것이 가능하다.
- [0361] 게이트란, 게이트 전극과 게이트 배선(게이트 선, 게이트 신호선, 주사선, 주사 신호선 등이라고도 한다)을 포함하는 전체, 또는, 그것들의 일부를 말한다. 게이트 전극이란, 채널 영역을 형성하는 반도체와, 게이트 절연막을 거쳐 오버랩하고 있는 부분의 도전막을 말한다. 단, 게이트 전극의 일부는, 고저항 영역, 또는 소스 영역(또는 드레인 영역)과, 게이트 절연막을 거쳐 오버랩되어 있는 것이 가능하다. 게이트 배선이란, 각 트랜지스터의 게이트 전극의 사이를 접속하기 위한 배선, 각 화소가 갖는 게이트 전극의 사이를 접속하기 위한 배선, 또는 게이트 전극과 다른 배선을 접속하기 위한 배선을 말한다.
- [0362] 게이트 전극으로서도 기능하고, 또한, 게이트 배선으로서도 기능하는 것 같은 부분(영역, 도전막, 배선 등)도

존재한다. 그러한 부분(영역, 도전막, 배선 등)은, 게이트 전극으로 불려도 되고, 게이트 배선으로 불려도 된다. 즉, 게이트 전극과 게이트 배선을, 명확하게 구별할 수 없는 것과 같은 영역도 존재한다. 예를 들면, 연신해서 배치되어 있는 게이트 배선의 일부와 채널 영역이 오버랩하고 있는 경우, 그 부분(영역, 도전막, 배선 등)은 게이트 배선으로서 기능하고 있지만, 게이트 전극으로서도 기능하고 있게 된다. 따라서, 그러한 부분(영역, 도전막, 배선 등)은, 게이트 전극으로 불려도 되고, 게이트 배선으로 불려도 된다.

[0363] 게이트 전극과 같은 재료로 형성되고, 게이트 전극과 같은 섬(아일랜드)을 형성해서 연결되는 부분(영역, 도전막, 배선 등)도, 게이트 전극으로 불려도 된다. 마찬가지로, 게이트 배선과 같은 재료로 형성되고, 게이트 배선과 같은 섬(아일랜드)을 형성해서 연결되는 부분(영역, 도전막, 배선 등)도, 게이트 배선으로 불려도 된다. 이러한 부분(영역, 도전막, 배선 등)은, 엄밀한 의미에서는, 채널 영역과 오버랩하고 있지 않는 경우, 또는 다른 게이트 전극과 접속시키는 기능을 갖지 않고 있는 경우가 있다. 그러나, 제조시의 사양 등의 관계에서, 게이트 전극 또는 게이트 배선과 같은 재료로 형성되고, 게이트 전극 또는 게이트 배선과 같은 섬(아일랜드)을 형성해서 연결되는 부분(영역, 도전막, 배선 등)이 있다. 따라서, 그러한 부분(영역, 도전막, 배선 등)도 게이트 전극 또는 게이트 배선으로 불려도 된다.

[0364] 예를 들면, 멀티 게이트 구조의 트랜지스터에 있어서, 1개의 게이트 전극과, 다른 게이트 전극은, 게이트 전극과 같은 재료로 형성된 도전막으로 접속되는 경우가 많다. 이러한 경우에는, 게이트 전극과 게이트 전극을 접속시키기 위한 부분(영역, 도전막, 배선 등)은, 게이트 배선으로 불려도 된다. 또는, 멀티 게이트 구조의 트랜지스터를 1개의 트랜지스터로 간주할 수도 있기 때문에, 게이트 전극으로 불려도 된다. 즉, 게이트 전극 또는 게이트 배선과 같은 재료로 형성되고, 게이트 전극 또는 게이트 배선과 같은 섬(아일랜드)을 형성해서 연결되는 부분(영역, 도전막, 배선 등)은, 게이트 전극이나 게이트 배선으로 불려도 된다. 다른 예로서, 게이트 전극과 게이트 배선을 접속시키고 있는 부분의 도전막으로서, 게이트 전극 또는 게이트 배선과는 다른 재료로 형성된 도전막도, 게이트 전극으로 불려도 되고, 게이트 배선으로 불려도 된다.

[0365] 또한, 게이트 단자란, 게이트 전극의 부분(영역, 도전막, 배선 등), 또는 게이트 전극과 전기적으로 접속되어 있는 부분(영역, 도전막, 배선 등)에 대해서, 그것의 일부분을 말한다.

[0366] 어떤 배선을, 게이트 배선, 게이트 선, 게이트 신호선, 주사선, 또는 주사 신호선 등으로 부르는 경우, 그 배선에 트랜지스터의 게이트가 접속되지 않고 있는 경우도 있다. 이 경우, 게이트 배선, 게이트 선, 게이트 신호선, 주사선, 또는 주사 신호선은, 트랜지스터의 게이트와 같은 층으로 형성된 배선, 트랜지스터의 게이트와 같은 재료로 형성된 배선, 또는 트랜지스터의 게이트와 동시에 형성된 배선 등을 의미하고 경우가 있다. 그것의 일례로서는, 유지용량용 배선, 전원선, 기준전위 공급 배선 등이 있다.

[0367] 소스란, 소스 영역과 소스 전극과 소스 배선(소스선, 소스 신호선, 데이터 선, 데이터 신호선 등이라고도 한다)을 포함하는 전체, 또는, 그것들의 일부를 말한다. 소스 영역이란, P형 불순물(붕소나 갈륨 등) 또는 N형 불순물(인이나 비소 등)이 많이 포함되는 반도체 영역을 말한다. 따라서, P형 불순물이나 N형 불순물의 농도가 낮은 저농도 불순물 영역이, 저항이 높은 고저항 영역인 경우, 소스 영역에는 포함되지 않는 것으로 간주하는 일이 많다. 소스 전극이란, 소스 영역과는 다른 재료로 형성되고, 소스 영역과 전기적으로 접속되어 배치되어 있는 부분의 도전층을 말한다. 단, 소스 전극은, 소스 영역도 포함하여 소스 전극으로 부르는 일도 있다. 소스 배선이란, 각 트랜지스터의 소스 전극의 사이를 접속하기 위한 배선, 각 화소가 갖는 소스 전극의 사이를 접속하기 위한 배선, 또는 소스 전극과 다른 배선을 접속하기 위한 배선을 말한다.

[0368] 또한, 소스 전극으로서도 기능하고, 소스 배선으로서도 기능하는 것과 같은 부분(영역, 도전막, 배선 등)도 존재한다. 그러한 부분(영역, 도전막, 배선 등)은, 소스 전극으로 불려도 되고, 소스 배선으로 불려도 된다. 즉, 소스 전극과 소스 배선이, 명확하게 구별할 수 없는 것과 같은 영역도 존재한다. 예를 들면, 연신해서 배치되어 있는 소스 배선의 일부와 소스 영역이 오버랩하고 있는 경우, 그 부분(영역, 도전막, 배선 등)은 소스 배선으로서 기능하고 있지만, 소스 전극으로서도 기능하고 있게 된다. 따라서, 그러한 부분(영역, 도전막, 배선 등)은, 소스 전극으로 불려도 되고, 소스 배선으로 불려도 된다.

[0369] 또한, 소스 전극과 같은 재료로 형성되고, 소스 전극과 같은 섬(아일랜드)을 형성해서 연결되는 부분(영역, 도전막, 배선 등), 소스 전극과 소스 전극을 접속하는 부분(영역, 도전막, 배선 등), 및, 소스 영역과 오버랩하고 있는 부분(영역, 도전막, 배선 등)도, 소스 전극으로 불려도 된다. 마찬가지로, 소스 배선과 같은 재료로 형성되고, 소스 배선과 같은 섬(아일랜드)을 형성해서 연결되어 있는 영역도, 소스 배선으로 불려도 된다. 이러한 부분(영역, 도전막, 배선 등)은, 엄밀한 의미에서는, 다른 소스 전극과 접속시키는 기능을 갖지 않고 있는 경우가 있다. 그러나, 제조시의 사양 등의 관계에서, 소스 전극 또는 소스 배선과 같은 재료로 형성되고, 소스 전극



또는 소스 배선과 연결되어 있는 부분(영역, 도전막, 배선 등)이 있다. 따라서, 그러한 부분(영역, 도전막, 배선 등)도 소스 전극 또는 소스 배선으로 불려도 된다.

[0370] 예를 들면, 소스 전극과 소스 배선을 접촉시키고 있는 부분의 도전막으로서, 소스 전극 또는 소스 배선과는 다른 재료로 형성된 도전막도, 소스 전극으로 불려도 되고, 소스 배선으로 불려도 된다.

[0371] 이때, 소스 단자란, 소스 영역이나, 소스 전극이나, 소스 전극과 전기적으로 접속되어 있는 부분(영역, 도전막, 배선 등)에 대해서, 그것의 일부분을 말한다.

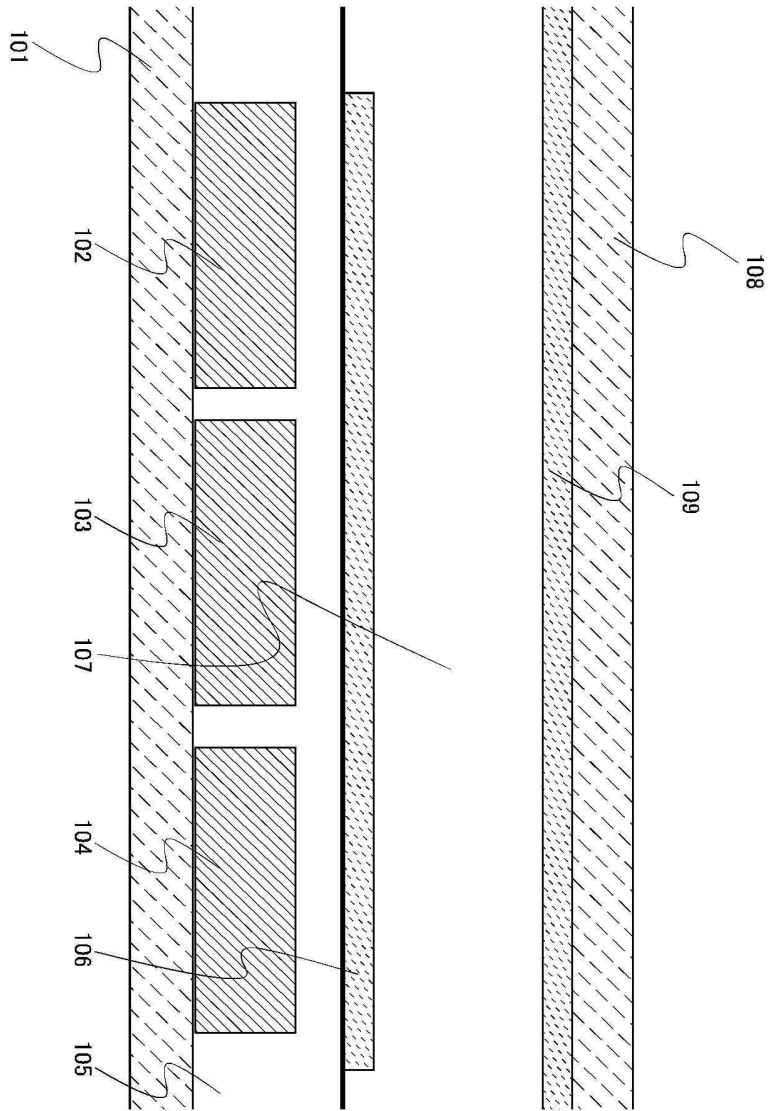
[0372] 이때, 어떤 배선을, 소스 배선, 소스선, 소스 신호선, 데이터 선, 데이터 신호선 등으로 부르는 경우, 그 배선에 트랜지스터의 소스(드레인)가 접속되어 있지 않은 경우도 있다. 이 경우, 소스 배선, 소스선, 소스 신호선, 데이터 선 및 데이터 신호선은, 트랜지스터의 소스(드레인)와 같은 층에 형성된 배선, 트랜지스터의 소스(드레인)와 같은 재료로 형성된 배선, 또는 트랜지스터의 소스(드레인)와 동시에 형성된 배선을 의미하고 있는 경우가 있다. 예로서는, 유지용량용 배선, 전원선, 기준전위 공급 배선 등이 있다.

[0373] 드레인의 설명은 소스로 같으므로, 그 설명을 준용한다.

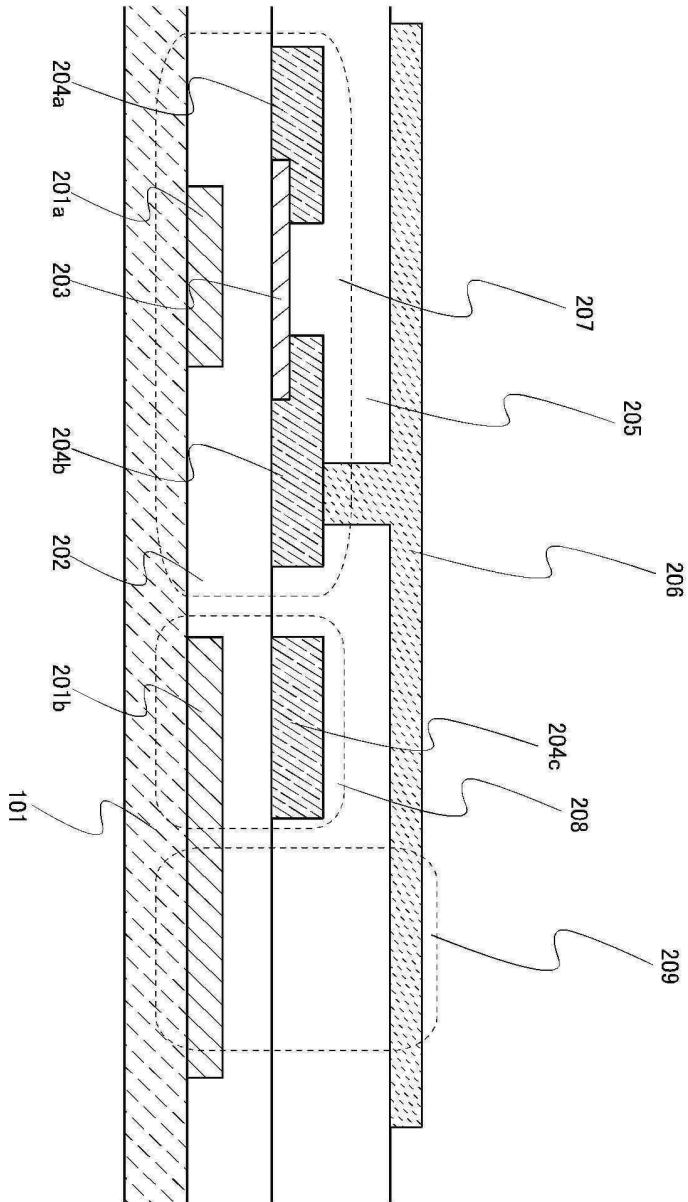
**부호의 설명**

- [0374] 101 기관
- 102 회로
- 103 회로
- 104 회로
- 105 절연층
- 106 도전층
- 107 매질
- 108 기관
- 109 도전층
- 202 절연층
- 203 반도체층
- 205 절연층
- 206 도전층
- 207 트랜지스터
- 208 용량소자
- 209 용량소자
- 201a, 201aa, 201ab, 201b, 201ba, 201bb, 201c, 201ca, 201cb, 201da, 201db, 201eb, 201fb 도전층
- 203a 반도체층
- 204a, 204aa, 204ab, 204b, 204ba, 204bb, 204c, 204ca, 204cb, 204d, 204da, 204db, 204e, 204ea, 204eb, 204fb, 204gb, 204hb 도전층
- 206a 도전층

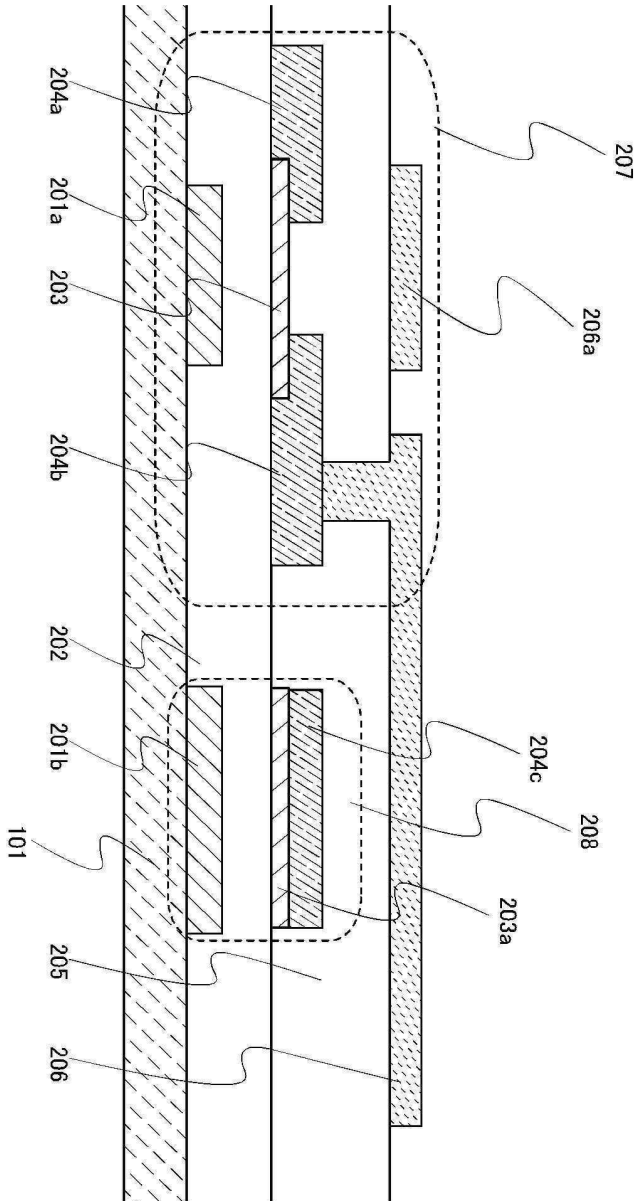
도면  
도면1



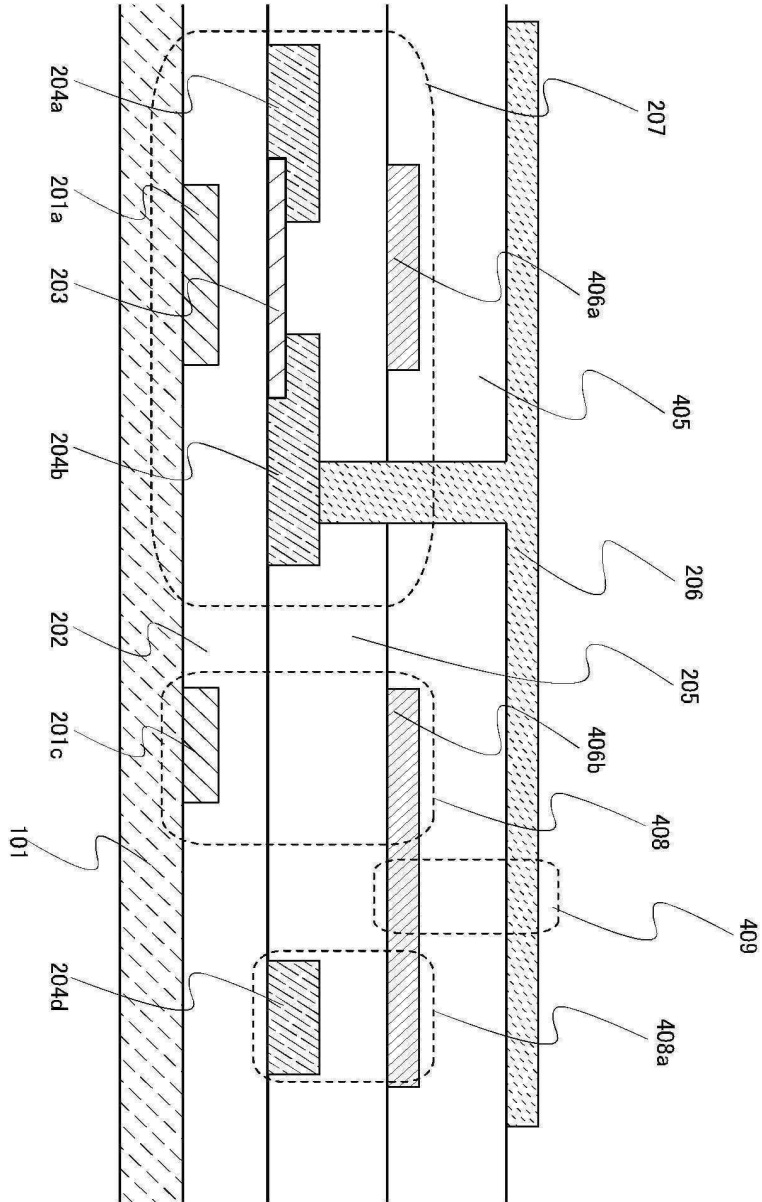
도면2



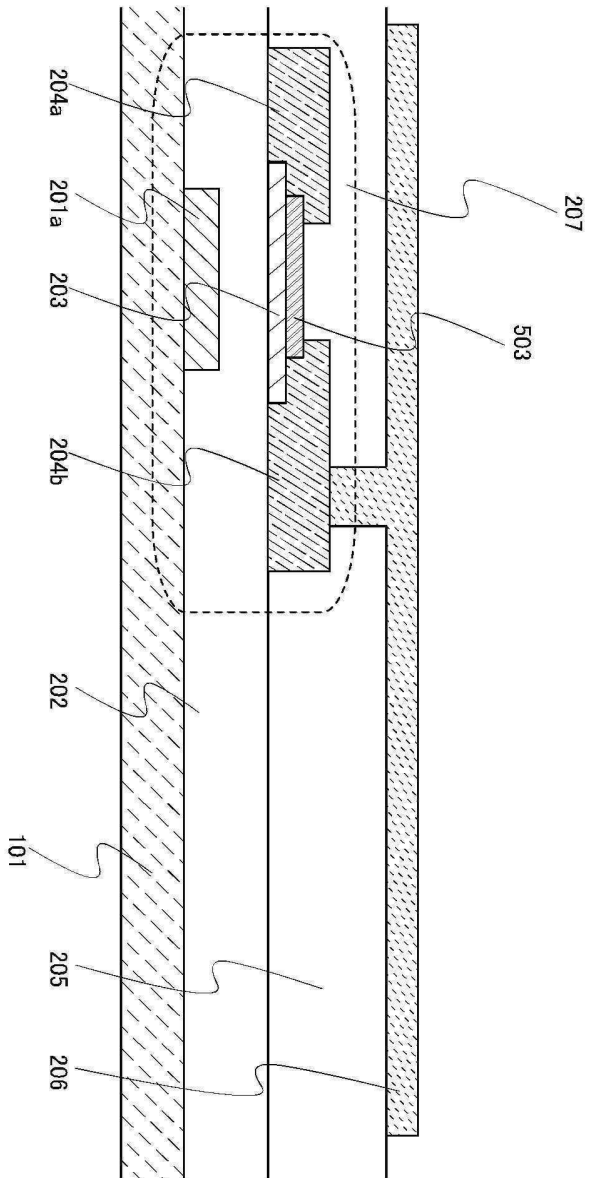
도면3



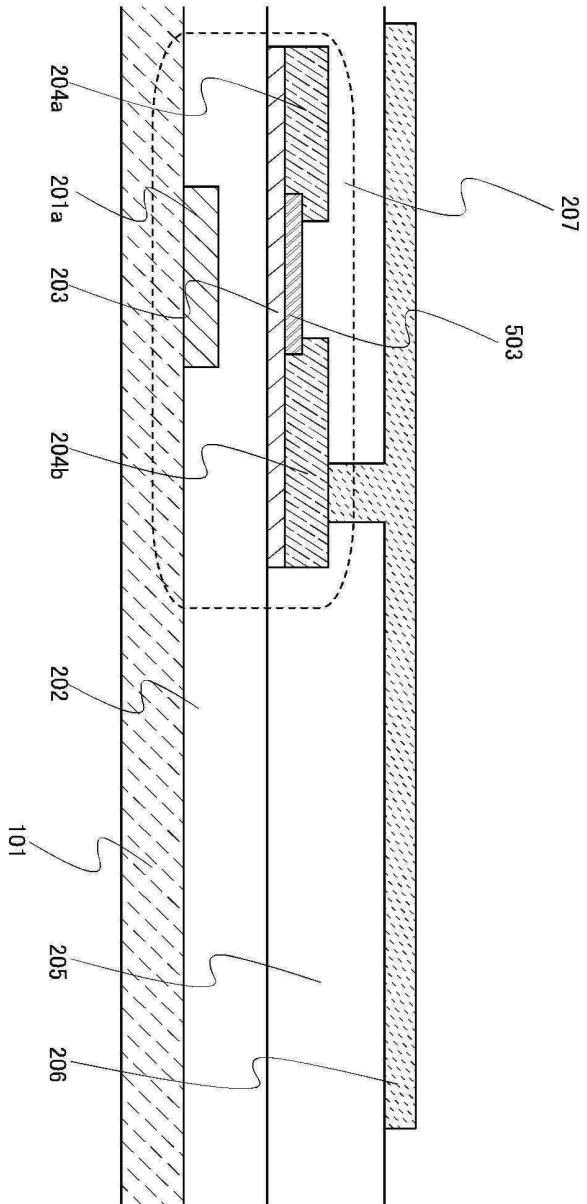
도면4



도면5



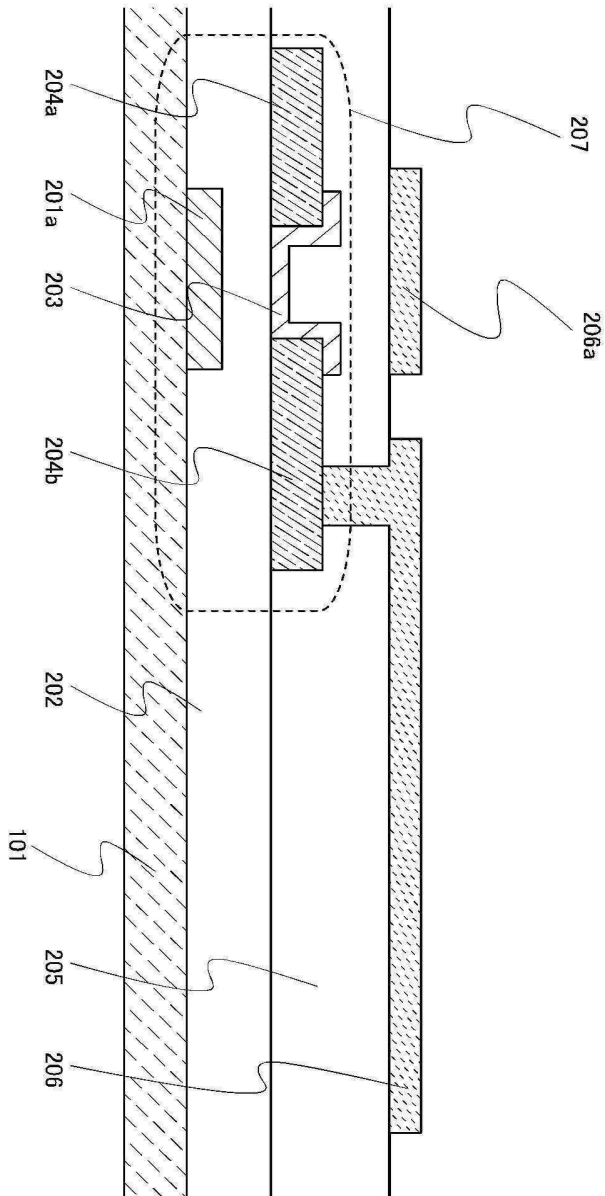
도면6



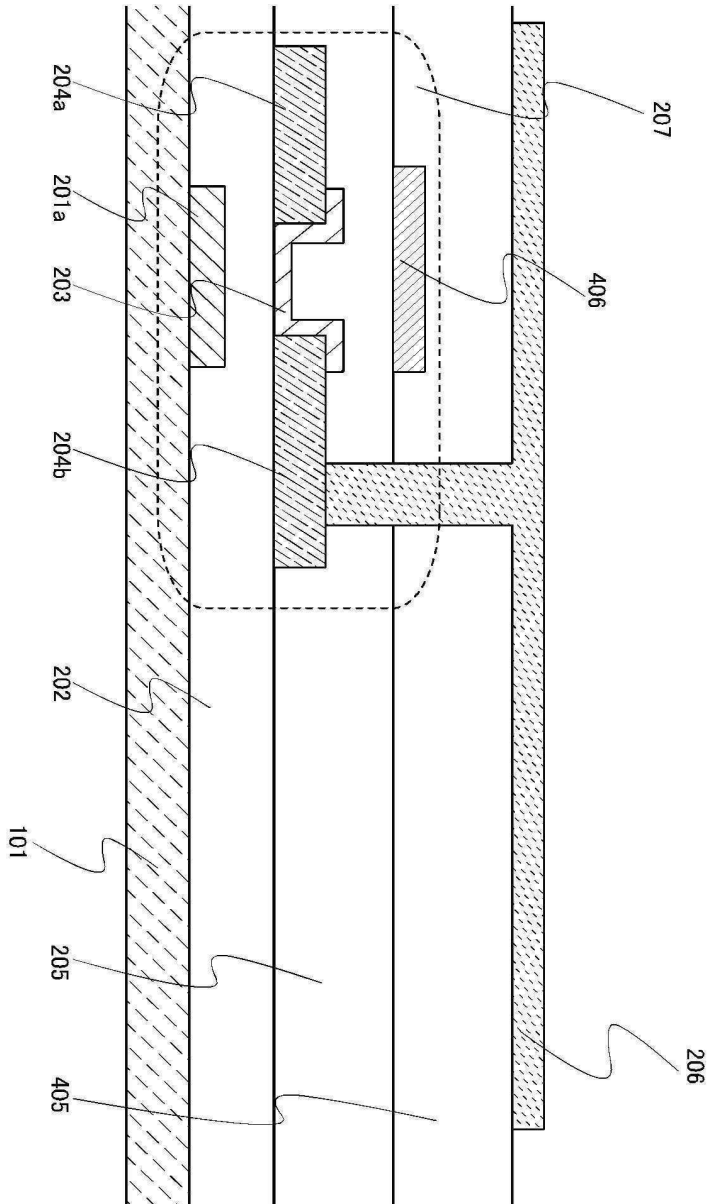




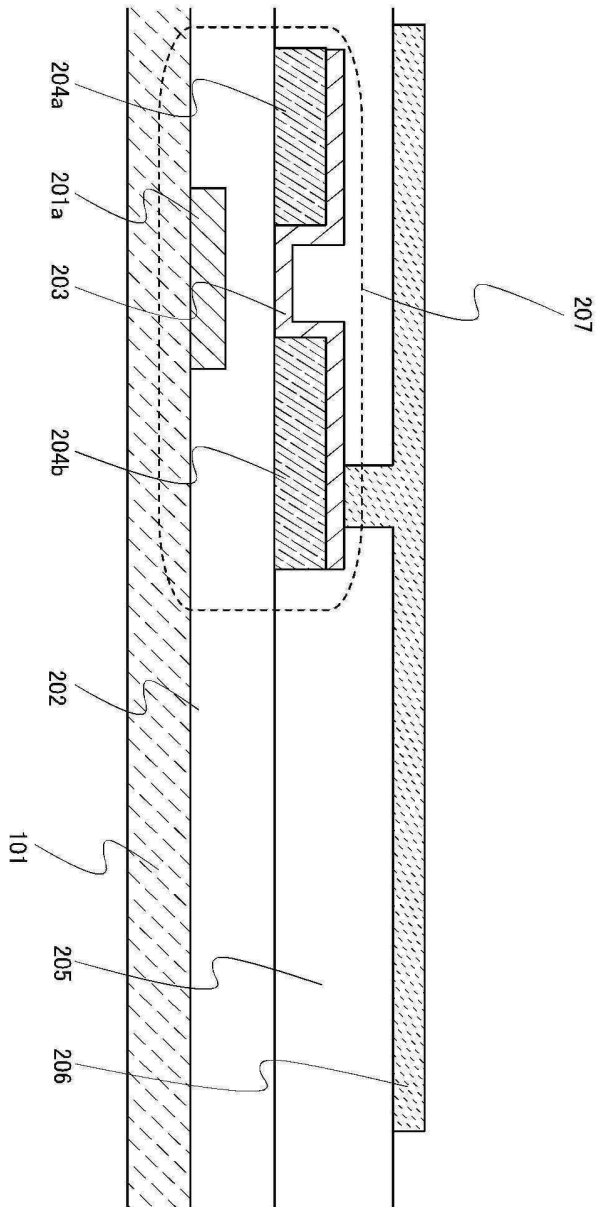
도면8



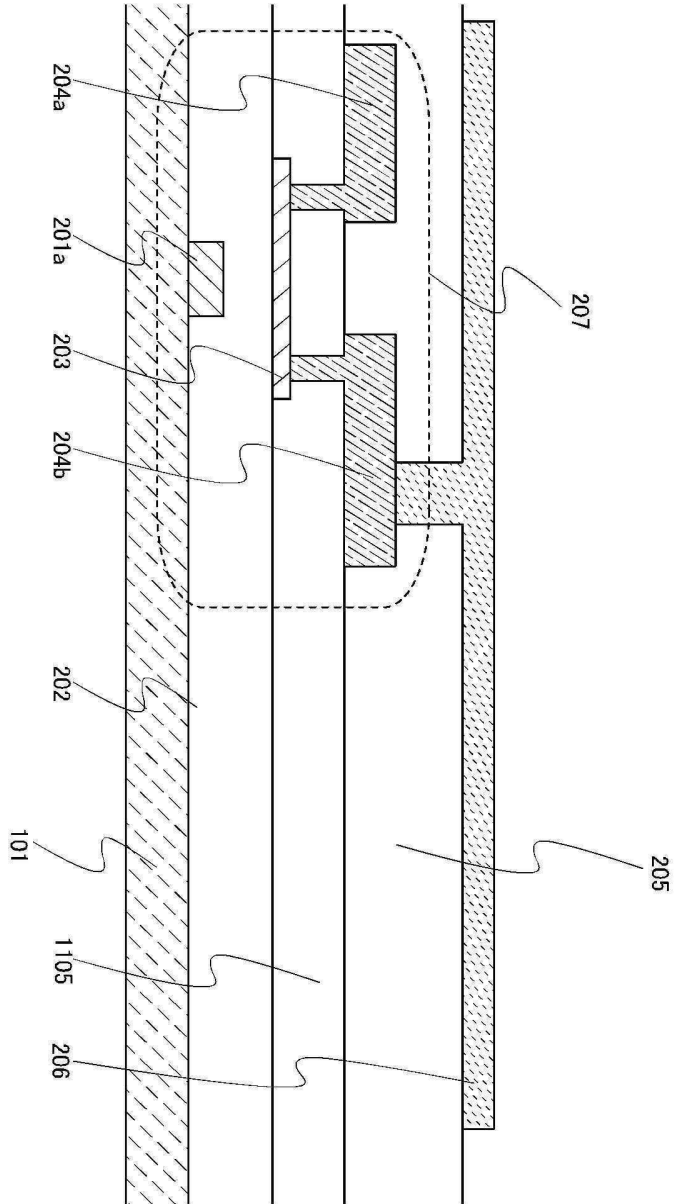
도면9



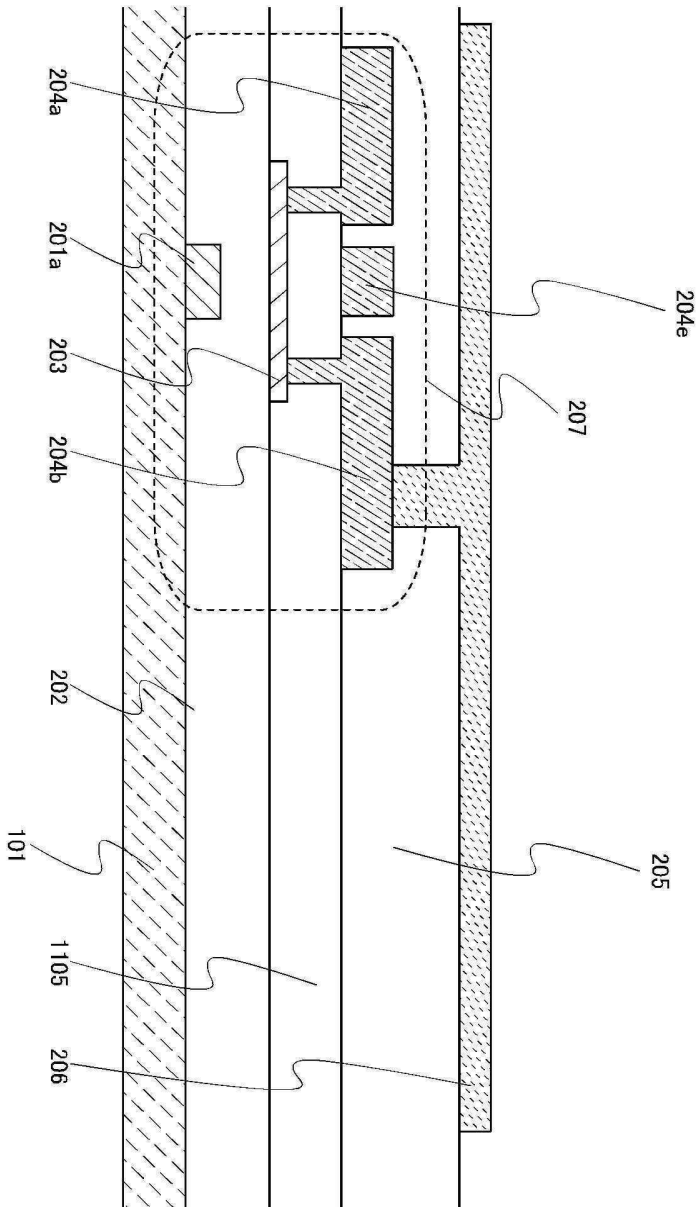
도면10



도면11

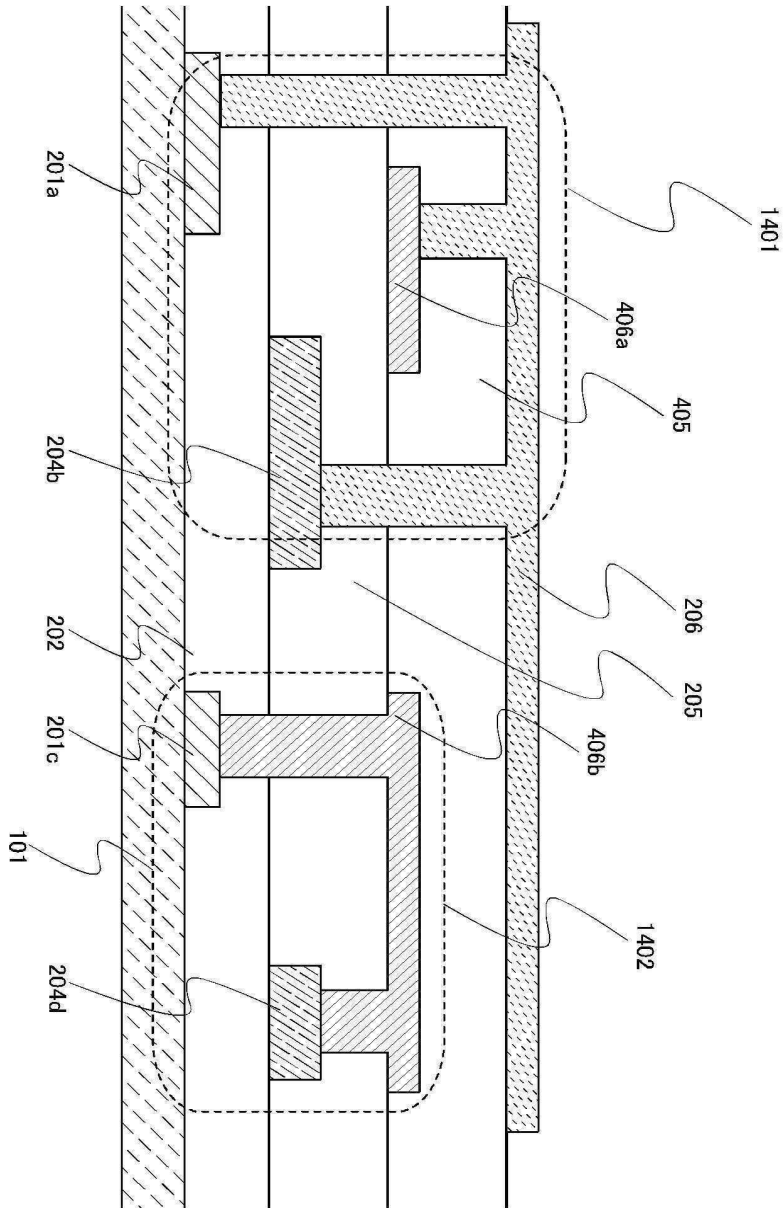


도면12

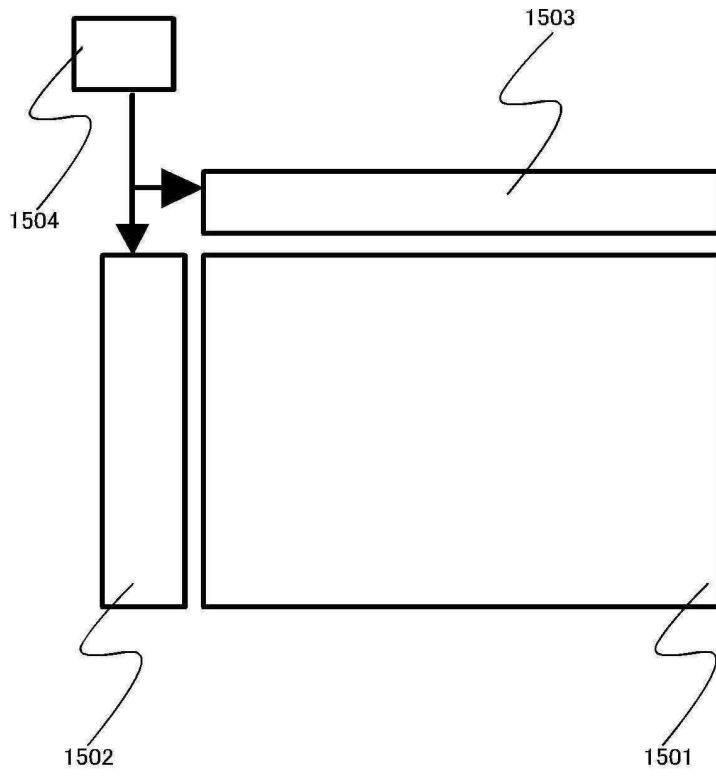




도면14

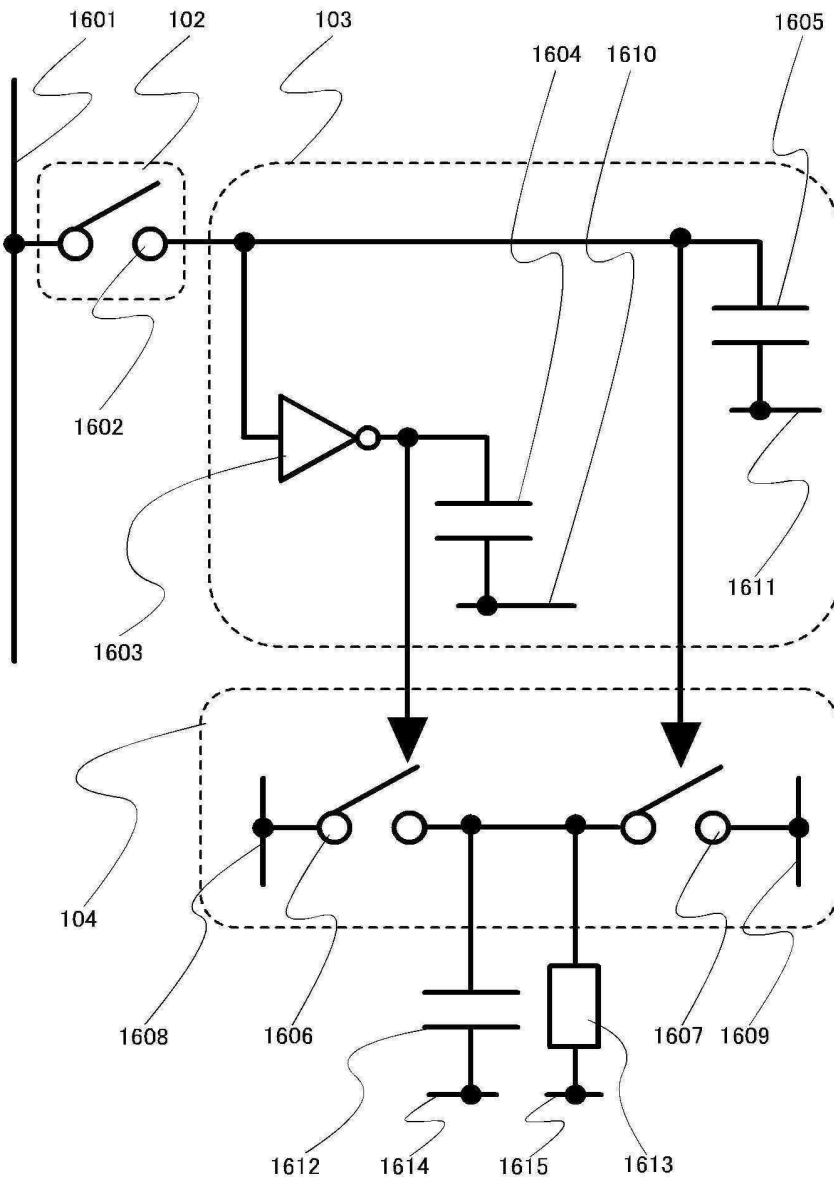


도면15

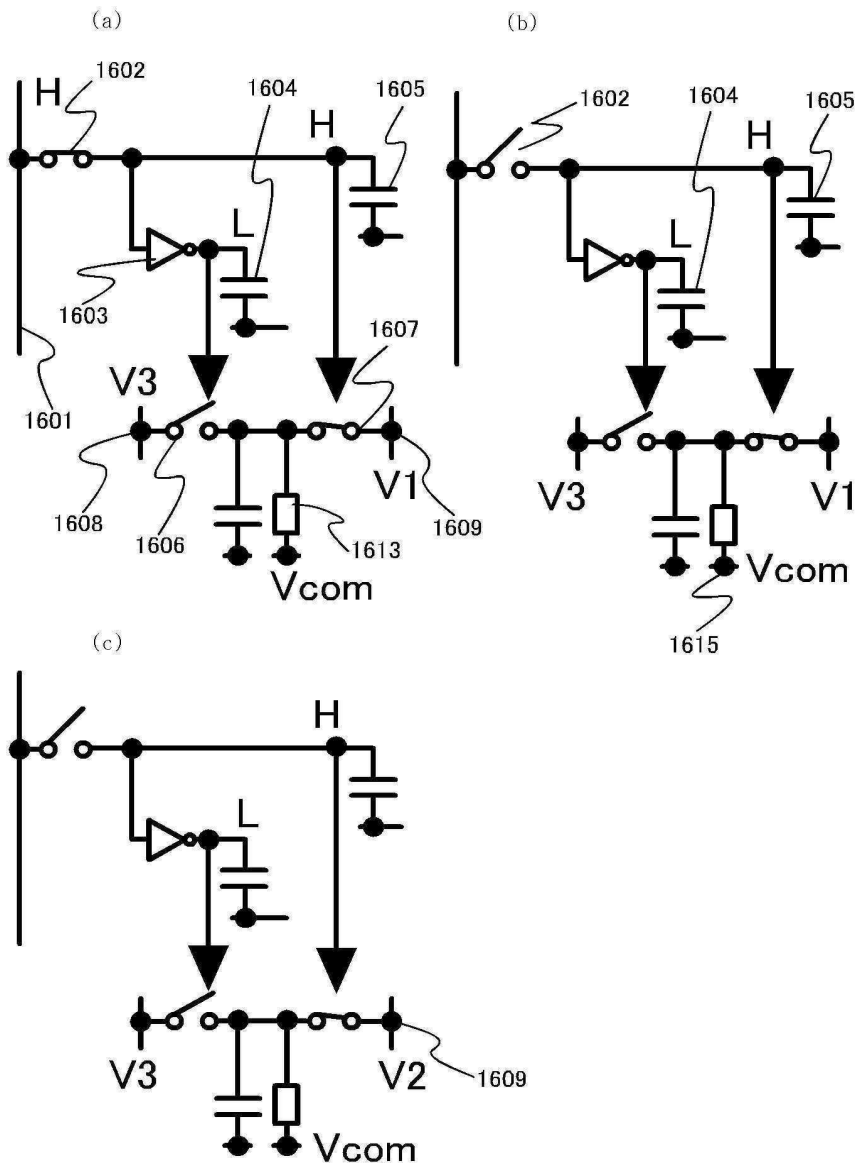




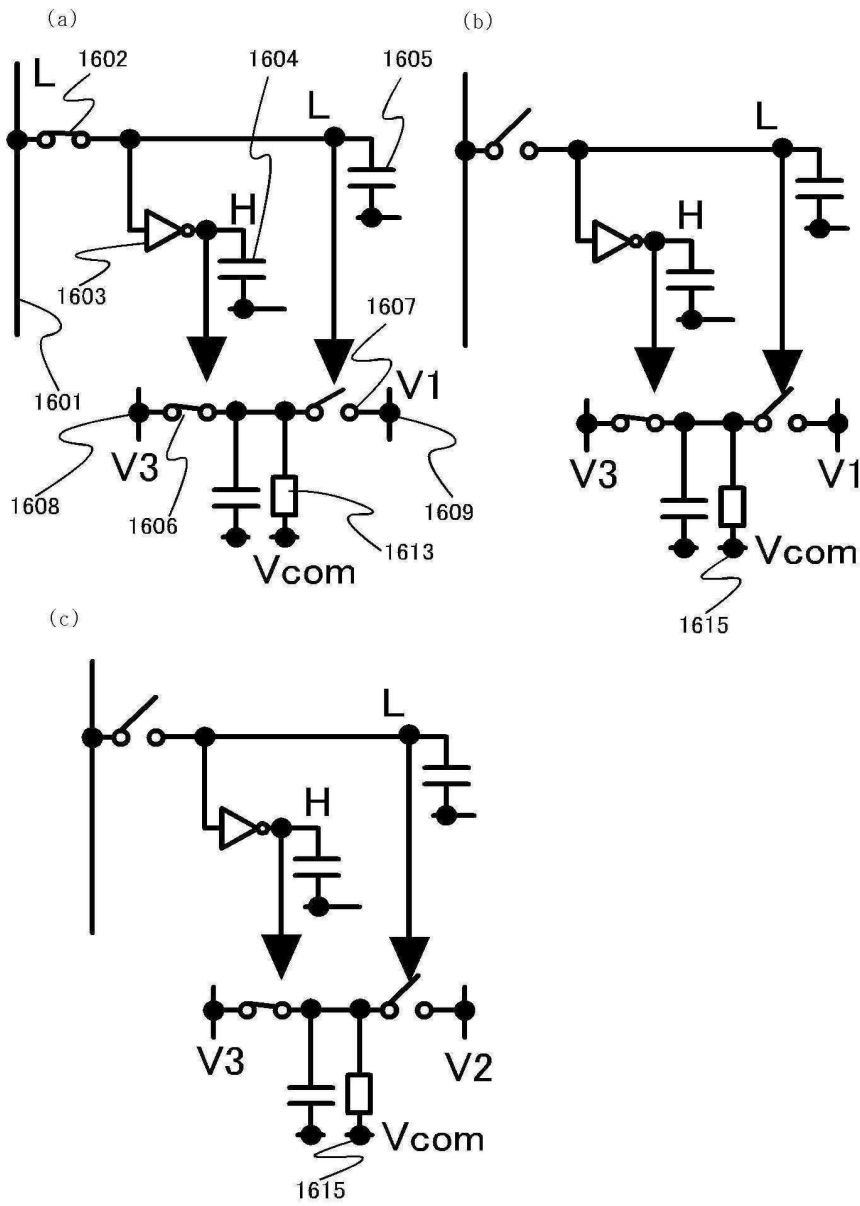
도면16



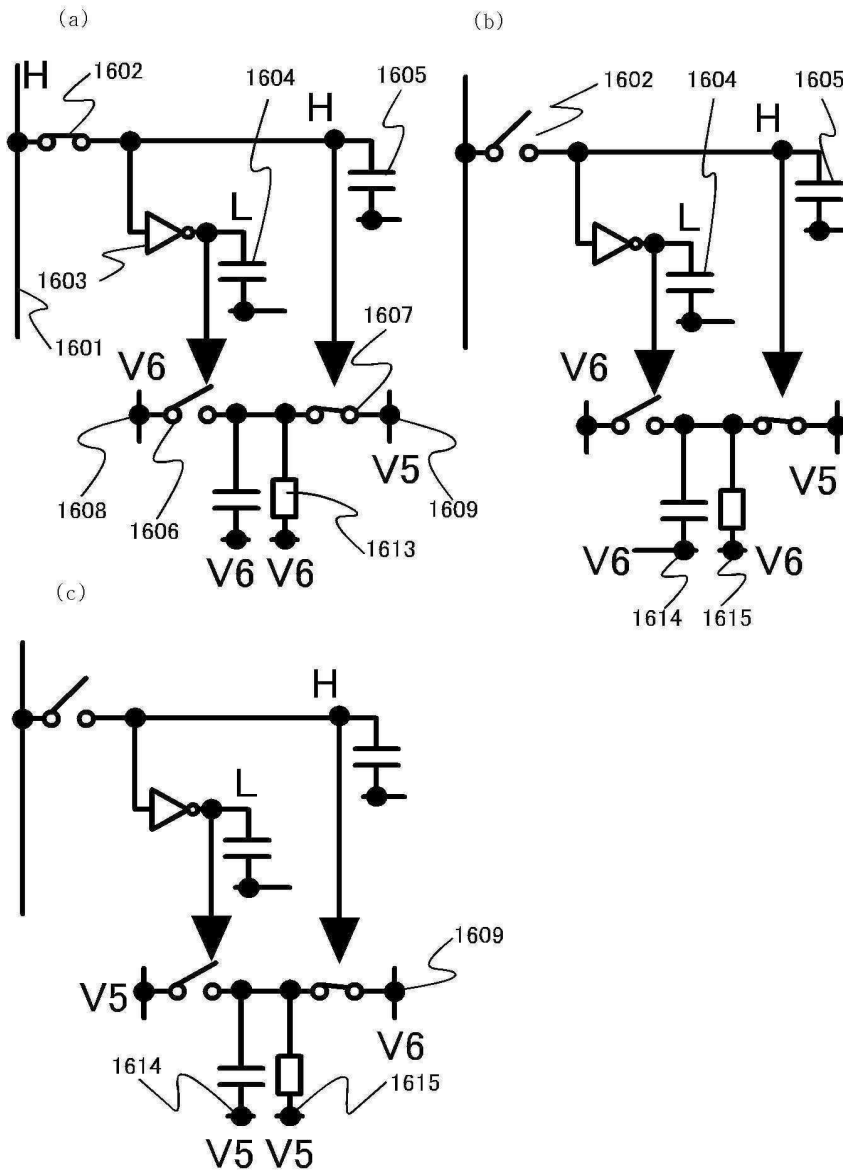
도면17



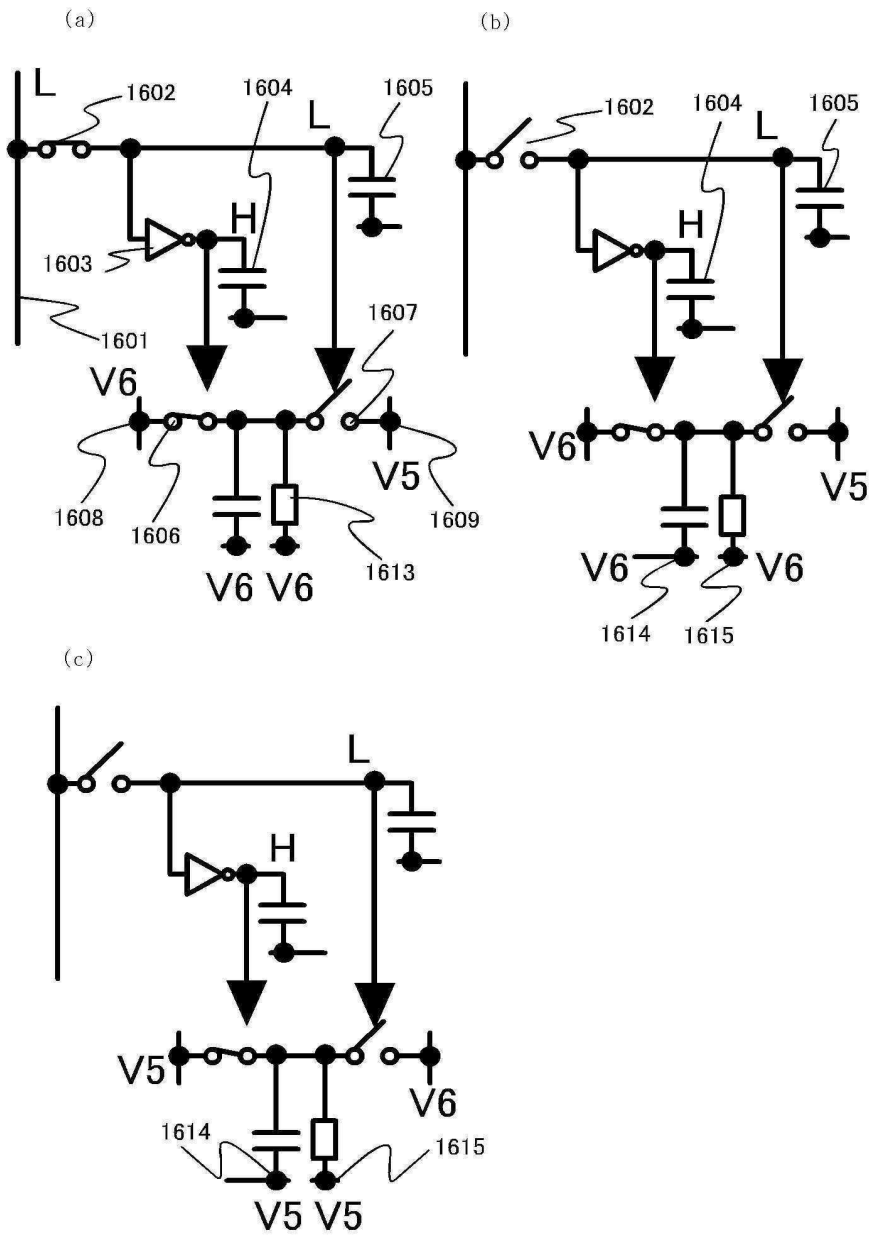
도면18



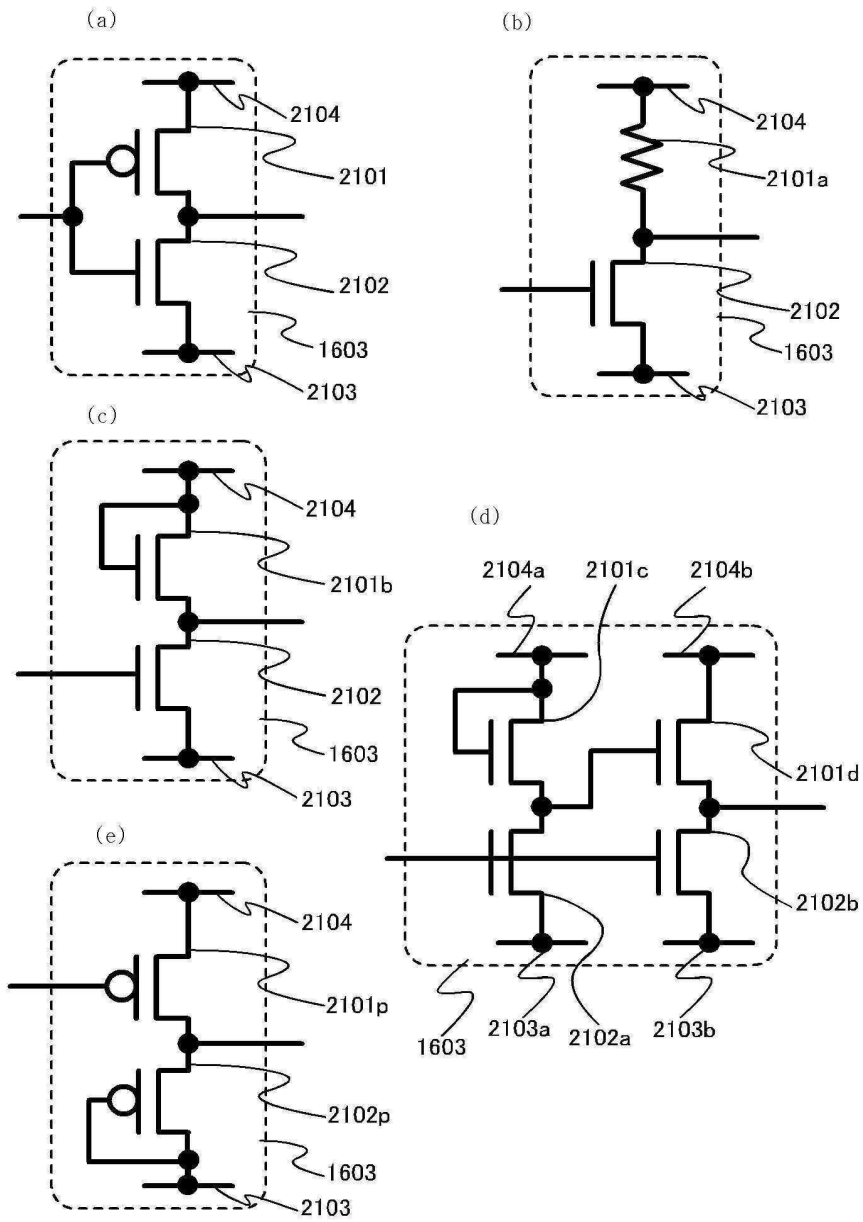
도면19



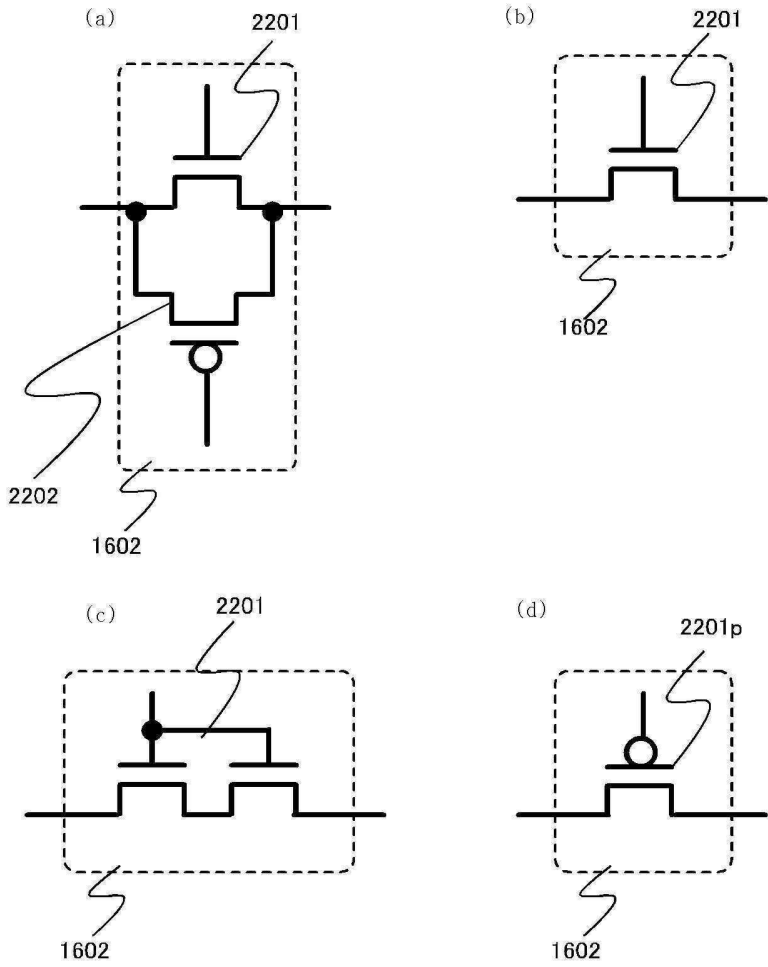
도면20



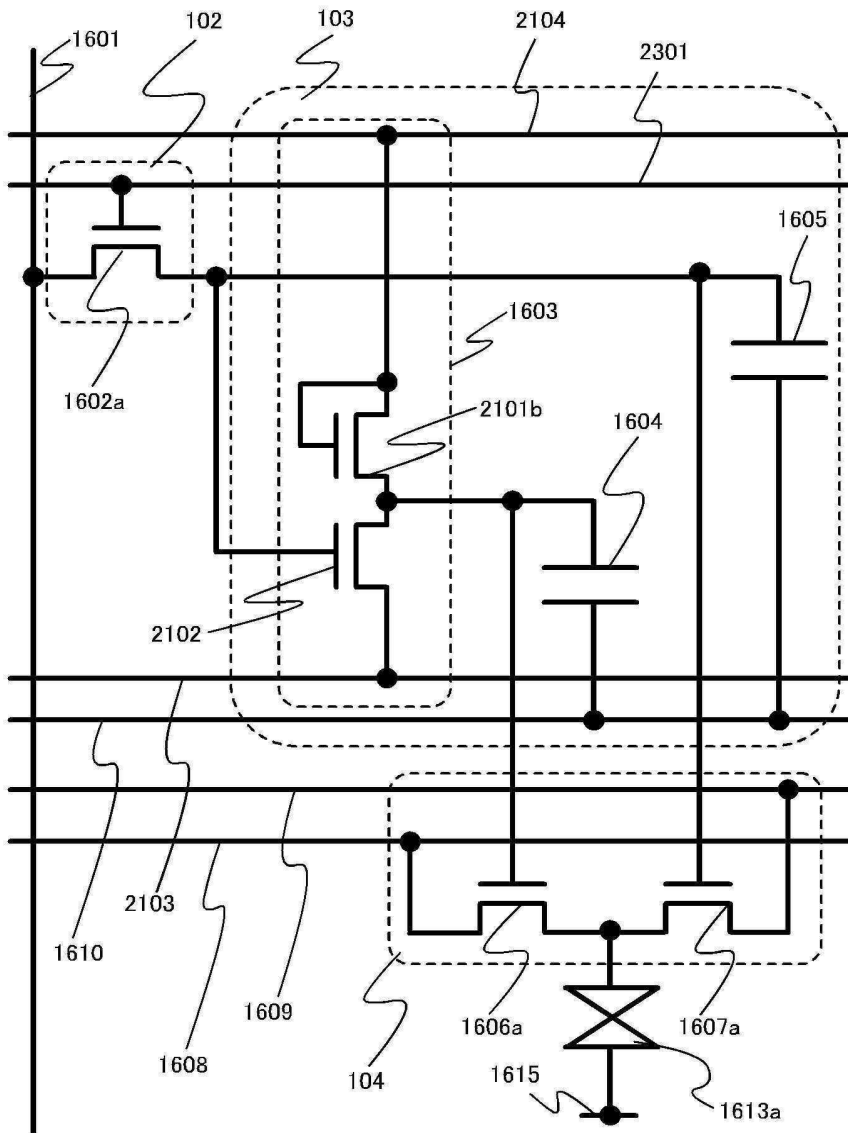
도면21



도면22

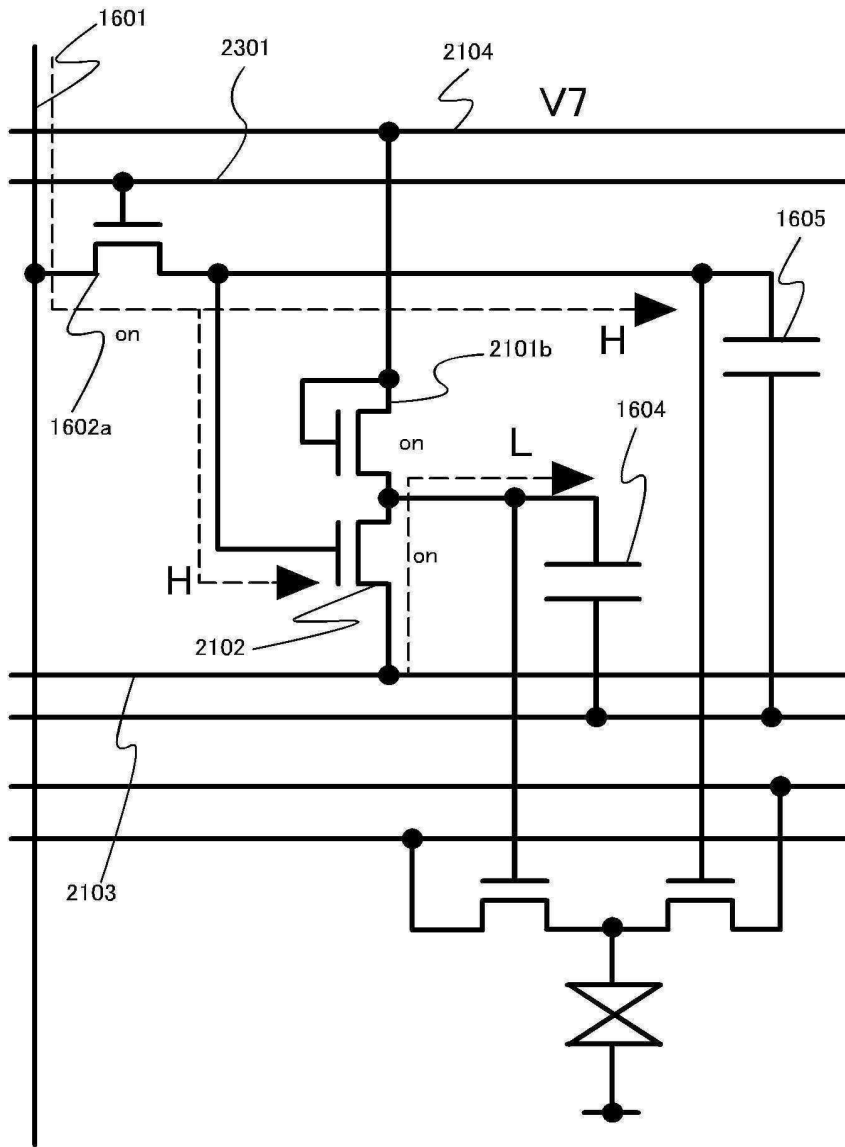


도면23

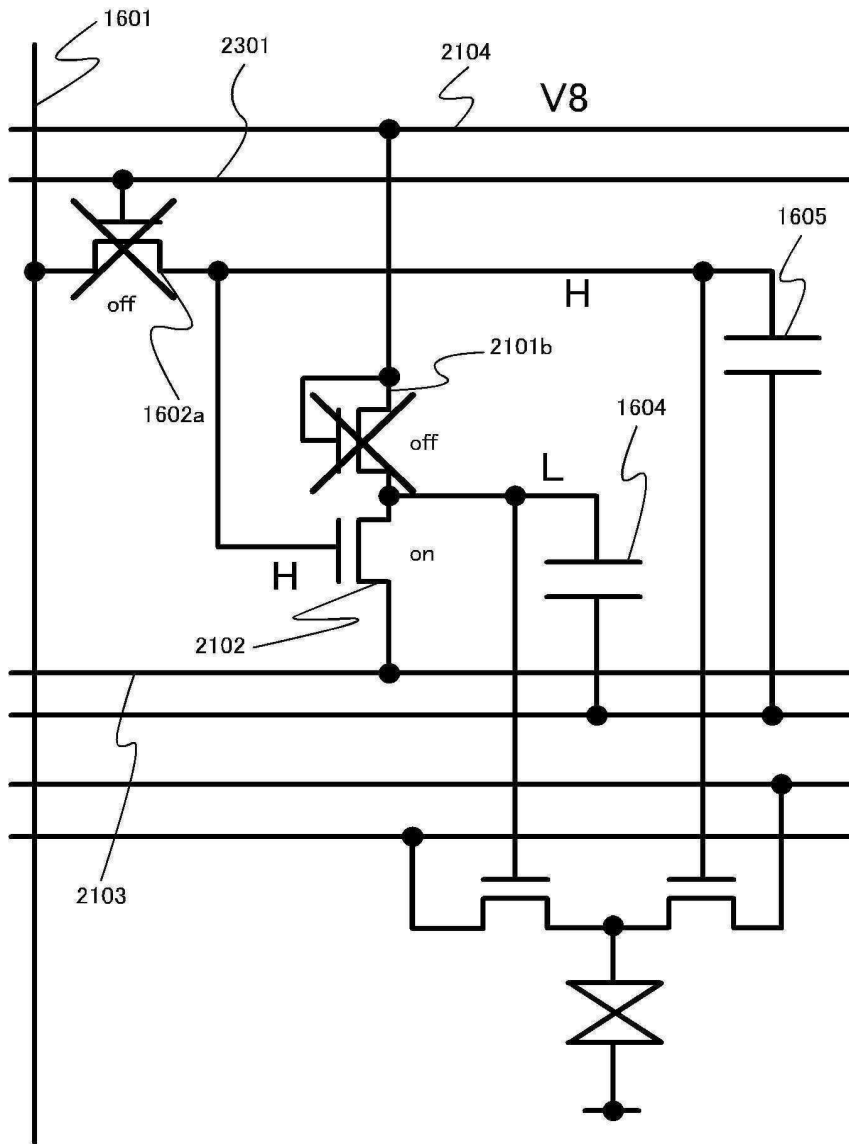




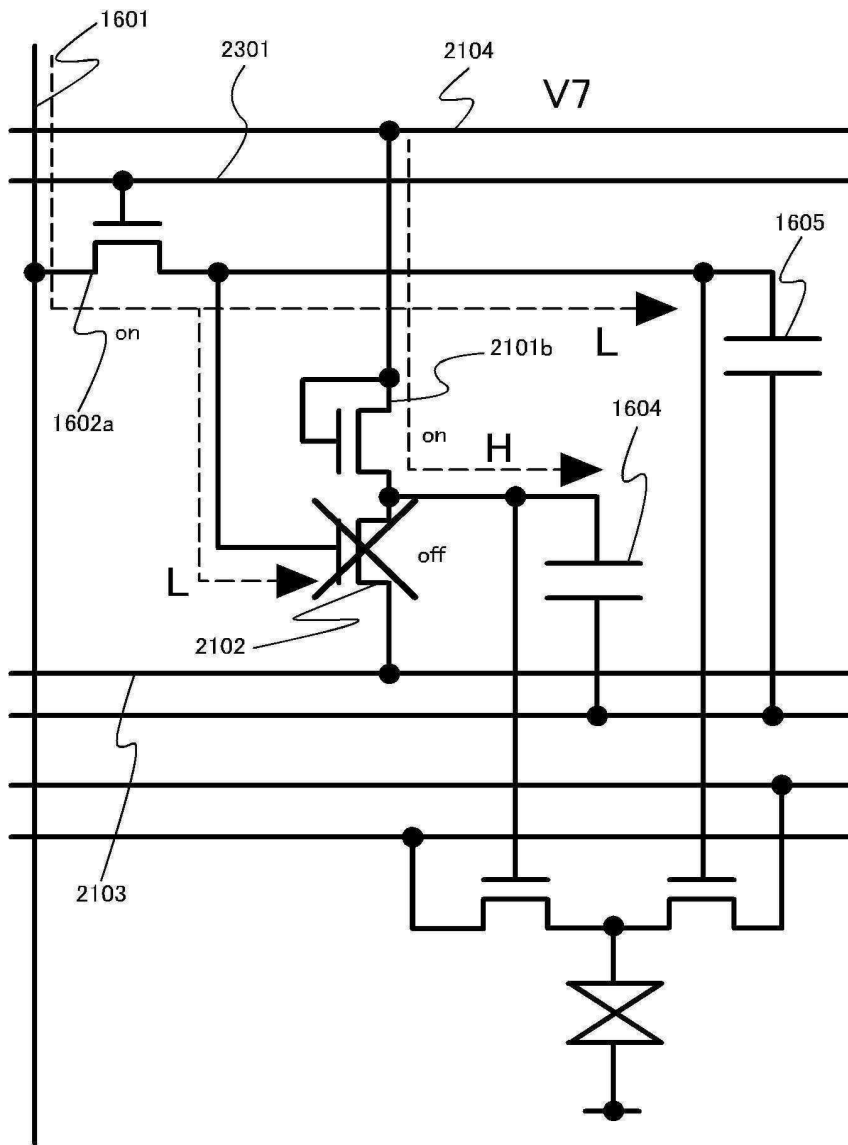
도면24



도면25

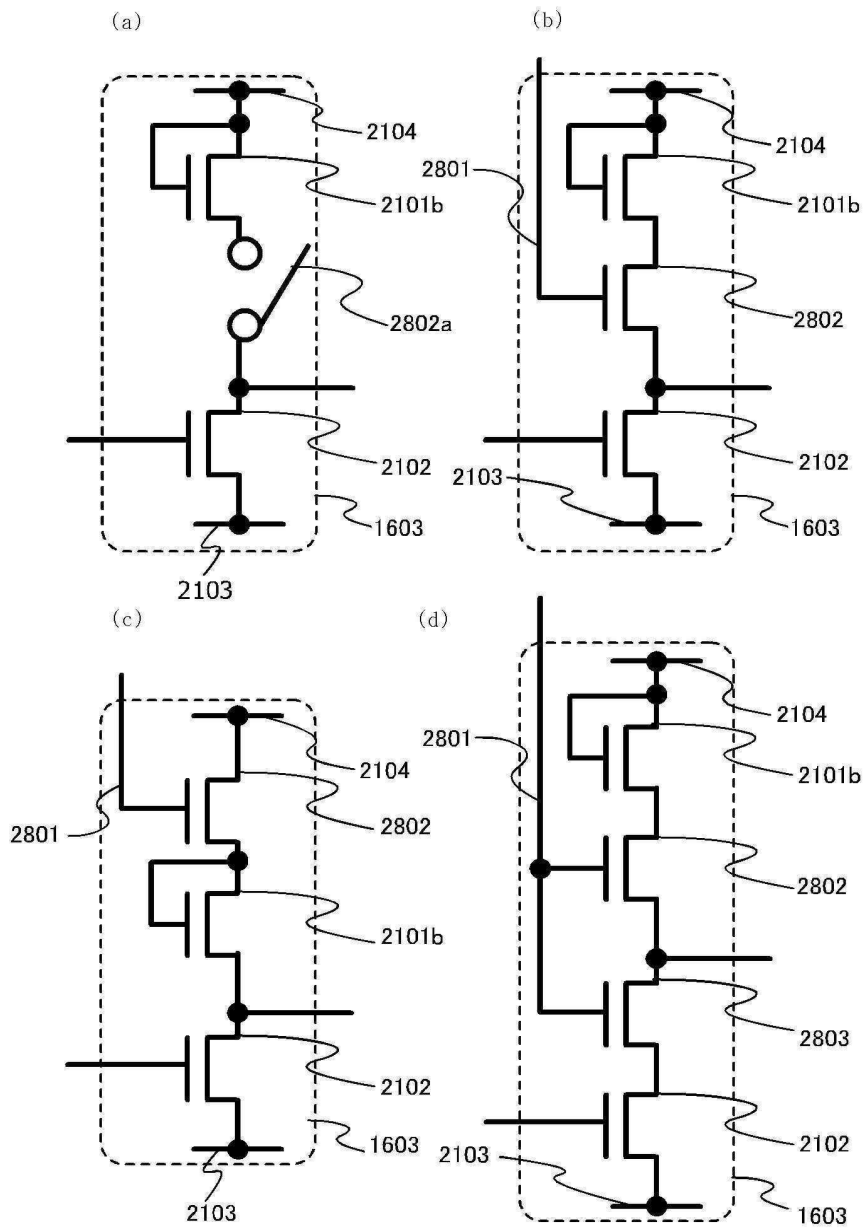


도면26

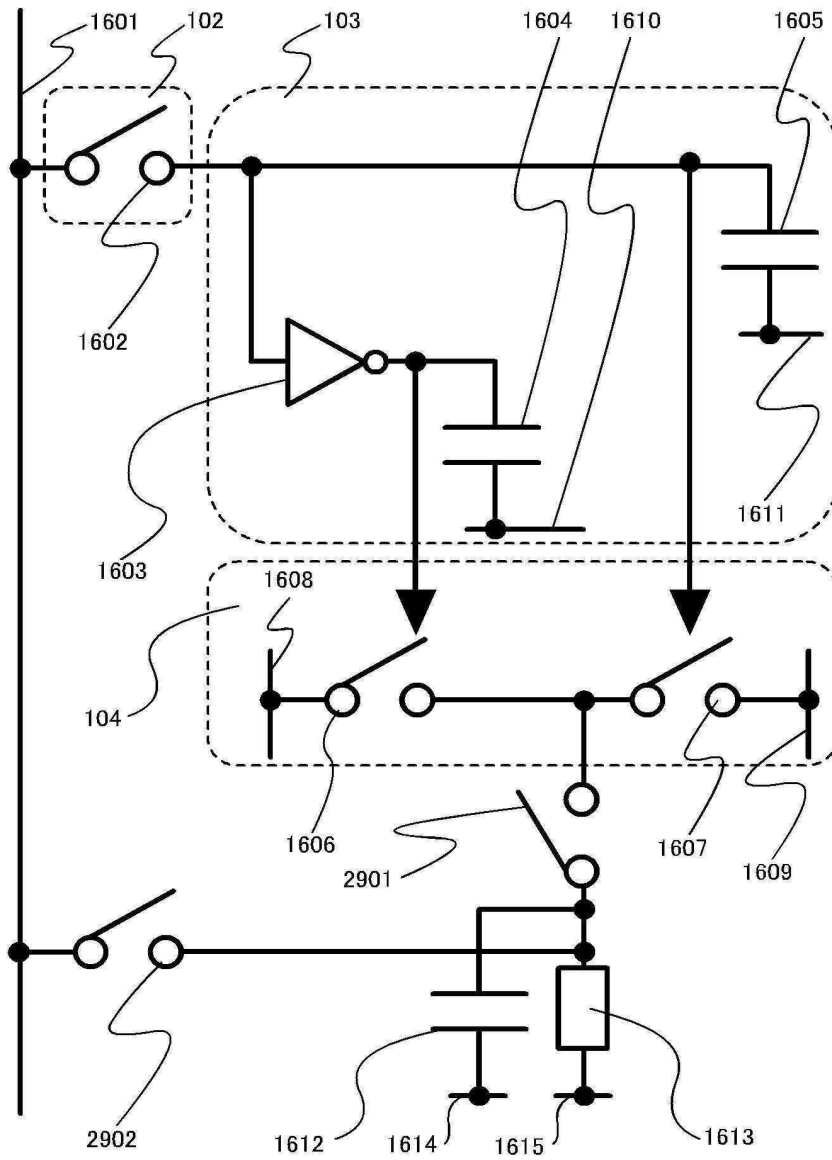




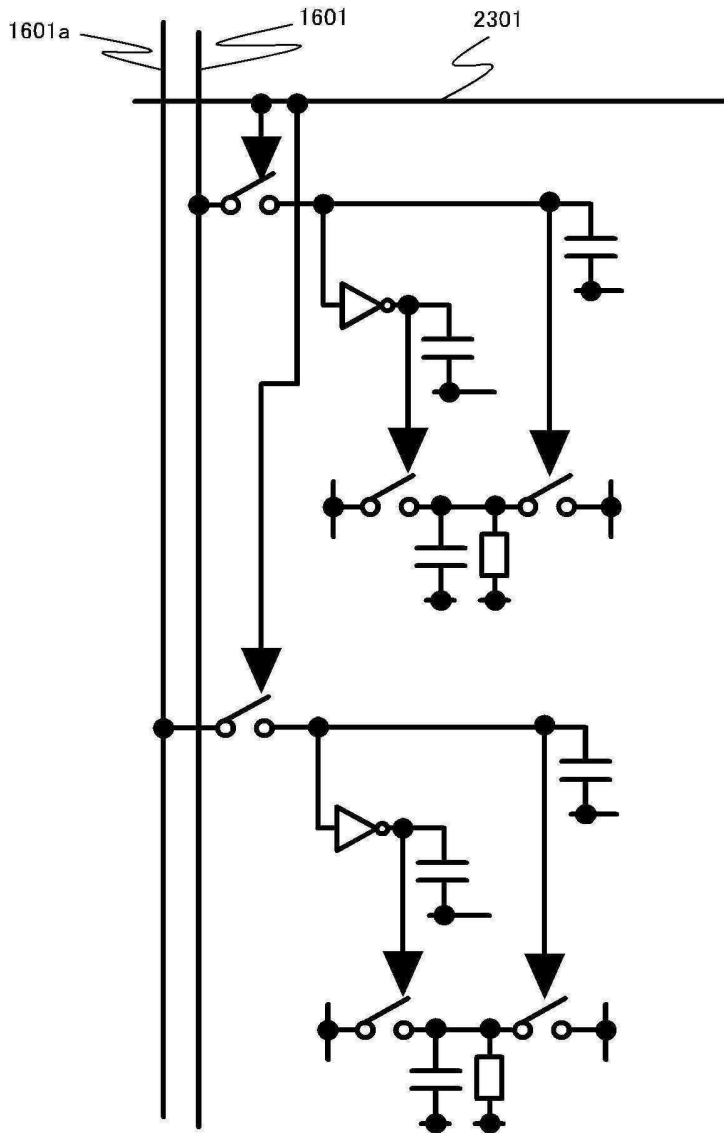
도면28



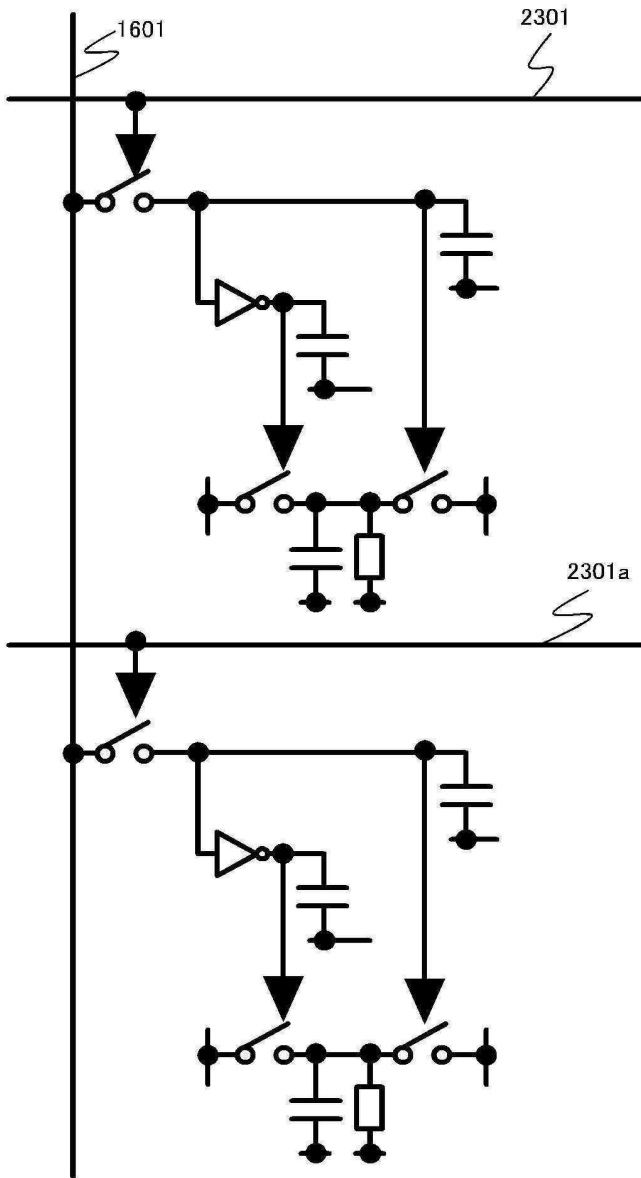
도면29



도면30

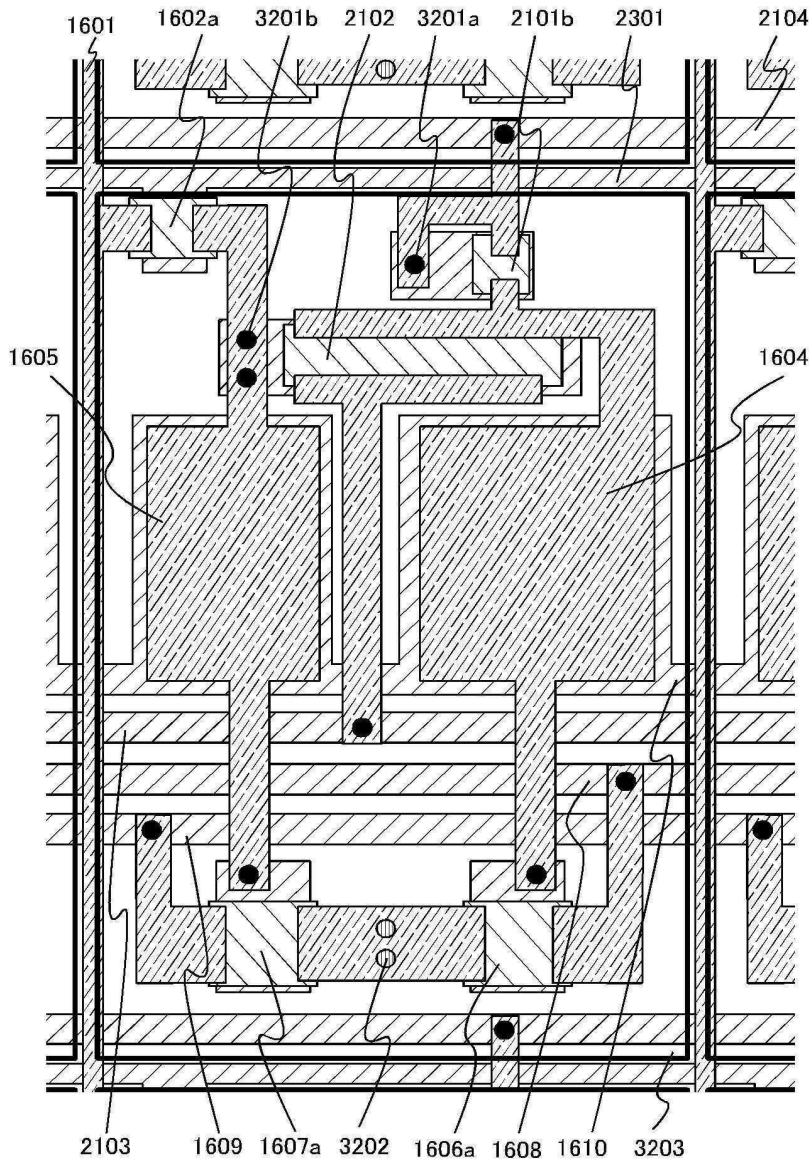


도면31

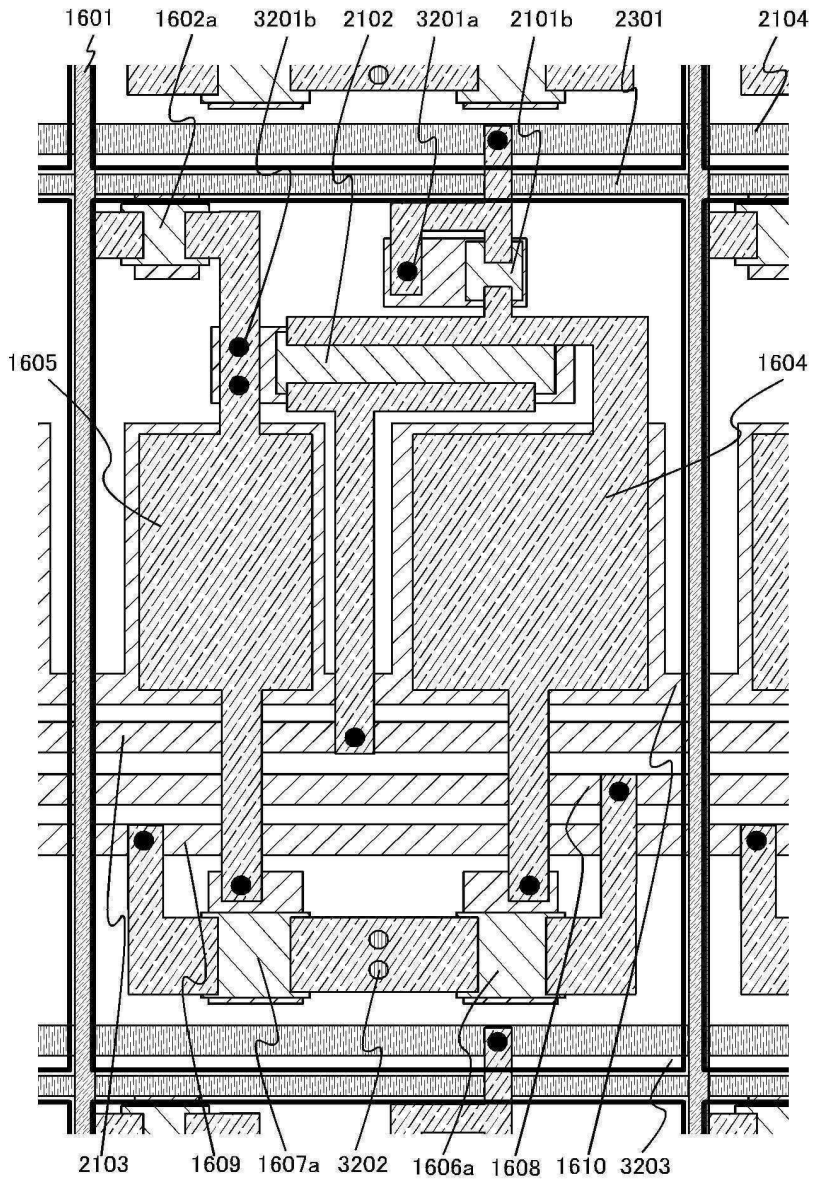




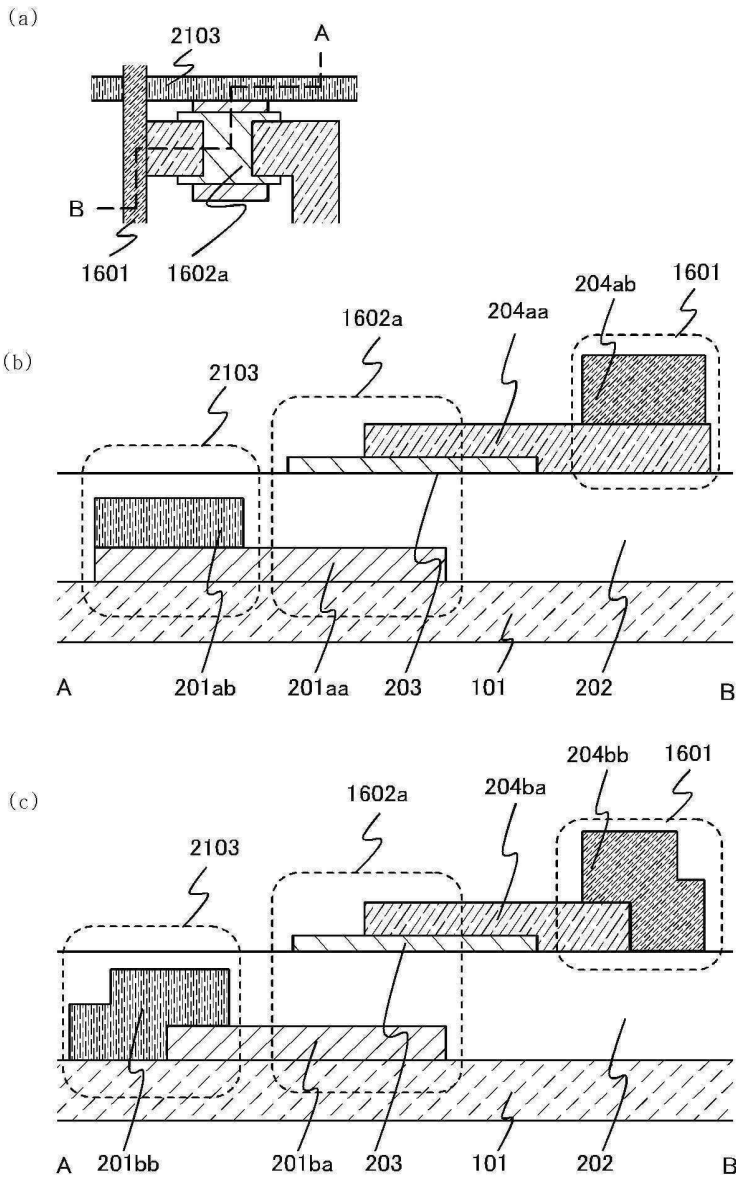
도면32



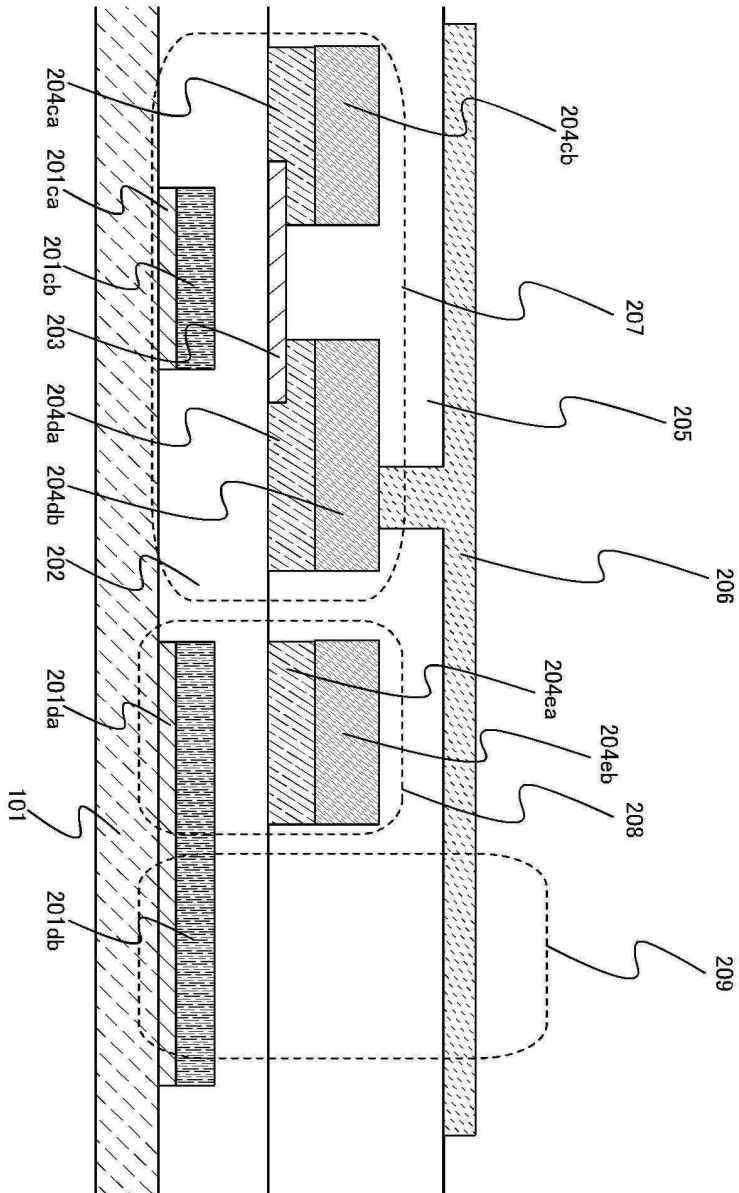
도면33



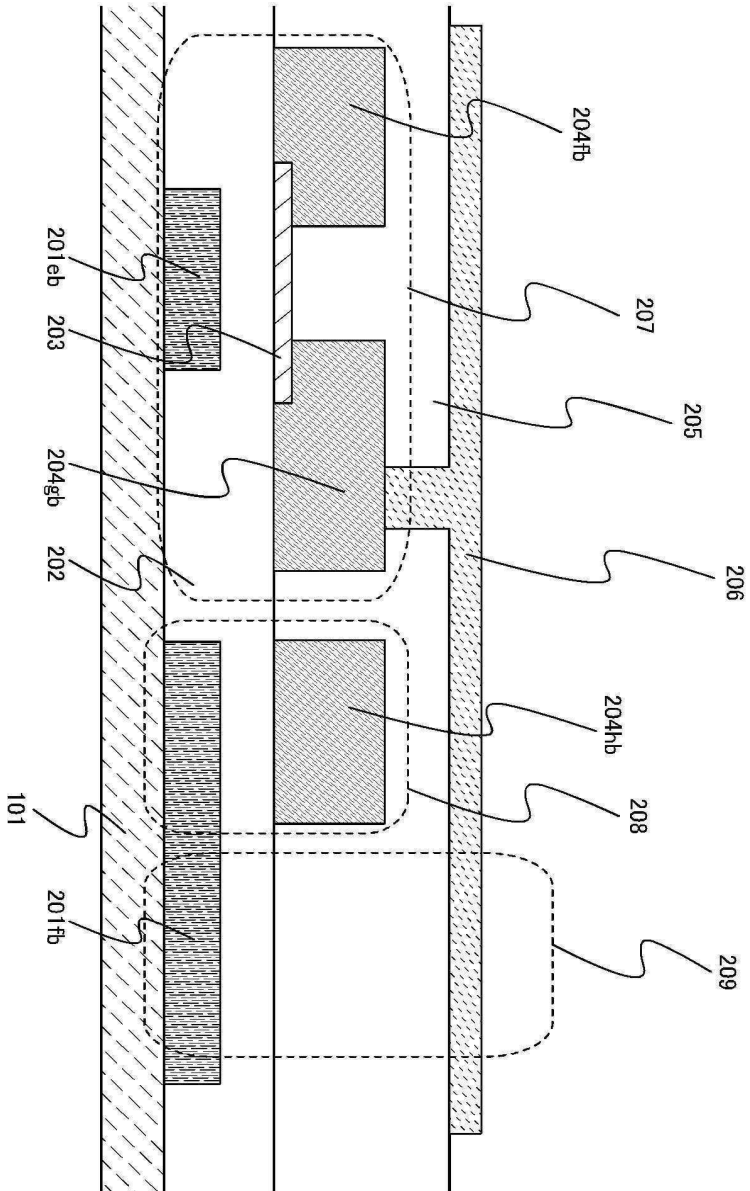
도면34



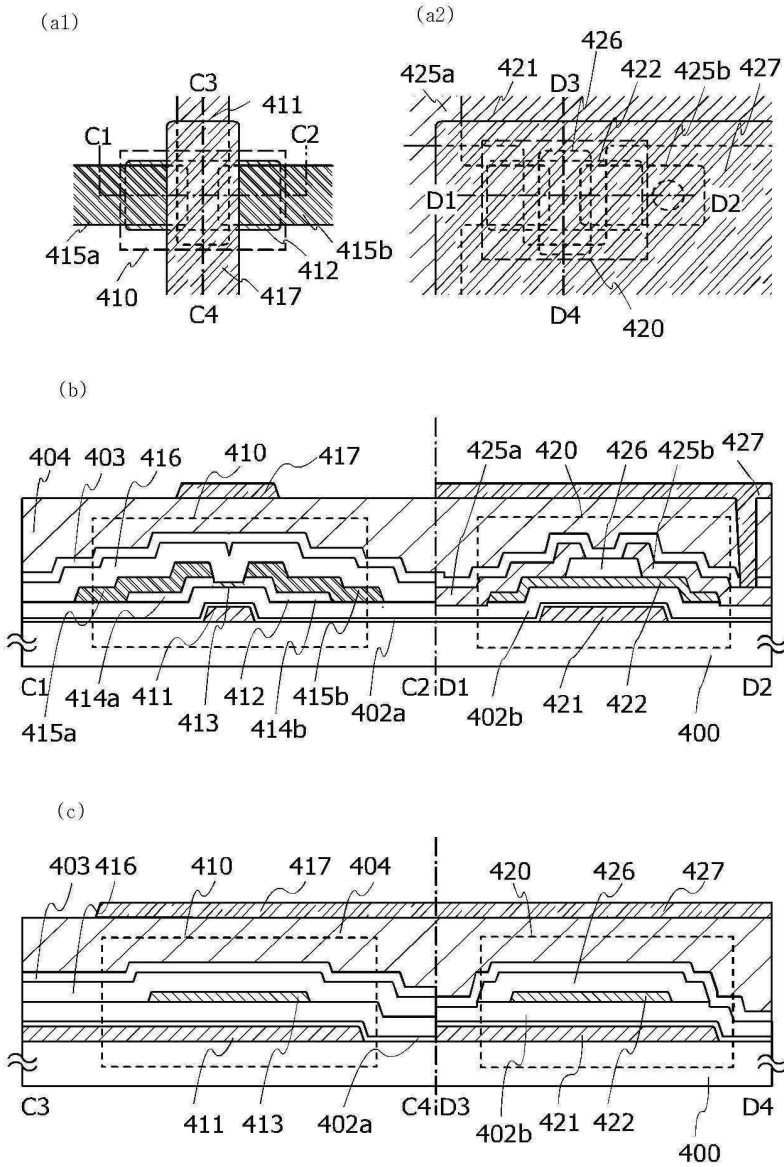
도면35



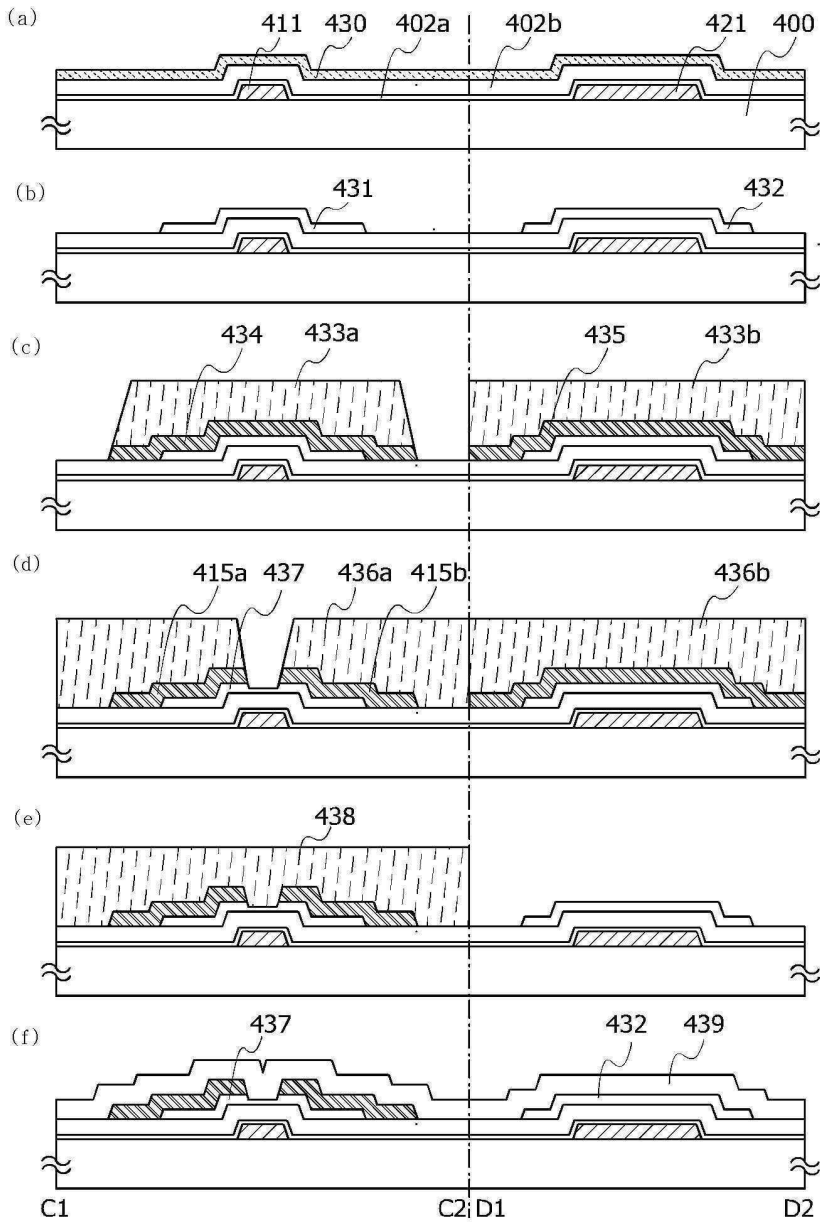
도면36



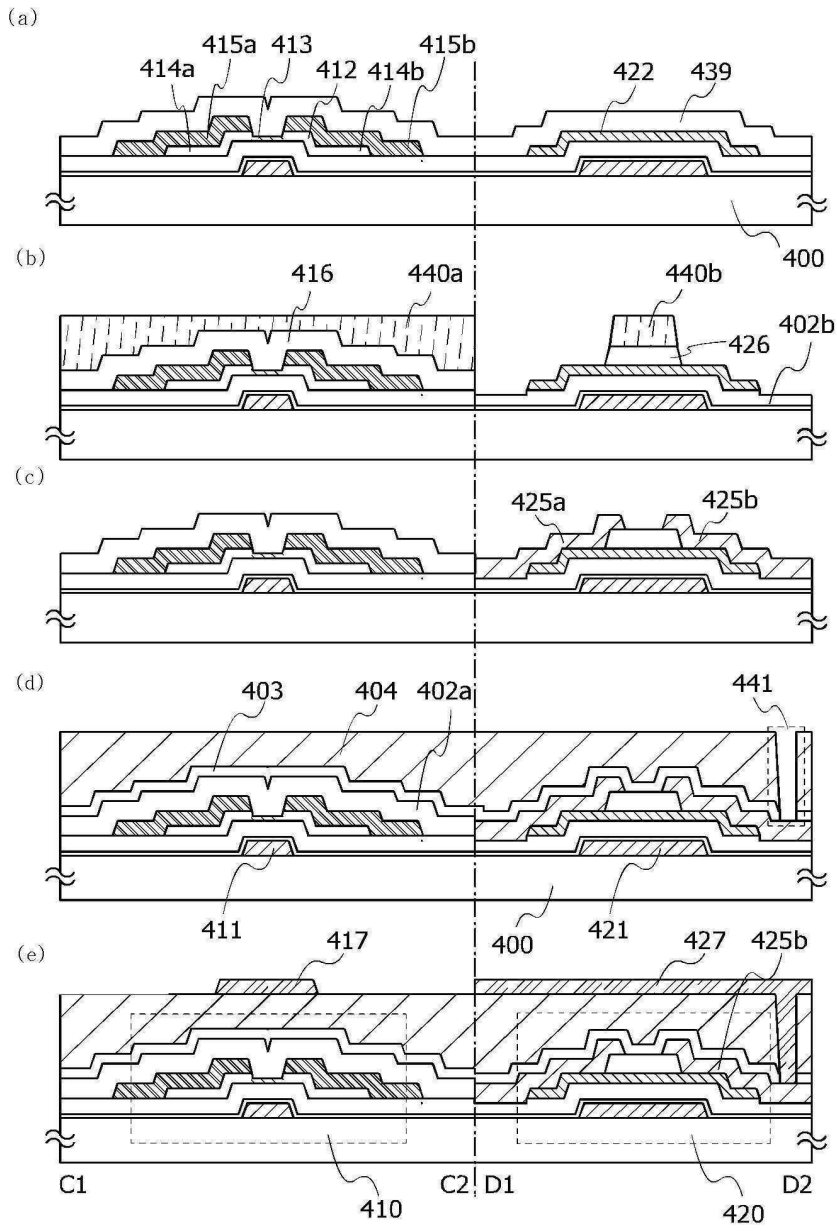
도면37



도면38

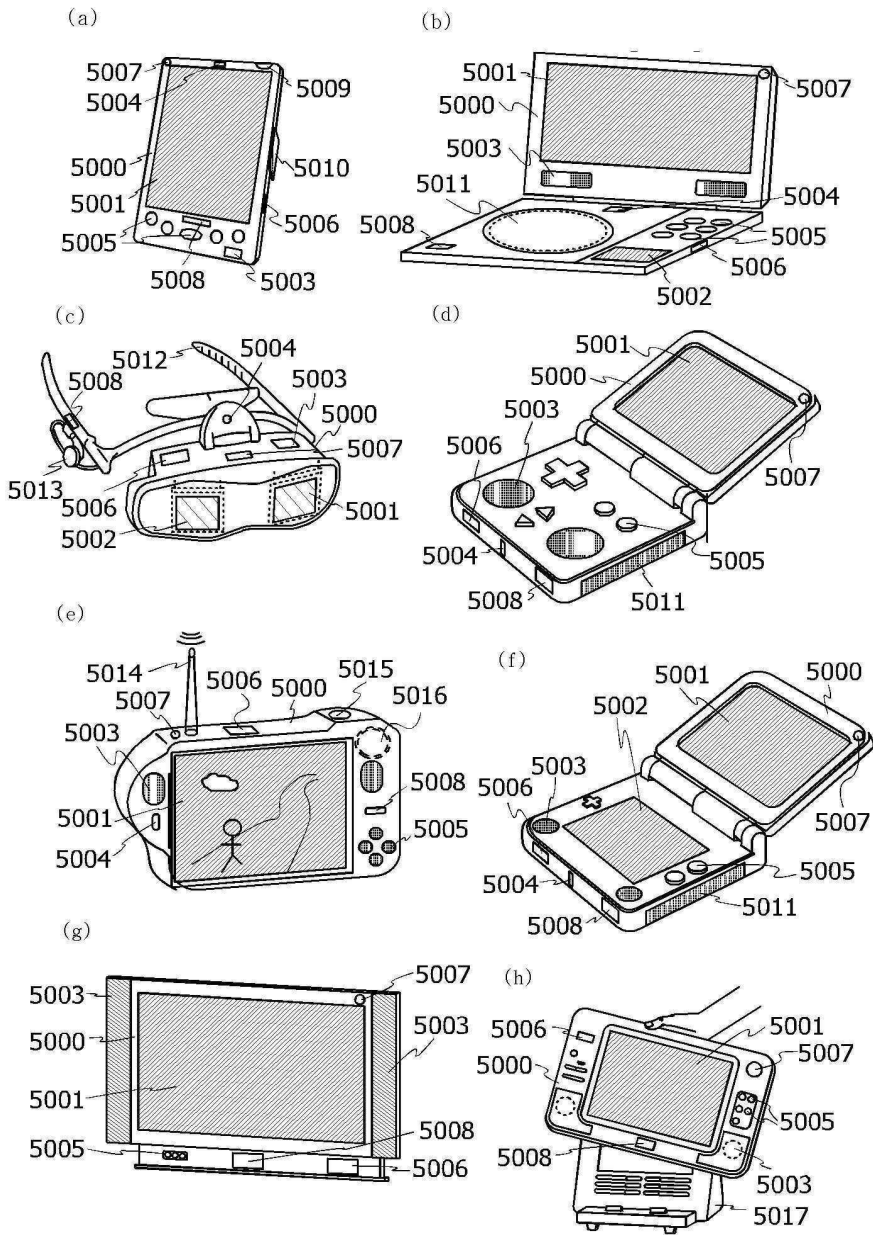


도면39

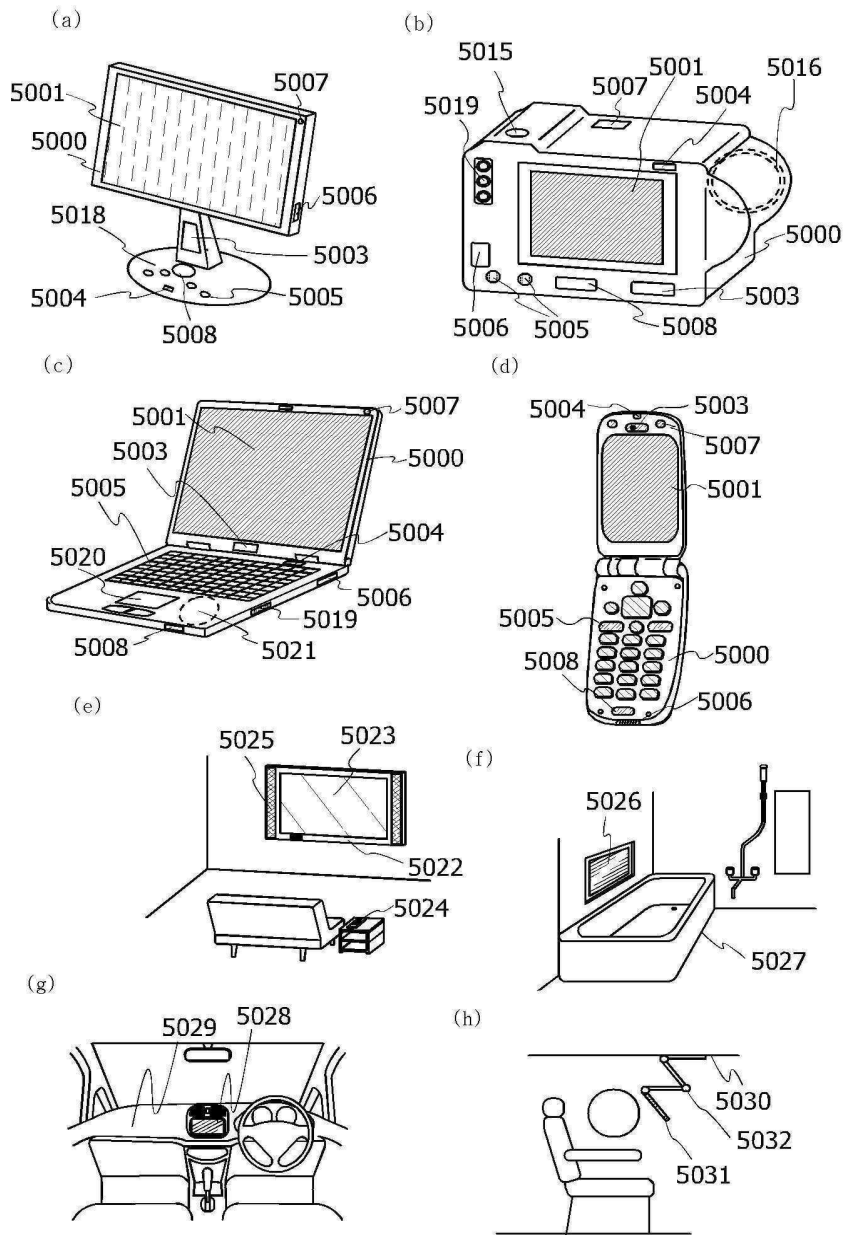




도면40



도면41



도면42

