

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2010-34503

(P2010-34503A)

(43) 公開日 平成22年2月12日 (2010.2.12)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 G 4/12 (2006.01)	H O 1 G 4/12 3 5 2	5 E 0 0 1
H O 1 G 4/30 (2006.01)	H O 1 G 4/12 3 6 1	5 E 0 8 2
	H O 1 G 4/12 3 6 4	
	H O 1 G 4/30 3 0 1 B	
	H O 1 G 4/30 3 0 1 C	
審査請求 未請求 請求項の数 8 O L (全 18 頁)		

(21) 出願番号	特願2009-92658 (P2009-92658)	(71) 出願人	000006231
(22) 出願日	平成21年4月7日 (2009.4.7)		株式会社村田製作所
(31) 優先権主張番号	特願2008-165321 (P2008-165321)		京都府長岡京市東神足1丁目10番1号
(32) 優先日	平成20年6月25日 (2008.6.25)	(74) 代理人	100085143
(33) 優先権主張国	日本国 (JP)		弁理士 小柴 雅昭
		(72) 発明者	小林 達則
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		(72) 発明者	元木 章博
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		(72) 発明者	小川 誠
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内

最終頁に続く

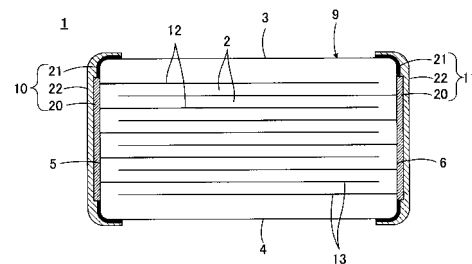
(54) 【発明の名称】 積層セラミック電子部品およびその製造方法

(57) 【要約】

【課題】薄く、かつセラミック素体に対する固着力に優れた外部端子電極を有する、積層セラミック電子部品を提供する。

【解決手段】外部端子電極10, 11を形成するため、セラミック素体9における、内部導体12, 13の露出部に金属めっき膜20を析出させ、次いで、金属めっき膜20を被覆しかつ金属めっき膜20の周囲に位置するセラミック素体9と接するようにして、Cuめっき膜22を析出させ、その後、セラミック素体9を熱処理し、Cuめっき膜22とセラミック素体9との間に、Cu液相、O液相およびCu固相を生成させる。これらCu液相等の混合相は、Cuめっき膜22の内部における、少なくともセラミック素体9との界面側に、不連続状にCu酸化物が存在する領域21を形成する。Cu酸化物は、セラミック素体9とCuめっき膜22とを強固に接合し、外部端子電極10, 11の固着力を高める。

【選択図】図3



【特許請求の範囲】

【請求項 1】

複数のセラミック層が積層されてなり、互いに対向する第 1 の主面および第 2 の主面と、前記第 1 の主面および前記第 2 の主面間を結ぶ複数の側面とを有する、セラミック素体と、

前記セラミック素体の内部に形成され、かつ前記セラミック素体の少なくとも 1 つの前記側面上に露出部を有する、内部導体と、

前記セラミック素体の少なくとも 1 つの前記側面上に形成され、かつ前記内部導体の前記露出部を被覆する、外部端子電極と

を備え、

10

前記外部端子電極は、

前記内部導体の前記露出部を被覆するようにして形成された、金属めっき膜と、

前記金属めっき膜を被覆し、かつ前記セラミック素体と接するようにして形成された、Cuめっき膜と

を備え、

前記Cuめっき膜の内部であって、前記Cuめっき膜の少なくとも前記セラミック素体との界面側に、不連続状にCu酸化物が存在している、

積層セラミック電子部品。

【請求項 2】

前記Cu酸化物は、さらに前記第 1 の主面および前記第 2 の主面とも接するように存在している、請求項 1 に記載の積層セラミック電子部品。

20

【請求項 3】

前記外部端子電極は、第 1 の主面上および前記第 2 の主面上に形成された補助導電層をさらに備え、

前記Cu酸化物は、前記金属めっき膜と前記補助導電層との間に位置するように形成され、

前記Cuめっき膜は、前記金属めっき膜、前記Cu酸化物および前記補助導電層を被覆するようにして形成される、請求項 1 または 2 に記載の積層セラミック電子部品。

【請求項 4】

前記内部導体はNiを含み、前記金属めっき膜はNiを含む、請求項 1 ないし 3 のいずれかに記載の積層セラミック電子部品。

30

【請求項 5】

前記Cu酸化物は玉状に存在している、請求項 1 ないし 4 のいずれかに記載の積層セラミック電子部品。

【請求項 6】

前記Cu酸化物はCu₂OとCuOとを含む、請求項 1 ないし 5 のいずれかに記載の積層セラミック電子部品。

【請求項 7】

前記Cu酸化物において、Cu₂Oは90重量%以上を占める、請求項 6 に記載の積層セラミック電子部品。

40

【請求項 8】

複数のセラミック層が積層されてなり、互いに対向する第 1 の主面および第 2 の主面と、前記第 1 の主面および前記第 2 の主面間を結ぶ複数の側面とを有し、少なくとも 1 つの前記側面上に露出部を有する内部導体が内部に形成されている、セラミック素体を準備する工程と、

前記セラミック素体にめっき処理を施し、前記内部導体の露出部上に金属めっき膜を析出させる工程と、

前記セラミック素体にめっき処理を施し、前記金属めっき膜を被覆するように、かつ、前記金属めっき膜の周囲に位置する前記セラミック素体の前記側面と接するようにして、Cuめっき膜を析出させる工程と、

50

前記セラミック素体に熱処理を施し、前記Cuめっき膜と前記セラミック素体との間に、Cu液相、O液相およびCu固相を生成させる工程とを備える、積層セラミック電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、積層セラミック電子部品およびその製造方法に関するもので、特に、積層セラミック電子部品に備える外部端子電極の構造および外部端子電極の形成方法に関するものである。

【背景技術】

10

【0002】

近年、携帯電話、ノートパソコン、デジタルカメラ、デジタルオーディオ機器等の小型携帯電子機器の市場が拡大している。これらの携帯電子機器では、小型化が進んでいるとともに、高性能化も同時に進んでいる。携帯電子機器には多数の積層セラミック電子部品が搭載されているが、積層セラミック電子部品についても、小型化かつ高性能化が要求されており、たとえば、積層セラミックコンデンサについては、小型化かつ大容量化が要求されている。

【0003】

積層セラミックコンデンサを小型化かつ大容量化する手段としては、セラミック層を薄層化することが有効であり、最近では、セラミック層の厚みが $3\mu\text{m}$ 以下のものが実用化されている。現在、さらなる薄層化が志向されているが、セラミック層を薄層化すればするほど、内部導体間の短絡が生じやすくなるため、品質確保が難しくなるという課題がある。

20

【0004】

別の手段として、内部導体の有効面積を広くすることが有効である。しかし、積層セラミックコンデンサを量産する際には、セラミックグリーンシートの積層ずれ、カットずれを考慮して、内部導体とセラミック素体の側面とのサイドマージンや、内部導体とセラミック素体の端面とのエンドマージンがある程度確保する必要があるため、内部導体の有効面積を広げることには制約がある。

【0005】

30

所定のマージンを確保しながら内部導体の有効面積を広げるためには、セラミック層の面積を広くする必要がある。しかし、決められた寸法規格内でセラミック層の面積を広げることには限界があり、その上、外部端子電極自身が有する厚みといったことも妨げとなる。

【0006】

従来、積層セラミックコンデンサの外部端子電極は、セラミック素体の端部に導電性ペーストを塗布し、焼き付けることにより形成されている。導電性ペーストの塗布方法としては、導電性ペーストを収容したペースト槽にセラミック素体の端部を浸漬して引き上げるというものが主流であるが、この方法では、導電性ペーストの粘性が影響して、セラミック素体の端面の中央部に導電性ペーストが厚く付着しやすい。このため、外部端子電極が部分的に厚くなる（たとえば、具体的には $30\mu\text{m}$ を超える）分、セラミック層の面積を小さくせざるを得ない。

40

【0007】

これを受けて、外部端子電極を、直接、めっきにより形成する方法が提案されている（たとえば、特許文献1参照）。この方法によれば、セラミック素体の端面における内部導体の露出部を核としてめっき膜が析出し、めっき膜が成長することにより、隣り合う内部導体の露出部同士が接続される。したがって、この方法を適用すれば、従来の導電性ペーストによる方法に比べて、薄くかつフラットな電極膜を形成することが可能となる。

【0008】

しかし、上述のめっきによる方法の場合、従来の導電性ペーストによる方法におけるガ

50

ラスの接着剤効果が得られないため、セラミック素体に対するめっき膜、すなわち外部端子電極の固着力が弱いという問題がある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】国際公開第2007/049456号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【0010】

そこで、この発明の目的は、薄く、かつセラミック素体に対する固着力に優れた外部端子電極を有する、積層セラミック電子部品およびその製造方法を提供しようとすることである。

10

【課題を解決するための手段】

【0011】

この発明は、複数のセラミック層が積層されてなり、互いに対向する第1の主面および第2の主面と、第1の主面および第2の主面間を結ぶ複数の側面とを有する、セラミック素体と、セラミック素体の内部に形成され、かつセラミック素体の少なくとも1つの側面上に露出部を有する、内部導体と、セラミック素体の少なくとも1つの側面上に形成され、かつ内部導体の露出部を被覆する、外部端子電極とを備える、積層セラミック電子部品にまず向けられるものであって、上述した技術的課題を解決するため、次のような構成を備えることを特徴としている。

20

【0012】

すなわち、外部端子電極の構成に特徴があり、外部端子電極は、内部導体の前記露出部を被覆するようにして形成された、金属めっき膜と、金属めっき膜を被覆し、かつセラミック素体と接するようにして形成された、Cuめっき膜とを備え、Cuめっき膜の内部であって、Cuめっき膜の少なくともセラミック素体との界面側に、不連続状にCu酸化物が存在していることを特徴としている。

【0013】

この発明に係る積層セラミック電子部品において、Cu酸化物は、さらに第1の主面および第2の主面とも接するように存在していることが好ましい。

30

【0014】

また、外部端子電極は、第1の主面上および第2の主面上に形成された補助導電層をさらに備え、前述のCu酸化物は、金属めっき膜と補助導電層との間に位置するように形成され、Cuめっき膜は、金属めっき膜、Cu酸化物および補助導電層を被覆するようにして形成されることが好ましい。

【0015】

また、内部導体はNiを含み、金属めっき膜はNiを含むことが好ましい。

【0016】

前述のCu酸化物は玉状に存在していることが多い。

【0017】

40

また、Cu酸化物はCu₂OとCuOとを含むことがあり、この場合、Cu酸化物において、Cu₂Oは90重量%以上を占めることが好ましい。

【0018】

この発明は、また、上述のような積層セラミック電子部品を製造する方法にも向けられる。

【0019】

この発明に係る積層セラミック電子部品の製造方法は、複数のセラミック層が積層されてなり、互いに対向する第1の主面および第2の主面と、第1の主面および第2の主面間を結ぶ複数の側面とを有し、少なくとも1つの側面上に露出部を有する内部導体が内部に形成されている、セラミック素体を準備する工程と、セラミック素体にめっき処理を施し

50

、内部導体の露出部上に金属めっき膜を析出させる工程と、セラミック素体にめっき処理を施し、金属めっき膜を被覆するように、かつ、金属めっき膜の周囲に位置するセラミック素体の側面と接するようにして、Cuめっき膜を析出させる工程と、セラミック素体に熱処理を施し、Cuめっき膜とセラミック素体との間に、Cu液相、O液相およびCu固相を生成させる工程とを備えることを特徴としている。

【発明の効果】

【0020】

この発明によれば、外部端子電極を形成するにあたって、金属めっき膜を析出させ、次いで、Cuめっき膜を、上記金属めっき膜を被覆するように、かつ、この金属めっき膜の周囲に位置するセラミック素体の側面と接するようにして、析出させた後、所定の条件で熱処理を施すことによって、Cuめっき膜とセラミック素体との間にCu液相、O液相およびCu固相が生成される。これらの混合相は、Cuめっき膜の内部であって、Cuめっき膜の少なくともセラミック素体との界面側に偏析しやすい。そして、冷却されると、上記Cu液相およびO液相が固体となり、Cu酸化物が生成される。このCu酸化物は、Cuめっき膜の内部であって、Cuめっき膜の少なくともセラミック素体との界面側に、不連続状に存在する状態となっている。

10

【0021】

この状態において、Cu酸化物は、セラミック素体とCuめっき膜とを強固に接合する接着剤として作用し、Cuめっき膜を含む外部端子電極の、セラミック素体に対する固着力を高めることができ、結果として、セラミック素体に対する固着力に優れた外部端子電極を有する積層セラミック電子部品を得ることができる。

20

【0022】

また、金属めっき膜は、Cuめっき膜に含まれるCuと内部導体に含まれる金属との拡散を抑制するバリア層として機能し、この拡散によりCuめっき膜の連続性が低下することを抑制することができる。

【0023】

また、外部端子電極を構成する金属めっき膜およびCuめっき膜は、めっきによって形成されたものであるので、導電性ペーストを用いて形成された場合に比べて、薄く、かつフラットな状態とすることができる。したがって、積層セラミック電子部品の小型化に寄与するとともに、決められた寸法規格内でセラミック素体の体積を増すことができるので、積層セラミック電子部品の高性能化に寄与する。特に、積層セラミックコンデンサに適用された場合、決められた寸法規格内で大容量化を果たすことができる。

30

【0024】

この発明に係る積層セラミック電子部品において、Cu酸化物が、さらに第1の主面および第2の主面とも接するように存在していると、外部端子電極の固着力向上の効果をより高めることができる。

【0025】

また、外部端子電極が第1の主面上および第2の主面上に形成された補助導電層をさらに備えていると、Cuめっき膜の、第1の主面上および第2の主面上でのめっき成長を促進することができ、ひいては、Cu酸化物の、第1の主面上および第2の主面上での生成をより容易なものとすることができる。

40

【0026】

また、内部導体がNiを含み、金属めっき膜がNiを含むとき、内部導体と金属めっき膜との間で強固な接合状態を得ることができ、このことによって、外部端子電極の固着力を高めることができる。

【図面の簡単な説明】

【0027】

【図1】この発明の第1の実施形態による積層セラミック電子部品1の外観を示す斜視図である。

【図2】図1に示した積層セラミック電子部品1に備えるセラミック素体9の内部構造を

50

示す平面図である。

【図 3】図 1 の線 A - A に沿う断面図である。

【図 4】図 3 の一部を拡大して示す断面図である。

【図 5】この発明の第 2 の実施形態を説明するための図 3 に対応する図である。

【図 6】この発明の第 3 の実施形態を説明するための図 3 に対応する図である。

【図 7】この発明の第 4 の実施形態を説明するための図 3 に対応する図である。

【図 8】この発明の第 5 の実施形態による積層セラミック電子部品 101 の外観を示す斜視図である。

【図 9】図 8 に示した積層セラミック電子部品 101 に備えるセラミック素体 102 の内部構造を示す平面図である。

10

【図 10】この発明の第 6 の実施形態を説明するための図 8 に対応する図である。

【図 11】この発明の第 6 の実施形態を説明するための図 9 に対応する図である。

【図 12】この発明の第 6 の実施形態を説明するためのもので、外部端子電極 114 および 115 を形成する前のセラミック素体 102 の第 1 および第 2 の主面 103 および 104 をそれぞれ示す図である。

【図 13】この発明の第 7 の実施形態による積層セラミック電子部品 151 の外観を示す斜視図である。

【図 14】図 13 に示した積層セラミック電子部品 151 に備えるセラミック素体 152 の内部構造を示す平面図である。

20

【図 15】この発明の第 8 の実施形態を説明するための図 13 に対応する図である。

【図 16】この発明の第 8 の実施形態を説明するための図 14 に対応する図である。

【図 17】この発明の第 8 の実施形態を説明するためのもので、外部端子電極 168 および 169 を形成する前のセラミック素体 152 の第 1 および第 2 の主面 153 および 154 をそれぞれ示す図である。

【図 18】実験例において評価した外部端子電極 32 を貫通するボイド 35 を図解的に示す拡大断面図である。

【発明を実施するための形態】

【0028】

図 1 ないし図 4 は、この発明の第 1 の実施形態を説明するためのものである。ここで、図 1 は、積層セラミック電子部品 1 の外観を示す斜視図である。図 2 は、図 1 に示した積層セラミック電子部品 1 の内部構造を示す平面図であり、2 つの典型的な断面上での形態を示している。図 3 は、図 1 の線 A - A に沿う断面図であり、図 4 は、図 3 の一部を拡大して示す断面図である。

30

【0029】

図 1 ないし図 3 に示すように、積層セラミック電子部品 1 は、複数のセラミック層 2 が積層されてなり、互いに対向する第 1 の主面 3 および第 2 の主面 4 と、それらの間を接続する第 1 ないし第 4 の側面 5 ~ 8 とを有するセラミック素体 9 を備える。第 1 の側面 5 および第 2 の側面 6 は互いに対向し、第 3 の側面 7 および第 4 の側面 8 は互いに対向している。

40

【0030】

第 1 の側面 5 上には第 1 の外部端子電極 10 が形成され、第 2 の側面 6 上には第 2 の外部端子電極 11 が形成されている。第 1 の外部端子電極 10 および第 2 の外部端子電極 11 は、それぞれ、第 1 および第 2 の主面 3 および 4 ならびに第 3 および第 4 の側面 7 および 8 の各一部にまで延びるように形成されるが、互いに電氣的に絶縁されている。

【0031】

セラミック素体 9 の内部には、第 1 および第 2 の内部導体 12 および 13 が配置されている。各々複数の第 1 および第 2 の内部導体 12 および 13 を備える場合、第 1 の内部導体 12 と第 2 の内部導体 13 とは、セラミック層 2 を介して、積層方向に沿って交互に配置される。第 1 の内部導体 12 は、第 1 の側面 5 にまで引き出され、第 1 の外部端子電極 10 と電氣的に接続されている。第 2 の内部導体 13 は、第 2 の側面 6 にまで引き出され

50

、第 2 の外部端子電極 1 1 と電氣的に接続されている。

【 0 0 3 2 】

図 2 (1) によく示されているように、第 1 の内部導体 1 2 は、有効部 1 4 と、この有効部 1 4 から第 1 の側面 5 にまで引き出された引出し部 1 5 とを有する。図 2 (2) によく示されているように、第 2 の内部導体 1 3 は、第 1 の内部導体 1 2 の有効部 1 4 に対向する有効部 1 6 と、この有効部 1 6 から第 2 の側面 6 にまで引き出された引出し部 1 7 とを有する。第 1 の内部導体 1 2 の引出し部 1 5 の終端には、第 1 の側面 5 上に露出する第 1 の露出部 1 8 が位置し、この第 1 の露出部 1 8 が第 1 の外部端子電極 1 0 との接続部分となっている。他方、第 2 の内部導体 1 3 の引出し部 1 7 の終端には、第 2 の側面 6 上に露出する第 2 の露出部 1 9 が位置しており、この第 2 の露出部 1 9 が第 2 の外部端子電極 1 1 との接続部分となっている。

10

【 0 0 3 3 】

第 1 の内部導体 1 2 の有効部 1 4 と第 2 の内部導体 1 3 の有効部 1 6 とがセラミック層 2 を挟んで対向する部分において、所定の電氣的特性が発現される。

【 0 0 3 4 】

図 3 に示すように、第 1 の外部端子電極 1 0 は、第 1 の内部導体 1 2 の第 2 の露出部 1 9 を被覆するようにして形成された、金属めっき膜 2 0 と、金属めっき膜 2 0 を被覆するようにして形成された、Cuめっき膜 2 2 とを備える。Cuめっき膜 2 2 は、第 1 の側面 5、第 1 の主面 3 および第 2 の主面 4 と接するように形成され、Cuめっき膜 2 2 の内部であって、Cuめっき膜 2 2 の少なくともセラミック素体 9 との界面側に、不連続状に Cu 酸化物が存在する Cu 酸化物存在領域 2 1 がある。Cu 酸化物存在領域 2 1 の詳細については、図 4 を参照して後述する。

20

【 0 0 3 5 】

第 2 の外部端子電極 1 1 も、第 1 の外部端子電極 1 0 と同様、金属めっき膜 2 0、Cu 酸化物存在領域 2 1 および Cuめっき膜 2 2 を備えている。

【 0 0 3 6 】

金属めっき膜 2 0 は、Cuめっき膜 2 2 に含まれる Cu と内部導体 1 2 および 1 3 に含まれる金属との拡散を防止するバリア層として機能し、この拡散により Cuめっき膜 2 2 の連続性が低下するのを抑制する。金属めっき膜 2 0 の厚みは、3 ~ 7 μm であることが好ましい。金属めっき膜 2 0 の厚みが 3 μm 未満である場合、金属めっき膜 2 0 内部にポイドが形成されることがある。一方、7 μm を超える場合、(目標とする厚みにもよるが、) 外部端子電極 1 0 および 1 1 の厚みが厚くなりすぎることがある。金属めっき膜 2 0 は、Ni、Sn、Pb、Au、Ag、Pd、Bi および Zn からなる群から選ばれる 1 種の金属または当該金属を含む合金からなることが好ましい。

30

【 0 0 3 7 】

図 4 には、図 3 の一部、すなわち第 1 の外部端子電極 1 0 における、前述した Cu 酸化物存在領域 2 1 が形成された Cuめっき膜 2 2 の一部が拡大されて示されている。図示しないが、第 2 の外部端子電極 1 1 側の Cuめっき膜 2 2 についても同様である。

【 0 0 3 8 】

図 4 に示すように、第 1 の外部端子電極 1 0 に備える Cuめっき膜 2 2 の内部であって、Cuめっき膜 2 2 の少なくともセラミック素体 9 との界面側には、不連続状に Cu 酸化物 2 1 a が存在している Cu 酸化物存在領域 2 1 が形成されている。図 4 では、不連続状態の一例として、Cu 酸化物 2 1 a が玉状に存在している状態が示されているが、必ずしも、このように独立した状態で存在する必要はなく、たとえば、縞状に存在していてもよい。Cu 酸化物 2 1 a は、セラミック素体 9 と外部端子電極 1 0 とを強固に接合するように作用する。この作用の詳細については後述する。Cu 酸化物 2 1 a は、Cu₂O と CuO とを含み得る。Cu 酸化物 2 1 a において、Cu₂O の占める割合は 90 重量 % 以上であることが好ましい。

40

【 0 0 3 9 】

Cumeっき膜 2 2 の厚みは、1 ~ 10 μm であることが好ましい。Cuめっき膜 2 2 を

50

最外層として露出させる場合、Cuめっき膜22の表面には、防錆処理を施してもよい。

【0040】

セラミック層2は、たとえば、BaTiO₃、CaTiO₃、SrTiO₃、CaZrO₃などを主成分とする誘電体セラミックから構成される。なお、これら主成分に、Mn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物などの副成分が添加されていてもよい。セラミック層2を構成するセラミックとして、そのほか、PZT系セラミックなどの圧電体セラミック、スピネル系セラミックなどの半導体セラミックなどを用いることもできる。誘電体セラミックを用いた場合は、積層セラミック電子部品1はコンデンサとして機能し、圧電体セラミックを用いた場合は圧電部品として機能し、半導体セラミックを用いた場合はサーミスタとして機能する。また、セラミック層2の厚みは、焼成後において、0.5~10μmであることが好ましい。

10

【0041】

内部導体12および13に含まれる導電成分としては、たとえば、Ni、Cu、Ag、PdもしくはAu、またはこれらの金属を含む合金などを用いることができる。なお、金属めっき膜20がNiからなるとき、内部導体12および13には、Niを用いることが特に好ましい。また、内部導体12および13の各々の焼成後の厚みは0.5~2.0μmであることが好ましい。

【0042】

次に、上述した積層セラミック電子部品1の製造方法の一例について説明する。

【0043】

まず、セラミック層2となるべきセラミックグリーンシート、内部導体12および13のための導電性ペーストがそれぞれ準備される。これらセラミックグリーンシートおよび導電性ペーストには、バインダおよび溶剤が含まれるが、これらバインダおよび溶剤としては、それぞれ、公知の有機バインダおよび有機溶剤を用いることができる。

20

【0044】

次に、セラミックグリーンシート上に、たとえばスクリーン印刷法などにより所定のパターンをもって導電性ペーストが印刷される。これによって、内部導体12および13の各々となるべき内部導体パターンが形成されたセラミックグリーンシートが得られる。

【0045】

次に、上述のように内部導体パターンが形成されたセラミックグリーンシートを所定の順序でかつ所定枚数積層し、その上下に導電性ペーストが印刷されていない外層用セラミックグリーンシートを所定枚数積層することによって、生の状態のマザー積層体が得られる。生のマザー積層体は、必要に応じて、静水圧プレスなどの手段により積層方向に圧着される。

30

【0046】

次に、生のマザー積層体は所定のサイズにカットされ、それによって、セラミック素体9の生の状態のものが切り出される。

【0047】

次に、生のセラミック素体9が焼成される。焼成温度は、セラミックグリーンシートに含まれるセラミック材料や導電性ペースト膜に含まれる金属材料にもよるが、たとえば900~1300の範囲に選ばれることが好ましい。

40

【0048】

次に、必要に応じて、パレル研磨等による研磨処理を施し、内部導体12および13の露出部18および19の面出しを行なう。同時に、セラミック素体9の稜部や角部に丸みが形成される。また、必要に応じて、撥水処理を施し、内部導体12および13の露出部18および19とセラミック層2との隙間からのめっき液の浸入を防止しておく。

【0049】

次に、セラミック素体9に第1のめっき処理を施し、第1および第2の内部導体12および13の露出部18および19を被覆するようにして金属めっき膜20を析出させる。

【0050】

50

次に、第2のめっき処理を施し、上記金属めっき膜20を被覆するように、かつ、金属めっき膜20の周囲に位置するセラミック素体9の第1および第2の側面5および6の各々と接するようにして、Cuめっき膜22を析出させる。このCuめっき膜22は、第3および第4の側面7および8ならびに第1および第2の主面3および4の各一部にまで延びるように析出してもよい。

【0051】

次に、セラミック素体9に熱処理を施し、上述のCuめっき膜20とセラミック素体9の外表面との間に、Cu液相、O液相およびCu固相を生成させる。これらの混合相は、Cuめっき膜20とセラミック素体9の外表面との界面に偏析しやすい。これは、熱処理時に、Cuめっき膜20とセラミック素体9の外表面との間の微小な隙間やセラミック素体9の表面の微細な空孔に向かって、液相が移動しやすいためであると推測される。

10

【0052】

熱処理条件は、温度1065 以上、かつ酸素濃度50ppm以上に選ばれることが好ましい。温度が1065 未満であったり、酸素濃度が50ppm未満であったりする場合、Cu液相およびO液相が十分生成しないおそれがある。熱処理温度の上限は、Cuの融点を超えない程度とされることが好ましく、具体的には、1084 未満であることが好ましい。

【0053】

次に、セラミック素体9を室温まで冷却する。このとき、上記界面に偏析したCu液相およびO液相が固体となり、ここに、Cu酸化物21aが形成される。Cu酸化物21aは、セラミック素体9とCuめっき膜22とを強固に接合する。中でも、Cu₂Oとセラミックとの間では、拡散接合により、一層強固な接合状態が実現される。また、Cuめっき膜22とセラミック素体9との間がCu酸化物21aにより封止されるため、外部から水分が浸入しにくくなり、積層セラミックコンデンサ1の信頼性を向上させることができる。

20

【0054】

上述しためっき処理において、めっき方法としては、電解めっきおよび無電解めっきのどちらを採用してもよいが、無電解めっきの場合には、めっき析出速度を向上させるために、触媒などによる前処理が必要となり、工程が複雑化するというデメリットがある。したがって、電解めっきを採用することが好ましい。なお、めっき膜の形成を促進するために、電解めっきまたは無電解めっきの前に、ストライクめっきを施すことが好ましい。また、めっき処理においては、パレルめっきを用いることが好ましい。

30

【0055】

図5は、この発明の第2の実施形態を説明するための図3に対応する図である。図5において、図3に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0056】

第2の実施形態による積層セラミック電子部品1aでは、図5に示すように、第1および第2の外部端子電極10および11の各々において、Cuめっき膜22上に上層めっき膜23が形成されている。上層めっき膜23は、たとえば、Cu、Ni、Sn、Pb、Au、Ag、Pd、BiおよびZnからなる群から選ばれる1種の金属または当該金属を含む合金からなることが好ましい。

40

【0057】

上層めっき膜23は複数層により構成されていてもよい。たとえば、上層めっき膜23の下地となる第1層としては、はんだバリア性能を有するNiを用いることが好ましく、外面を構成する第2層としては、はんだ濡れ性の良いSnやAuを用いることが好ましい。上層めっき膜23の1層あたりの厚みは、1~15μmであることが好ましい。

【0058】

上層めっき膜23を形成するためのめっき工程は、前述したCu液相、O液相およびCu固相を生成させるための熱処理工程の後に実施されることが好ましい。不連続状にCu

50

酸化物が存在するCu酸化物存在領域21の形成によるめっき液の浸入抑制効果を期待でき、積層セラミック電子部品1aの信頼性を向上させることができるからである。

【0059】

図6は、この発明の第3の実施形態を説明するための図3に対応する図である。図6において、図3に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0060】

第3の実施形態による積層セラミック電子部品1bでは、図6に示すように、セラミック素体9の内部において、電気的特性の発現に実質的に寄与しないダミー内部導体24および25が形成される。この実施形態では、ダミー内部導体24および25は、第1または第2の内部電極12または13と同一面上に形成される内層ダミー内部導体24と、第1および第2の内部電極12および13のいずれとも異なる面上に形成される外層ダミー内部導体25とに分類される。

10

【0061】

ダミー内部導体24および25は、内部電極12および13の場合と同様、セラミック素体2の第1および第2の側面5および6に露出部を有していて、これら露出部も第1または第2の外部端子電極10または11によって被覆され、金属めっき膜20と接続される。これにより、外部端子電極10および11のセラミック素体9に対する固着力をより向上させることができる。なお、ダミー内部導体24および25は、内部導体12および13と同じ金属を含むことが好ましい。

20

【0062】

図7は、この発明の第4の実施形態を説明するための図3に対応する図である。図7において、図3に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0063】

第4の実施形態による積層セラミック電子部品1cでは、第1および第2の外部端子電極10および11は、第1の主面3上および第2の主面4上に形成された補助導電層26をさらに備えている。これによって、Cu酸化物存在領域21は、金属めっき膜20と補助導電層26との間に位置するように形成され、Cuめっき膜22は、金属めっき膜20、Cu酸化物存在領域21および補助導電層26を被覆するようにして形成される。

30

【0064】

補助導電層26が形成されていると、Cuめっき膜22の、第1の主面3上および第2の主面4上でのめっき成長を促進することができ、ひいては、Cu酸化物存在領域21の、第1の主面3上および第2の主面4上での形成をより容易なものとすることができる。

【0065】

補助導電層26は、Ni、Sn、Pb、Au、Ag、Pd、BiおよびZnからなる群から選ばれる1種の金属または当該金属を含む合金からなることが好ましい。また、補助導電層26は、ガラス成分を含み得る。

【0066】

補助導電層26は、たとえば、補助導電層26となるべき導体パターン膜が予め形成されたセラミックグリーンシートを、生の状態にあるセラミック素体9の最上層および最下層に積層し、セラミック素体9と同時に焼成することにより形成されることができる。あるいは、焼成後のセラミック素体9の第1および第2の主面3および4上に導電性ペーストを印刷して焼き付けることにより形成されてもよい。

40

【0067】

図8および図9は、この発明の第5の実施形態による積層セラミック電子部品101を説明するためのものである。ここで、図8は、積層セラミック電子部品101の外観を示す斜視図である。

【0068】

積層セラミック電子部品101は、積層セラミックコンデンサアレイを構成するもので

50

、セラミック素体 102 を備えている。セラミック素体 102 は、互いに対向する第 1 および第 2 の主面 103 および 104 と、第 1 および第 2 の主面 103 および 104 間を結ぶ、第 1 の側面 105、第 2 の側面 106、第 3 の側面 107 および第 4 の側面 108 とを有する直方体形状をなしている。

【0069】

図 9 は、セラミック素体 102 の内部構造を示す平面図であり、図 9 (1) と同 (2) とは互いに異なる断面を示している。セラミック素体 102 は、複数のセラミック層 109 が積層された構造を有している。セラミック素体 102 の内部には、互いの間に所定のセラミック層 109 を介在させた状態で、第 1 および第 2 の内部導体 110 および 111 が複数組積層方向に交互にかつ主面方向に交互に形成されている。この実施形態では、2 つの第 1 の内部導体 110 と 2 つの第 2 の内部導体 111 とが主面方向に交互に配列されている。第 1 の内部導体 110 は、第 1 の側面 105 に露出部 112 を有し、第 2 の内部導体 111 は、第 2 の側面 106 に露出部 113 を有している。

10

【0070】

図 8 に示すように、セラミック素体 102 の第 1 および第 2 の側面 105 および 106 上には、それぞれ、4 つの第 1 の外部端子電極 114 および 4 つの第 2 の外部端子電極 115 が形成されている。第 1 の内部導体 110 の露出部 112 は、第 1 の外部端子電極 114 によって被覆され、第 1 の外部端子電極 114 と電氣的に接続される。第 2 の内部導体 111 の露出部 113 は、第 2 の外部端子電極 115 によって被覆され、第 2 の外部端子電極 115 と電氣的に接続される。

20

【0071】

このような積層セラミック電子部品 101 の第 1 および第 2 の外部端子電極 114 および 115 についても、図示しないが、図 3 または図 5 を参照して説明した外部端子電極 10 および 11 の構造および形成方法が適用される。

【0072】

第 5 の実施形態による積層セラミック電子部品 101 のような多端子型の積層セラミック電子部品においては、外部端子電極の各々の隣り合うもの同士の距離をある程度確保してはんだブリッジを防止する必要があるが、導電性ペーストによる塗布方法の場合、精度良く導電性ペーストを塗布することが困難であるため、露出した内部導体間の距離を少し広めに確保する必要がある、その結果、小型化を阻害している。これに対して、この発明によれば、外部端子電極の形成のために、直接めっきを用いるため、露出した内部導体間の距離を必要最小限に抑えることが可能となり、積層セラミック電子部品の小型化をより進めることができる。

30

【0073】

なお、第 5 の実施形態では、8 つの端子すなわち内部導体 110 および 111 の露出部 112 および 113 が合計 8 つの列を形成していたが、少なくとも 4 つの列が形成されていればよく、外部端子電極についても、それぞれの列に対応するように少なくとも 4 つ形成されていればよい。

【0074】

図 10 ないし図 12 は、この発明の第 6 の実施形態による積層セラミック電子部品 101 a を説明するためのものである。ここで、図 10 および図 11 は、それぞれ、図 8 および図 9 に対応する図である。図 12 は、外部端子電極 114 および 115 を形成する前のセラミック素体 102 の第 1 および第 2 の主面 103 および 104 を示す図である。図 10 ないし図 12 において、図 8 および図 9 に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

40

【0075】

第 6 の実施形態では、図 11 に示すように、第 1 または第 2 の内部導体 110 または 111 と同一面上に形成される内層ダミー内部導体 116 と、内部導体 110 および 111 のいずれとも異なる面上に形成される外層ダミー内部導体 117 とを備えるとともに、外部端子電極 114 および 115 が、図 12 に示すように、セラミック素体 102 の第 1 お

50

よび第２の主面１０３および１０４上に形成される補助導電層１１８を備えることを特徴としている。

【００７６】

ダミー内部導体１１６および１１７は、第３の実施形態におけるダミー内部導体２４および２５と同様の作用効果を奏し、補助導電層１１８は、第４の実施形態における補助導電層２６と同様の作用効果を奏する。したがって、第６の実施形態によれば、第５の実施形態に比べて、第１および第２の外部端子電極１１４および１１５のセラミック素体１０２に対する固着力をより向上させることができるとともに、第１および第２の外部端子電極１１４および１１５の形成領域を主面１０３および１０４にまで容易に延長することができる。

10

【００７７】

なお、第６の実施形態において、ダミー内部導体１１６および１１７を省略したり、あるいは、補助導電層１１８を省略したりすることも可能である。

【００７８】

図１３および図１４は、この発明の第７の実施形態による積層セラミック電子部品１５１を説明するためのものである。ここで、図１３は、積層セラミック電子部品１５１の外観を示す斜視図である。

【００７９】

積層セラミック電子部品１５１は、多端子型低ＥＳＬ積層セラミックコンデンサを構成するもので、セラミック素体１５２を備えている。セラミック素体１５２は、互いに対向する第１および第２の主面１５３および１５４と、第１および第２の主面１５３および１５４間を結ぶ第１ないし第４の側面１５５～１５８とを有する直方体形状をなしている。

20

【００８０】

図１４は、セラミック素体１５２の内部構造を示す平面図であり、図１４（１）と同（２）とは互いに異なる断面を示している。

【００８１】

セラミック素体１５２は複数のセラミック層１５９が積層された構造を有している。セラミック素体１５２の内部には、互いの間に所定のセラミック層１５９を介在させた状態で、第１および第２の内部導体１６０および１６１が複数組積層方向に交互に形成されている。

30

【００８２】

第１の内部導体１６０は、第２の内部導体１６１と対向する第１の有効部１６２と第１の有効部１６２から第１または第２の側面１５５または１５６にまで引き出される複数の第１の引出し部１６３とを有していて、第１の引出し部１６３の端部に、第１または第２の側面１５５または１５６に露出する露出部１６４を形成している。

【００８３】

第２の内部導体１６１は、第１の内部導体１６０と対向する第２の有効部１６５と第２の有効部１６５から第１または第２の側面１５５または１５６にまで引き出される複数の第２の引出し部１６６とを有していて、第２の引出し部１６６の端部に、第１または第２の側面１５５または１５６に露出する露出部１６７を形成している。

40

【００８４】

セラミック素体１５２の第１および第２の側面１５５および１５６の各々上には、第１および第２の外部端子電極１６８および１６９が交互に複数組配列されている。第１の内部導体１６０の露出部１６４は、第１の外部端子電極１６８によって被覆され、第１の外部端子電極１６８と電氣的に接続される。第２の内部導体１６１の露出部１６７は、第２の外部端子電極１６９によって被覆され、第２の外部端子電極１６９と電氣的に接続される。

【００８５】

このような第７の実施形態における第１および第２の外部端子電極１６８および１６９についても、図３または図５を参照して説明した外部端子電極１０および１１の構造およ

50

び形成方法が適用される。

【 0 0 8 6 】

図 1 5 ないし図 1 7 は、この発明の第 8 の実施形態による積層セラミック電子部品 1 5 1 a を説明するためのものである。ここで、図 1 5 は図 1 3 に対応し、図 1 6 は図 1 4 に対応する図である。図 1 7 は、セラミック素体 1 5 2 の第 1 および第 2 の主面 1 5 3 および 1 5 4 を示す図である。図 1 5 ないし図 1 7 において、図 1 3 および図 1 4 に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【 0 0 8 7 】

第 8 の実施形態の、第 7 の実施形態に対する関係は、第 6 の実施形態の、第 5 の実施形態に対する関係と同様である。すなわち、第 8 の実施形態では、図 1 6 に示すように、第 1 または第 2 の内部導体 1 6 0 または 1 6 1 と同一面上に形成される内層ダミー内部導体 1 7 0 と、内部導体 1 6 0 および 1 6 1 のいずれとも異なる面上に形成される外層ダミー内部導体 1 7 1 とを備えるとともに、図 1 7 に示すように、セラミック素体 1 5 2 の第 1 および第 2 の主面 1 5 3 および 1 5 4 上に形成される補助導電層 1 7 2 を備えることを特徴としている。

【 0 0 8 8 】

ダミー内部導体 1 7 0 および 1 7 1 は、第 3 の実施形態におけるダミー内部導体 2 4 および 2 5 と同様の作用効果を奏し、補助導電層 1 7 2 は、第 4 の実施形態における補助導電層 2 6 と同様の作用効果を奏する。したがって、第 8 の実施形態によれば、第 7 の実施形態に比べて、第 1 および第 2 の外部端子電極 1 6 8 および 1 6 9 の、セラミック素体 1 5 2 に対する固着力をより向上させることができるとともに、第 1 および第 2 の外部端子電極 1 6 8 および 1 6 9 の形成領域を第 1 および第 2 の主面 1 5 3 および 1 5 4 にまで容易に延長することができる。

【 0 0 8 9 】

なお、第 8 の実施形態において、ダミー内部導体 1 7 0 および 1 7 1 が省略されても、あるいは、補助導電層 1 7 2 が省略されてもよい。

【 0 0 9 0 】

次に、この発明による効果を確認するために実施した実験例について説明する。この実験例では、第 1 の実施形態に基づいて積層セラミック電子部品として積層セラミックコンデンサを作製し、評価を行なった。

【 0 0 9 1 】

まず、以下の表 1 に示すような仕様を有する積層セラミックコンデンサのためのセラミック素体を準備した。

【 0 0 9 2 】

【表 1】

寸法	長さ 1. 0 0 mm、幅 0. 5 0 mm、高さ 0. 5 0 mm
セラミック層材料	チタン酸バリウム系誘電体セラミック
内部導体金属種	主成分ニッケル
積層数	2 2 0
定格電圧	6. 3 V
静電容量	2. 2 μ F

【 0 0 9 3 】

次に、セラミック素体に外部端子電極を形成するため、以下の表 2 に示すような N i めっき浴、C u めっき浴および S n めっき浴をそれぞれ用いながら、表 3 に示すようなめっき条件にて 3 0 0 m l の水平回転バレルを適用することによって、金属めっき膜用 N i めっき、C u めっき膜用 C u めっき、上層めっき膜用 N i めっきおよび上層めっき膜用 S n めっきをこの順序で実施し、まず、厚み約 3 μ m の N i めっき膜、およびその上に厚み約 3 μ m の C u めっき膜を形成した後、酸素濃度 5 0 p p m および温度 1 0 8 0 の条件に

て熱処理を施し、さらにその後、厚み約4 μ mのNiめっき膜、およびその上に厚み約4 μ mのSnめっき膜を順次形成して、この発明の範囲内の実施例に係る試料とした。

【0094】

他方、上記金属めっき膜用Niめっきを実施せず、代わりに、Cuめっき膜用Cuめっきを、厚み約8 μ mのCuめっき膜が形成されるように実施したことを除いて、実施例の場合と同様の工程を経て、この発明の範囲外の比較例に係る試料を作製した。

【0095】

【表2】

Niめっき浴
ワット浴（弱酸性単純ニッケル浴） 浴温：60℃ pH：4.2
Cuめっき浴
ピロリン酸浴 14g/ℓピロリン酸銅3水和物 120g/ℓピロリン酸カリウム 10g/ℓ蔞酸カリウム 浴温：25℃ pH：8.7
Snめっき浴
ディップソール社製Sn-235 浴温：33℃ pH：5.0

10

20

【0096】

【表3】

水平回転バレル回転数	15rpm
導電性メディア	0.5mmφはんだボール 70ml (セラミック素体体積30ml)
	電流×時間
第1の導電層用Niめっき	10A×150分
第2～第3の導電層用Cuめっき	10A×70分
上層めっき膜用Niめっき	10A×140分
上層めっき膜用Snめっき	6A×90分

30

40

【0097】

次に、このようにして得られた実施例および比較例の各々に係る試料について、外部端子電極の固着力を評価するため、外部端子電極を貫通するボイドの発生の有無および1個の試料あたりのボイド発生数を調査した。図18には、試料に係る積層セラミックコンデンサ31の外部端子電極32が形成された部分が拡大されて示されている。積層セラミックコンデンサ31は、セラミック素体33を備え、外部端子電極32は、セラミック素体33の内部においてセラミック層34を挟んで形成された複数の内部導体35と電気的に接続されている。図18には、外部端子電極32を貫通するボイド36が図解的に示されている。

50

【 0 0 9 8 】

実施例および比較例の各々試料数 20 個について、図 18 に示すようなボイドの発生の有無および 1 個の試料あたりのボイド発生数を調査したところ、実施例では、ボイドの発生は認められなかったのに対し、比較例では、1 個の試料あたり平均 5.2 個のボイドの発生が認められた。

【 符号の説明 】

【 0 0 9 9 】

1, 1a, 1b, 1c, 101, 101a, 151, 151a 積層セラミック電子部品

2, 109, 159 セラミック層

3, 4, 103, 104, 153, 154 主面

5 ~ 8, 105 ~ 108, 155 ~ 158 側面

9, 102, 152 セラミック素体

10, 11, 114, 115, 168, 169 外部端子電極

12, 13, 110, 111, 160, 161 内部導体

18, 19, 112, 113, 164, 167 露出部

20 金属めっき膜

21 Cu 酸化物存在領域

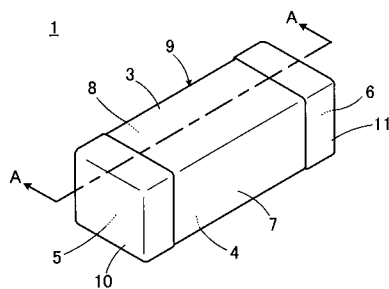
22 Cu めっき膜

26, 118, 172 補助導電層

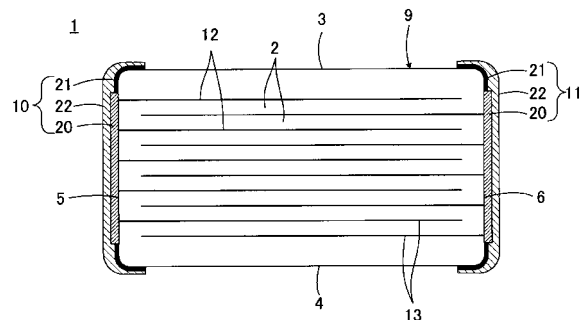
10

20

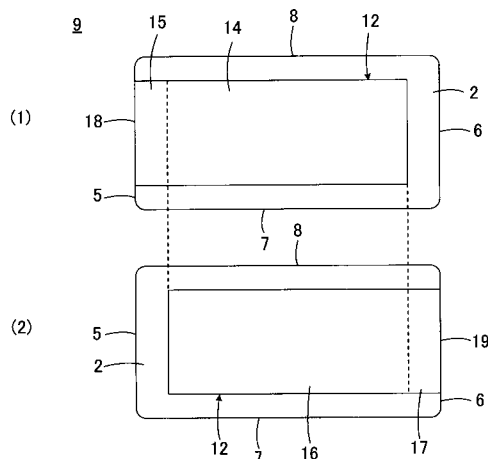
【 図 1 】



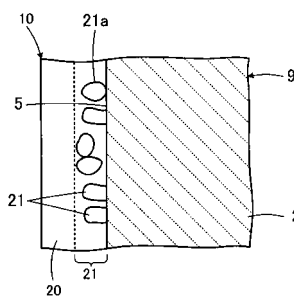
【 図 3 】



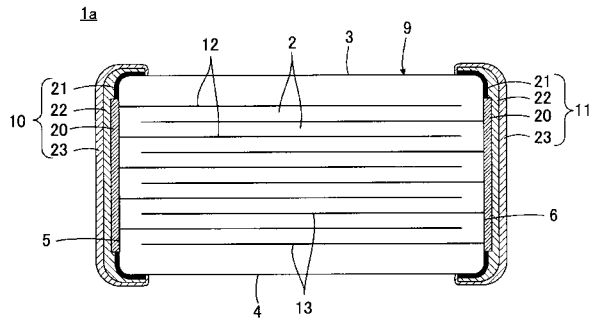
【 図 2 】



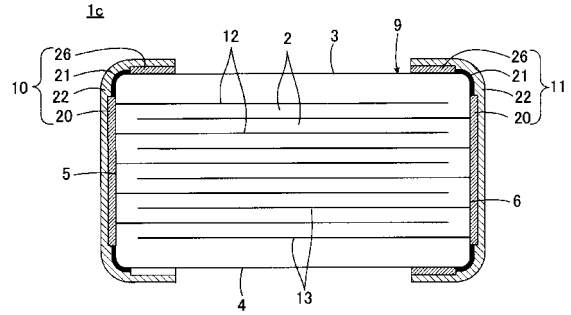
【 図 4 】



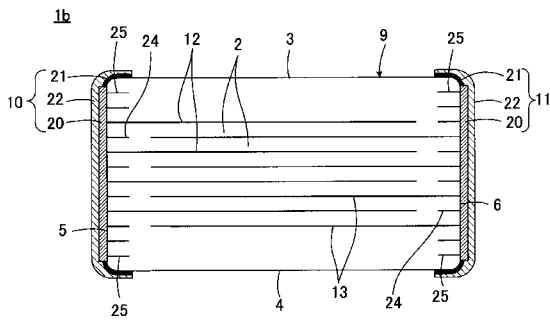
【図 5】



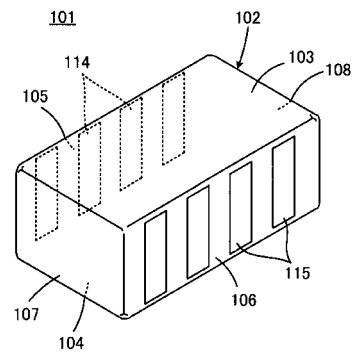
【図 7】



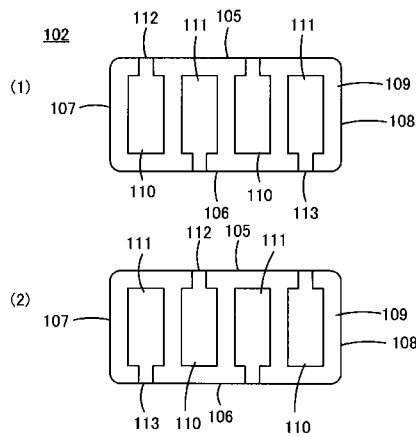
【図 6】



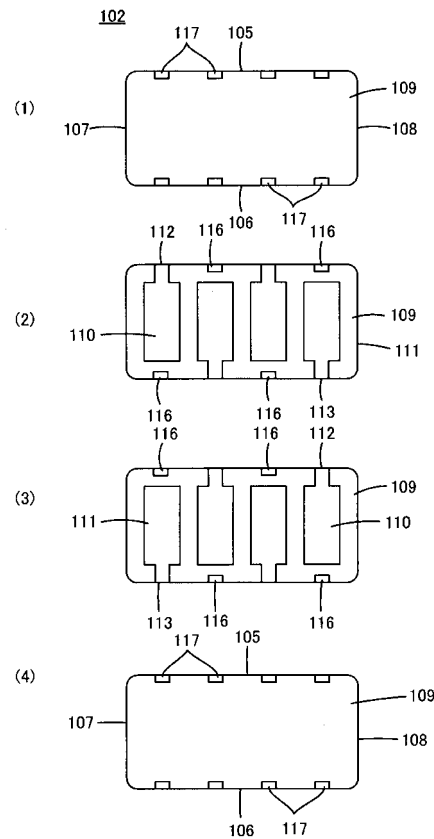
【図 8】



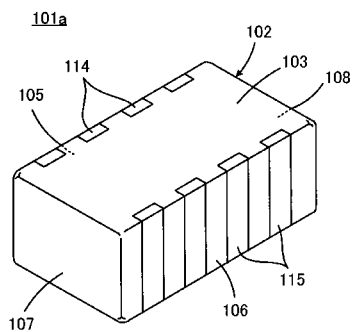
【図 9】



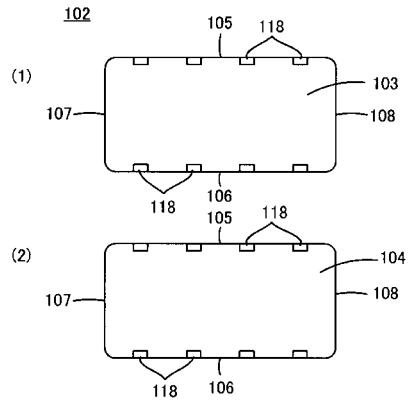
【図 11】



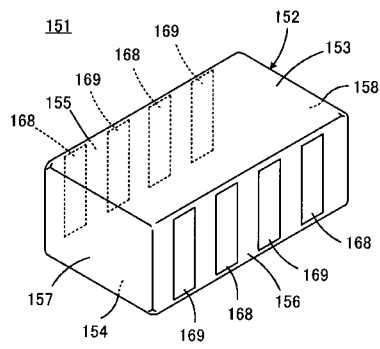
【図 10】



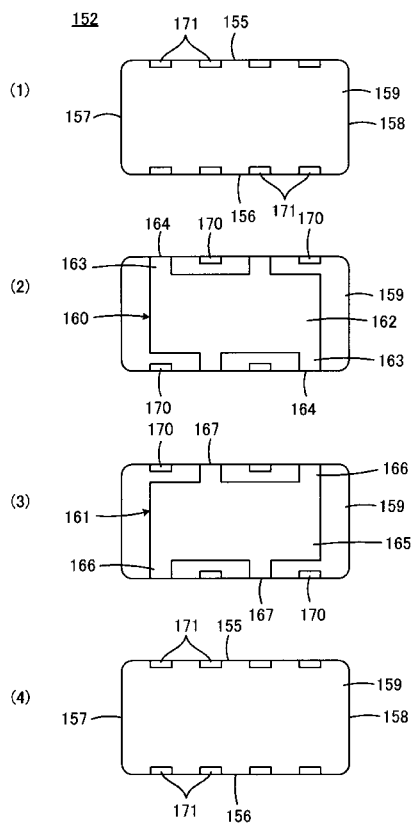
【図 1 2】



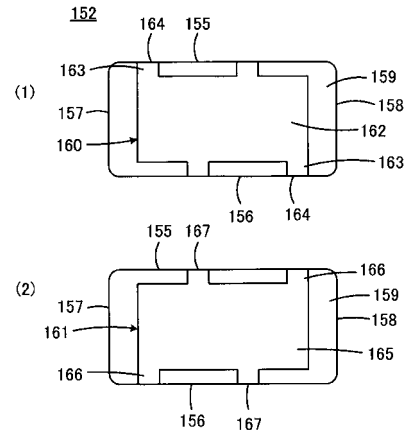
【図 1 3】



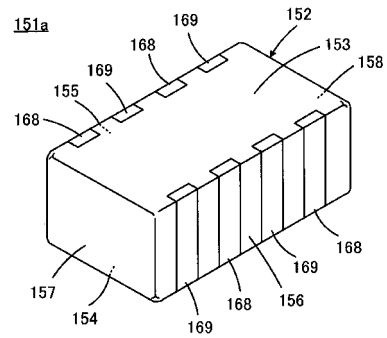
【図 1 6】



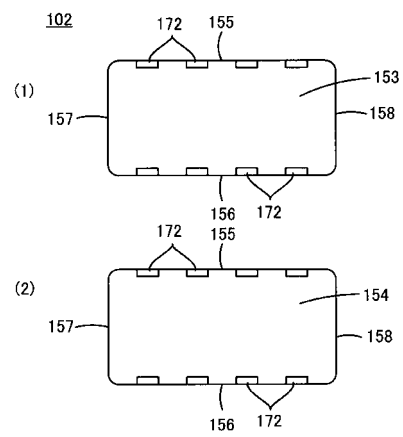
【図 1 4】



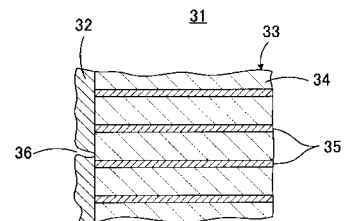
【図 1 5】



【図 1 7】



【図 1 8】



フロントページの続き

(72)発明者 岩永 俊之

京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内

(72)発明者 竹内 俊介

京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内

(72)発明者 川崎 健一

京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内

Fターム(参考) 5E001 AB03 AF06 AH01 AH09 AJ01 AJ03

5E082 AA01 AB03 BC32 EE04 EE23 EE35 FF05 FG26 GG10 GG11

GG28