(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3916694号

(P3916694)

(45)発行日　平成19年5月16日(2007.5.16)　(24)登録日　平成19年2月16日(2007.2.16)

(51)Int.Cl.		F I		
H03K 19/0175	(2006.01)	H03K	19/00	101J
H01L 21/8238	(2006.01)	H01L	27/08	321L
H01L 27/092	(2006.01)	H03K	19/00	101K
H03K 19/0948	(2006.01)	H03K	19/094	B
H03K 19/00	(2006.01)	H03K	19/00	A

請求項の数 9　(全 16 頁)　最終頁に続く

(21)出願番号　特願平8-204408
(22)出願日　平成8年8月2日(1996.8.2)
(65)公開番号　特開平9-121150
(43)公開日　平成9年5月6日(1997.5.6)
審査請求日　平成15年6月6日(2003.6.6)
(31)優先権主張番号　520,218
(32)優先日　平成7年8月28日(1995.8.28)
(33)優先権主張国　米国(US)

(73)特許権者　506076606
アバゴ・テクノロジーズ・ジェネラル・アイピー（シンガポール）プライベート・リミテッド
シンガポール国シンガポール７６８９２３，イーシュン・アベニュー・７・ナンバー１
(74)代理人　100087642
弁理士　古谷　聡
(74)代理人　100076680
弁理士　溝部　孝彦
(74)代理人　100121061
弁理士　西山　清春

最終頁に続く

(54)【発明の名称】耐高電圧ＣＭＯＳ入力／出力パッド回路

(57)【特許請求の範囲】

【請求項１】

第１の入力データ信号を受信して、第１の反転信号を発生するように結合された第１のインバータと、チップ・アースに結合されたソース、前記第１の反転信号を受信するように結合されたゲート、及び、ドレインを備える第１のＮチャネルＦＥＴデバイス（Ｍ５）と、前記第１のＮチャネルＦＥＴデバイスの前記ドレインに結合されたソース、チップ電源に結合されたゲート、及び、出力パッド・ノードに結合されたドレインを備える第２のＮチャネルＦＥＴデバイス（Ｍ４）を含む、前記出力パッド・ノードを低レベルにする第１のステージと、

第２の入力データ信号を受信して、第２の反転信号を発生するように結合された第２のインバータと、前記第２の反転信号を受信するように結合されたゲートを備え、さらに、前記出力パッド・ノードに結合されたドレイン、高電源に結合されたバック・ゲート、及び、ソースを備える第１のＰチャネルＦＥＴデバイスと、前記第２の入力データ信号を受信するように結合されたゲート、前記チップ・アースに結合されたソース、及び、ドレインを備えた第３のＮチャネルＦＥＴデバイスと、前記第３のＮチャネルＦＥＴデバイスの前記ドレインに結合されたソース、前記チップ電源に結合されたゲート、及び、ドレインを備えた第４のＮチャネルＦＥＴデバイスと、前記第４のＮチャネルＦＥＴデバイスの前記ドレインに結合されたゲート、前記高電源に結合されたバック・ゲート、前記チップ電源に結合されたソース、及び、前記第１のＰチャネルＦＥＴデバイスの前記ソースに結合されたドレインを備える第２のＰチャネルＦＥＴデバイスを含む、前記出力パッド・ノード

を高レベルにする第２のステージと、
前記出力パッド・ノードに結合されたソース、前記チップ電源に結合されたゲート、前記高電源に結合されたバック・ゲート、及び、前記第４のＮチャネルＦＥＴデバイスのドレイン及び前記第２のＰチャネルＦＥＴデバイスの前記ゲートに結合されたドレインを備える第３のＰチャネルＦＥＴデバイスを含む第３のステージと、
を含む出力ドライバ回路を含む集積回路用の耐高電圧ＣＭＯＳパッド回路。
【請求項２】
前記入力パッド・ノードに結合されたソース、前記チップ電源に結合されたゲート、及び、ドレインを備える受信Ｎチャネル ＦＥＴデバイスと、前記受信ＮチャネルＦＥＴデバイスの前記ドレインに結合された入力、及び、受信ノードに結合され、集積回路の内部回路要素によって用いられるための反転論理受信信号を発生する出力を備える受信インバータを含む受信回路を含むことを特徴とする、請求項１に記載の耐高電圧ＣＭＯＳパッド回路。
【請求項３】
前記出力ドライバ回路が、前記出力パッド・ノードに結合されたソース、前記チップ電源に結合されたゲート、及び、ドレインを備える第５のＮチャネルＦＥＴと、前記第５のＮチャネルＦＥＴデバイスの前記ドレインに結合された入力、及び、出力を備える遅延抑制強化回路インバータと、前記遅延抑制強化回路インバータの前記出力に結合されたゲート、前記チップ・アースに結合されたソース、及び、前記第３のＮチャネルＦＥＴデバイスの前記ドレイン及び前記第４のＮチャネルＦＥＴデバイスの前記ソースに結合されたドレインを備える第６のＮチャネルＦＥＴデバイスを含む前記遅延抑制強化回路を含むことを特徴とする、請求項１または２に記載の耐高電圧ＣＭＯＳパッド回路。
【請求項４】
前記遅延抑制強化回路が、さらに、前記遅延抑制強化回路インバータにおける静電電流を除去するためのプル・アップ・デバイスを含むことと、前記プル・アップ・デバイスが、前記チップ電源と遅延抑制強化回路インバータ入力（４５）の間に結合されることを特徴とする請求項３に記載の耐高電圧ＣＭＯＳプル・アップ回路。
【請求項５】
前記プル・アップ・デバイスが、前記チップ電源に結合されたソース、前記遅延抑制強化回路インバータ出力に結合されたゲート、及び、前記遅延抑制強化回路インバータ入力に結合されたドレインを備えたＰチャネルＦＥＴデバイスを含むことを特徴とする請求項４に記載の耐高電圧ＣＭＯＳプル・アップ回路。
【請求項６】
入力イネーブル信号を受信して、反転信号を発生するように結合されたインバータと、
前記反転信号を受信するように結合されたゲートを備え、さらに、出力パッド・ノードに結合されたドレイン、高電源に結合されたバック・ゲート、及び、ソースを備えた第１のＰチャネルＦＥＴデバイスと、
入力イネーブル信号を受信するように結合されたゲート、チップ・アースに結合されたソース、及び、ドレインを備える第１のＮチャネルＦＥＴデバイスと、
前記第１のＮチャネルＦＥＴデバイスの前記ドレインに結合されたソース、チップ電源に結合されたゲート、及び、ドレインを備える第２のＮチャネルＦＥＴデバイスと、
前記第２のＮチャネルＦＥＴデバイスの前記ドレインに結合されたゲート、前記高電源に結合されたバック・ゲート、前記チップ電源に結合されたソース、及び、前記第１のＰチャネルＦＥＴデバイスの前記ソースに結合されたドレインを備える第２のＰチャネルＦＥＴデバイスと、
前記出力パッド・ノードに結合されたソース、前記チップ電源に結合されたゲート、前記高電源に結合されたバック・ゲート、及び、前記第２のＮチャネルＦＥＴデバイスの前記ドレイン及び前記第２のＰチャネルＦＥＴデバイスの前記ゲートに結合されたドレインを備える第３のＰチャネルＦＥＴデバイスとを含む、集積回路の前記出力パッド・ノードを論理レベル高レベルにするための耐高電圧ＣＭＯＳプル・アップ回路。

【請求項７】
前記出力パッド・ノードに結合されたソース、前記チップ電源に結合されたゲート、及び、ドレインを備える第３のＮチャネルＦＥＴデバイス（Ｍ１０）と、
前記第３のＮチャネルＦＥＴデバイスの前記ドレインに結合された入力を備え、
さらに、出力を備える遅延抑制強化回路インバータと、
前記遅延抑制強化回路インバータ出力に結合されたゲート、前記チップ・アースに結合されたソース、及び、前記第１のＮチャネルＦＥＴデバイスの前記ドレイン及び前記第２のＮチャネルＦＥＴデバイスの前記ソースに結合されたドレインを備える第４のＮチャネルＦＥＴデバイスとを含む、遅延抑制強化回路を有する請求項６に記載の耐高電圧ＣＭＯＳプル・アップ回路。
【請求項８】
前記遅延抑制強化回路が、前記遅延抑制強化回路インバータにおける静電電流を除去するためのプル・アップ・デバイスを含むことと、前記プル・アップ・デバイスが、前記チップ電源と遅延抑制強化回路インバータ入力の間に結合されることを特徴とする請求項７に記載の耐高電圧ＣＭＯＳプル・アップ回路。
【請求項９】
前記プル・アップ・デバイスが、前記チップ電源に結合されたソース、遅延抑制強化回路インバータ出力に結合されたゲート、及び、前記遅延抑制強化回路インバータ入力に結合されたドレインを含むことを特徴とする請求項８に記載の耐高電圧ＣＭＯＳプル・アップ回路。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、一般に、集積回路のパッド回路に関するものであり、とりわけ、耐高電圧ＣＭＯＳ入力／出力パッド回路に関するものである。
【０００２】
【従来の技術】
集積密度、高性能、信頼性のある回路、及び、低電力を追求する最新の集積回路（ＩＣ）製造プロセスにおいて、最近はＩＣチップを動作させるのに必要な電源電圧を低下させる措置が講じられるようになってきた。この電圧を低下させると、製造プロセスにおいて、集積回路の信頼性及び品質について劣化することなく、形状寸法を小さくし、性能を向上させることが可能になる。
【０００３】
低電源電圧を用いる結果の１つとして、入力及び出力パッドが、ＩＣの電源電圧より高い外部電圧によって損傷を受けやすくなる。この状況は、より高い電圧電源で動作し、入力／出力パッドに電気的に結合されている外部装置によって、該パッドがＩＣの電源より高い電圧まで駆動される場合に発生することが多い。また、この状況は、ＩＣの電源における過渡スパイクから生じる可能性もある。過電圧がトランジスタの３つの端子（ゲート、ソース、ドレイン）のうち任意の２つの間に生じると損傷を被る。
【０００４】
さらに、トランジスタのドレインからソースに大量の電流が流れるのを放置しておくと、ホット・キャリヤの注入によって、トランジスタのゲート酸化膜に損傷を生じる。トランジスタがオンの場合、トランジスタのソースとドレイン間に過電圧が印加されると、過電流が流れて、トランジスタが永久的な損傷を受けることがある。
【０００５】
上記状況に関連した例が、集積回路における５Ｖから３．３Ｖへの移行に見受けられる。この移行を行うと、５Ｖと３．３Ｖの両方で同じバスを駆動する応用例が実施されつつある。５Ｖと３．３Ｖのチップによる駆動及び受信論理レベルは通常同じであるため、上記状況が起り得る。例えば、５Ｖと３．３Ｖのチップは、両方とも、論理「１」が２．４Ｖを超える任意の電圧であり、論理「０」が０．４Ｖ以下の任意の電圧であるとみなす。し

かし、混合ＩＣ応用例の結果として、３．３Ｖのソースで電力供給を受けるＩＣは、５Ｖの信号に耐える必要がある。これらの信号は超高速信号である可能性もあるため、３．３Ｖ チップは、増大する伝送回線のスパイク及び速度の上昇によって生じる反射に対しても耐性を持たねばならない。

【０００６】

【発明が解決しようとする課題】

本発明の目的は、電源電圧、駆動電圧が異なるＩＣが混在しているＩＣにおいて、両ＩＣ間で、パッド・トランジスタに損傷を加えたり、あるいは、集積回路の信頼性または品質の低下のおそれが生じないようにして、集積回路に過電圧を印加することが可能な回路を提供することにある。

【０００７】

【課題を解決するための手段】

本発明には、出力パッドを低レベル、高レベル、あるいはトライ・ステートにするための３つの関連するステージから構成される耐高電圧ＣＭＯＳ出力駆動回路が含まれている。

【０００８】

耐高電圧ＣＭＯＳ出力駆動回路が動作し、出力パッドを低レベルにすると、第１のステージが使用可能になる。第１のステージには、そのソースがアースに結合されている第１のＮＦＥＴ（Ｎチャンネル ＦＥＴ、以下ＮＦＥＴで記述する）デバイスのゲートに結合された、インバータが含まれている。第１のＮＦＥＴのドレインは、第２のＮＦＥＴのソースに結合されている。第２のＮＦＥＴのゲートは、チップ電源V_{DD}に結合されており、従って、そのソースにおける電圧が$V_{DD}-V_T$を超えることはないという保証が得られるが、ここで、V_TはＮＦＥＴデバイスのしきい値電圧である。トライ・ステート動作の場合、第２のＮＦＥＴは、第１のステージを出力パッドに生じる過電圧から防護する働きをする。

【０００９】

耐高電圧ＣＭＯＳ出力駆動回路が動作し、出力パッドを高レベルにすると、第２のステージが使用可能になる。第２のステージには、第１のＰＦＥＴ（ＰチャンネルＦＥＴ、以下ＰＦＥＴで記述する）デバイスのゲートに結合された、インバータが含まれている。第２のステージには、そのソースがアースに結合され、そのゲートがインバータの入力に結合された、第３のＮＦＥＴデバイスも含まれている。第３のＮＦＥＴデバイスのドレインは、第４のＮＦＥＴデバイスのソースに結合されており、第４のＮＦＥＴデバイスのゲートは、そのソースにおける電圧が$V_{DD}-V_T$を決して超えることがないようにチップ電源V_{DD}に結合されている。第４のＮＦＥＴデバイスは、従って、トライ・ステート・モード時にそのドレインに生じる過電圧に対するシールドの働きをする。第４のＮＦＥＴデバイスのドレインは、第２のＰＦＥＴデバイスのゲートに結合され、第２のＰＦＥＴデバイスのソースは、チップ電源V_{DD}に結合されている。第２のＰＦＥＴデバイスのドレインは、第１のＰＦＥＴデバイスのソースに結合され、第１のＰＦＥＴデバイスのゲートは、インバータの出力に結合され、そのドレインは、出力パッドに結合されている。

【００１０】

耐高電圧ＣＭＯＳ出力駆動回路がトライ・ステート・モードで動作する場合、第３のステージが必要になる。第３のステージには、ソースが出力パッドに結合され、ゲートがチップ電源V_{DD}に結合され、ドレインが第４のＮＦＥＴデバイスのドレインと第２のＰＦＥＴデバイスのゲートの両方に結合された、第３のＰＦＥＴデバイスが含まれている。トライ・ステート・モードにおいて、第１及び第２のステージがディスエイブルになると、外部装置によって出力パッドを駆動することが可能になる。出力パッドが外部からの駆動で低レベルになると、第１及び第３のＰＦＥＴデバイスがオフになり、出力パッドが第２のステージから有効に分離される。出力パッドが、駆動されて$V_{DD}+V_T$を超える電圧V_{D5}になると、第２のステージの第１のＰＦＥＴデバイスがオンになり、ドレイン・ゲート間電圧$V_{DG}>V_{DD}$による過電圧条件にさらされることになる可能性がある。第２のＰＦＥＴデバイスのドレインが駆動されてV_{D5}になると、第２のＰＦＥＴデバイスがオンになり、電

流が第１と第２のＰＦＥＴデバイスを介して出力パッドからチップ電源に流れる。しかし、本発明の場合には、同時に、第３のＰＦＥＴデバイスがオンになって、第２のＰＦＥＴデバイスのゲートをV_{D5}にし、これによって、第２のＰＦＥＴデバイスがオンになるのが阻止されるため、この問題は解消される。このため、その端子のうちの任意の２つの間における電圧もV_{DD}を超えることがなく、第１と第２のＰＦＥＴデバイスを介して、出力パッドからチップ電源に流れる電流もないという保証が得られる。

【００１１】

耐高電圧ＣＭＯＳ出力駆動回路に加えて、本発明には、耐高電圧ＣＭＯＳ入力受信回路も含まれている。該受信回路には、ソースが入力パッドに結合され、ゲートがチップ電源V_{DD}に結合され、ドレインがインバータの入力に結合されたＮＦＥＴデバイスが含まれている。ＮＦＥＴデバイスは、そのドレイン・ノードにおける$V_{DD}-V_T$の最大電圧を許容することによって受信回路に対するシールドの働きをする。耐高電圧ＣＭＯＳ入力受信回路に対する強化策として、ソースがチップ電源V_{DD}に結合され、ドレインがＮＦＥＴデバイスのドレインとインバータの入力の両方に結合され、ゲートがインバータの出力に結合されたＰＦＥＴデバイスが挿入される。ＰＦＥＴは、プル・アップ・デバイスとして機能し、インバータの入力における論理レベルを高レベルすなわちV_{DD}にする。

【００１２】

耐高電圧ＣＭＯＳ出力駆動回路及び耐高電圧ＣＯＭＳ入力受信回路の電圧耐性は、２つの新規の技法を用いることによって得られる。まず、常にオンのシールド・トランジスタを用いることによって、パッド回路における任意のトランジスタの任意の２端子間における過電圧条件が阻止される。第２に、ＰＦＥＴデバイスの場合、通常はデバイスのソース（V_{DD}）に接続されるバック・ゲート（Ｎウェル基板）が、より高い電源V_{D5}に接続するように改善される。この結果、順バイアスをかけて、過電流がデバイスのＮウェルに流入するようにしなくても、ＰＦＥＴデバイスのドレイン電圧はV_{DD}を超えることが可能になる。

【００１３】

【実施例】

本明細書の図面には、耐高電圧入力／出力パッドを必要とする用途に用いられる本発明による耐高電圧ＣＭＯＳ入力／出力パッド回路が示されている。図１には、耐高電圧ＣＭＯＳ出力駆動回路１００が示され、図２には、強化された実施例が示され、図３には、耐高電圧ＣＭＯＳ入力受信回路２００が示されている。

【００１４】

１．出力ドライバ

次に図面を詳細に検討すると、図１には、本発明による耐高電圧ＣＭＯＳ駆動回路１００が示されている。さらに詳細に後述するように、図１の耐高電圧ＣＭＯＳ出力駆動回路１００によって、出力パッドを３つの状態、すなわち、低レベル、高レベル、及び、ハイ・インピーダンス（トライ・ステート）の１つにする機能性が得られる。耐高電圧ＣＭＯＳ出力駆動回路１００の機能性は、３つの機能ステージ、すなわち、低ステージＳ１、高ステージＳ２、及び、トライ・ステート・ステージＳ３に分割することが可能である。

【００１５】

低ステージＳ１には、インバータ２の入力３０に結合された第１のデータ入力ノードＮ１３が含まれている。好適な実施例の場合、インバータ２は、図２に示す、ＰＦＥＴデバイスＭ１５及びＮＦＥＴデバイスＭ１６から構成される相補対称インバータを用いて実施される。インバータ２の出力３１は、ノードＮ１２において第１のＮＦＥＴデバイスＭ５のゲート３２に結合されている。第１のＮＦＥＴデバイスＭ５は、ソース３４がアースに結合され、ドレイン３３がノードＮ１０において第２のＮＦＥＴデバイスＭ４のソース３７に結合されている。電源V_{DD}は、第２のＮＦＥＴデバイスＭ４のゲート３５に結合されている。第２のＮＦＥＴデバイスＭ４のドレイン３６は、パッド・ノードＮ７に結合されている。

【００１６】

高ステージＳ２には、インバータ１の入力に結合された第２のデータ入力ノードＮ１が含まれている。好適な実施例の場合、インバータ１は、図２に示す、ＰＦＥＴデバイスＭ１３及びＮＦＥＴデバイスＭ１４から構成される相補対称インバータを用いて実施される。インバータ１の出力１１は、ノードＮ２において第１のＰＦＥＴデバイスＭ３のゲート１２に結合される。第２のデータ入力ノードＮ１は、第３のＮＦＥＴデバイスＭ９のゲート１６にも結合されている。第３のＮＦＥＴデバイスＭ９は、ソース１８がアースに結合され、ドレイン１７が第４のＮＦＥＴデバイスＭ８のソース２０に結合されている。第４のＮＦＥＴデバイスＭ８は、ゲート１９が電源V_{DD}に結合され、ドレイン２１が第２のＰＦＥＴデバイスＭ２のゲート２５に結合されている。第２のＰＦＥＴデバイスＭ２は、ソース２６が電源V_{DD}に結合され、ドレイン２７が第１のＰＦＥＴデバイスＭ３のソース１３に結合されている。第１のＰＦＥＴデバイスＭ３のドレイン１４は、パッド・ノードＮ７に結合されている。

【００１７】

トライ・ステート・ステージＳ３には、ソース２４がパッド・ノードＮ７に結合され、ゲート２２が電源V_{DD}に結合され、ドレインがノードＮ４においてＮＦＥＴデバイスＭ８のドレイン２１と第２のＰＦＥＴデバイスＭ２のゲート２５の両方に結合された第３のＰＦＥＴデバイスＭ７が含まれている。

【００１８】

耐高電圧ＣＭＯＳ出力駆動回路１００の重要な設計上の特徴には、ＰＦＥＴデバイスＭ２、Ｍ３、及び、Ｍ７のＮウェル基板をV_{D5}の高電源に結合するように改善することが含まれる。通常、ＭＯＳデバイスの場合、デバイスの基板本体は、内部でソースに結合されている。従って、ＰＦＥＴの場合、基板は、通常、チップ電源V_{DD}に結合されることになる。本発明の場合、ＰＦＥＴデバイスＭ２、Ｍ３、及び、Ｍ７のそれぞれの基板すなわちバック・ゲートを高電源V_{D5}に結合することによって、Ｍ２、Ｍ３、及び、Ｍ７のドレイン及びソースの電圧はV_{DD}を超えることが可能になるので、順バイアスをかけることによって、ＰＦＥＴのＮウェルに過電流が流入し、トランジスタが永久的な損傷を被るといったことは生じない。この状況が生じる可能性が最も高いのは、耐高電圧ＣＭＯＳ出力駆動回路１００がトライ・ステート・モードで動作しており、外部デバイスが出力パッド９５をV_{D5}にする場合である。しかし、それは、耐高電圧ＣＭＯＳ出力駆動回路１００が出力パッド９５をV_{DD}に駆動している際の過渡現象のいくつかにおける短い時間に生じる可能性もある。ＰＦＥＴのバック・ゲートをV_{D5}に結合し、ソースをV_{DD}に結合する結果の１つは、より高いバック・ゲート電圧の導入によってチャネル形成に変化が生じることによる、所与のV_{GS}に対するトランジスタのドレイン・ソース間電流I_{DS}の減少である。ＩＤＳの減少は、トランジスタのサイズを大きくすることによって克服することが可能である。

【００１９】

耐高電圧ＣＭＯＳ出力駆動回路１００は、ノードＮ１３及びＮ１において受信する入力データ信号D_0及びD_1によって決まる３状態の１つで動作する。D_0及びD_1が、両方とも低レベルの場合、耐高電圧ＣＭＯＳ出力駆動回路１００は、出力パッド９５を低レベルにする。D_0及びD_1が両方とも高レベルの場合、出力パッド９５は高レベルに駆動される。D_0が高レベル、D_1が低レベルの場合は、耐高電圧ＣＭＯＳ出力駆動回路１００は、トライ・ステートになる。トライ・ステート動作中、耐高電圧出力駆動回路１００は、外部接続された集積回路がより高い電源で動作することによって生じる過電圧状態から保護される。

【００２０】

一般に、耐高電圧ＣＭＯＳ出力駆動回路１００は、それぞれ、ノードＮ１３及びノードＮ１においてデータ入力信号D_0及びD_1を受信する働きをする。低ステージＳ１は、ノードＮ１３において入力信号D_0を受信し、高ステージＳ２及びトライ・ステート・ステージＳ３は、ノードＮ１において入力信号D_1を受信する。入力データD_0及びD_1は、低レベルまたは高レベル、すなわち、受信電圧レベルV_{low}またはV_{high}という２進値である。好適な実施例の場合、V_{low}＝０Ｖ、V_{high}＝３．３Ｖである。さらに、耐高電圧ＣＭＯ

Ｓ出力駆動回路１００に用いられるＮＦＥＴ及びＰＦＥＴは、それぞれ、しきい値電圧V_Tを特徴とする。好適な実施例の場合、ＮＦＥＴのしきい値電圧、V_Tは約０．７Ｖであり、ＰＦＥＴのしきい値電圧、V_Tは約０．６～０．８Ｖである。

【００２１】

ａ．低レベルにする

耐高電圧ＣＭＯＳ出力駆動回路１００が、出力パッド９５を低レベルにする働きをする場合、入力データ信号D_0及びD_1は、両方とも低レベルになり、従って、Ｎ１及びＮ１３は、両方とも、電位がV_{low}になる。低ステージＳ１は、出力パッド９５を低レベルにする機能を果たす。V_{low}は、インバータ２によってV_{high}に反転される。インバータ２の出力３１は、ノードＮ１２において、ＮＦＥＴデバイスＭ５のゲート３２に結合されているので、ゲート３２も電位はV_{high}になる。ＮＦＥＴデバイスＭ５のソース３４は、アースに結合されているので、ゲート・ソース間電圧V_{GS}は３．３Ｖ（$V_{GS}=V_{high}=3.3V$）になる。$V_{GS}>V_T$のため、Ｍ５がオンになり、ノードＮ１０及びＭ４のソース３７が大地電位になる。Ｍ４のゲート３５は、V_{DD}に結合されているので、ゲート・ソース間電圧V_{GS}が、しきい値電圧V_Tを超えて、Ｍ４がオンになり、パッド・ノードＮ７において出力パッド９５が大地電位すなわちV_{low}になる。

【００２２】

D_0とD_1の両方が低レベルの場合、高ステージＳ２は、下記のようにディスエイブルになる。電位がV_{low}のノードＮ１がインバータ１の入力に結合され、その出力１１から反転信号V_{high}が送り出される。ＰＦＥＴデバイスＭ３のゲート１２が、ノードＮ２においてインバータ１に結合され、従って、電位がV_{high}になる。ＰＦＥＴデバイスＭ３のソース１３は、$V_{DD}+V_T$を超えないので、ＰＦＥＴデバイスＭ３はオフになり、高ステージＳ２はディスエイブルになる。

【００２３】

D_0とD_1の両方が低レベルの場合、トライ・ステート・ステージＳ３が同様にディスエイブルになる。低ステージＳ１によって低レベルになる（V_{low}）出力パッド９５は、ノードＮ７においてＰＦＥＴデバイスＭ７のソース２４に結合されるので、ＰＦＥＴデバイスＭ７のソース２４も電位V_{low}になる。次に、ＰＦＥＴデバイスＭ７のゲート２２がチップ電源V_{DD}に結合されるので、正のゲート・ソース間電圧V_{GS}によってＭ７がオフになり、この結果、トライ・ステート・ステージＳ３がディスエイブルになる。

【００２４】

ｂ．高レベルにする

耐高電圧ＣＭＯＳ出力駆動回路１００が、出力パッド９５を高レベルにする働きをする場合、入力データ信号D_0及びD_1は、両方とも高レベルになり、従って、Ｎ１及びＮ１３は、両方とも、電位がV_{high}になる。

【００２５】

ノードＮ１の電位がV_{high}の場合、高ステージＳ２が、出力パッド・ノードＮ７を高レベルにする働きをする。Ｎ１は、そのソース１８がアース（V_{low}）に結合されたＮＦＥＴデバイスＭ９のゲート１６に結合されるので、ゲート・ソース間電圧V_{GS}がV_Tを超えて、ＮＦＥＴデバイスＭ９がオンになり、電流がドレイン１７からソース１８に引き込まれ、ノードＮ３がV_{low}になる。ＮＦＥＴデバイスＭ８のソース２０は、電位がV_{low}のノードＮ３においてＮＦＥＴデバイスＭ９のドレイン１７に結合される。ＮＦＥＴデバイスＭ８のゲートは、チップ電源V_{DD}に結合され、ゲート・ソース間電圧V_{GS}がV_Tを超えるので、Ｍ８がオンになり、ノードＮ４におけるＰＦＥＴデバイスＭ２のゲート２５がV_{low}になる。ＰＦＥＴデバイスＭ２のソース２６は、チップ電源V_{DD}に結合されるので、ゲート・ソース間電圧V_{GS}がV_Tを超えて、ＰＦＥＴデバイスＭ２がオンになり、ＰＦＥＴデバイスＭ３のソース１３がノードＮ６において$V_{DD}=V_{high}$になる。同時に、データ信号Ｄ１を受信するようにノードＮ１において結合されたインバータ１の入力１０は、電位がV_{high}になる。インバータ１は、信号を反転し、ノードＮ２においてＰＦＥＴデバイスＭ３のゲート１２に結合された出力１１からV_{low}を送り出す。ＰＦＥＴデバイスＭ３のソ

ース１３は、電位がV_{high}になるので、ゲート・ソース間電圧ＶＧＳがV_Tを超え、ＰＦＥＴデバイスＭ３がオンになって、出力パッド・ノードＮ７がV_{high}になる。

【００２６】

耐高電圧ＣＭＯＳ出力駆動回路１００が動作しており、出力パッドを下記のように高レベルにする場合、トライ・ステート・ステージＳ３がディスエイブルになる。ＰＦＥＴデバイスＭ７のソース２４は、出力パッド・ノードＮ７に結合され、詳細に上述のように、高ステージＳ２によって高レベルに駆動されてV_{high}になる。ＰＦＥＴデバイスＭ７のゲート２２は、チップ電源V_{DD}に結合され、ソース電圧は$V_{DD}+V_T$を超えないので、Ｍ７がオフになり、トライ・ステート・ステージＳ３がディスエイブルになる。

【００２７】

ノードＮ１３の電位がV_{high}の場合、低ステージＳ１は下記のようにディスエイブルになる。ノードＮ１３がインバータ２の入力３０に結合され、その出力３１から反転信号V_{low}が送り出される。出力３１は、ノードＮ１２においてＮＦＥＴデバイスＭ５のゲート３２に結合されるので、ＮＦＥＴデバイスＭ５におけるゲート・ソース間電圧V_{GS}がゼロになり、ＮＦＥＴデバイスＭ５がオフになる。ＮＦＥＴデバイスＭ４のゲート３５がチップ電源V_{DD}に結合されるので、ＮＦＥＴデバイスＭ４は、通常オンになり、ノードＮ１０はパッド・ノードＮ７の電圧に従うことになる。しかし、パッド・ノードＮ７の電圧が$V_{DD}-V_T$によって決まるレベル以上になると、ＮＦＥＴデバイスＭ４が飽和に達し、ノードＮ１０における電圧は$V_{DD}-V_T$にとどまることになる。以上の説明から明らかなように、ＮＦＥＴデバイスＭ４は、シールドの働きをして、低ステージ１の回路要素が、任意のデバイスの任意の２端子間においてV_{DD}を超える電圧を受けないように保護する。好適実施例において、最高の電圧が発生するのは、出力パッドノードＮ７が低レベルであり、V_{DD}電圧が最大の３．６Ｖの時である。

【００２８】

ｃ．トライ・ステート・モード

耐高電圧ＣＭＯＳ出力駆動回路１００が、トライ・ステート・モードで動作する場合、別のデバイスによって、出力パッド・ノードＮ７が結合された外部バスを駆動できるようにするため、低ステージＳ１及び高ステージＳ２がディスエイブルになる。トライ・ステート・モードの場合、入力データ信号D_0及びD_1が、それぞれ、高レベル及び低レベルになるので、Ｎ１３は電位がV_{high}になり、Ｎ１は電位がV_{low}になる。

【００２９】

トライ・ステート・ステージは、外部デバイスに起因する過電圧状態から耐高電圧ＣＭＯＳ出力駆動回路１００を保護する働きをする。外部デバイスは、耐高電圧ＣＭＯＳ出力駆動回路１００のチップ電源V_{DD}に対応するものより高いチップ電源V_{D5}で動作することが可能である。好適な実施例の場合、$V_{D5}=5V$及び$V_{DD}=3.3V$であり、従って、$V_{D5}>V_{DD}$。図２に示すように、高電圧のＶＤ５によって生じる損傷を防止するため、トライ・ステート・ステージＳ３は、シールドＮＦＥＴデバイスＭ４、Ｍ８、及び、Ｍ１０に連係して動作し、耐高電圧ＣＭＯＳ出力駆動回路１００の任意のデバイスの任意の２端子間には、V_{DD}以上の電圧は生じないという保証が得られるようにする。

【００３０】

トライ・ステート・モードにおいて、入力データD_0が高レベルの場合、ノードＮ１３の電位はV_{high}になる。詳細に上述のように、ノードＮ１３における電位V_{high}によって、ＮＦＥＴデバイスＭ５がディスエイブルになる。ＮＦＥＴデバイスＭ４のゲート３５は、チップ電源V_{DD}に結合されているので、ＮＦＥＴデバイスＭ４がオンになる。ドレイン３６に結合されたパッド・ノードＮ７における電圧が$V_{DD}-V_T$を超えると、ＮＦＥＴデバイスＭ４が飽和し、従って、ノードＮ１０は、決して$V_{DD}-V_T$の電圧すなわち　２．６Ｖを超えることがない。ＮＦＥＴデバイスＭ４は、出力パッド９５が外部デバイスによってV_{D5}以上になる場合に、出力ステージにおけるデバイスが、低ステージ１の任意のデバイスの任意の２端子間における過電圧状態（すなわち、好適な実施例の場合、３．６Ｖを超える）にさらされないように保護することになるので、耐高電圧ＣＭＯＳ出力駆動回路

１００の設計にとって重要である。図１から明らかなように、パッド・ノードＮ７が外部駆動によってV_{D5}になると、Ｍ４が飽和し、好適な実施例の場合、$V_{GS}=V_{DD}-V_T$　２．６Ｖ、及び、
$V_{DS}=V_{D5}-V_{GS}$　２．４Ｖになる。Ｍ４がオンになると、ＮＦＥＴデバイスＭ５のドレイン３３に結合されたノードＮ１０は、$V_{DD}-V_T$の電位になる可能性があり、耐高電圧ＣＭＯＳ出力駆動回路１００がトライ・ステート・モードで動作している場合、ゲート３２の電位がV_{low}のため、Ｍ５がオフになり、保護されるドレイン・ソース間電圧V_{DS}が$V_{DD}-V_T$に等しくなる。

【００３１】

トライ・ステート・モードの場合、データ信号D_1は低レベルであり、従って、ノードＮ１は電位がV_{low}になる。詳細に上述のように、ノードＮ１における電位V_{low}によって、パッド・ノードＮ７が$V_{DD}+V_T$すなわち　４Ｖ未満になると、ＰＦＥＴデバイスＭ３とＰＦＥＴデバイスＭ７の両方がディスエイブルになる。トライ・ステート・モードの場合、外部デバイスによって、パッド・ノードＮ７がV_{D5}にされ、Ｍ３とＭ７の両方が電流を供給して、ノードＮ４及びＮ６がV_{D5}になる可能性がある。

【００３２】

図１から明らかなように、ＮＦＥＴデバイスＭ８はＮＦＥＴデバイスＭ９に対するシールドの働きをする、すなわち、ＮＦＥＴデバイスＭ８がなければ、ノードＮ３がノードＮ４に結合され、ＮＦＥＴデバイスＭ９が、V_{D5}のドレイン・ソース間電圧による過電圧状態にさらされることになる。シールドＮＦＥＴデバイスＭ８を所定位置に配置すると、ノードＮ３は、好適な実施例の場合、最大で$V_{DD}-V_T$、すなわち、～２．６Ｖになる。従って、Ｍ９のドレイン・ソース間電圧は$V_{DD}-V_T$になる。ＮＦＥＴデバイスＭ８のドレイン・ソース間電圧は、好適な実施例の場合、$V_{D5}-(V_{DD}-V_T)$すなわち～２．４Ｖになる。

【００３３】

図２において、パッド・ノードＮ７の電圧がV_{D5}になる場合、ＰＦＥＴデバイスＭ３がオンになり、ノードＮ６におけるＭ３のソース１３はV_{D5}になる。ノードＮ５とＮ６の間におけるＰＦＥＴデバイスＭ２の両端間における過電圧状態を回避し、ＰＦＥＴデバイスＭ２及びＭ３が出力パッドからV_{DD}に電流を引き込むのを阻止するため、ＰＦＥＴデバイスＭ７を含むトライ・ステート・ステージＳ３が必要になる。ＰＦＥＴデバイスＭ７は、ＰＦＥＴデバイスＭ２のゲートをV_{D5}まで駆動し、そのゲート・ソース間電圧V_{GS}をゼロまで低下させることによって、ＰＦＥＴデバイスＭ２を保護する。ＰＦＥＴデバイスＭ７によって、ＰＦＥＴデバイスＭ２がオフの状態にとどまり、電流を供給しないという保証も得られる。

【００３４】

以上の説明から明らかなように、耐高電圧ＣＭＯＳ出力駆動回路１００における全てのデバイスが保護される。これは、任意のデバイスの任意の２端子間における過電圧状態とＭ２及びＭ３を介して出力パッドからV_{DD}に流れる過電流の両方を阻止するシールド・トランジスタを用いることによって実現する。さらに、順バイアスをかけて、過電流を流し、その結果、ＰＦＥＴのゲート酸化物に損傷を生じさせたり、あるいは、ホット・キャリヤの注入による損傷を与えたりすることがないようにして、ＰＦＥＴのドレインにおける電圧がV_{DD}を超えることができるようにするため、ＰＦＥＴデバイスの基板は、V_{DD}ではなくV_{D5}になるように改善される。

【００３５】

図２には、図１に示す耐高電圧ＣＭＯＳ出力駆動回路１００の強化バージョンである、好適な本発明の代替実施例が示されている。図２に示す実施例の場合、２つの追加ＮＦＥＴデバイスＭ１０及びＭ１１、及び、インバータ３が、耐高電圧ＣＭＯＳ出力駆動回路に挿入される。ＮＦＥＴデバイスＭ１０は、ソース４３がパッド・ノードＮ７に結合され、ゲート４１がチップ電源V_{DD}に結合され、ドレイン４２がノードＮ９においてインバータ３の入力４５に結合される。インバータ３は、出力４６がＮＦＥＴデバイスＭ１１のゲート

４７に結合され、Ｍ１１のソース４９は、アースに結合され、ドレイン４８は、ノードＮ３に結合される。好適な実施例の場合、インバータ３は、ＰＦＥＴデバイスＭ１７とＮＦＥＴデバイスＭ１８から構成されるＣＭＯＳインバータを用いて実施される。

【００３６】

追加ループの目的は、トライ・ステート・モードで動作しており、外部デバイスが、出力パッド９５を最初に高レベルにし、次に低レベルにする場合に、ＰＦＥＴデバイスＭ２の放電遅延時間を短縮することにある。Ｍ１０、インバータ３、及び、Ｍ１１を含むこのループは、外部デバイスがバスを高レベルから低レベルにした後、再充電の準備を行う働きをする。外部デバイスによって、出力パッド９５が高レベルからV_{D5}になると、ＰＦＥＴデバイスＭ７は、Ｍ２のゲート２５をV_{D5}にする働きをする。外部デバイスが、引き続き、出力パッド９５を低レベルにすると、ＮＦＥＴデバイスＭ１０のソース４３がV_{low}を受信して、Ｍ１０をオンにし、Ｍ１０のゲート４２及びインバータ３の入力４５をV_{low}にする。インバータ３は、その出力４６から反転入力信号V_{high}を発生し、該信号はＮＦＥＴデバイスＭ１１のゲート４７に結合されて、Ｍ１１をオンにし、ノードＮ３においてＭ８のソース２０をV_{low}にする。Ｍ８がオンになると、Ｍ２のゲート２５の電位がV_{low}になり、ＰＦＥＴデバイスＭ２がオンになって、ＰＦＥＴデバイスＭ３のソース１３がノードＮ６においてV_{DD}になる。このループがなければ、出力パッド９５が、外部デバイスによって低レベルになると、Ｍ７及びＭ３はディスエイブルになる。Ｍ７及びＭ３がディスエイブルになる瞬間、ノードＮ４は、電位がV_{D5}のままであり、ノードＮ６は、電位がV_{D5}のままである。ＰＦＥＴデバイスＭ２は、オフになるまで、ゆっくりと放電する。Ｍ１０、インバータ３、及び、Ｍ１１を含むループは、Ｍ２のゲート２５を迅速にV_{low}にすることによって、放電プロセスをスピード・アップする。

【００３７】

図２にも示されている様に、代替実施例には、追加ＰＦＥＴデバイスＭ１２が含まれている。ＰＦＥＴデバイスＭ１２は、インバータ３によって生じる望ましくない静電電流を除去する。前述のように、Ｍ１０、インバータ３、及び、Ｍ１１を含むループにおけるインバータ３は、相補対称デバイスＰＦＥＴデバイスＭ１７及びＮＦＥＴデバイスＭ１８によって実施される。図２から明らかなように、インバータ３の入力に結合されたノードＮ９は、出力パッドがＶＤ５にされても、シールドＮＦＥＴデバイスＭ１０のため、$V_{DD}-V_T$の最大値に達する。インバータ３に対する入力は、真の高レベル状態V_{DD}にはないため、ＰＦＥＴデバイスＭ１７は真にカット・オフされるわけではなく、ＮＦＥＴデバイスＭ１８は真に飽和するわけではないので、インバータ３においてV_{DD}からアースにわずかな静電電流が生じることになる。この静電電流を除去するため、ソース５２がチップ電源V_{DD}に結合された追加ＰＦＥＴデバイスＭ１２が導入され、そのドレイン５３はインバータ３の入力４５に結合され、そのゲート５１はインバータ３の出力に結合される。追加ＰＦＥＴデバイスＭ１２は、プル・アップ・トランジスタの働きをし、ノードＮ９におけるインバータ３の入力を$V_{DD}-V_T$からV_{DD}に引き上げるので、ＰＦＥＴデバイスＭ１７が真にカット・オフされ、ＮＦＥＴデバイスＭ１８が真に飽和する。

【００３８】

図２には、追加ＮＦＥＴデバイスＭ６及び追加ＰＦＥＴデバイスＭ１を備えた、耐高電圧ＣＭＯＳ出力駆動回路１００に対する追加強化案が示されている。ＮＦＥＴデバイスＭ６は、ＮＦＥＴデバイスＭ５のソース３４に関してノードＮ１１におけるアース信号をクリーンに保ち、ドライバによって引き込まれる可能性のある電流を制限するための電流制限プル・ダウン・トランジスタの働きをする。同様に、ＰＦＥＴデバイスＭ１は、ＰＦＥＴデバイスＭ２のソース２６に関してノードＮ５におけるチップ電源信号V_{DD}をクリーンに保ち、ドライバによって供給される可能性のある電流を制限するための電流制限プル・アップ・トランジスタの働きをする。

【００３９】

電流制限デバイスＰＦＥＴデバイスＭ１及びＮＦＥＴデバイスＭ６の代わりとして、並列ＦＥＴ電流制限ラダーに置き換えることも可能であり、この場合、ラダーの有効抵抗は、

ラダーのＦＥＴデバイスのそれぞれにおけるゲート電圧のデジタル制御を介してデジタル式に選択可能である。ＦＥＴサイズは、２ｍＡ、４ｍＡ、８ｍＡ等の一般的な電流の供給に合わせることが可能である。

【００４０】

２．受信器

図３には、本発明による耐高電圧ＣＭＯＳ入力受信回路２００が示されている。図３において明らかなように、耐高電圧ＣＭＯＳ入力受信回路２００には、ＮＦＥＴデバイスＭ１９及びインバータ４が含まれている。ＮＦＥＴデバイスＭ１９は、ソース６０がパッド・ノードＮ７において出力パッド９５に結合され、ゲート６１がチップ電源信号V_{DD}に結合され、ドレイン６２がノードＮ２０においてインバータ４の入力８０に結合されている。インバータ４の出力８１は、チップの内部回路要素（不図示）によって用いられるように入力ノードＮ２１に結合される。好適な実施例の場合、インバータ４は、ＰＦＥＴデバイスＭ２０及びＮＦＥＴデバイスＭ２１から構成される相補対称インバータを用いて実施される。

【００４１】

耐高電圧ＣＭＯＳ入力受信回路２００において、ＮＦＥＴデバイスＭ１９は、シールド・デバイスの働きをする。ゲート６１は、チップ電源信号V_{DD}に結合されるので、出力パッド９５が外部デバイスによってV_{D5}になったとしても、Ｍ１９のドレイン６２に結合されたノードＭ２０が、$V_{DD}-V_T$を超えることは決してない。従って、Ｍ１９は、チップの内部回路要素を過電圧状態から保護する。

【００４２】

耐高電圧ＣＭＯＳ入力受信回路２００に対する強化案には、追加ＰＦＥＴデバイスＭ２２が含まれている。ＰＦＥＴデバイスＭ２２は、プル・アップ・トランジスタの働きをし、ノードＮ２０を$V_{DD}-V_T$からV_{DD}にブーストして、望ましくない静電電流を除去する。

【００４３】

３．ドライバ／受信器の組み合わせ

好適な実施例の場合、耐高電圧ＣＭＯＳ出力駆動回路１００と耐高電圧ＣＭＯＳ入力受信回路２００は、同じ出力パッドに設けられている。ドライバ／受信器の組み合わせによって、例えば、データ・バスにおけるデータ回線に必要とされる入力と出力の両方を必要とするパッドのための二重機能性が得られる。

【００４４】

以上、本発明の実施例について詳述したが、以下、本発明の各実施態様の例を示す。

【００４５】

〔実施態様１〕

第１の入力データ信号（D_0）を受信して、第１の反転信号を発生するように結合された第１のインバータ（２）と、チップ・アースに結合されたソース（３４）、前記第１の反転信号を受信するように結合されたゲート（３２）、及び、ドレイン（３３）を備える第１のＮチャネルＦＥＴデバイス（Ｍ５）と、前記第１のＮチャネルＦＥＴデバイス（Ｍ５）の前記ドレイン（３３）に結合されたソース（３７）、チップ電源（V_{DD}）に結合されたゲート（３５）、及び、出力パッド・ノード（Ｎ７、９５）に結合されたドレイン（３６）を備える第２のＮチャネルＦＥＴデバイス（Ｍ４）を含む、前記出力パッド・ノード（Ｎ７、９５）を低レベルにする第１のステージ（低ステージ、Ｓ１）と、

第２の入力データ信号（D_1）を受信して、第２の反転信号を発生するように結合された第２のインバータ（１）と、前記第２の反転信号を受信するように結合されたゲート（１２）を備え、さらに、前記出力パッド・ノード（Ｎ７、９５）に結合されたドレイン（１４）、高電源（V_{D5}）に結合されたバック・ゲート、及び、ソース（１３）を備える第１のＰチャネルＦＥＴデバイス（Ｍ３）と、前記第２の入力データ信号（D_1）を受信するように結合されたゲート（１６）、前記チップ・アースに結合されたソース（１８）、及び、ドレイン（１７）を備えた第３のＮチャネルＦＥＴデバイス（Ｍ９）と、前記第３のＮチャネルＦＥＴデバイス（Ｍ９）の前記ドレイン（１７）に結合されたソース（２０）

、前記チップ電源（V_{DD}）に結合されたゲート（１９）、及び、ドレイン（２１）を備えた第４のＮチャネルＦＥＴデバイス（Ｍ８）と、前記第４のＮチャネルＦＥＴデバイス（Ｍ８）の前記ドレイン（２１）に結合されたゲート（２５）、前記高電源（V_{D5}）に結合されたバック・ゲート、前記チップ電源（V_{DD}）に結合されたソース（２６）、及び、前記第１のＰチャネルＦＥＴデバイス（Ｍ３）の前記ソース（１３）に結合されたドレイン（２７）を備える第２のＰチャネルＦＥＴデバイス（Ｍ２）を含む、前記出力パッド・ノード（Ｎ７、９５）を高レベルにする第２のステージ（高ステージ、Ｓ２）と、
前記出力パッド・ノード（Ｎ７、９５）に結合されたソース（２４）、前記チップ電源（V_{DD}）に結合されたゲート（２２）、前記高電源（V_{D5}）に結合されたバック・ゲート、及び、前記第４のＮチャネルＦＥＴデバイス（Ｍ８）のドレイン（２１）及び前記第２のＰチャネルＦＥＴデバイス（Ｍ２）の前記ゲート（２５）に結合されたドレインを備える第３のＰチャネルＦＥＴデバイス（Ｍ７）を含む第３のステージ（トライ・ステート・ステージ、Ｓ３）と、
を含む出力ドライバ回路（１００）を含む集積回路用の耐高電圧ＣＭＯＳパッド回路。

【００４６】

〔実施態様２〕

前記入力パッド・ノード（Ｎ７、９５）に結合されたソース（６０）、前記チップ電源（V_{DD}）に結合されたゲート（６１）、及び、ドレイン（６２）を備える受信ＮチャネルＦＥＴデバイス（Ｍ１９）と、前記受信ＮチャネルＦＥＴデバイス（Ｍ１９）の前記ドレイン（６２）に結合された入力（８０）、及び、受信ノード（Ｎ２１）に結合され、集積回路の内部回路要素によって用いられるための反転論理受信信号を発生する出力（８１）を備える受信インバータを含む受信回路（２００）
を含むことを特徴とする、実施態様１に記載の耐高電圧ＣＭＯＳパッド回路。

【００４７】

〔実施態様３〕

前記出力ドライバ回路（１００）が、
前記出力パッド・ノード（Ｎ７、９５）に結合されたソース（４３）、前記チップ電源（V_{DD}）に結合されたゲート（４１）、及び、ドレイン（４２）を備える第５のＮチャネルＦＥＴ（Ｍ１０）と、前記第５のＮチャネルＦＥＴデバイス（Ｍ１０）の前記ドレイン（４２）に結合された入力（４５）、及び、出力（４６）を備える遅延抑制強化回路インバータ（３）と、前記遅延抑制強化回路インバータの前記出力（４６）に結合されたゲート（４７）、前記チップ・アースに結合されたソース（４９）、及び、前記第３のＮチャネルＦＥＴデバイス（Ｍ９）の前記ドレイン（１７）及び前記第４のＮチャネルＦＥＴデバイス（Ｍ８）の前記ソース（２０）に結合されたドレイン（４８）を備える第６のＮチャネルＦＥＴデバイス（Ｍ１１）を含む
前記遅延抑制強化回路を含む
ことを特徴とする、実施態様１または２に記載の耐高電圧ＣＭＯＳパッド回路。

【００４８】

〔実施態様４〕

前記遅延抑制強化回路が、さらに、前記遅延抑制強化回路インバータ（３）における静電電流を除去するためのプル・アップ・デバイスを含むことと、前記プル・アップ・デバイスが、前記チップ電源（V_{DD}）と遅延抑制強化回路インバータ入力（４５）の間に結合される
ことを特徴とする実施態様３に記載の耐高電圧ＣＭＯＳプル・アップ回路。

【００４９】

〔実施態様５〕

前記プル・アップ・デバイスが、前記チップ電源（V_{DD}）に結合されたソース（５２）、前記遅延抑制強化回路インバータ出力（４６）に結合されたゲート（５１）、及び、前記遅延抑制強化回路インバータ入力（４５）に結合されたドレイン（５３）を備えたＰチャネルＦＥＴデバイス（Ｍ１２）を含む

ことを特徴とする実施態様４に記載の耐高電圧ＣＭＯＳプル・アップ回路。

【００５０】

〔実施態様６〕

入力イネーブル信号（D_0）を受信し、反転信号を発生するように結合されたインバータ（２）と、チップ・アースに結合されたソース（３４）、前記反転信号を受信するように結合されたゲート（３２）、及び、ドレイン（３３）を備える第１のＮチャネルＦＥＴデバイス（Ｍ５）と、前記第１のＮチャネルＦＥＴデバイス（Ｍ５）の前記ドレイン（３３）に結合されたソース（３７）、チップ電源（V_{DD}）に結合されたゲート（３５）、及び、出力パッド・ノード（Ｎ７、９５）に結合されたドレイン（３６）を備えた第２のＮチャネルＦＥＴデバイス（Ｍ４）を含む、

集積回路の前記出力パッド・ノード（Ｎ７、９５）を論理レベル低レベルにするための耐高電圧ＣＭＯＳプル・ダウン回路。

【００５１】

〔実施態様７〕

入力イネーブル信号（D_1）を受信して、反転信号を発生するように結合されたインバータ（１）と、前記反転信号を受信するように結合されたゲート（１２）を備え、さらに、出力パッド・ノード（Ｎ７、９５）に結合されたドレイン（１４）、高電源（V_{D5}）に結合されたバック・ゲート、及び、ソース（１３）を備えた第１のＰチャネルＦＥＴデバイス（Ｍ３）と、入力イネーブル信号（D_1）を受信するように結合されたゲート（１６）、チップ・アースに結合されたソース（１８）、及び、ドレイン（１７）を備える第１のＮチャネルＦＥＴデバイス（Ｍ９）と、前記第１のＮチャネルＦＥＴデバイス（Ｍ９）の前記ドレイン（１７）に結合されたソース（２０）、チップ電源（V_{DD}）に結合されたゲート（１９）、及び、ドレイン（２１）を備える第２のＮチャネルＦＥＴデバイス（Ｍ８）と、前記第２のＮチャネルＦＥＴデバイス（Ｍ８）の前記ドレイン（２１）に結合されたゲート（２５）、前記高電源（V_{D5}）に結合されたバック・ゲート、前記チップ電源（V_{DD}）に結合されたソース（２６）、及び、前記第１のＰチャネルＦＥＴデバイス（Ｍ３）の前記ソース（１３）に結合されたドレイン（２７）第２のＰチャネルＦＥＴデバイス（Ｍ２）と、前記出力パッド・ノード（Ｎ７、９５）に結合されたソース（２４）、前記チップ電源（V_{DD}）に結合されたゲート（２２）、前記高電源（V_{D5}）に結合されたバック・ゲート、及び、前記第２のＮチャネルＦＥＴデバイス（Ｍ８）の前記ドレイン（２１）及び前記第２のＰチャネルＦＥＴデバイス（Ｍ２）の前記ゲート（２５）に結合されたドレインを備える第３のＰチャネルＦＥＴデバイス（Ｍ７）を含む、

集積回路の前記出力パッド・ノード（Ｎ７、９５）を論理レベル高レベルにするための耐高電圧ＣＭＯＳプル・アップ回路。

【００５２】

〔実施態様８〕

前記出力パッド・ノード（Ｎ７、９５）に結合されたソース（４３）、前記チップ電源（V_{DD}）に結合されたゲート（４１）、及び、ドレイン（４２）を備える第３のＮチャネルＦＥＴデバイス（Ｍ１０）と、前記第３のＮチャネルＦＥＴデバイス（Ｍ１０）の前記ドレイン（４２）に結合された入力（４５）を備え、さらに、出力（４６）を備える遅延抑制強化回路インバータ（３）と、前記遅延抑制強化回路インバータ出力（４６）に結合されたゲート（４７）、前記チップ・アースに結合されたソース（４９）、及び、前記第１のＮチャネルＦＥＴデバイス（Ｍ９）の前記ドレイン（１７）及び前記第２のＮチャネルＦＥＴデバイス（Ｍ８）の前記ソース（２０）に結合されたドレイン（４８）を備える第４のＮチャネルＦＥＴデバイス（Ｍ１１）を含む、

遅延抑制強化回路を含む

ことを特徴とする実施態様７に記載の耐高電圧ＣＭＯＳプル・アップ回路。

【００５３】

〔実施態様９〕

前記遅延抑制強化回路が、前記遅延抑制強化回路インバータ（３）における静電電流を除

去するためのプル・アップ・デバイスを含むことと、前記プル・アップ・デバイスが、前記チップ電源（V_{DD}）と遅延抑制強化回路インバータ入力（４５）の間に結合されることを特徴とする実施態様８に記載の耐高電圧ＣＭＯＳプル・アップ回路。

【００５４】

〔実施態様１０〕

前記プル・アップ・デバイスが、前記チップ電源（V_{DD}）に結合されたソース（５２）、遅延抑制強化回路インバータ出力（４６）に結合されたゲート（５１）、及び、前記遅延抑制強化回路インバータ入力（４５）に結合されたドレイン（５３）を含むことを特徴とする実施態様９に記載の耐高電圧ＣＭＯＳプル・アップ回路。

【００５５】

【発明の効果】

上述の詳細な説明に基づいて、本発明は、集積回路の品質、信頼性、または、機能性に悪影響を及ぼすことなく、過電圧状態にさらすことが可能な、集積回路のための耐高電圧ＣＭＯＳ入力／出力パッドを提供する。本発明の耐高電圧ＣＭＯＳ入力／出力パッドは、外界が０～５Ｖ電源で動作している場合に、０～３．３Ｖの電源を必要とする回路に極めて有効である。

【００５６】

本発明の例証となる、現在のところ好適な実施例について詳述してきたが、もちろん、本発明の概念は、別様にさまざまに実施し、用いることが可能であり、先行技術による制限がある場合を除いて、前述の請求項はこうした変更を含むものと解釈されることを意図したものである。

【図面の簡単な説明】

【図１】　本発明の耐高電圧ＣＭＯＳ出力駆動回路の略図である。

【図２】　図１の耐高電圧ＣＭＯＳの強化された出力駆動回路の１実施例を示す図である。

【図３】　本発明の耐高電圧ＣＭＯＳ入力受信回路の略図である。

【符号の説明】

１、２、３：インバータ

９５：出力パッド

１００：耐高電圧ＣＭＯＳ出力駆動回路

２００：耐高電圧ＣＭＯＳ入力受信回路

Ｍ１、Ｍ２、Ｍ３、Ｍ７、Ｍ１３、Ｍ１５、Ｍ１７、Ｍ２２：ＰＦＥＴデバイスＭ４、Ｍ６、Ｍ９、Ｍ１１、Ｍ１４、Ｍ１６、Ｍ１８：ＮＦＥＴデバイス

Ｍ５、Ｍ８、Ｍ１０、Ｍ１９：シールド・トランジスタ

Ｓ１：低ステージ

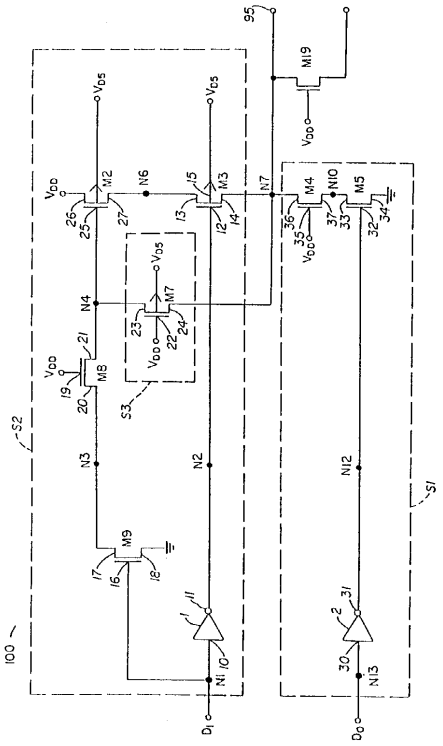
Ｓ２：高ステージ

Ｓ３：トライ・ステート・ステージ

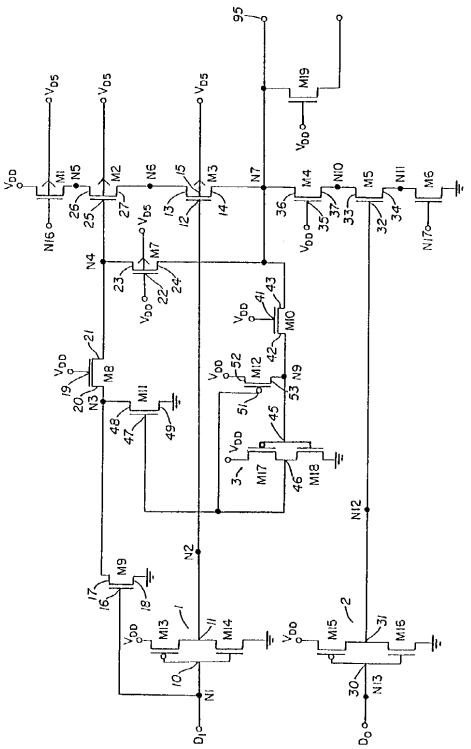
V_{DD}：低電源電圧

V_{D5}：高電源電圧

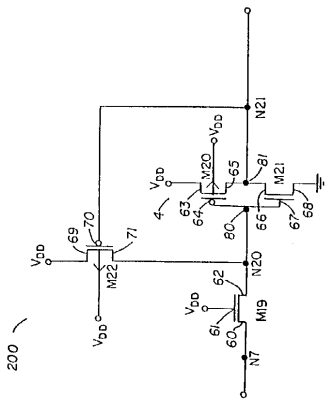
【図１】



【図２】



【図３】



フロントページの続き

(51)Int.Cl. F I
H03K 19/003 (2006.01) H03K 19/003 E

(72)発明者 ゴードン・ダブリュ・モトリー
アメリカ合衆国コロラド州フォート・コリンズ、ラスティック・コート ３０００
(72)発明者 ピーター・ジェー・メイヤー
アメリカ合衆国コロラド州フォート・コリンズ、チッペンデール・ドライブ ４６２４
(72)発明者 デイヴィッド・エス・メイトランド
アメリカ合衆国コロラド州フォート・コリンズ、サウスカウンティ・ロード １１ ７１００

審査官 宮島 郁美

(56)参考文献 特開平０７－０６６７１０（ＪＰ，Ａ）
特開平０７－１８３７８７（ＪＰ，Ａ）
特開平０７－１８３７８６（ＪＰ，Ａ）
特開平０７－０８６９１０（ＪＰ，Ａ）
特開平０６－２１６７５２（ＪＰ，Ａ）
特開平０５－２２７０１０（ＪＰ，Ａ）
特開平０４－３２９０２４（ＪＰ，Ａ）
特開平０９－０６４７２０（ＪＰ，Ａ）
特開平０８－１８１６００（ＪＰ，Ａ）

(58)調査した分野(Int.Cl., ＤＢ名)
H03K19/00,19/01-19/082,19/092-19/096
H03K 19/003-19/007,19/084-19/091
H01L27/06-27/08