

三、發明人：(共 2 人)

姓 名：(中文/英文) ID：

1. 麥倫 J. 米斯克/MISKE, MYRON J.
2. 茱莉史都爾茲/STULTZ, JULIE

國 籍：(中文/英文)

1. ~2. 美國

United States of America

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國 2006/2/17 60/774,753

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

三、發明人：(共 2 人)

姓 名：(中文/英文) ID：

1. 麥倫 J. 米斯克/MISKE, MYRON J.
2. 茱莉史都爾茲/STULTZ, JULIE

國 籍：(中文/英文)

1. ~2. 美國

United States of America

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國 2006/2/17 60/774,753

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係與 MOSFET 裝置有關，和特別是關於用作為低導通阻抗 (on-impedance) 開關的 MOSFET 裝置。

【先前技術】

在很多應用方面可發現 MOSFET 開關，且在高頻開關的應用當中變得很普遍。當技術進步時，這樣的電晶體開關變得更小、更快且功率更有效率。通常這些低導通阻抗開關被用來在使用不同電源的系統之間傳輸邏輯資料，例如傳送及/或接收來自 3V 系統之邏輯訊號的 5V 系統。通常，該電源會決定該高邏輯位準。這些開關可耦接從 5V、3.3V 及/或 1.8V 到彼此提供電力的邏輯系統。

不過，操作在該較低的電源位準會遇到與 MOSFET 電晶體所固有之臨界 (threshold) 需求相關的問題。例如，在具有不同電源的系統中，從某一個系統送出的邏輯訊號比接收該訊號之系統的電源還要高時會遇到麻煩。眾所皆知的過電壓/欠電壓 (over/undervoltage) 效應會引起嚴重的 MOSFET 故障。

在美國專利第 6,163,199 (以下簡稱為 '199) 號「過電壓/欠電壓之容限轉移閘極 (tolerant transfer gate)」已提出一種減輕上述問題的方法。該 '199 係提出並聯的電晶體，用於過欠電壓及欠電壓之保護。該 '199 係驅動相關之該轉移電晶體的該後閘極 (本體 (bulk) 所接觸)。該 '199 專利係與本申請案相同，為相同發明者所擁有。該 '199 專利係說明該習知技術之限制的更詳細討論，並以提供一種方法來幫助降

低該問題。該'199專利在此皆包含於其中以供參考。

其他已知的設計係著重於藉由使 MOSFET 結構所固有之該基體效應 (body effect) 最小化來降低插入損耗 (insertion loss) 並且增加頻帶寬度。一般而言，所謂的插入損耗可被描述為：相較於理想的開關，因為採用了較為遜色之開關而造成被傳遞至負載之訊號功率的損失。

當該 FET 開關被導通且該源極及該汲極並非與井區 (well) 相同的電位時，該基體效應變得明顯。在這種實例中，該井區係作為另一閘極 (有時稱為「後閘極」, back gate) 並且有限地增加該臨界電壓，其依序降低在該源極和汲極之間的傳導。換言之，由於所存在之電容量的頻率滾降 (roll-off)，該開關的導通電阻會依序增加、減少該裝置頻帶寬度。在此，在該插入損耗與頻率的連續曲線上，是以 -3dB 點來定義出頻帶寬度。

已知有 Burghartz 之美國專利第 5,818,099 號 (以下簡稱為 '099) 的一種典型習知技術設計，著重於降低該基體效應和插入損耗。如該 '099 專利之第 6A 圖所示，該 '099 專利係揭露具有 P 型井的 n 型 MOSFET 結構，其係使用 n 型井來使該 P 型井與該 P 型基材隔離。通常很多這種開關的製造者現在使用這類型的結構，而且此相同的基本結構可用於本發明之較佳實施例的 n 型 MOSFET 結構中。該 '099 專利在此皆包含於其中以供參考。

然而，當存在有訊號電壓且供給至該轉移開關的電壓被關閉時 (例如在電源於該傳送或接收系統被關閉之前，供給至該轉移開關的電源會先被關閉)，該 '099 專利之低插入

損耗電路實施例可能有較大的漏電流。而且，在斷電期間應被關閉之開關可能會被導通。

例如，在習知技術之第 1 圖中係表示了具有該井區之典型偏壓為 +V 的一種 P 型 MOSFET。這可確保該汲極/源極至井區的 pn 接面二極體不會變成順向偏壓。不過，如果當終端 A 為高邏輯位準 (+5V) 時，(藉由關閉該供應)使該 +V 電源接地，在該 MOSFET 開關中的該 pn 汲極一井區之二極體被順向偏壓且產生潛在的有害電流通路，對該 +V 電源之輸出電容器進行充電。因此，將對該 P 型 MOSFET 的井區進行充電，所以該開關在不應被驅動時被驅動了。此外，從該汲極和該源極至該井區的電容量 C_{dw} 和 C_{sw} 係分別用來限制該開關的頻帶寬度。

在習知技術中，還是有斷電操作期間之過電壓保護以及插入和頻帶寬度損耗的 MOSFET 開關限制。本發明係特別針對這些限制。

【發明內容】

具備單一或並聯之主要 FET 開關的本發明係指出了該習知技術的限制和課題。該主要 FET 的井區被驅動，因此該汲極/源極至井區的二極體接面在斷電時不會成為順向偏壓。另外，該開關的插入損耗和頻帶寬度會獲得改善。

針對每個主要 FET 開關而形成內部供電軌 (internal power rail)，且每一個的井區被耦接或者功能性連接至高於局部電源或該開關之輸入訊號的電壓位準，若主要開關為 PMOS，則是較高的電壓位準，若主要開關為 NMOS，則是低於接地電位或輸入訊號。

串接之成對的額外 FET 係跨在該主要開關 FET 之汲極至源極。這些額外 FET 的源極係連接該主要 FET 的井區，所以任何輸入訊號會出現在該主要 FET 的井區。在這樣的情況下，每個主要 FET 之從該汲極或源極至該井區之間的電容量可有效地消除任何 AC 輸入訊號的頻率滾降。

在較佳實施例中，其他 FET 被用來邏輯地閘控電源、輸入及 / 或接地至該內部供電軌和該主要 FET 的井區。

以下參照附加圖式來說明本發明。

【實施方式】

第 2 圖係本發明之實施例的一圖解 / 區塊圖。M1 係 P 型 MOSFET，其源極及汲極分別連接至 n 型 MOSFET M2 的源極和汲極。該共同汲極係連接至輸入 / 輸出 B，且該共同源極係連接至輸入 / 輸出 A。當該開關導通時，M1 和 M2 係在 A 和 B 之間提供低阻抗連接。除非本文中有強調是不同的意義（例如，該 M1 開關僅表示 M1），否則單獨的該術語「開關」係表示該 M1，M2 的組合（元件符號 13）。

在第 2 圖中，當該開關被導通時，可在節點 A 或節點 B 導入輸入訊號，且使之分別從節點 B 或 A 輸出。藉由該反相器 10，當 EN（致能）為高位準時，M1 和 M2 兩者皆被導通（ON），且當 EN 為低位準時，M1 和 M2 兩者皆被關閉（OFF）。當該輸入訊號 ngate（為 EN）為高位準時，M2 被導通，若為低位準時則 M2 被關閉。當 pgate 為低位準時則導通 M1，若為高位準則關閉 M1。區塊 12 的電路係如下文所述，驅動該 M1 之井區，且用以改善該導通電阻，降低該插入損耗並增加頻帶寬度。區塊 16 的電路係在斷電期間保護該

MOSFET 開關。

應注意的是，如同熟習此項領域者所熟知，本體 (bulk)、後閘極、基材或者井區可彼此互換使用。在 M1 中，該 P 型基材係連接至接地 (ground)，且該 M1 的井區或後閘極係被箝制在低於接地之大多數二極體 D1 約略 0.7V 的壓降。D1 係從該基材至該 P 型 MOSFET M1 之基材的固有 (寄生) 二極體。在此實施例中，參照第 8A 圖，該 P 型基材係連接至地，且該 M1 的井區係被箝制在低於接地之大多數二極體 D1 約略 0.7V 的壓降。

如第 2 圖及第 8B 圖所示，該 M2 的後閘極 B 係連接至接地，但是可被類似於用於 M1 之元件符號 12 和 16 的電路所驅動。參照第 9 圖。

第 3 圖係第 1 圖之區塊 12 的電路性能強化電路的更詳細圖解。PMOS M1 係被製造有與 M3 和 M4 所驅動之本體 (bulk) 22 連接的隔離 N 井區 (參照第 8A 圖)。在此實施例中，兩個 P 型 MOSFET M3、M4 係從節點 A 到節點 B 而串聯在一起，該等的源極係連接至與 M1 之井區相連的本體 22。當 ngate 為低位準時，該開關 13 被關閉，且 wrail 20 係透過 M5 而連接至本體 22。wrail 也使該 M3 和 M4 的井區偏壓。如此處所述，M3 和 M4 以及使用該 wrail 可降低插入損耗並且提升斷電操作。

參照第 2 圖、第 3 圖，當 EN 為低位準時，該開關 13 被關閉、ngate 為低位準、pgate 為高位準且該 MOSFET M1、M2、M3 和 M4 全都被關閉。M5 係將該 M1、M3 和 M4 的井區連接至該 wrail 20。通常 M3 和 M4 是作成相同尺寸並具

有相同特性。跨過 M1 的任何壓降 V_{ds} 會等於跨過 M3 之壓降的 $1/2$ 加上跨過 M4 之壓降的 $1/2$ 。這可保持此較佳實施例的對稱性。

與習知電路相比，第 3 圖之該 M3 和 M4 的對稱功能可展現出本發明之降低的插入損耗和更高的頻帶寬度。如上所述，關於第 2 圖，當 M1 導通時，在該 M1 的源極和汲極兩邊都會出現一個 AC 訊號。如果該井區連接至一低阻抗點 (+V 或至 N 型的接地)，即使跨在 M1 上的是最小壓降，部分 AC 訊號會從該源極和該汲極兩者通過電容器 C_{sw} 和 C_{dw} 而流至該 M1 的井區。然而在本發明中，當 M3 和 M4 導通時，它們的低導通阻抗會維持著跨在 C_{sw} 和 C_{dw} 上的實質恆定電壓，且藉以限制 AC 訊號透過這些電容器而流通。這降低了頻率的插入損耗並增加該開關的頻帶寬度。

第 4 圖中係詳述了第 2 圖之元件符號 16，並說明了藉由採用該內部電源 $wrail$ 20 來提供 MOSFET M1、M2、M3 和 M4 開關之斷電保護。當該 EN 為偽 (false) 狀態時，M1、M2、M3 和 M4 全部關閉 (該開關關閉)，在 A 和 B 之間就會有一個高阻抗連接。該本體 22 係透過 M5 而連接至該 $wrail$ 20 電壓，而非如同習知技術中連接至該電源 +V。當該電源電壓 +V 接地時，該本體 22 係透過第 4 圖之 M5 和 M6 而連接至較高的 A 訊號位準，或者是在該 A 訊號位準為低位準時透過 M5 和 M7 而連接至 +V。這降低了從該汲極/源極至該 M1 井區使該 pn 二極體順向偏壓的可能性。

在第 4 圖中， $wrail$ 20 係連接至該 PMOS M8、PMOS M5 的井區、該 PMOS M10 以及該 PMOS M3、M4、M6 和 M7 的

井區。當該開關 13 導通時，第 3 圖的 M5 關閉，所以 wrail 和本體 22 不會連結。不過，如果 A 和 B 為高位準且 +V 下降至接地，連接至該 M1 之井區的該本體 22 會透過該 M3 和 M4 而處於 A 位準。如果 A 和 B 為低位準，該 M1 的井區還是會透過該 M3 和 M4 而被驅動至低的 A 位準。在每種情況中，該 M1 的井區將不被偏壓至低於自身的汲極/源極，因此 M1 之該汲極/源極至井區的 pn 接面將不會順向偏壓。

重新陳述一些關於第 3 圖及第 4 圖的上述討論，以大約等於在 A 和 B 出現之邏輯位準的 +V 來進行正常操作的狀態下，當 EN 為低位準時，該開關(第 2 圖之元件 13)則關閉。pgate 為高位準，ngate 為低位準。M10 為導通且 M8 為關閉。M6 為關閉，且若 A 為低位準，則 M7 可能導通。若是如此，該 wrail 20 則透過 M7 被驅動至 +V。若 A 為高位準，且 +V 成為接地電位，則 wrail 20 透過 M6 被驅動至高的 A 位準。在這兩種情況中，連接至該 M1 之井區的本體 22 係透過 M6 而連接至 wrail 20，且透過 M7 而連接至 +V 或者透過 M6 而連接至高位準 A。在臨界位準內，該 M1 之井區將不會低於該 A 訊號的高位準或 +V。該 M1 之井區會因為 A 的高位準而無法成為接地電位。

第 5 圖係說明在該開關 M1 驅動井區或者本體連接(54)與井區被連繫於該供應電壓(對於該 P 型 MOSFET 而言)的習知技術(52)之間所改進的插入損耗(50)。第 6 圖係透過關閉中之開關而來自輸入/輸出之漏電流的比較，其中該開關可能會因為斷電而造成漏電流。應注意的是，在習知技術

電路中，該漏電流 62 的軸是以 ma(毫安培)為單位，但在本發明電路中則是以 ua(微安培)為比例。

在實際應用中，在較小的開關結構之間有妥協，具有增加頻帶寬度的較小電容量，而非降低頻帶寬度的較高導通阻抗。本發明係具有改善的頻帶寬度，並除去這樣的取捨而達到更高的頻率。在模擬電路中，相較於習知技術設計之頻帶寬度為 350 MHz，本發明之 n 型 MOSFET 具有 4 歐姆之極小導通阻抗，且具有 1.6GHz 的頻帶寬度。

參照第 1 圖，在其他較佳實施例中，可分別驅動 pgate 和 ngate 來配置成當 M2 關閉時則 M1 導通且反之亦然之開關邏輯狀態。

第 7 圖係組合第 2、3 及 4 圖所示之電路的合成電路，少了(第 2 圖的)該反相器 10。

第 8A 圖係 PMOS M1 的截面圖，以及第 8B 圖係表示隔離的 NMOS M2 的截面圖。該 pn 接面就代表了可能會影響到斷電操作的二極體。

第 9 圖係說明本發明之所有 NMOS 和 PMOS 概略實施例，其包括電路 90 和電路 94，該電路 90 避免 M2 操作低於接地狀態，且該電路 94 改善 M2 的頻帶寬度和插入損耗。

第 10 圖係包括類似第 3 圖之元件 12 的元件 94 以及類似第 3 圖之元件 16 的元件 90 的電路。應注意的是，該 M2 電晶體之 P 型井區 92 不接地，而是連接於 N 型 M13 和 M14 的源極，該 M13、M14 係提供一個類似 M3 和 M4 對於該 M1 井區的功能。M15 則提供類似 M5 的功能，且 M16 和

M17 也具有和 M6 和 M7 相同的作用。M18, M19 和 M20 之操作則類似 M8, M9 和 M10。該基本效果在於降低插入損耗, 提升頻帶寬度並防止 M2 之井區與其汲極/源極的 pn 接面產生順向偏壓。

應注意的是, 第 9 圖之 NMOS 符號表示了 5 個端子, 但實際上如第 8A 圖所示有 6 個端子。在第 9 圖中, 一個端子具有一圓圈, 用以指出一個「獨立」的 NMOS 電晶體。第 8A 圖說明具有源極 S、閘極 G、汲極 D, 本體或井區、隔離層 NW 和該基材 SB 的這種單獨一個 NMOS 電晶體的架構。該隔離 NW 層被施加偏壓, 以防止該 pn 接面順向偏壓。

該開關 NMOS(M2)的 P 井區被第 10 圖之電路所驅動。此電路耦接至該井區 M2, 以藉由驅動該 M2 井區來提升頻帶寬度、降低插入損耗並且改善斷電情形。第 11 圖之電路係驅動由第 10 圖所創造之第二內部供電軌。第 10 圖和第 11 圖的電路係類似被連接到 M1 的第 3 圖和第 4 圖。當該開關為閉路(closed)(M1 和 M2 導通)時, 該開關 NMOS(M2)的 P 型井區被 NMOS M13 和 M14 所驅動。當該開關為開路(open)時, M2 的 P 型井區係透過 NMOS M15 而被連繫在 nrail 102。該 nrail 供應係連接至該 M13、M14、M15、M16、M17、M18 和 M19 的 P 井區。在該開關的閉路狀態期間, nrail 會透過 NMOS M18 而被拉至 pwrn。如果該接地電源(pwrn)降低到負電壓位準且該「A」開關埠高於接地電壓, nrail 將透過 M17 而被拉至負電壓位準。當該接地電源(pwrn)在接地電位且該「A」開關埠被拉至負電壓位準時, 該 nrail 將透過 NMOS M16 而被拉至負電壓值。其結果就是該 M2

之 pn 接面不會如上述地被順向偏壓。

【圖式簡單說明】

第 1 圖係習知技術之 P 型 MOSFET 開關的圖解；

第 2 圖係說明本發明之實施例的一圖解/區塊圖；

第 3 圖係本發明之該插入損耗電路提升的實施例圖解；

第 4 圖係該過電壓保護/斷電電路之圖解；

第 5 圖係說明使用本發明來改善該插入損耗的曲線圖；

第 6 圖係透過關閉開關而來自該輸入/輸出訊號之較低漏電流的曲線圖；

第 7 圖係第 2、3 及 4 圖所示之實施例的組合電路圖解；

第 8A 圖和第 8B 圖係可用於電晶體 M1 和 M2 之 PMOS 及 NMOS 結構的截面圖；

第 9 圖係表示以 NMOS 和 PMOS 來實施本發明之實施例的電路圖解；

第 10 圖係插入損耗和頻帶寬度改善電路的組合電路圖解；

第 11 圖係該 N 型開關 M2 之斷電操作電路的改善電路。

【主要元件符號說明】

10	反相器
12	導通電阻強化本體驅動器
13	開關
16	過電壓保護
20	內部供電軌

22	本體
90	電路
94	電路
102	nrail
M1 ~ M20	MOSFET

五、中文發明摘要：

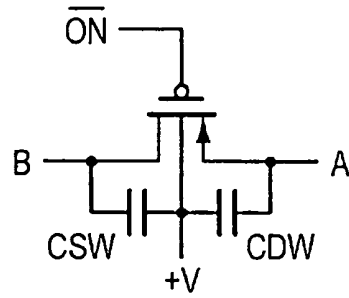
一種包含單一或並聯之相反極性之 FET 的 FET 開關，其具有由內部供電軌所驅動之井區。在一種情形中，藉由其他驅動 FET 開關，該內部供電軌被邏輯地耦接至高於正電源或訊號位準的電位，其中該 PMOS FET 的井區將不允許該汲極/源極至井區的二極體成順向偏壓。在第二個情況中，第二供電軌被邏輯地耦接至低於輸入訊號或者接地之任一個的電位，其中該 NMOS FET 的井區將不允許該汲極/源極至井區的二極體成順向偏壓。

六、英文發明摘要：

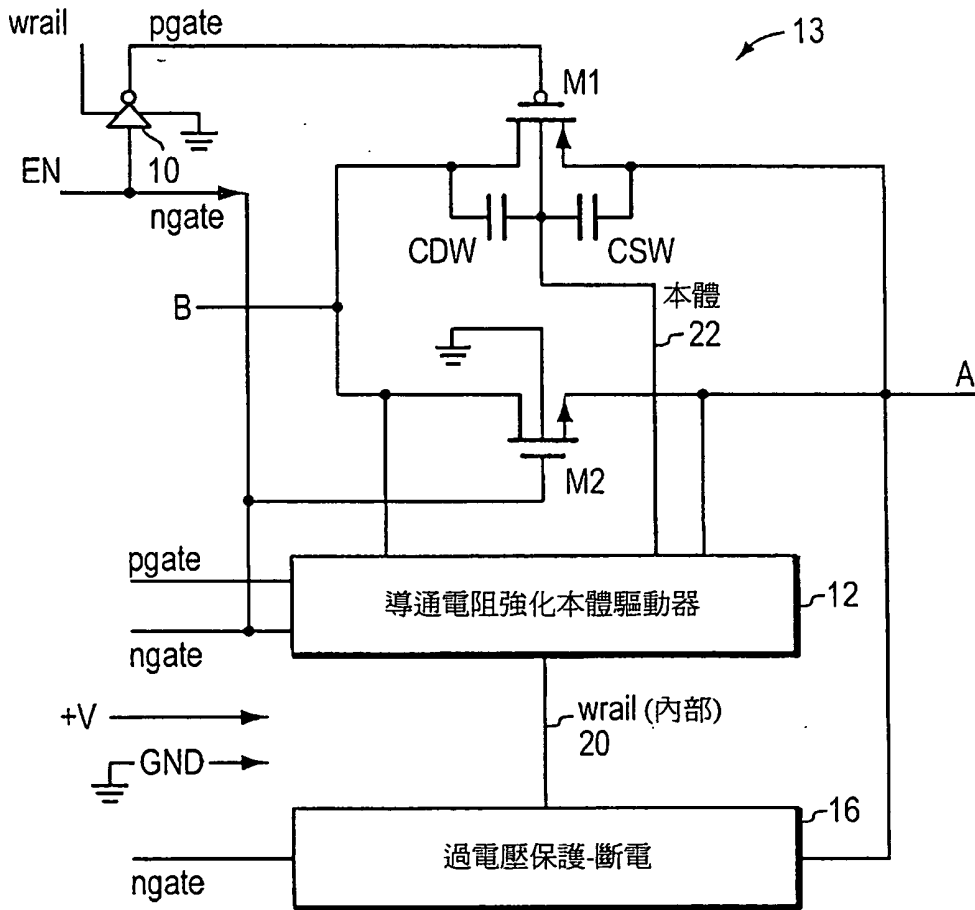
An FET switch comprising a single or parallel opposite polarity FETS is illustrated with wells that are driven from internal power rails. The internal power rails are logically coupled by other driving FET switches to, in one case, the higher of a positive power supply or signal level wherein the well of the PMOS FET switch will not allow the drain/source to well diode to be forward biased. In a second case, a second power rail is logically coupled to the lower of either and input signal or ground, wherein the well of the NMOS FET will not allow the drain/source to well diode to be forward biased.

十一、圖式：

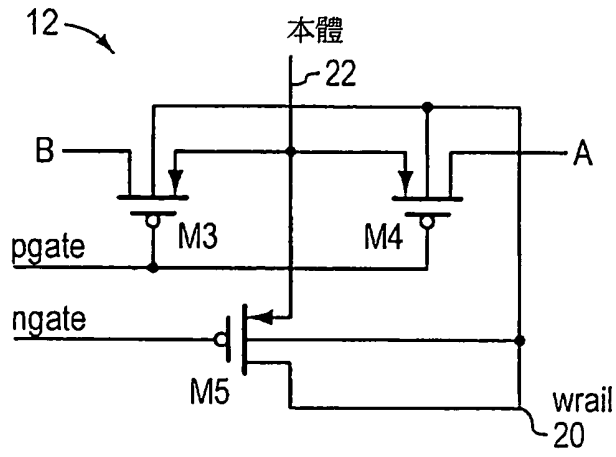
9610538



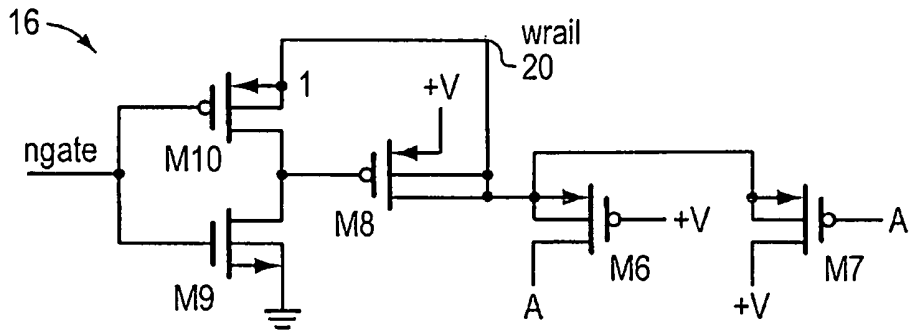
第 1 圖



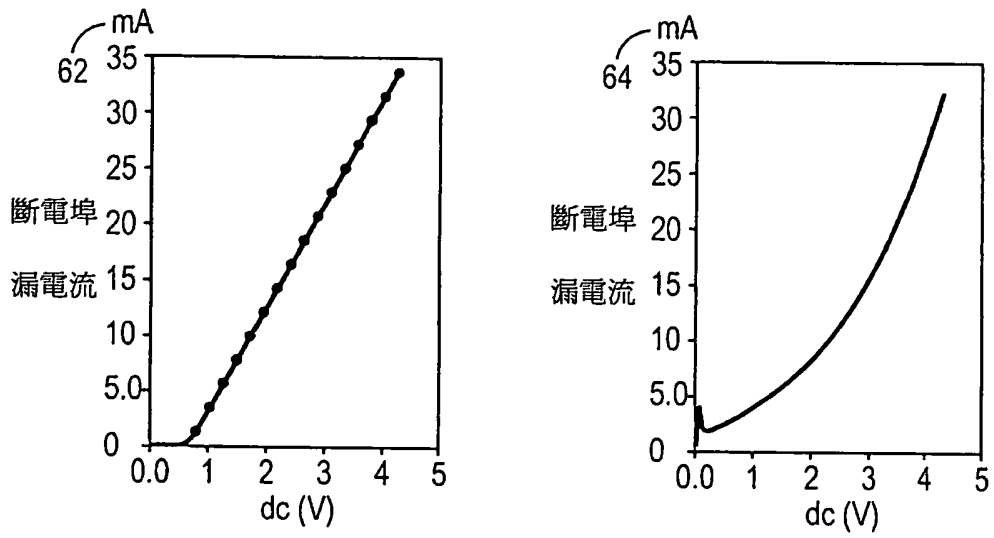
第 2 圖



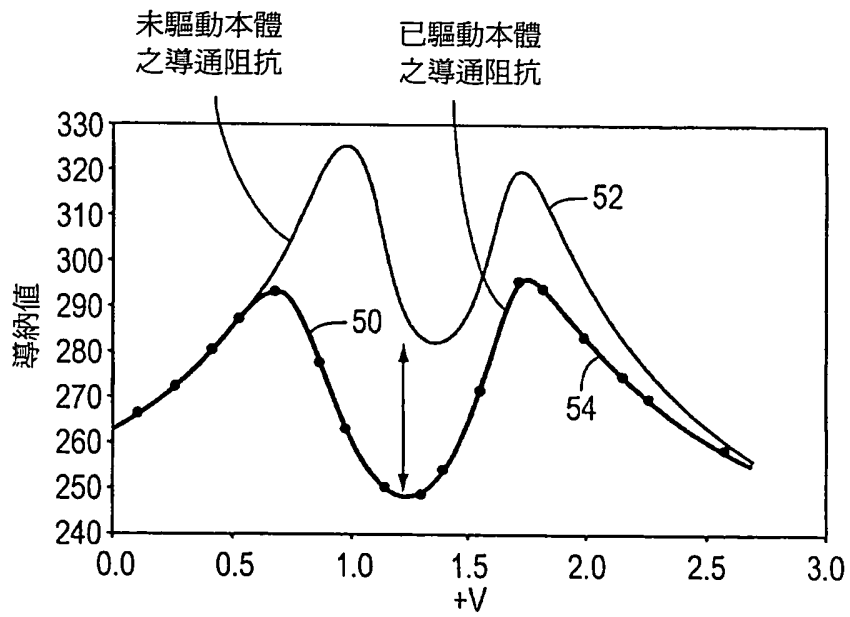
第 3 圖



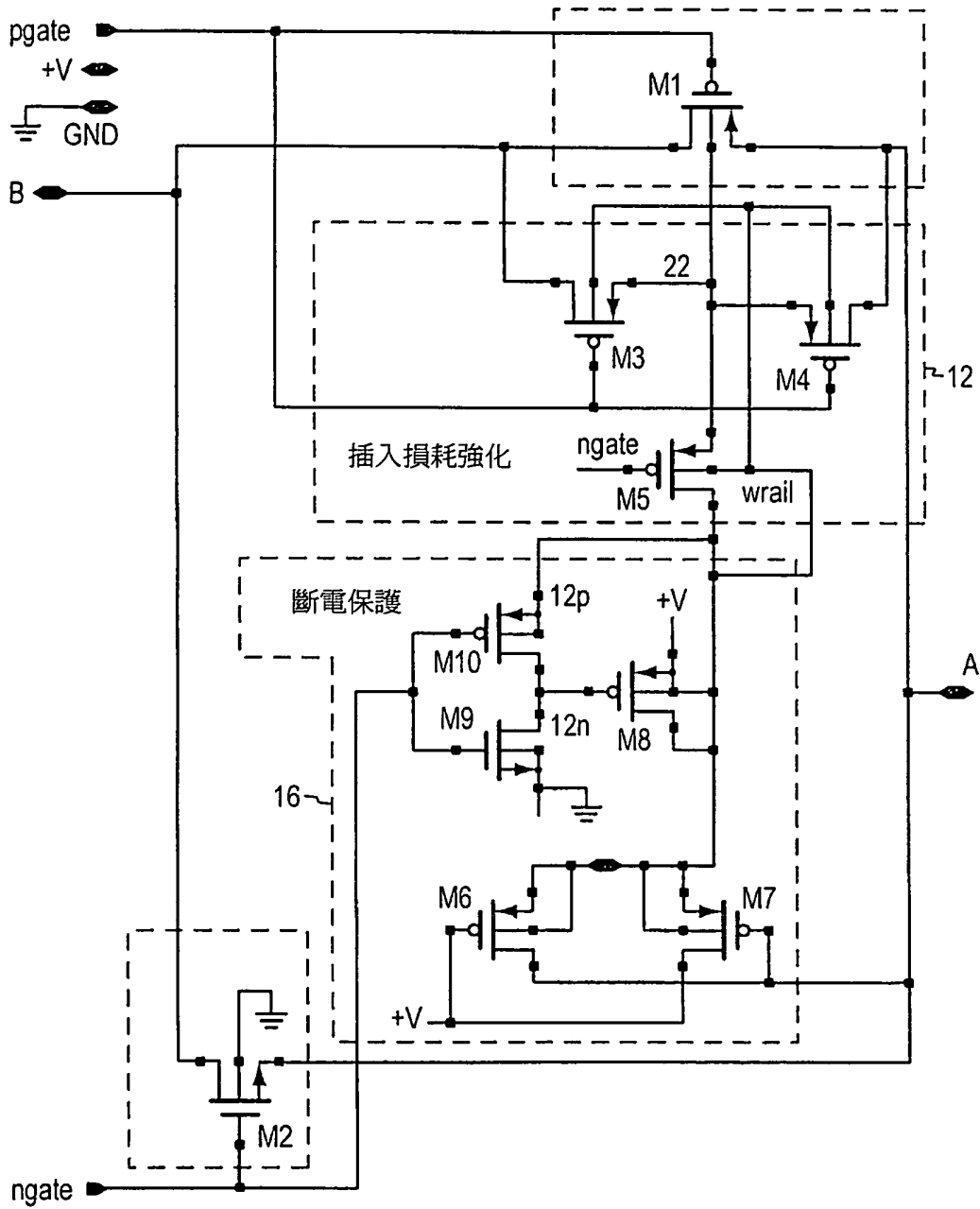
第 4 圖



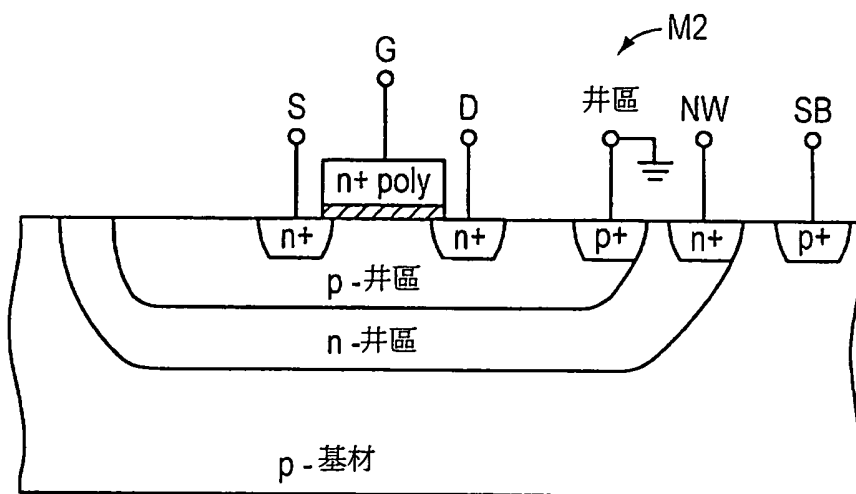
第 6 圖



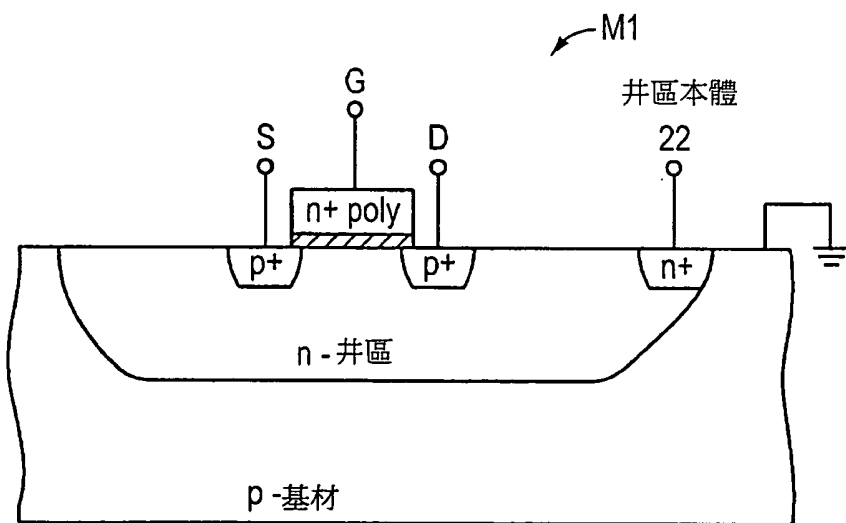
第 5 圖



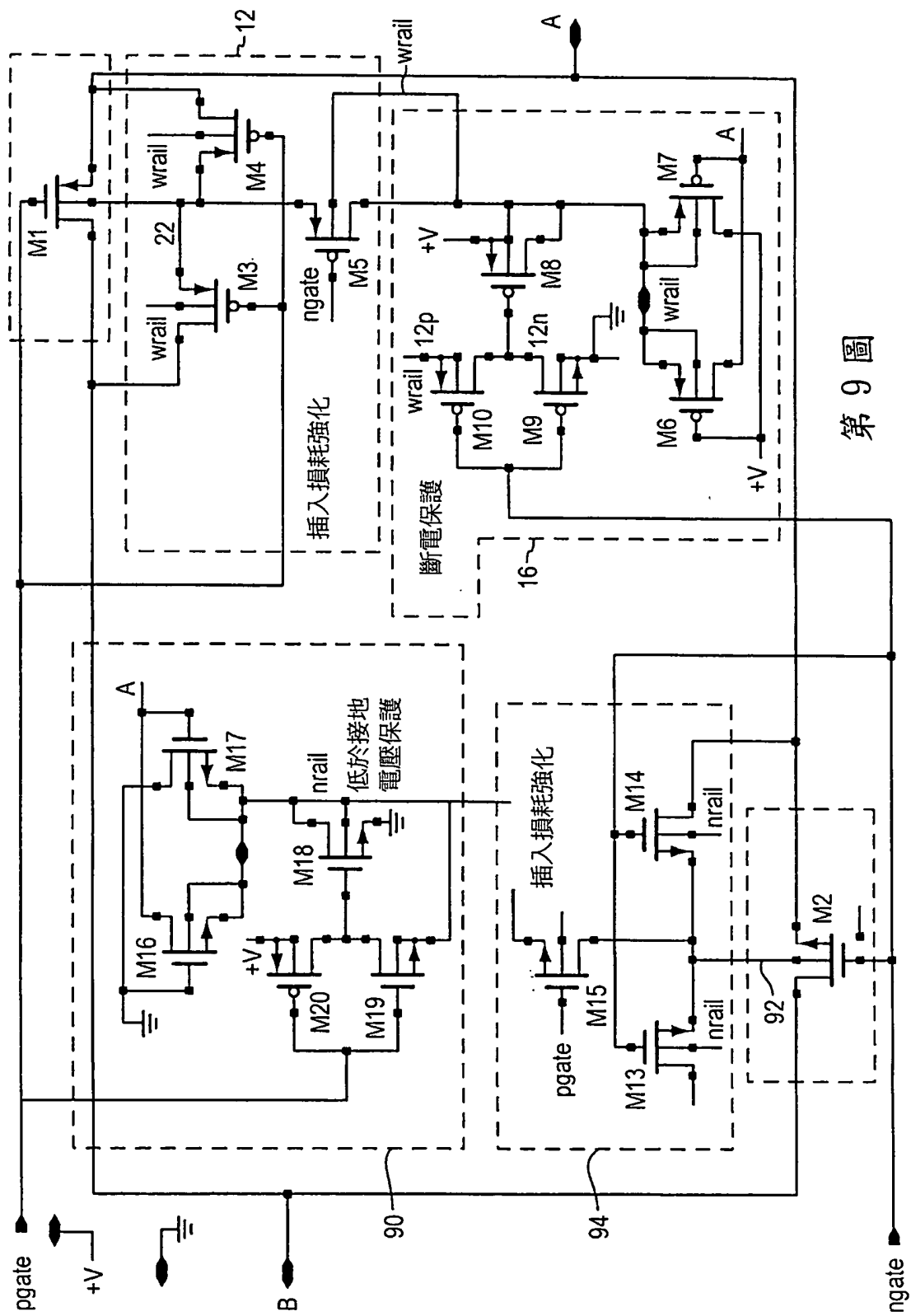
第 7 圖



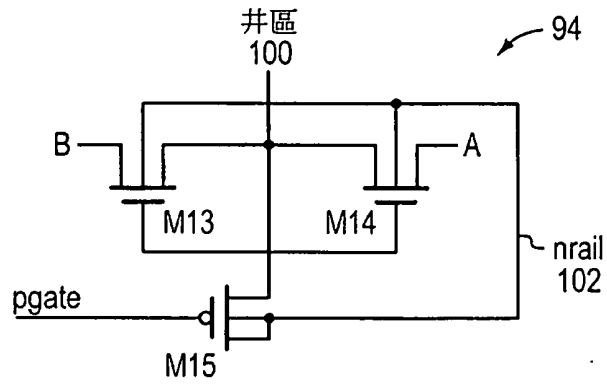
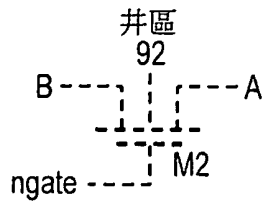
第 8B 圖



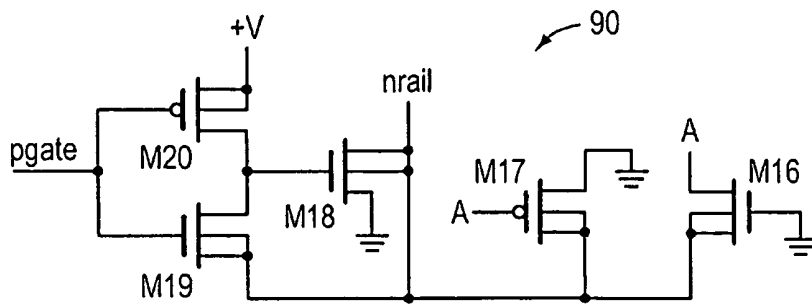
第 8A 圖



第9圖



第 10 圖



第 11 圖

七、指定代表圖：

(一)本案指定代表圖為：第 2 圖

(二)本代表圖之元件符號簡單說明：

- | | |
|----|-------------|
| 10 | 反相器 |
| 12 | 導通電阻強化本體驅動器 |
| 13 | 開關 |
| 16 | 過電壓保護 |
| 20 | 內部供電軌 |
| 22 | 本體 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書

102年10月8日修正替換頁

中文說明書贊頁(102年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※ 申請案號：096105381

※ 申請日期：96.2.14

※IPC 分類：H05H 9/04 (2006.01)

一、發明名稱：(中文/英文)

FET 開關及降低 FET 開關的插入損失及提供 FET 開關的電源切斷保護
之方法FET SWITCH AND METHOD FOR REDUCING INSERTION LOSS
AND PROVIDING POWER DOWN PROTECTION FOR THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商菲爾卻德半導體公司

FAIRCHILD SEMICONDUCTOR CORPORATION

代表人：(中文/英文)(簽章)

保羅 D 迪瓦

DELVA, PAUL D.

住居所或營業所地址：(中文/英文)

美國加州聖荷西市果園公園路 3030 號

3030 ORCHARD PARKWAY, SAN JOSE, CALIFORNIA 95134, U. S. A.

國籍：(中文/英文)

美國/United States of America

第 96105381 號「FET 開關及降低 FET 開關的插入損失及提供 FET 開關的電源切斷保護之方法」專利案

十、申請專利範圍：

1. 一種 FET 開關，其包括：

第一 FET(場效電晶體)，其具有閘極、源極、汲極以及井區，其中，當該第一 FET 導通時，在該汲極或者該源極接收輸入訊號 A，並分別在該源極或者汲極產生輸出訊號；

第一內部供電軌；

第二 FET，被配置成當該第一 FET 被關閉時，該第二 FET 導通並將該第一 FET 之井區耦接至該第一內部供電軌；

第三 FET，當該輸入訊號 A 成爲低位準時，將該第一內部供電軌耦接至正電源(positive power supply)；以及

第四 FET，當該正電源成爲低電位時，將該第一內部供電軌耦接至該輸入訊號 A，其中，當該第二 FET 導通，該第一 FET 之井區將被保持在高於該正電源或該輸入訊號 A。

2. 如申請專利範圍第 1 項之 FET 開關，更包括：

第五和第六 FET，具有和該第一 FET 相同的極性，該第五和第六 FET 被配置成該等的源極被耦接在一起，該第五 FET 的汲極被耦接至該第一 FET 的汲極，且該第六 FET 的汲極被耦接至該第一 FET 的源極；且

該第五和第六 FET 的井區被耦接至該第一內部供電軌，該第五和第六 FET 的源極被耦接至該第一 FET 的井

區，其中，隨著該開關的導通(turn on)或關閉(turn off)來導通或關閉該第五和第六 FET。

3.如申請專利範圍第 1 項之 FET 開關，其中，該第一 FET 係 P 型。

4.如申請專利範圍第 1 項之 FET 開關，更包括：

第七 FET，其具有閘極、源極、汲極以及井區且極性和該第一 FET 相反，該第七 FET 的汲極和源極係分別耦接至該第一 FET 的汲極和源極；

第二內部供電軌；

第八 FET，被配置成當該第七 FET 被關閉時，第八 FET 導通並將該第七 FET 之井區耦接至該第二內部供電軌；

第九 FET，當該輸入訊號 A 成爲低位準時，將該第二內部供電軌耦接至接地訊號；以及

第十 FET，當該接地訊號位準升高，將該第二內部供電軌耦接至該輸入訊號 A，其中，該第七 FET 之井區將被保持在低於該接地訊號或該輸入訊號 A。

5.如申請專利範圍第 4 項之 FET 開關，更包括：

第十一和第十二 FET，具有和該第七 FET 相同的極性，該第十一和第十二 FET 被配置成該等的源極被耦接在一起，該第十一 FET 的汲極被耦接至該第七 FET 的汲極，且該第十二 FET 的汲極被耦接至該第七 FET 的源極；以及

該第十一和第十二 FET 的井區被耦接至該第二內部供電軌，該第十一和第十二 FET 的源極被耦接至該第七

FET 的井區，其中，隨著該 FET 開關的導通或關閉來導通或關閉該第十一和第十二 FET。

6. 如申請專利範圍第 2 項之 FET 開關，更包括：

第一致能輸入訊號，耦接至第一、第五和第六 FET 之閘極，當該第一致能輸入訊號為真(true)時則導通該等 FET，若為偽(false)時則關閉該等 FET。

7. 如申請專利範圍第 5 項之 FET 開關，更包括：

第二致能，耦接至第七、第十一和第十二 FET 之閘極，當該第二致能為真時則導通該等 FET，若為偽時則關閉該等 FET。

8. 如申請專利範圍第 7 項之 FET 開關，該第二致能係該第一致能的邏輯反相。

9. 一種用於降低 FET 開關的插入損失及提供 FET 開關的電源切斷保護的方法，該方法係包含以下步驟：

當第一 FET 導通時，分別接收在具有閘極、源極、汲極以及井區的該第一 FET 之汲極或源極的輸入訊號 A，並傳送輸出訊號至該第一 FET 的源極或汲極；

當該第一 FET 關閉時，耦接該第一 FET 之井區至使用第二 FET 的第一內部供電軌；

當該輸入訊號 A 成為低位準時，耦接該第一內部供電軌至使用第三 FET 的正電源；以及

當該正電源成為低電位時，耦接該第一內部供電軌至使用第四 FET 的該輸入訊號 A，其中，該第一 FET 之井區被保持在高於該正電源或該輸入訊號 A。

10. 如申請專利範圍第 9 項之方法，更包含以下步驟：

將具有和該第一 FET 相同極性之該第五和第六 FET 的源極耦接在一起；

將該第五 FET 的汲極耦接至該第一 FET 的汲極，且將該第六 FET 的汲極耦接至該第一 FET 的源極；以及

將該第五和第六 FET 的井區耦接至該內部供電軌，且將該第五和第六 FET 的源極耦接至該第一 FET 的井區，其中，隨著該開關的導通或關閉來導通或關閉該第五和第六 FET。

11. 如申請專利範圍第 9 項之方法，更包含以下步驟：

具有閘極、源極、汲極以及井區且極性和該第一 FET 相反的該第七 FET 之汲極和源極係分別耦接至該第一 FET 的汲極和源極；

當該第七 FET 被關閉時，將該第七 FET 之井區耦接至使用第八 FET 的第二內部供電軌；

當該輸入訊號 A 成相對於接地訊號為負電位時，將該第二內部供電軌耦接至使用第九 FET 的的該輸入訊號 A；以及

若該接地訊號成相對於該輸入訊號 A 為負電位，將該第二內部供電軌耦接至該接地訊號。

12. 如申請專利範圍第 11 項之方法，更包含以下步驟：

將具有和該第七 FET 相同的極性的第十一和第十二 FET 的源極耦接在一起；

將該第十一 FET 的汲極耦接至該第一 FET 的汲極，且該第十二 FET 的汲極被耦接至該第七 FET 的源極；以及

將該第十一和第十二 FET 的井區耦接至該內部供電軌，將該第十一和第十二 FET 的井區耦接至該第七 FET 的井區，其中，隨著該開關的導通或關閉來導通或關閉該第十一和第十二 FET。

13. 如申請專利範圍第 10 項之方法，其中，更包含以下步驟：

將第一致能輸入訊號耦接至該第一、第五和第六 FET 之閘極，當其為真時則導通該等 FET，若為偽時則關閉該等 FET。

14. 如申請專利範圍第 12 項之方法，更包含：

將第二致能耦接至該第七、第十一和第十二 FET 之閘極，當其為真時則導通該等 FET，若為偽時則關閉該等 FET。

15. 如申請專利範圍第 14 項之方法，其中，該第二致能係該第一致能的邏輯反相。