

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6206397号
(P6206397)

(45) 発行日 平成29年10月4日 (2017. 10. 4)

(24) 登録日 平成29年9月15日 (2017. 9. 15)

(51) Int. Cl.		F I	
H03L	7/08	(2006.01)	H03L 7/08
H03B	5/08	(2006.01)	H03B 5/08 A
H03B	5/12	(2006.01)	H03B 5/12 B

請求項の数 6 (全 17 頁)

(21) 出願番号	特願2014-504693 (P2014-504693)	(73) 特許権者	000002369
(86) (22) 出願日	平成25年3月11日 (2013. 3. 11)		セイコーエプソン株式会社
(86) 国際出願番号	PCT/JP2013/001580		東京都新宿区新宿四丁目1番6号
(87) 国際公開番号	W02013/136766	(74) 代理人	100116665
(87) 国際公開日	平成25年9月19日 (2013. 9. 19)		弁理士 渡辺 和昭
審査請求日	平成27年12月18日 (2015. 12. 18)	(74) 代理人	100164633
(31) 優先権主張番号	特願2012-54176 (P2012-54176)		弁理士 西田 圭介
(32) 優先日	平成24年3月12日 (2012. 3. 12)	(74) 代理人	100179475
(33) 優先権主張国	日本国 (JP)		弁理士 仲井 智至
		(72) 発明者	津原 康一
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	内野 カー
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 信号発生装置、及び、電子機器

(57) 【特許請求の範囲】

【請求項1】

第1のノードと第2のノードとの間に接続されるインダクタンス及び容量に応じた周波数で発振動作を行う発振回路と、前記第1のノードに接続された第1の端子を有する第1群のキャパシターと、前記第1群のキャパシターの第2の端子と基準電位との間にそれぞれ接続され、それぞれの制御信号に従ってオン又はオフする第1群のトランジスターと、前記第1群のトランジスターにそれぞれ並列に接続された第1群の抵抗と、前記第2のノードに接続された第1の端子を有する第2群のキャパシターと、前記第2群のキャパシターの第2の端子と前記基準電位との間にそれぞれ接続され、それぞれの制御信号に従ってオン又はオフする第2群のトランジスターと、前記第2群のトランジスターにそれぞれ並列に接続された第2群の抵抗とを含む電圧制御発振器と、

前記電圧制御発振器によって生成される発振信号を分周して分周信号を出力する分周回路と、

前記分周回路から出力される分周信号の少なくとも位相と基準信号の少なくとも位相とを比較することにより、それらの差に応じた誤差信号を生成する誤差信号生成回路と、

前記誤差信号にローパスフィルター処理を施すことにより、前記電圧制御発振器の発振周波数を制御するための制御電圧を生成する第1のフィルター回路と、

前記第1のフィルター回路への前記誤差信号の供給をオン又はオフする第1のスイッチ回路と、

変調信号にローパスフィルター処理を施すことにより、前記電圧制御発振器の発振周波

10

20

数を制御するための制御電圧を生成する第2のフィルター回路と、

前記第2のフィルター回路への変調信号の供給をオン又はオフする第2のスイッチ回路と、

前記第1のスイッチ回路及び前記第2のスイッチ回路を制御する制御回路と、
を具備し、

前記制御回路は、前記電圧制御発振器に電源電圧が供給されてから、前記第1群及び第2群のキャパシターの容量値及び対応する前記第1群及び第2群の抵抗の抵抗値によってそれぞれ定まる時定数の最大値以上の期間が経過した後に、前記第1のスイッチ回路をオフさせて前記第2のスイッチ回路をオンさせる、

信号発生装置。

10

【請求項2】

第1のノードと第2のノードとの間に接続されるインダクタンス及び容量に応じた周波数で発振動作を行う発振回路と、前記第1のノードに接続された第1の端子を有する第1群のキャパシターと、前記第1群のキャパシターの第2の端子と基準電位との間にそれぞれ接続され、それぞれの制御信号に従ってオン又はオフする第1群のトランジスターと、前記第1群のトランジスターにそれぞれ並列に接続された第1群の抵抗と、前記第2のノードに接続された第1の端子を有する第2群のキャパシターと、前記第2群のキャパシターの第2の端子と前記基準電位との間にそれぞれ接続され、それぞれの制御信号に従ってオン又はオフする第2群のトランジスターと、前記第2群のトランジスターにそれぞれ並列に接続された第2群の抵抗とを含む電圧制御発振器と、

20

前記電圧制御発振器によって生成される発振信号を分周して分周信号を出力する分周回路と、

前記分周回路から出力される分周信号の少なくとも位相と基準信号の少なくとも位相とを比較することにより、それらの差に応じた誤差信号を生成する誤差信号生成回路と、

前記誤差信号にローパスフィルター処理を施すことにより、前記電圧制御発振器の発振周波数を制御するための制御電圧を生成する第1のフィルター回路と、

前記第1のフィルター回路への前記誤差信号の供給をオン又はオフする第1のスイッチ回路と、

変調信号にローパスフィルター処理を施すことにより、前記電圧制御発振器の発振周波数を制御するための制御電圧を生成する第2のフィルター回路と、

30

前記第2のフィルター回路への変調信号の供給をオン又はオフする第2のスイッチ回路と、

前記第1のスイッチ回路及び前記第2のスイッチ回路を制御する制御回路と、
を具備し、

前記制御回路は、前記電圧制御発振器に電源電圧が供給されてから、前記第1群及び第2群のトランジスターを一旦オンさせて前記第1群及び第2群のキャパシターの第2の端子の電荷を放電させ、前記第1群及び第2群のトランジスターの内の所定のトランジスターをオフさせて前記電圧制御発振器の発振周波数がロックされた後に、前記第1のスイッチ回路をオフさせて前記第2のスイッチ回路をオンさせる、

信号発生装置。

40

【請求項3】

第1のノードと第2のノードとの間に接続されるインダクタンス及び容量に応じた周波数で発振動作を行う発振回路と、

前記第1のノードに接続された第1の端子を有する第1のキャパシターと、

前記第1のキャパシターの第2の端子と基準電位との間に接続され、制御信号に従ってオン又はオフする第1のトランジスターと、

前記第1のトランジスターと並列に接続された第1の抵抗と、

前記第2のノードに接続された第1の端子を有する第2のキャパシターと、

前記第2のキャパシターの第2の端子と前記基準電位との間に接続され、制御信号に従ってオン又はオフする第2のトランジスターと、

50

前記第 2 のトランジスターと並列に接続された第 2 の抵抗と、
を具備する電圧制御発振器と、

前記電圧制御発振器によって生成される発振信号を分周して分周信号を出力する分周回路と、

前記分周回路から出力される分周信号の少なくとも位相と基準信号の少なくとも位相とを比較することにより、それらの差に応じた誤差信号を生成する誤差信号生成回路と、

前記誤差信号にローパスフィルター処理を施すことにより、前記電圧制御発振器の発振周波数を制御するための制御電圧を生成するフィルター回路と、

前記フィルター回路への前記誤差信号の供給をオン又はオフするスイッチ回路と、

前記スイッチ回路を制御する制御回路と、

を含み、

前記第 1 のキャパシターの容量値と前記第 1 の抵抗の抵抗値により定まる時定数を第 1 の時定数とし、前記第 2 のキャパシターの容量値と前記第 2 の抵抗の抵抗値により定まる時定数を第 2 の時定数とした場合に、前記制御回路は、前記第 1 の時定数と前記第 2 の時定数の最大値以上の期間が前記電圧制御発振器に電源電圧が供給されてから経過した後に、前記スイッチ回路をオフさせる、

信号発生装置。

【請求項 4】

第 1 のノードと第 2 のノードとの間に接続されるインダクタンス及び容量に応じた周波数で発振動作を行う発振回路と、

前記第 1 のノードに接続された第 1 の端子を有する第 1 のキャパシターと、

前記第 2 のノードに接続された第 1 の端子を有する第 2 のキャパシターと、

前記第 1 のキャパシターの第 2 の端子と前記第 2 のキャパシターの第 2 の端子との間に接続され、制御信号に従ってオン又はオフするトランジスターと、

前記第 1 のキャパシターの第 2 の端子と基準電位との間に接続された第 1 の抵抗と、

前記第 2 のキャパシターの第 2 の端子と前記基準電位との間に接続された第 2 の抵抗と、

、

を具備する電圧制御発振器と、

前記電圧制御発振器によって生成される発振信号を分周して分周信号を出力する分周回路と、

前記分周回路から出力される分周信号の少なくとも位相と基準信号の少なくとも位相とを比較することにより、それらの差に応じた誤差信号を生成する誤差信号生成回路と、

前記誤差信号生成回路によって生成される前記誤差信号にローパスフィルター処理を施すことにより、前記電圧制御発振器の発振周波数を制御するための制御電圧を生成するフィルター回路と、

前記フィルター回路への前記誤差信号の供給をオン又はオフするスイッチ回路と、

前記スイッチ回路を制御する制御回路と、

を含み、

前記第 1 のキャパシターの容量値と前記第 1 の抵抗の抵抗値により定まる時定数を第 1 の時定数とし、前記第 2 のキャパシターの容量値と前記第 2 の抵抗の抵抗値により定まる時定数を第 2 の時定数とした場合に、前記制御回路は、前記第 1 の時定数と前記第 2 の時定数の最大値以上の期間が前記電圧制御発振器に電源電圧が供給されてから経過した後に、前記スイッチ回路をオフさせる、

信号発生装置。

【請求項 5】

第 1 のノードと第 2 のノードとの間に接続されるインダクタンス及び容量に応じた周波数で発振動作を行う発振回路と、

前記第 1 のノードに接続された第 1 の端子を有する第 1 のキャパシターと、

前記第 1 のキャパシターの第 2 の端子と基準電位との間に接続された第 1 の抵抗と、

前記第 1 のキャパシターの第 2 の端子に接続されるソース端子又はドレイン端子を有す

10

20

30

40

50

るトランジスタと、
を具備する電圧制御発振器と、

前記電圧制御発振器によって生成される発振信号を分周して分周信号を出力する分周回路と、

前記分周回路から出力される分周信号の少なくとも位相と基準信号の少なくとも位相とを比較することにより、それらの差に応じた誤差信号を生成する誤差信号生成回路と、

前記誤差信号生成回路によって生成される前記誤差信号にローパスフィルタ処理を施すことにより、前記電圧制御発振器の発振周波数を制御するための制御電圧を生成するフィルタ回路と、

前記フィルタ回路への前記誤差信号の供給をオン又はオフするスイッチ回路と、

前記スイッチ回路を制御する制御回路と、

を含み、

前記第 1 のキャパシタの容量値と前記第 1 の抵抗の抵抗値により定まる時定数を第 1 の時定数とした場合に、前記制御回路は、前記電圧制御発振器に電源電圧が供給されてから前記第 1 の時定数以上の期間が経過した後に、前記スイッチ回路をオフさせる、
信号発生装置。

【請求項 6】

請求項 1 ~ 5 のいずれか 1 項記載の信号発生装置を具備する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、キャパシタアレイを用いて発振周波数を調整することが可能な電圧制御発振器（VCO）、及び、そのような電圧制御発振器を用いて構成される PLL（位相ロックドループ）回路を備えた信号発生装置に関する。さらに、本発明は、そのような電圧制御発振器又は信号発生装置を備えた電子機器等に関する。

【背景技術】

【0002】

無線通信を行う電子機器において、電圧制御発振器を用いて構成される PLL 回路を備えた信号発生装置が用いられている。電圧制御発振器の発振周波数は、使用される無線通信チャンネルの搬送周波数又はそれに対応した局部発振周波数と一致するように、PLL 回路によって制御される。また、電圧制御発振器の制御電圧を変化させることによって、電圧制御発振器によって生成される発振信号に周波数変調をかけることができる。

【0003】

しかしながら、電圧制御発振器の発振周波数は、プロセス変動や温度変動によってばらつくので、発振周波数の調整（キャリブレーション）が必要になる場合がある。発振周波数を調整するためには、例えば、キャパシタアレイに含まれている複数のキャパシタを、スイッチ用の複数のトランジスタを用いて、選択的に電圧制御発振器に接続することが行われている。

【0004】

関連する技術として、特許文献 1 には、2 つのノードの間に接続されたインダクターセクション及びバラクターセクションと、それらのノードの間に双方向に並列接続された 2 つのインバータで構成されるネガティブ Gm セクションと、各々のノードに接続されたトリミングキャパシタアレイ及びバイアス回路とを備えた電圧制御発振器が開示されている。このバイアス回路は、キャパシタを切り離すトランジスタのドレインにバイアス電圧を与えることによって、寄生ダイオードがオンしないようにして、位相ノイズの増加を抑制することができる。ここで、バイアス電圧は、ネガティブ Gm セクションの増幅電圧よりも高くなるように設定される。

【0005】

また、特許文献 2 には、チップ占有面積を低減すると共に、ディジタル制御発振器（DCO）の制御ゲインのばらつきを低減することを目的とする半導体集積回路が開示されて

10

20

30

40

50

いる。このデジタル制御発振器は、発振トランジスタと共振回路とを含み、共振回路は、インダクタンスと周波数粗調整用可変容量アレーと周波数微調整用可変容量アレーとを含み、周波数粗調整用可変容量アレーは、所定ビット数の粗調整デジタル制御信号によって制御される複数の粗調整容量ユニットセルを含み、周波数微調整用可変容量アレーは、所定ビット数の微調整デジタル制御信号によって制御される複数の微調整容量ユニットセルを含み、粗調整容量ユニットセル及び微調整容量ユニットセルの容量値は、それぞれのバイナリウェイトに従って設定されている。

【 0 0 0 6 】

ところで、キャパシターアレイに含まれているキャパシターを選択的に電圧制御発振器に接続するトランジスタがオフ状態である場合に、ドレインと半導体基板又はウエルとの間の電圧が変化すると、ドレインと基準電位（交流的な接地電位）との間の寄生容量が変化するので、電圧制御発振器に付加される容量が変化してしまう。

【 0 0 0 7 】

電圧制御発振器に付加される容量が変化しても、PLL回路が動作していれば、容量変化を吸収するように制御電圧が変化して、電圧制御発振器の発振周波数が変化することはない。しかしながら、PLL回路の制御ループを切断してから、電圧制御発振器によって生成される発振信号に周波数変調をかける場合には、搬送周波数のドリフトが生じてしまう。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 8 】

【 特許文献 1 】 特開 2 0 0 6 - 6 0 3 9 5 号公報（要約書、段落 0 0 2 4 ）

【 特許文献 2 】 特開 2 0 1 0 - 5 6 8 5 6 号公報（要約書、請求項 1 ）

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

本発明の幾つかの観点によれば、キャパシターアレイを用いて発振周波数を調整することが可能な電圧制御発振器において、PLL回路の制御ループを切断してから発振信号に周波数変調をかける場合に、搬送周波数のドリフトを低減することが可能となる。

【 課題を解決するための手段 】

【 0 0 1 0 】

以上の課題を解決するため、本発明の第 1 の観点に係る電圧制御発振器は、第 1 のノードと第 2 のノードとの間に接続されるインダクタンス及び容量に応じた周波数で発振動作を行う発振回路と、第 1 のノードと第 2 のノードとの間に接続された少なくとも 1 つのインダクターと、第 1 のノードと第 2 のノードとの間に接続され、制御電圧に従って発振回路の発振周波数を制御する少なくとも一対の可変容量ダイオードと、第 1 のノードに接続された第 1 の端子を有する第 1 群のキャパシターと、第 1 群のキャパシターの第 2 の端子と基準電位との間にそれぞれ接続され、それぞれの制御信号に従ってオン又はオフする第 1 群のトランジスタと、第 1 群のトランジスタにそれぞれ並列に接続された第 1 群の抵抗と、第 2 のノードに接続された第 1 の端子を有する第 2 群のキャパシターと、第 2 群のキャパシターの第 2 の端子と基準電位との間にそれぞれ接続され、それぞれの制御信号に従ってオン又はオフする第 2 群のトランジスタと、第 2 群のトランジスタにそれぞれ並列に接続された第 2 群の抵抗とを具備する。

【 0 0 1 1 】

ここで、第 1 群のトランジスタのオン抵抗値の比と、対応する第 1 群のキャパシターの容量値の逆数の比とが略等しく、第 2 群のトランジスタのオン抵抗値の比と、対応する第 2 群のキャパシターの容量値の逆数の比とが略等しいようにしても良い。

【 0 0 1 2 】

また、本発明の第 2 の観点に係る電圧制御発振器は、第 1 のノードと第 2 のノードとの間に接続されるインダクタンス及び容量に応じた周波数で発振動作を行う発振回路と、第

10

20

30

40

50

1のノードと第2のノードとの間に接続された少なくとも1つのインダクターと、第1のノードと第2のノードとの間に接続され、制御電圧に従って発振回路の発振周波数を制御する少なくとも一対の可変容量ダイオードと、第1のノードに接続された第1の端子を有する第1群のキャパシターと、第2のノードに接続された第1の端子を有する第2群のキャパシターと、第1群のキャパシターの第2の端子と第2群のキャパシターの第2の端子との間にそれぞれ接続され、それぞれの制御信号に従ってオン又はオフする複数のトランジスターと、第1群のキャパシターの第2の端子と基準電位との間にそれぞれ接続された第1群の抵抗と、第2群のキャパシターの第2の端子と基準電位との間にそれぞれ接続された第2群の抵抗とを具備する。

【0013】

10

ここで、トランジスターのオン抵抗値の比と、対応する第1群のキャパシターの容量値の逆数の比と、対応する第2群のキャパシターの容量値の逆数の比とが略等しいようにしても良い。

【0014】

本発明の第1の観点に係る信号発生装置は、本発明の第1の観点に係る電圧制御発振器と、電圧制御発振器によって生成される発振信号を分周して分周信号を出力する分周回路と、分周回路から出力される分周信号の少なくとも位相と基準信号の少なくとも位相とを比較することにより、それらの差に応じた誤差信号を生成する誤差信号生成回路と、誤差信号生成回路によって生成される誤差信号にローパスフィルター処理を施すことにより、電圧制御発振器の発振周波数を制御するための制御電圧を生成する第1のフィルター回路と、第1のフィルター回路への誤差信号の供給をオン又はオフする第1のスイッチ回路と、変調信号にローパスフィルター処理を施すことにより、電圧制御発振器の発振周波数を制御するための制御電圧を生成する第2のフィルター回路と、第2のフィルター回路への変調信号の供給をオン又はオフする第2のスイッチ回路と、電圧制御発振器に電源電圧が供給されてから、第1群及び第2群のキャパシターの容量値及び対応する第1群及び第2群の抵抗の抵抗値によってそれぞれ定まる時定数の最大値以上の期間が経過した後に、第1のスイッチ回路をオフさせて第2のスイッチ回路をオンさせる制御回路とを具備する。

20

【0015】

あるいは、制御回路が、電圧制御発振器に電源電圧が供給されてから、第1群及び第2群のトランジスターを一旦オンさせて第1群及び第2群のキャパシターの第2の端子の電荷を放電させ、第1群及び第2群のトランジスターの内の所定のトランジスターをオフさせて電圧制御発振器の発振周波数がロックされた後に、第1のスイッチ回路をオフさせて第2のスイッチ回路をオンさせるようにしても良い。その場合には、第1群及び第2群の抵抗を省略することができる。

30

【0016】

また、本発明の第2の観点に係る信号発生装置は、本発明の第2の観点に係る電圧制御発振器と、電圧制御発振器によって生成される発振信号を分周して分周信号を出力する分周回路と、分周回路から出力される分周信号の少なくとも位相と基準信号の少なくとも位相とを比較することにより、それらの差に応じた誤差信号を生成する誤差信号生成回路と、誤差信号生成回路によって生成される誤差信号にローパスフィルター処理を施すことにより、電圧制御発振器の発振周波数を制御するための制御電圧を生成する第1のフィルター回路と、第1のフィルター回路への誤差信号の供給をオン又はオフする第1のスイッチ回路と、変調信号にローパスフィルター処理を施すことにより、電圧制御発振器の発振周波数を制御するための制御電圧を生成する第2のフィルター回路と、第2のフィルター回路への変調信号の供給をオン又はオフする第2のスイッチ回路と、電圧制御発振器に電源電圧が供給されてから、第1群及び第2群のキャパシターの容量値及び対応する第1群及び第2群の抵抗の抵抗値によってそれぞれ定まる時定数の最大値以上の期間が経過した後に、第1のスイッチ回路をオフさせて第2のスイッチ回路をオンさせる制御回路とを具備する。

40

【0017】

50

さらに、本発明の１つの観点に係る電子機器は、上記いずれかの電圧制御発振器、又は、上記いずれかの信号発生装置を具備する。

【発明の効果】

【００１８】

本発明の第１の観点によれば、第１群のトランジスタにそれぞれ並列に接続された第１群の抵抗と、第２群のトランジスタにそれぞれ並列に接続された第２群の抵抗とを設けることにより、あるいは、電圧制御発振器に電源電圧が供給されてから第１群及び第２群のトランジスタを一旦オンさせることにより、PLL回路の制御ループを切断してから発振信号に周波数変調をかける際に、搬送周波数のドリフトを従来よりも低減することが可能となる。

10

【００１９】

また、本発明の第２の観点によれば、第１群のキャパシタの第２の端子と基準電位との間にそれぞれ接続された第１群の抵抗と、第２群のキャパシタの第２の端子と基準電位との間にそれぞれ接続された第２群の抵抗とを設けることにより、複数のトランジスタがオン又はオフの動作を確実に行うことができると共に、PLL回路の制御ループを切断してから発振信号に周波数変調をかける際に、搬送周波数のドリフトを従来よりも低減することが可能となる。

【図面の簡単な説明】

【００２０】

【図１】本発明の一実施形態に係る信号発生装置を用いた電子機器のブロック図。

20

【図２】図１に示すVCOの第１の構成例を示す回路図。

【図３】図２に示すキャパシタC13の両端電位の経時変化を示す図。

【図４】図１に示すVCOの第２の構成例を示す回路図。

【発明を実施するための形態】

【００２１】

以下、本発明の実施形態について、図面を参照しながら詳しく説明する。

図１は、本発明の一実施形態に係る信号発生装置を用いた電子機器の構成例を示すブロック図である。本発明は、無線通信を行う無線マウス、無線キーボード、パーソナルコンピュータ等の電子機器に適用することが可能である。

【００２２】

30

図１に示す電子機器は、発振回路１０と、PLL回路２０と、ロック検出回路３０と、制御回路４０と、格納部５０と、受信系の回路６０～６８と、送信系の回路７０～７３とを含んでいる。これらの回路は、半導体集積回路装置に内蔵されても良い。ここで、PLL回路２０～制御回路４０、及び、送信系の回路７０～７３は、基準信号に基づいて所望の周波数を有する送信信号を発生する信号発生装置を構成する。

【００２３】

発振回路１０は、水晶振動子等を用いて発振動作を行うことにより、所定の周波数を有する基準信号を生成する。水晶振動子を用いる場合に、水晶振動子は、半導体集積回路装置の外部に設けられても良いし、半導体集積回路装置に内蔵されても良い。あるいは、発振回路１０を省略して、半導体集積回路装置の外部から基準信号を供給するようにしても

40

【００２４】

PLL回路２０は、位相比較回路２１と、チャージポンプ(CP)２２と、スイッチ回路２３と、ループフィルタ(LF)２４と、電圧制御発振器(VCO)２５と、分周回路２６とを含んでいる。

【００２５】

位相比較回路２１及びチャージポンプ２２は、分周回路２６から出力される分周信号の少なくとも位相と発振回路１０から出力される基準信号の少なくとも位相とを比較することにより、それらの差に応じた誤差信号を生成する誤差信号生成回路を構成する。

【００２６】

50

位相比較回路 2 1 は、分周信号の位相と基準信号の位相とを比較することにより、両信号の位相の差に応じた誤差信号を出力しても良い。さらに、位相比較回路 2 1 は、分周信号の周波数と基準信号の周波数とを比較することにより、両信号の位相及び周波数の差に応じた誤差信号を出力しても良い。チャージポンプ 2 2 は、位相比較回路 2 1 から出力される誤差信号に基づいてチャージポンプ動作を行うことにより、誤差信号を電流に変換して出力する。

【 0 0 2 7 】

スイッチ回路 2 3 は、例えば、1 つ又は複数の MOSFET (金属酸化物半導体電界効果トランジスタ) によって構成され、制御回路 4 0 から出力される制御信号に従って、ループフィルタ 2 4 への誤差信号の供給をオン又はオフする。なお、スイッチ回路 2 3 は、位相比較回路 2 1 とチャージポンプ 2 2 との間に設けられても良い。

10

【 0 0 2 8 】

ループフィルタ 2 4 は、ローパス特性を有しており、チャージポンプ 2 2 から出力される電流を電圧に変換する。即ち、ループフィルタ 2 4 は、誤差信号生成回路によって生成される誤差信号にローパスフィルタ処理を施すことにより、VCO 2 5 の発振周波数を制御するための制御電圧 V C を生成する。

【 0 0 2 9 】

VCO 2 5 は、ループフィルタ 2 4 によって生成される制御電圧 V C が印加されたときに、制御電圧 V C に従う発振周波数で発振動作を行うことにより、発振信号を生成する。分周回路 2 6 は、VCO 2 5 によって生成される発振信号を、制御回路 4 0 によって設定された分周比で分周して、分周信号を生成する。

20

【 0 0 3 0 】

このようにして、PLL 回路 2 0 は、分周回路 2 6 によって分周された発振信号と基準信号とを比較して制御電圧 V C を生成し、制御電圧 V C を用いて VCO 2 5 の発振周波数を制御することによって、基準信号の周波数を過倍した発振周波数を有する発振信号を生成する。

【 0 0 3 1 】

受信系の回路は、ローノイズアンプ (LNA) 6 0 と、ミキサー 6 1 ~ 6 3 と、分周回路 6 4 と、位相シフト回路 6 5 と、2 つのバンドパスフィルタ (BPF) 6 6 と、2 つのリミッター (LIM) 6 7 と、復調回路 6 8 とを含んでいる。

30

【 0 0 3 2 】

ローノイズアンプ 6 0 は、外部から送信される電波 (無線信号) を受信したアンテナ (ANT) の出力電圧をローノイズで増幅することにより、受信信号を出力する。ミキサー 6 1 は、ローノイズアンプ 6 0 から出力される受信信号を PLL 回路 2 0 から出力される発振信号 (局部発振信号) と掛け合わせて受信信号をダウンコンバートし、中間周波数信号を出力する。

【 0 0 3 3 】

分周回路 6 4 は、PLL 回路 2 0 から出力される局部発振信号を分周する。さらに、位相シフト回路 6 5 は、分周回路 6 4 の出力信号の位相を略 90° だけ回転させる。ミキサー 6 2 は、ミキサー 6 1 から出力される中間周波数信号を位相シフト回路 6 5 の出力信号と掛け合わせて中間周波数信号をダウンコンバートし、I 信号を出力する。一方、ミキサー 6 3 は、ミキサー 6 1 から出力される中間周波数信号を分周回路 6 4 の出力信号と掛け合わせて中間周波数信号をダウンコンバートし、Q 信号を出力する。

40

【 0 0 3 4 】

I 信号及び Q 信号は、それぞれのバンドパスフィルタ 6 6 及びリミッター 6 7 を通過することにより帯域制限及び波形整形が施されて、復調回路 6 8 に供給される。以下においては、図 1 に示す電子機器と外部との間の無線通信における変調方式として、GFSK (Gaussian filtered frequency shift keying) が用いられる場合について説明する。復調回路 6 8 は、供給される I 信号及び Q 信号に対して GFSK に従う復調処理を施すことにより、I 信号及び Q 信号を復調して受信データを得る。

50

【 0 0 3 5 】

復調回路 6 8 によって得られた受信データは、制御回路 4 0 に出力される。制御回路 4 0 は、復調回路 6 8 から出力される受信データや、オペレーターの操作等に基づいて、図 1 に示す電子機器の各部を制御する。また、制御回路 4 0 は、送信データを送信系の回路に出力する。格納部 5 0 は、例えば、レジスタ等によって構成され、制御回路 4 0 の制御の下で、V C O 2 5 のキャリブレーションに関する情報等を格納する。

【 0 0 3 6 】

送信系の回路は、パワーアンプ (P A) 7 0 と、ディジタル - アナログ変換回路 (D A C) 7 1 と、スイッチ回路 7 2 と、ガウシアンフィルタ 7 3 とを含んでいる。

【 0 0 3 7 】

D A C 7 1 は、制御回路 4 0 から出力される送信データにディジタル - アナログ変換処理を施すことにより、変調信号を生成する。スイッチ回路 7 2 は、例えば、1 つ又は複数の M O S F E T によって構成され、制御回路 4 0 から出力される制御信号に従って、ガウシアンフィルタ 7 3 への変調信号の供給をオン又はオフする。ガウシアンフィルタ 7 3 は、ガウシアン特性を有するローパスフィルタであり、変調信号を帯域制限することにより、搬送波を変調するための制御電圧 (変調電圧) V M を生成する。

【 0 0 3 8 】

V C O 2 5 は、ガウシアンフィルタ 7 3 によって生成される変調電圧 V M が印加されたときに、変調電圧 V M に従う発振周波数で発振動作を行うことによって、発振信号 (搬送波) を変調する。パワーアンプ 7 0 は、V C O 2 5 によって変調された搬送波を電力増幅することにより、送信信号を生成してアンテナ (A N T) に供給する。これにより、アンテナから外部に電波 (無線信号) が送信される。

【 0 0 3 9 】

次に、図 1 に示す電子機器の動作例について説明する。

電子機器が受信モードにおいて無線信号を受信する際、又は、送信モードにおいて無線信号を送信する際に、制御回路 4 0 は、スイッチ回路 2 3 をオンし、分周回路 2 6 に所定の分周比を設定して、P L L 回路 2 0 を起動する。これにより、P L L 回路 2 0 が発振信号を生成する。

【 0 0 4 0 】

受信モードにおいて、分周回路 2 6 における分周比を $M_R : 1$ に設定することにより、分周回路 2 6 が発振信号の周波数を $1 / M_R$ に分周するので、基準信号の周波数を M_R 倍に逡倍した発振信号 (局部発振信号) が得られる。一方、送信モードにおいて、分周回路 2 6 における分周比を $M_T : 1$ に設定することにより、分周回路 2 6 が局部発振信号の周波数を $1 / M_T$ に分周するので、基準信号の周波数を M_T 倍に逡倍した発振信号 (搬送波) が得られる。

【 0 0 4 1 】

さらに、送信モードにおいては、制御回路 4 0 が、V C O 2 5 の発振周波数がロックされた後に、スイッチ回路 2 3 をオフさせてスイッチ回路 7 2 をオンさせることにより、搬送波が変調される。このように、送信モードにおいて、P L L 回路 2 0 をオープンループとしてから送信を行うことにより、クローズドループ動作を行うために必要な回路の電源電圧を落とすことができるので、消費電力が削減される。

【 0 0 4 2 】

図 2 は、図 1 に示す V C O 2 5 の第 1 の構成例を示す回路図である。図 2 に示す V C O 2 5 は、電流源 C S と、P チャネル M O S 電界効果トランジスタ Q P 1 0 及び Q P 2 0 と、N チャネル M O S 電界効果トランジスタ Q N 1 0 及び Q N 2 0 とを含んでいる。これらは、ノード N 1 とノード N 2 との間に接続されるインダクタンス及び容量に応じた周波数で発振動作を行う発振回路を構成する。

【 0 0 4 3 】

また、V C O 2 5 は、ノード N 1 とノード N 2 との間に接続された少なくとも 1 つのインダクター (図 2 においては、2 つのインダクター L 1 及び L 2 を示す) と、一對の可変

10

20

30

40

50

容量ダイオード（バリキャップ又はバラクタダイオードともいう） D_{11} 及び D_{21} と、もう一对の可変容量ダイオード D_{12} 及び D_{22} とを含んでいる。

【0044】

さらに、 V_{CO25} は、第1のキャパシターアレイを構成する第1群のキャパシター $C_{11} \sim C_{13}$ と、第1群のNチャネルMOS電界効果トランジスタ $Q_{N11} \sim Q_{N13}$ と、第1群の抵抗 $R_{11} \sim R_{13}$ と、第2のキャパシターアレイを構成する第2群のキャパシター $C_{21} \sim C_{23}$ と、第2群のNチャネルMOS電界効果トランジスタ $Q_{N21} \sim Q_{N23}$ と、第2群の抵抗 $R_{21} \sim R_{23}$ とを含んでいる。

【0045】

電流源 C_S は、例えば、PチャネルMOS電界効果トランジスタ又は抵抗によって構成され、電源電位 V_{DD} に接続された一端を有する。トランジスタ Q_{P10} は、電流源 C_S の他端に接続されたソースと、ノード N_1 に接続されたドレインと、ノード N_2 に接続されたゲートとを有している。トランジスタ Q_{P20} は、電流源 C_S の他端に接続されたソースと、ノード N_2 に接続されたドレインと、ノード N_1 に接続されたゲートとを有している。

10

【0046】

トランジスタ Q_{N10} は、ノード N_1 に接続されたドレインと、電源電位 V_{SS} に接続されたソースと、ノード N_2 に接続されたゲートとを有している。トランジスタ Q_{N20} は、ノード N_2 に接続されたドレインと、電源電位 V_{SS} に接続されたソースと、ノード N_1 に接続されたゲートとを有している。なお、電源電位 V_{DD} 及び V_{SS} の内の一方を接地電位としても良い。

20

【0047】

可変容量ダイオード D_{11} は、ノード N_1 に接続されたアノードと、制御電圧 V_C が印加されるカソードとを有している。また、可変容量ダイオード D_{21} は、ノード N_2 に接続されたアノードと、制御電圧 V_C が印加されるカソードとを有している。可変容量ダイオード D_{11} 及び D_{21} は、制御電圧 V_C に従って発振回路の発振周波数を制御することにより、発振信号の周波数を設定する。

【0048】

可変容量ダイオード D_{12} は、ノード N_1 に接続されたアノードと、変調電圧 V_M が印加されるカソードとを有している。また、可変容量ダイオード D_{22} は、ノード N_2 に接続されたアノードと、変調電圧 V_M が印加されるカソードとを有している。可変容量ダイオード D_{12} 及び D_{22} は、変調電圧 V_M に従って発振回路の発振周波数を制御することにより、発振信号に周波数変調をかける。なお、変調電圧 V_M を制御電圧 V_C と共に可変容量ダイオード D_{11} 及び D_{21} のカソードに印加することにより、可変容量ダイオード D_{12} 及び D_{22} を省略しても良い。

30

【0049】

第1のキャパシターアレイを構成する第1群のキャパシター $C_{11} \sim C_{13}$ は、ノード N_1 に接続された第1の端子を有している。第1群のトランジスタ $Q_{N11} \sim Q_{N13}$ は、第1群のキャパシター $C_{11} \sim C_{13}$ の第2の端子にそれぞれ接続されたドレインと、交流的な接地電位である基準電位（図2においては電源電位 V_{SS} ）に接続されたソースと、制御信号 $S_{11} \sim S_{13}$ がそれぞれ供給されるゲートとを有している。トランジスタ $Q_{N11} \sim Q_{N13}$ は、制御信号 $S_{11} \sim S_{13}$ に従ってオン又はオフする。

40

【0050】

また、第2のキャパシターアレイを構成する第2群のキャパシター $C_{21} \sim C_{23}$ は、ノード N_2 に接続された第1の端子を有している。第2群のトランジスタ $Q_{N21} \sim Q_{N23}$ は、第2群のキャパシター $C_{21} \sim C_{23}$ の第2の端子にそれぞれ接続されたドレインと、基準電位（図2においては電源電位 V_{SS} ）に接続されたソースと、制御信号 $S_{21} \sim S_{23}$ がそれぞれ供給されるゲートとを有している。トランジスタ $Q_{N21} \sim Q_{N23}$ は、制御信号 $S_{21} \sim S_{23}$ に従ってオン又はオフする。

【0051】

50

対応するトランジスタがオンすることによってノードN1又はN2と電源電位VSSとの間に接続されたキャパシターは、インダクターL1及びL2や可変容量ダイオードD11～D22と共に共振回路を構成する。ノードN1又はN2と電源電位VSSとの間に接続されるキャパシターの数が少ない場合には、VCO25の発振周波数が高くなり、ノードN1又はN2と電源電位VSSとの間に接続されるキャパシターの数が多い場合には、VCO25の発振周波数が低くなる。

【0052】

図2に示す構成例においては差動増幅型のVCOが用いられているので、第1群のキャパシターC11～C13の容量値が、第2群のキャパシターC21～C23の容量値とそれぞれ同一に設定されている。また、第1群のトランジスタQN11～QN13は、第2群のトランジスタQN21～QN23とそれぞれ同時にオン/オフするように制御される。

10

【0053】

N個のキャパシターC11～C13(C21～C23)の容量値が互いに異なる場合には、制御回路40がトランジスタQN11～QN13(QN21～QN23)のオン/オフを制御することにより、 2^N 通りの発振周波数を実現することができる。従って、複数の無線通信チャンネルの搬送周波数に対応して、VCO25の発振周波数を補正するキャリブレーションを行うことが可能である。

【0054】

例えば、図1に示す制御回路40は、無線通信に先立つキャリブレーションモードにおいて、無線通信において使用される複数の無線通信チャンネルについて、ノードN1又はN2と電源電位VSSとの間に接続されるキャパシターを変化させながらPLL回路20の制御ループ特性を測定することにより、VCO25の発振周波数を補正するためのキャパシターに関する情報を格納部50に格納しておく。

20

【0055】

また、制御回路40は、実際に無線通信を行う受信モード又は送信モードにおいて、格納部50に格納されている情報を読み出して、その情報に基づいて制御信号S11～S13及びS21～S23を生成すると共に、VCO25を含むPLL回路20に電源電圧(VDD-VSS)を供給するように電源回路を制御する。

【0056】

VCO25に電源電圧が供給されてキャパシターC11～C13及びC21～C23の第1の端子における電位が上昇した際に、トランジスタQN11～QN13及びQN21～QN23の内のいずれかがオフしていると、オフしているトランジスタのドレイン電位も上昇する。その後、ドレイン電位は下降するが、トランジスタのオフ抵抗は、例えば、10M程度の高い値であるので、トランジスタのオフ抵抗による放電のみでは、ドレイン電位が電源電位VSSに戻るまでに長い期間を要する。

30

【0057】

一般に、Nチャネルトランジスタの場合には、N型のドレインとP型の半導体基板又はPウエルとの間に寄生容量(空乏層容量)が存在しており、空乏層容量の容量値は、PN接合に印加される電圧に依存して変化する(谷口研二、宇野重康、「絵から学ぶ半導体デバイス工学」、昭晃堂、P49参照)。なお、P型の半導体基板又はPウエルには、電源電位VSSが供給される。従って、オフしているトランジスタのドレイン電位が下降すると、ドレインと電源電位VSSとの間の寄生容量の値が増加する。

40

【0058】

その際に、図1に示すスイッチ回路23がオンしていれば、PLL回路20における制御ループによってVCO25の発振周波数が制御されるので、VCO25の発振周波数はドリフトしない。ところが、送信モードにおいて、寄生容量の値が変化している間に、スイッチ回路23がオフしてPLL回路20における制御ループが切断されると、発振信号(搬送波)の周波数がドリフトしてしまう。

【0059】

50

そこで、本実施形態においては、第1群のトランジスタ $Q_{N11} \sim Q_{N13}$ にそれぞれ並列に接続された第1群の抵抗 $R_{11} \sim R_{13}$ と、第2群のトランジスタ $Q_{N21} \sim Q_{N23}$ にそれぞれ並列に接続された第2群の抵抗 $R_{21} \sim R_{23}$ とが設けられている。抵抗 $R_{11} \sim R_{13}$ 及び $R_{21} \sim R_{23}$ の抵抗値は、キャパシタの第2の端子に蓄積された電荷を放電する際の時定数を小さくするために、トランジスタのオフ抵抗よりも十分小さい値、例えば 100 k 以下、望ましくは 20 k 以下とする。

【0060】

図1に示す制御回路40は、 V_{CO25} に電源電圧が供給されてから、キャパシタ $C_{11} \sim C_{13}$ 及び $C_{21} \sim C_{23}$ の容量値、及び、対応する抵抗 $R_{11} \sim R_{13}$ 及び $R_{21} \sim R_{23}$ の抵抗値によってそれぞれ定まる時定数の最大値以上の期間が経過した後に、

10

【0061】

例えば、キャパシタ C_{11} 、 C_{12} 、 \dots 、 C_{13} の容量値の比を、 $1:2:4:8:\dots$ としても良い。その場合に、抵抗 $R_{11} \sim R_{13}$ の抵抗値が同一であれば、キャパシタ C_{13} と抵抗 R_{13} とによって定まる時定数が最大値となる。従って、制御回路40は、 V_{CO25} に電源電圧が供給されてから、キャパシタ C_{13} と抵抗 R_{13} とによって定まる時定数以上の期間が経過した後に、スイッチ回路23をオフさせてスイッチ回路72をオンさせる。

【0062】

また、第1群のトランジスタ Q_{N11} 、 Q_{N12} 、 \dots 、 Q_{N13} のオン抵抗値の比と、対応するキャパシタ C_{11} 、 C_{12} 、 \dots 、 C_{13} の容量値の逆数の比とを略等しくしても良い。例えば、キャパシタ C_{11} 、 C_{12} 、 \dots 、 C_{13} の容量値の比が、 $1:2:4:8:\dots$ である場合に、トランジスタ Q_{N11} 、 Q_{N12} 、 \dots 、 Q_{N13} のオン抵抗値の比を、 $1:1/2:1/4:1/8:\dots$ とする。

20

【0063】

同様に、第2群のトランジスタ Q_{N21} 、 Q_{N22} 、 \dots 、 Q_{N23} のオン抵抗値の比と、対応するキャパシタ C_{21} 、 C_{22} 、 \dots 、 C_{23} の容量値の逆数の比とを略等しくしても良い。例えば、キャパシタ C_{21} 、 C_{22} 、 \dots 、 C_{23} の容量値の比が、 $1:2:4:8:\dots$ である場合に、トランジスタ Q_{N21} 、 Q_{N22} 、 \dots 、 Q_{N23} のオン抵抗値の比を、 $1:1/2:1/4:1/8:\dots$ とする。

30

【0064】

その場合には、トランジスタの駆動能力を、キャパシタの容量値に合わせて設定することができる。トランジスタのオン抵抗値の設定は、例えば、ゲート長を一定にして、ゲート幅を変更することにより行われる。

【0065】

図3は、図2に示すキャパシタ C_{13} の両端電位の経時変化を示す図である。図3(a)は、ノードN1(キャパシタ C_{13} の第1の端子)における直流電位の経時変化を示しており、図3(b)は、ノードN3(キャパシタ C_{13} の第2の端子)における直流電位の経時変化を示している。また、図3(b)において、破線は、抵抗 R_{13} が接続されていない場合を示し、実線は、抵抗 R_{13} が接続されている場合を示している。

40

【0066】

時刻 t_0 において V_{CO25} に電源電圧が供給されると、図3(a)に示すように、ノードN1の電位が上昇する。また、トランジスタ Q_{N13} がオフしていると、図3(b)に示すように、ノードN3の電位も上昇する。図3(b)に破線で示すように、抵抗 R_{13} が接続されていない場合には、ノードN3の電位が電源電位 V_{SS} に戻るまでに長い期間を要する。一方、図3(b)に実線で示すように、抵抗 R_{13} が接続されている場合には、ノードN3の電位が電源電位 V_{SS} に戻るまでに要する期間が短縮される。

【0067】

図1に示す制御回路40は、 V_{CO25} に電源電圧が供給されてから、キャパシタ C_{13} と抵抗 R_{13} とによって定まる時定数以上の期間が経過して、 V_{CO25} の発振周波

50

数が所定の周波数の近くにロックされた時刻 t_1 において、スイッチ回路 23 をオフさせる。時刻 t_1 においては、ノード N3 の電位が電源電位 VSS に十分近付いているので、スイッチ回路 23 をオフさせても、VCO25 における搬送周波数のドリフトは狭い範囲内に抑えられる。

【0068】

あるいは、制御回路 40 は、VCO25 に電源電圧が供給されてから、トランジスタ QN11 ~ QN13 及び QN21 ~ QN23 を一旦オンさせて、キャパシタ C11 ~ C13 及び C21 ~ C23 の第 2 の端子の電荷を放電させても良い。さらに、制御回路 40 は、トランジスタ QN11 ~ QN13 及び QN21 ~ QN23 の内の所定のトランジスタをオフさせて VCO25 の発振周波数がロックされた後に、スイッチ回路 23 をオフさせてスイッチ回路 72 をオンさせるようにしても良い。その場合には、図 2 に示す抵抗 R11 ~ R13 及び R21 ~ R23 を省略することができる。

10

【0069】

ここで、VCO25 の発振周波数がロックされたか否かは、PLL 回路 20 に電源電圧が供給されてから経過した時間に基づいて制御回路 40 が判断しても良いし、ロック検出回路 30 が判断しても良い。ロック検出回路 30 は、発振回路 10 から出力される基準信号と、PLL 回路 20 から出力される分周信号とを比較することにより、それらの位相差に基づいて、PLL 回路がロックしているか否かを検出する。例えば、ロック検出回路 30 は、基準信号と分周信号との位相差が所定の期間に亘って所定値以下である場合に、PLL 回路 20 がロックしたことを検出する。

20

【0070】

図 4 は、図 1 に示す VCO25 の第 2 の構成例を示す回路図である。電流源 CS 及びトランジスタ QP10、QP20、QN10、QN20 によって構成される発振回路と、インダクタ L1 及び L2 と、可変容量ダイオード D11 ~ D22 とに関する接続は、図 2 に示す第 1 の構成例におけるのと同様である。なお、第 2 の構成例においては、電源電位 VSS を接地電位としている。

【0071】

さらに、VCO25 は、第 1 のキャパシタアレイを構成する第 1 群のキャパシタ C11 ~ C13 と、第 2 のキャパシタアレイを構成する第 2 群のキャパシタ C21 ~ C23 と、複数の N チャンネル MOS 電界効果トランジスタ QN1 ~ QN3 と、第 1 群の抵抗 R11 ~ R13 と、第 2 群の抵抗 R21 ~ R23 とを含んでいる。

30

【0072】

第 1 のキャパシタアレイを構成する第 1 群のキャパシタ C11 ~ C13 は、ノード N1 に接続された第 1 の端子を有している。また、第 2 のキャパシタアレイを構成する第 2 群のキャパシタ C21 ~ C23 は、ノード N2 に接続された第 1 の端子を有している。

【0073】

複数のトランジスタ QN1 ~ QN3 は、第 1 群のキャパシタ C11 ~ C13 の第 2 の端子にそれぞれ接続されたドレイン又はソースと、第 2 群のキャパシタ C21 ~ C23 の第 2 の端子にそれぞれ接続されたソース又はドレインと、制御信号 S1 ~ S3 がそれぞれ供給されるゲートとを有している。トランジスタ QN1 ~ QN3 は、制御信号 S1 ~ S3 に従ってオン又はオフする。

40

【0074】

対応するトランジスタがオンすることによってノード N1 とノード N2 との間に接続されたキャパシタは、インダクタ L1 及び L2 や可変容量ダイオード D11 ~ D22 と共に共振回路を構成する。ノード N1 とノード N2 との間に接続されるキャパシタの数が少ない場合には、VCO25 の発振周波数が高くなり、ノード N1 とノード N2 との間に接続されるキャパシタの数が多き場合には、VCO25 の発振周波数が低くなる。

【0075】

図 4 に示す構成例においては差動増幅型の VCO が用いられているので、第 1 群のキャ

50

パシターC 1 1 ~ C 1 3の容量値が、第2群のキャパシターC 2 1 ~ C 2 3の容量値とそれぞれ同一に設定されている。

【0076】

ここで、トランジスターQ N 1 ~ Q N 3のドレイン及びソースをフローティングとしておくと、オン又はオフの動作を確実に行うことができないおそれがある。そこで、本実施形態においては、第1群のキャパシターC 1 1 ~ C 1 3の第2の端子(トランジスターQ N 1 ~ Q N 3のドレイン又はソース)と基準電位(図4においては電源電位V S S)との間にそれぞれ接続された第1群の抵抗R 1 1 ~ R 1 3を設けている。

【0077】

さらに、トランジスターQ N 1 ~ Q N 3の内のいずれかがオフしたときに、オフしたトランジスターにリーク電流が流れないように、好ましくは第1群の抵抗R 1 1 ~ R 1 3の抵抗値と同じ抵抗値をそれぞれ有する第2群の抵抗R 2 1 ~ R 2 3が、第2群のキャパシターC 2 1 ~ C 2 3の第2の端子(トランジスターQ N 1 ~ Q N 3のソース又はドレイン)と基準電位との間にそれぞれ接続されている。

【0078】

抵抗R 1 1 ~ R 1 3及びR 2 1 ~ R 2 3の抵抗値は、キャパシターの第2の端子に蓄積された電荷を放電する際の時定数を小さくするために、例えば100k以下、望ましくは20k以下とする。

【0079】

V C O 2 5に電源電圧が供給されてキャパシターC 1 1 ~ C 1 3及びC 2 1 ~ C 2 3の第1の端子における電位が上昇した際に、トランジスターQ N 1 ~ Q N 3のドレイン電位及びソース電位も上昇する。その後、ドレイン電位及びソース電位は下降するが、それに伴って、ドレインと電源電位V S Sとの間の寄生容量及びソースと電源電位V S Sとの間の寄生容量の値が増加する。

【0080】

その際に、図1に示すスイッチ回路23がオンしていれば、PLL回路20における制御ループによってV C O 2 5の発振周波数が制御されるので、V C O 2 5の発振周波数はドリフトしない。ところが、送信モードにおいて、寄生容量の値が変化している間に、図1に示すスイッチ回路23がオフしてPLL回路20における制御ループが切断されると、発振信号(搬送波)の周波数がドリフトしてしまう。

【0081】

そこで、図1に示す制御回路40は、V C O 2 5に電源電圧が供給されてから、キャパシターC 1 1 ~ C 1 3及びC 2 1 ~ C 2 3の容量値、及び、対応する抵抗R 1 1 ~ R 1 3及びR 2 1 ~ R 2 3の抵抗値によってそれぞれ定まる時定数の最大値以上の期間が経過した後に、スイッチ回路23をオフさせてスイッチ回路72をオンさせる。

【0082】

例えば、キャパシターC 1 1、C 1 2、・・・、C 1 3の容量値の比を、1:2:4:8:・・・としても良い。その場合に、抵抗R 1 1 ~ R 1 3の抵抗値が同一であれば、キャパシターC 1 3と抵抗R 1 3とによって定まる時定数が最大値となる。従って、制御回路40は、V C O 2 5に電源電圧が供給されてから、キャパシターC 1 3と抵抗R 1 3とによって定まる時定数以上の期間が経過して、V C O 2 5の発振周波数が所定の周波数の近くにロックされた後に、スイッチ回路23をオフさせてスイッチ回路72をオンさせる。

【0083】

また、トランジスターQ N 1、Q N 2、・・・、Q N 3のオン抵抗値の比と、第1のキャパシターアレイにおいて対応する第1群のキャパシターC 1 1、C 1 2、・・・、C 1 3の容量値の逆数の比と、第2のキャパシターアレイにおいて対応する第2群のキャパシターC 2 1、C 2 2、・・・、C 2 3の容量値の逆数の比とを略等しくしても良い。

【0084】

例えば、キャパシターC 1 1、C 1 2、・・・、C 1 3の容量値の比、及び、キャパシ

10

20

30

40

50

ターC21、C22、・・・、C23の容量値の比が、1：2：4：8：・・・である場合に、トランジスタQN1、QN2、・・・、QN3のオン抵抗値の比を、1：1/2：1/4：1/8：・・・とする。その場合には、トランジスタの駆動能力を、キャパシタの容量値に合わせて設定することができる。

【 0 0 8 5 】

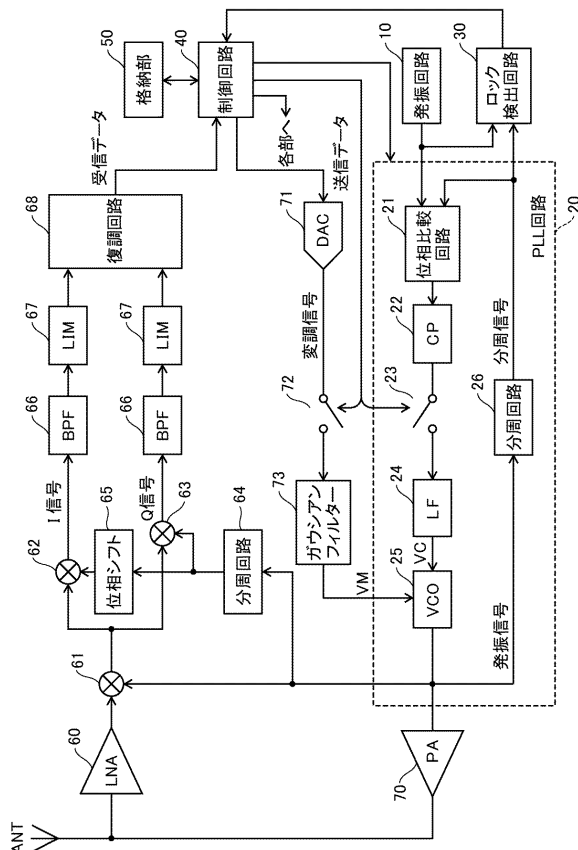
以上の実施形態においては、MOSFETを用いる場合について説明したが、その他の電界効果トランジスターやバイポーラトランジスターを用いても良い。バイポーラトランジスターを用いる場合には、バイポーラトランジスターのベース、エミッター、コレクターが、電界効果トランジスターのゲート、ソース、ドレインに相当する。また、本発明は、以上説明した実施形態に限定されるものではなく、当該技術分野において通常の知識を有する者によって、本発明の技術的思想内で多くの変形が可能である。

【符号の説明】

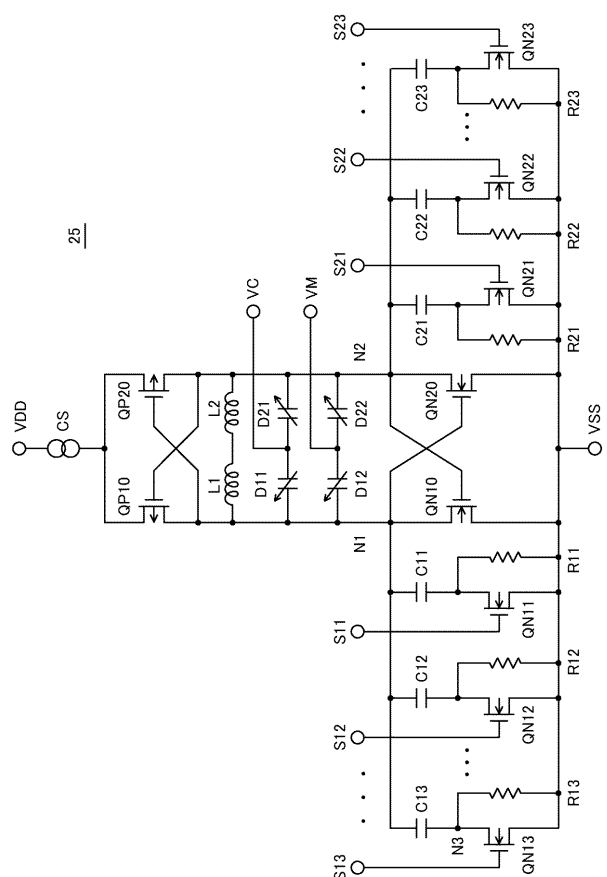
【 0 0 8 6 】

1 0 ... 発振回路、2 0 ... P L L 回路、2 1 ... 位相比較回路、2 2 ... チャージポンプ、2 3 ... スイッチ回路、2 4 ... ループフィルタ、2 5 ... V C O、2 6 ... 分周回路、3 0 ... ロック検出回路、4 0 ... 制御回路、5 0 ... 格納部、6 0 ... ローノイズアンプ、6 1 ~ 6 3 ... ミキサー、6 4 ... 分周回路、6 5 ... 位相シフト回路、6 6 ... バンドパスフィルタ、6 7 ... リミッター、6 8 ... 復調回路、7 0 ... パワーアンプ、7 1 ... D A C、7 2 ... スイッチ回路、7 3 ... ガウシアンフィルタ、C S ... 電流源、Q P 1 0、Q P 2 0 ... P チャネル M O S 電界効果トランジスタ、Q N 1 ~ Q N 2 3 ... N チャネル M O S 電界効果トランジスタ、L 1、L 2 ... インダクタ、D 1 1 ~ D 2 2 ... 可変容量ダイオード、C 1 1 ~ C 2 3 ... キャパシタ、R 1 1 ~ R 2 3 ... 抵抗。

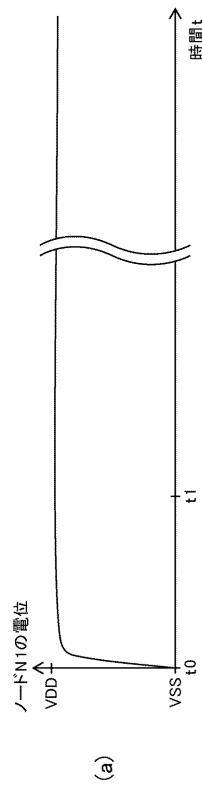
【圖 1】



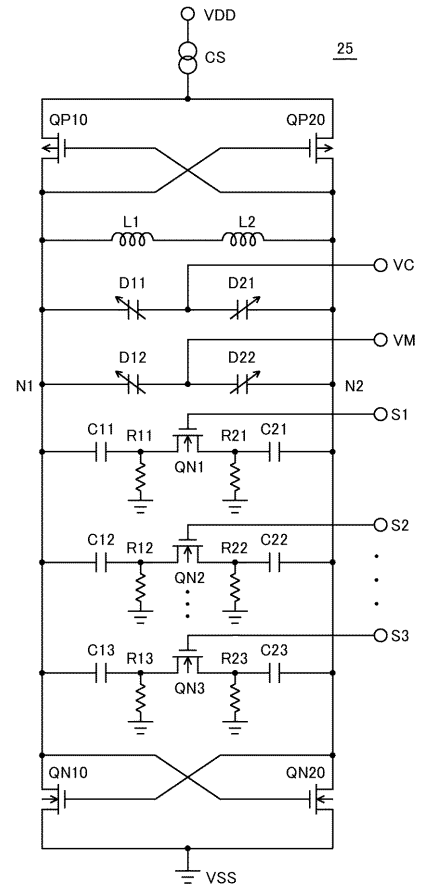
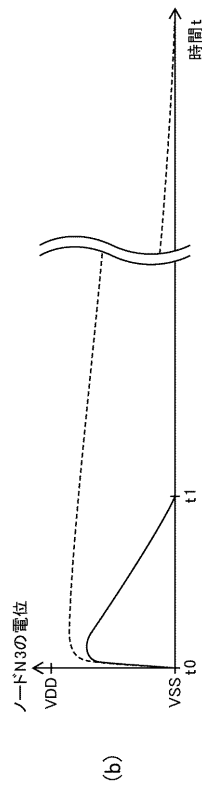
【圖 2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 牧 克彦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 石田 昌敏

(56)参考文献 特開2006-216763(JP,A)

実開昭60-145720(JP,U)

特表2005-529536(JP,A)

特開2007-006307(JP,A)

特開2005-318509(JP,A)

特開2010-056856(JP,A)

特開2011-160276(JP,A)

特開2000-068452(JP,A)

特開2004-289339(JP,A)

特開2011-109162(JP,A)

米国特許出願公開第2005/0174184(US,A1)

(58)調査した分野(Int.Cl., DB名)

H03L 1/00 - 7/26

H03B 5/00 - 5/28