

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6085178号
(P6085178)

(45) 発行日 平成29年2月22日 (2017.2.22)

(24) 登録日 平成29年2月3日 (2017.2.3)

(51) Int. Cl. F I
 HO 1 L 21/338 (2006.01) HO 1 L 29/80 H
 HO 1 L 29/778 (2006.01) HO 1 L 21/318 B
 HO 1 L 29/812 (2006.01)
 HO 1 L 21/318 (2006.01)

請求項の数 10 (全 23 頁)

| | | | |
|-----------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2013-7495 (P2013-7495) | (73) 特許権者 | 000002130 |
| (22) 出願日 | 平成25年1月18日 (2013.1.18) | | 住友電気工業株式会社 |
| (65) 公開番号 | 特開2014-138167 (P2014-138167A) | | 大阪府大阪市中央区北浜四丁目5番33号 |
| (43) 公開日 | 平成26年7月28日 (2014.7.28) | (73) 特許権者 | 504157024 |
| 審査請求日 | 平成27年8月25日 (2015.8.25) | | 国立大学法人東北大学 |
| | | | 宮城県仙台市青葉区片平二丁目1番1号 |
| | | (74) 代理人 | 100088155 |
| | | | 弁理士 長谷川 芳樹 |
| | | (74) 代理人 | 100113435 |
| | | | 弁理士 黒木 義樹 |
| | | (74) 代理人 | 100108257 |
| | | | 弁理士 近藤 伊知良 |
| | | (72) 発明者 | 渡邊 整 |
| | | | 神奈川県横浜市栄区金井町1番地 住友電 |
| | | | 工デバイス・イノベーション株式会社内 |
| | | | 最終頁に続く |

(54) 【発明の名称】 M E S 構造トランジスタを作製する方法、M E S 構造トランジスタ

(57) 【特許請求の範囲】

【請求項1】

M E S 構造トランジスタを作製する方法であって、

第1エリア、第2エリア、第3エリア及び第4エリアを含む主面を有しM E S 構造トランジスタのためのエピタキシャル基板を準備する工程と、

前記エピタキシャル基板の前記主面の前記第1エリアにショットキ接合を成すゲート電極と、前記エピタキシャル基板の前記主面の前記第2エリア及び前記第3エリアにそれぞれ電氣的接触を成すソース電極及びドレイン電極と、前記エピタキシャル基板の前記主面の前記第4エリア上に設けられた絶縁膜とを含む電極・パッシベーション構造を形成する工程と、

を備え、

前記エピタキシャル基板は、窒化ガリウム系半導体からなる窒化ガリウム系半導体層を含み、

前記第4エリアは、前記第1エリアと前記第2エリアとの間及び前記第1エリアと前記第3エリアとの間に少なくとも存在し、

電極・パッシベーション構造を形成する前記工程は、

第1の膜応力を提供できる成膜条件で成長を開始して、前記窒化ガリウム系半導体層に接するように覆って第1シリコン窒化物を形成する工程と、

前記第1シリコン窒化物を成長した後に、第2の膜応力を提供できる成膜条件で成長を行って、第2シリコン窒化物を形成する工程と、

を含み、

前記第2の膜応力の絶対値は前記第1の膜応力の絶対値より大きく、

前記第2シリコン窒化物は20nm以下の膜厚を有しており、

前記第1シリコン窒化物の膜厚は前記第2シリコン窒化物の膜厚より厚い、M E S構造トランジスタを作製する方法。

【請求項2】

前記第1シリコン窒化物及び前記第2シリコン窒化物の成膜は、プラズマC V D法で堆積され、

前記第2の膜応力は1ギガパスカル以上であり、

前記第1の膜応力は500メガパスカル以下であり、

前記窒化ガリウム系半導体層はG a Nからなる、請求項1に記載されたM E S構造トランジスタを作製する方法。

10

【請求項3】

前記第2の膜応力は圧縮応力であり、

前記第1の膜応力は圧縮応力又は引っ張り応力である、請求項1又は請求項2に記載されたM E S構造トランジスタを作製する方法。

【請求項4】

前記第1シリコン窒化物における膜中の $(S i / N)_1$ は0.80以上であり、

前記第2シリコン窒化物における膜中の $(S i / N)_2$ は0.77以下であり、

前記第1シリコン窒化物における $(S i / N)_1$ は前記第2シリコン窒化物における $(S i / N)_2$ はより大きい、請求項1～請求項3のいずれか一項に記載されたM E S構造トランジスタを作製する方法。

20

【請求項5】

前記ゲート電極は、前記エピタキシャル基板上に絶縁膜を形成する前に形成される、請求項1～請求項4のいずれか一項に記載されたM E S構造トランジスタを作製する方法。

【請求項6】

前記ゲート電極は、前記エピタキシャル基板上に絶縁膜を形成した後に形成される、請求項1～請求項4のいずれか一項に記載されたM E S構造トランジスタを作製する方法。

【請求項7】

M E S構造トランジスタであって、

第1エリア、第2エリア、第3エリア及び第4エリアを含む主面を有する半導体領域と

30

、前記半導体領域の前記第1エリアにショットキ接合を成すゲート電極と、

前記半導体領域の前記第2エリア及び前記第3エリアにそれぞれ電氣的接触を成すソース電極及びドレイン電極と、

前記半導体領域の前記第4エリアを覆う絶縁膜と、

を備え、

前記半導体領域は、窒化ガリウム系半導体からなるチャネル層を含み、

前記第4エリアは、前記第1エリアと前記第2エリアとの間及び前記第1エリアと前記第3エリアとの間に少なくとも存在し、

40

前記絶縁膜は、前記チャネル層の前記窒化ガリウム系半導体に接触を成す第1シリコン窒化物膜と、前記第1シリコン窒化物膜上に設けられた第2シリコン窒化物膜とを備え、

前記第1シリコン窒化物膜の厚さは前記第2シリコン窒化物膜の厚さより厚く、

前記第1シリコン窒化物膜における $(S i / N)_1$ は0.80以上であり、

前記第2シリコン窒化物膜における $(S i / N)_2$ は0.77以下であり、

前記第1シリコン窒化物膜における $(S i / N)_1$ は前記第2シリコン窒化物膜における $(S i / N)_2$ より大きい、M E S構造トランジスタ。

【請求項8】

前記第2シリコン窒化物膜は20nm以下である、請求項7に記載されたM E S構造トランジスタ。

50

【請求項 9】

前記チャンネル層の前記窒化ガリウム系半導体は 4 . 1 エレクトロンボルト以下のバンドギャップを有する、請求項 7 又は請求項 8 に記載された M E S 構造トランジスタ。

【請求項 10】

前記チャンネル層の前記窒化ガリウム系半導体は G a N からなる、請求項 7 ~ 請求項 9 のいずれか一項に記載された M E S 構造トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、M E S 構造トランジスタを作製する方法、及び M E S 構造トランジスタに関する。 10

【背景技術】

【0002】

非特許文献 1 は、G a N 系メタルショットキ半導体 (M E S) 電界効果トランジスタ (F E T) を開示する。電界効果トランジスタは、半絶縁パッファ層上に設けられた S i ドープ G a N チャンネル層を有する。

【先行技術文献】

【非特許文献】

【0003】

【非特許文献 1】S. C. BINARI, W. KRUPPA, H. B. DIETRICH, G. KELNER, A. E. WICKENDEN and J. A. FREITAS JR " FABRICATION AND CHARACTERIZATION OF GaN FETs " Solid-StateElectronics Vol. 41, No. 10, pp. 1549--1554, 1997 20

【発明の概要】

【発明が解決しようとする課題】

【0004】

S i N 膜をパッシベーション膜として用いた G a N 系 M E S F E T においては、電流コラプスの現象 (ドレイン電流の低下現象) が観察されている。

【0005】

G a N 系 M E S F E T において生じる電流コラプス現象は、シリコン窒化物パッシベーション膜にトラップされるキャリアが原因になっている。シリコン窒化物膜中の欠陥はキャリアの捕獲準位を形成する。いわゆる緻密なシリコン窒化物膜は低い欠陥密度を有している。しかしながら、発明者の研究の結果によれば、緻密なシリコン窒化物膜は大きな膜応力を有しており、この大きな膜応力は界面準位を増加させている可能性がある。界面準位の増加は、界面におけるキャリア捕獲を増加させる。 30

【0006】

本発明は、このような事情を鑑みて為されたものであり、電流コラプス現象の影響を低減可能な M E S 構造トランジスタを作製する方法を提供することを目的とし、また電流コラプス現象の影響を低減可能な構造を有する M E S 構造トランジスタを提供することを目的とする。

【課題を解決するための手段】 40

【0007】

本発明は、M E S 構造トランジスタを作製する方法に係る。この方法は、(a) 第 1 エリア、第 2 エリア、第 3 エリア及び第 4 エリアを含む主面を有し M E S 構造トランジスタのためのエピタキシャル基板を準備する工程と、(b) 前記エピタキシャル基板の前記主面の前記第 1 エリアにショットキ接合を成すゲート電極と、前記エピタキシャル基板の前記主面の前記第 2 エリア及び前記第 3 エリアにそれぞれ電氣的接触を成すソース電極及びドレイン電極と、前記エピタキシャル基板の前記主面の前記第 4 エリア上に設けられた絶縁膜とを含む電極・パッシベーション構造を形成する工程と、を備える。前記エピタキシャル基板は、窒化ガリウム系半導体からなる窒化ガリウム系半導体層を含み、前記第 4 エリアは前記第 1 エリア、前記第 2 エリア及び前記第 3 エリアを囲んでおり、前記絶縁膜を 50

形成する前記工程は、第1の膜応力を提供できる成膜条件で成長を開始して、前記窒化ガリウム系半導体層に接するように覆って第1シリコン窒化物を形成する工程と、前記第1シリコン窒化物を成長した後に、第2の膜応力を提供できる成膜条件で成長を行って、第2シリコン窒化物を形成する工程と、を含み、前記第2の膜応力の絶対値は前記第1の膜応力の絶対値より大きい。

【0008】

このMES構造トランジスタを作製する方法(以下、「作製方法」と記す)によれば、第2の膜応力を提供できる成膜条件で成長を行って、第1シリコン窒化物上に第2シリコン窒化物を形成する。チャンネルから離れた第2シリコン窒化物にキャリアがトラップされると、この捕獲キャリアの電荷の電界はチャンネルを攪乱する。しかしながら、この第2シリコン窒化物の第2の膜応力の絶対値が第1シリコン窒化物の第1の膜応力の絶対値より大きい。これ故に、第2シリコン窒化物の膜中の捕獲準位の密度を低減できる。

10

【0009】

また、第1の膜応力を提供できる成膜条件で成長を開始して、第1シリコン窒化物を窒化ガリウム系半導体層に接するように形成する。第1シリコン窒化物が窒化ガリウム系半導体層に接して界面を形成しており、チャンネル層を流れるキャリアが該界面の界面準位にトラップされると、この捕獲キャリアは電流コラプスの原因になる。しかしながら、この第1シリコン窒化物の第1の膜応力の絶対値が第2シリコン窒化物の第2の膜応力の絶対値より小さい。これ故に、シリコン窒化物と窒化ガリウム系半導体との界面における界面準位の密度を低減できる。

20

【0010】

第2シリコン窒化物膜自体は大きな膜応力を内包するけれども、第1シリコン窒化物膜が第2シリコン窒化物膜とチャンネル層との間に設けられるので、絶縁膜全体としても膜応力の増加を避けることができる。絶縁膜が第1シリコン窒化物膜及び第2シリコン窒化物膜を含むので、絶縁膜に十分な厚さを提供できる。

【0011】

本発明に係る作製方法では、前記第2シリコン窒化物は20nm以下の膜厚を有しており、前記第1シリコン窒化物の膜厚は前記第2シリコン窒化物の膜厚より厚いことがよい。

【0012】

この製造方法によれば、第2シリコン窒化物の膜厚が20nm以下である。この膜厚範囲では、その大きな膜応力に起因する膜剥がれを避けることができる。

30

【0013】

本発明に係る作製方法では、前記第1シリコン窒化物及び前記第2シリコン窒化物の成膜は、プラズマCVD法で堆積され、前記第2の膜応力は1ギガパスカル以上であり、前記第1の膜応力は500メガパスカル以下であり、前記窒化ガリウム系半導体層はGaNからなることが良い。

【0014】

この製造方法によれば、第2シリコン窒化物における第2の膜応力がGaN上において1ギガパスカル以上であるので、第2シリコン窒化物は緻密な膜構造を有する。また、第1シリコン窒化物における第1の膜応力はGaN上において500メガパスカル以下であるので、パッシベーション用の絶縁膜全体としての膜応力の増大を避けることができる。

40

【0015】

本発明に係る作製方法では、前記第2の膜応力は圧縮応力であり、前記第1の膜応力は圧縮応力又は引っ張り応力であることが良い。

【0016】

本発明に係る作製方法では、前記第1シリコン窒化物における膜中の $(Si/N)_1$ は0.80以上であり、前記第2シリコン窒化物における膜中の $(Si/N)_2$ は0.77以下であり、前記第1シリコン窒化物膜における $(Si/N)_1$ は前記第2シリコン窒化物膜における $(Si/N)_2$ より大きいことが良い。

50

【0017】

この製造方法によれば、理想的なシリコン窒化物における、窒素モル量に対するシリコンモル量の比 (Si/N) は0.75であるので、 $(Si/N)_2$ が0.77以下の第2シリコン窒化物は緻密な膜であり、また窒化ガリウム系半導体上において大きな膜応力を示す。 $(Si/N)_1$ が0.80以上の第1シリコン窒化物は、緻密な膜質であると共に膜応力の増大を抑制できる。

【0018】

本発明に係る作製方法では、前記ゲート電極は、エピタキシャル基板上に絶縁膜を形成する前に形成されることが良い。或いは、本発明に係る作製方法では、前記ゲート電極は、エピタキシャル基板上に絶縁膜を形成した後に形成されることが良い。

10

【0019】

本発明に係るMES構造トランジスタは、(a)第1エリア、第2エリア、第3エリア及び第4エリアを含む主面を有する半導体領域と、(b)前記半導体領域の前記第1エリアにショットキ接合を成すゲート電極と、(c)前記半導体領域の前記第2エリア及び前記第3エリアにそれぞれ電氣的接触を成すソース電極及びドレイン電極と、(d)前記半導体領域の前記第4エリアを覆う絶縁膜と、を備える。前記半導体領域は、窒化ガリウム系半導体からなるチャンネル層を含み、前記第4エリアは前記第1エリア、前記第2エリア及び前記第3エリアを囲んでおり、前記絶縁膜は、前記チャンネル層の前記窒化ガリウム系半導体に接触を成す第1シリコン窒化物膜と、前記第1シリコン窒化物膜上に設けられた第2シリコン窒化物膜とを備え、前記第1シリコン窒化物膜の厚さは前記第2シリコン窒化物膜の厚さより厚く、前記第1シリコン窒化物膜における $(Si/N)_1$ は0.80以上であり、前記第2シリコン窒化物膜における $(Si/N)_2$ は0.77以下であり、前記第1シリコン窒化物膜における $(Si/N)_1$ は前記第2シリコン窒化物膜における $(Si/N)_2$ はより大きい。

20

【0020】

このMES構造トランジスタによれば、理想的なシリコン窒化物における、窒素モル量に対するシリコンモル量の比 (Si/N) は0.75である。 $(Si/N)_2$ は0.77以下の第2シリコン窒化物膜は窒化ガリウム系半導体上において大きな膜応力を示し、また緻密な膜である。これ故に、第2シリコン窒化物膜中の欠陥密度が小さい。また、 $(Si/N)_1$ が0.80以上の第1シリコン窒化物膜は緻密な膜質であると共に、第1シリコン窒化物膜における第1の膜応力の絶対値は第2シリコン窒化物膜における第2の膜応力の絶対値より小さい。これ故に、緻密な第2シリコン窒化物膜が絶縁膜と半導体との界面から離れているので、大きな膜応力に起因する界面準位の増加を避けることができる。

30

【0021】

第2シリコン窒化物膜自体は大きな膜応力を内包するけれども、第1シリコン窒化物膜が第2シリコン窒化物膜とチャンネル層との間に設けられるので、絶縁膜全体としても膜応力の増加を避けることができる。絶縁膜が第1シリコン窒化物膜及び第2シリコン窒化物膜を含むので、絶縁膜に十分な厚さを提供できる。

【0022】

本発明に係るMES構造トランジスタでは、前記第2シリコン窒化物膜は20nm以下であることが良い。このMES構造トランジスタによれば、第2シリコン窒化物膜の膜厚が20nm以下であるので、この膜厚の範囲では、その大きな膜応力に起因する膜剥がれを避けることができる。

40

【0023】

本発明に係るMES構造トランジスタでは、前記チャンネル層の前記窒化ガリウム系半導体は4.1エレクトロンボルト以下のバンドギャップを有することが良い。このMES構造トランジスタによれば、バンドギャップの4.1エレクトロンボルト以下の窒化ガリウム系半導体からなるチャンネル層は、シリコン窒化物膜を含む絶縁膜をパッシベーションに用いることを可能にする。

【0024】

50

本発明に係るM E S構造トランジスタでは、前記チャンネル層の前記窒化ガリウム系半導体はG a Nからなることが良い。このM E S構造トランジスタによれば、第1シリコン窒化物膜における第1の膜応力の絶対値が第2シリコン窒化物膜における第2の膜応力の絶対値より小さいので、チャンネル層がG a Nを備えるとき、チャンネル層におけるピエゾ電界を低減できる。

【0025】

本発明に係るM E S構造トランジスタでは、前記第1シリコン窒化物膜は、プラズマC V D法でG a N領域上に成長されるとき、前記第1シリコン窒化物膜は、1ギガパスカル以上の第1の膜応力を有しており、前記第2シリコン窒化物膜は、プラズマC V D法でG a N領域上に成長されるとき、前記第1シリコン窒化物膜は、500メガパスカル以下の第1の膜応力を有することができる。

10

【0026】

このM E S構造トランジスタによれば、該M E S構造トランジスタにシリコン窒化物膜を適用するに際して、シリコン窒化物膜の品質を膜応力に基づき評価できる。

【発明の効果】

【0027】

以上説明したように、本発明によれば、電流コラプス現象の影響を低減可能なM E S構造トランジスタを作製する方法を提供できる。また、本発明によれば、電流コラプス現象の影響を低減可能な構造を有するM E S構造トランジスタを提供できる。

【図面の簡単な説明】

20

【0028】

【図1】図1は、M E S構造トランジスタを作製する方法における主要な工程を模式的に示す図面である。

【図2】図2は、M E S構造トランジスタを作製する方法における主要な工程を模式的に示す図面である。

【図3】図3は、M E S構造トランジスタを作製する方法における主要な工程を模式的に示す図面である。

【図4】図4は、S i原料のシラン流量と膜応力との関係を示す図面である。

【図5】図5は、S i原料のシラン流量と、窒化シリコンの成膜におけるモル比(S i / N)との関係を示す図面である。

30

【図6】図6は、G a N基板上に形成された単一の窒化シリコン膜の膜応力とリーク電流との関係を示す図面である。

【図7】図7は、実施例に関連する三種類のM I S構造X、Y、Zを示す図面である。

【図8】図8は、電極を含むM I S構造X、Y、Zの平面構造を示す図面である。

【図9】図9は、M I S構造X、Y、Zの電圧-リーク電流の特性を示す図面である。

【図10】図10は、三種類のM I S構造A、B、C、Dを示す図面である。

【図11】図11は、M I S構造A、B、CのG a N / S i N界面の界面トラップ密度(D i t)をT e r m a n法により評価した特性を示す図面である。

【図12】図12は、M I S構造DのG a N / S i N界面の界面トラップ密度(D i t)をT e r m a n法による評価した評価した特性を示す図面である。

40

【図13】図13は、M I S構造A、B、CのC - V特性(S a m p l e . A、S a m p l e . B、S a m p l e . C)及び理想のC - V特性(I d e a l)を示す図面である。

【図14】図14は、M I S構造C、及び、M I S構造CのためのS i N膜の成膜に先立つN₂プラズマ処理の適用したM I S構造におけるC - V特性を示す図面である。

【図15】図15は、M I S構造DのC - V特性(S a m p l e . D)及び理想のC - V特性(I d e a l)を示す図面である。

【図16】図16は、M I S構造A、B、C、Dにおける電界-電流特性(J - E特性)を示す図面である。

【発明を実施するための形態】

【0029】

50

引き続き、添付図面を参照しながら、本発明のMES構造トランジスタ、及びMES構造トランジスタを作製する方法に係る実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

【0030】

図1～図3は、MES構造を有する電界効果トランジスタ(FET)を作製する方法における主要な工程を模式的に示す図面である。工程S101では、MES構造トランジスタのための基板を準備する。引き続き工程において、この基板上に、MES構造トランジスタのためのIII族窒化物半導体膜をエピタキシャルに成長する。図1の(a)部を参照すると、この基板は、参照符号「11」として参照される。この基板11は主面11a及び裏面11bを有する。基板11は、例えばSiC、サファイア、GaN、Si等であること

10

【0031】

次いで、基板11は、図1の(a)部に示されるように、基板11を成長炉10aに配置した後に、工程S102において、図1の(a)部に示されるように、チャンネル層のためのIII族窒化物半導体膜13を基板11の主面11a上にエピタキシャルに成長する。必要な場合には、チャンネル層に必要な品質をIII族窒化物半導体膜13に付与するために、III族窒化物半導体膜13の成長に先立って一又は複数のIII族窒化物半導体膜を成長することができる。III族窒化物半導体膜13の成長に先立って、例えばIII族窒化物半導体からなるバッファ層を成長することができる。本実施例では、III族窒化物半導体膜13は例えばGaN又はAlGaNであることができ、このAlGaNのAl組成は0.3以下

20

【0032】

エピタキシャル基板Eの一例を示す。

n-GaN層13：厚さ5nm。

AlGaNバッファ層15：厚さ600nm。

i-GaN層17：厚さ1000nm。

n-AlGaN層19：厚さ5nm。

30

本実施例では、エピタキシャル基板Eのエピタキシャル積層構造21の表面は、チャンネル層のためのGaN層の表面からなる。MES構造トランジスタのためのエピタキシャル基板Eの主面21a(すなわち、半導体膜13の主面13a)は、第1エリア、第2エリア、第3エリア及び第4エリアを含む。後に工程から理解されるように、エピタキシャル基板主面の第1エリアにはゲート電極がショットキ接合を成し、エピタキシャル基板主面の第2エリア及び第3エリアには、それぞれソース電極及びドレイン電極が電氣的接触を成し、エピタキシャル基板主面の第4エリア上に、絶縁膜が設けられる。第4エリアは、第1エリアと第2エリアとの間及び第1エリアと第3エリアとの間に少なくとも存在する。エピタキシャル基板主面において、第4エリアは第1エリア、第2エリア及び第3エリアを囲むことができる。第1エリアは、第2エリアと第3エリアとの間に位置する。

40

【0033】

工程S103では、絶縁膜の成長に先立って、図1の(b)部に示されるように、エピタキシャル基板Eに前処理を行う。この前処理では、処理装置10bでエピタキシャル基板Eを、例えばフッ化水素酸溶液23に浸す。このフッ化水素酸溶液23は、例えば0.5%溶液である。この前処理により、エピタキシャル基板Eの表面21aに形成された自然酸化膜が除去される。これまでの工程により、窒化ガリウム系半導体層13を含みMES構造トランジスタのためのエピタキシャル基板Eが準備された。なお、この準備は、上記の実施例に限定されるものではない。

【0034】

次いで、電極・パッシベーション構造をエピタキシャル基板E上に形成する。本実施例

50

では、パッシベーションのための絶縁膜を成長した後に、ゲート電極、ソース電極及びドレイン電極を形成する。しかしながら、ゲート電極、ソース電極及びドレイン電極を形成した後に、パッシベーションのための絶縁膜を成長することができる。このとき、絶縁膜の成長条件として、本実施例と同様にものを適用できる。

【0035】

工程S104では、成膜装置10cにおいて、前処理済みのエピタキシャル基板E上にシリコン窒化物膜(図2の(b)部に示される膜25)を成膜装置10cで形成する。本実施例では、絶縁膜25は窒化シリコン(SiN)からなる。成膜装置10cは、マイクロ波プラズマCVD法を適用できる処理部を含む。成膜装置10cのステージ上にはエピタキシャル基板Eを配置する。

10

【0036】

絶縁膜25を形成する工程S104では、成膜装置10cにエピタキシャル基板Eをロードして後に、まず工程S105において、図1の(c)部に示されるように、窒素原料及びシリコン原料を含むガスG1を成膜装置10cに供給して、エピタキシャル基板Eの処理済みの主面21a上に第1シリコン窒化物を堆積する。この堆積により、第1絶縁層27が成長され、この絶縁層27は第1シリコン窒化物からなることができる。この成膜では、例えば、第1の膜応力を提供できる成膜条件で成長を開始して、窒化ガリウム系半導体層13に接するように覆って第1シリコン窒化物の絶縁層27を形成されていく。窒素原料は例えば窒素(N₂)、アンモニア等であり、またシリコン原料は例えばシラン(SiH₄)、ジシラン(Si₂H₆)等といった無機シラン系材料を用いることができる。

20

【0037】

絶縁層27の成長条件の一例は以下に示す。
 成膜温度、摂氏400度。
 プラズマパワー、2000ワット。
 窒素原料の流量(Ar:N₂:H₂)、20:75:15(sccm)。
 シリコン原料の流量、3.0~9.0sccm。
 ガス圧力、1.69Pa。

【0038】

なお、第1シリコン窒化物は、例えば膜厚40nmでc面GaN基板上に成長されるときに第1の膜応力を提供できる第1成膜条件で成長される。膜応力の測定は、光てこ法を用いて測定される。本実施例では、第1成膜条件は500MPaの膜応力を示すように決定される。この成膜条件はシラン流量5sccmである。また、絶縁層27は、例えば30nmの厚さを有する。

30

【0039】

絶縁層27を成膜に引き続き、まず工程S106において、図2の(a)部に示されるように、窒素原料及びシリコン原料を含むガスG2を成膜装置10cに供給して、エピタキシャル基板Eの処理済みの主面21a上に第2シリコン窒化物を堆積する。この堆積により、本実施例では、窒化ガリウム系半導体層13及び絶縁層27上に第2絶縁層29が成長され、この絶縁層29は第2シリコン窒化物からなることができる。この成膜は、例えば、第1の膜応力と異なる第2の膜応力を提供できるように、第1成膜条件と異なる第2成膜条件で成長を行って、例えば絶縁層27の表面27aに接して覆うように第2シリコン窒化物の絶縁層29を形成していく。

40

【0040】

絶縁層29の成長条件の一例は以下に示す。
 成膜温度、摂氏400度。
 プラズマパワー、2000ワット。
 窒素原料の流量(Ar:N₂:H₂)、20:75:15(sccm)。
 シリコン原料の流量、0.5~2.0sccm。
 ガス圧力、1.69Pa。

【0041】

50

なお、第2シリコン窒化物は、膜厚40nmでc面GaN基板上に成長されるときに第2の膜応力を提供できる第2成膜条件で成長される。膜応力の測定は、光てこ法を用いて測定される。本実施例では、第2成膜条件は1GPaの膜応力を示すように決定される。この第2成膜条件はシラン流量0.5sccmである。また、絶縁層29は、例えば20nmの厚さを有する。絶縁層27の膜厚が絶縁層29の膜厚より厚く、30nmである。

【0042】

第1シリコン窒化物の絶縁層27及び第2シリコン窒化物の絶縁層29は、プラズマCVD法で堆積されるとき、絶縁層27及び絶縁層29の成膜のためのシリコン原料は無機シラン系ガスを含むことがよい。絶縁層27及び絶縁層29の成膜のための窒素原料は窒素ガスを含むことがよい。絶縁層27の成膜における無機シラン系ガス流量は、絶縁層29の成膜における無機シラン系ガス流量より大きい。

10

【0043】

第1成膜条件及び第2成膜条件は、第2の膜応力の絶対値が第1の膜応力の絶対値より大きくなるように設定されることが良く、半導体層13がGaNからなるときは、膜応力の評価に適用した絶縁膜の厚さの違いに依存した差が生じているかもしれないが、堆積層27、29は、評価値と同じような膜応力を有する。半導体層13がGaNと異なるIII族窒化物、例えばAlGaNからなるときは、第2の膜応力の絶対値が第1の膜応力の絶対値より大きいことにおいては違いが生じない。

【0044】

第1シリコン窒化物の絶縁層27における膜中の $(Si/N)_1$ は0.80以上であり、1.0以下であり、また第2シリコン窒化物の絶縁層29における膜中の $(Si/N)_2$ は0.77以下であることが好ましい。この製造方法によれば、理想的なシリコン窒化物における、窒素モル量に対するシリコンモル量の比 (Si/N) は0.75であるので、 $(Si/N)_2$ が0.77以下の第2シリコン窒化物は緻密な膜であり、また窒化ガリウム系半導体上において大きな膜応力を示す。 $(Si/N)_1$ が0.80以上の第1シリコン窒化物は、緻密な膜である一方で、膜応力の増大を抑制できる。本実施例では、シリコン窒化物の組成は、シラン流量により制御できる。

20

【0045】

本実施例では、第1絶縁膜27及び第2絶縁層29の成長の後に、絶縁膜25の形成を完了する。なお、第1成膜条件から第2成膜条件への変更は、階段状に行われるようにしても行ってもよいし、第1成膜条件から連続的な成膜条件の変更により第2成膜条件に至ることができる。

30

【0046】

工程S107では、オーミック電極を形成する。まず、工程S108では、図2の(b)部に示されるように、絶縁膜25上に、オーミック電極のための開口を規定するマスク31を形成する。このマスク31は例えばレジストからなることができる。レジストマスク31は、例えば、レジスト膜の塗布、見合わせ、露光、現像等に工程を介して形成されることができる。レジストマスク31は、本実施例では、トランジスタのソース電極及びドレイン電極を形成すべき位置(第2エリア及び第3エリア)に開口31aを有する。

【0047】

次いで、工程S109では、図2の(c)部に示されるように、マスク31を用いて絶縁膜25を装置10dを用いてエッチングする。このエッチングの結果、マスク31の開口31aに対応して、絶縁膜25にオーミック電極のための開口25a、25bが形成される。これらの開口25a、25bには、エピタキシャル基板Eの上面が露出される。本実施例では、絶縁膜25の全体が窒化シリコンからなるので、ホットリン酸をエッチャントとして用いてウエットエッチングを行うことができる。トランジスタのソース電極及びドレイン電極を形成すべき位置に合わせて絶縁膜25に開口25a、25bを形成した後に、マスク31を除去する。

40

【0048】

工程S110では、絶縁膜25に開口25a、25bを形成した後に、図3の(a)部

50

に示されるように、トランジスタのソース電極 33a 及びドレイン電極 33b を形成する。ソース電極 33a 及びドレイン電極 33b の各々は、開口 25a、25b を通して、窒化ガリウム系半導体層 13 の表面 13a (21a) に接触を成す。ソース電極 33a 及びドレイン電極 33b は例えば Al/Ti 構造を有することができる。これらの電極は、例えば金属膜の成膜及びリフトオフ法を用いることにより形成できる。リフトオフ法のためのマスクは、例えばレジスト膜の塗布、見合わせ、露光、現像等に工程を介して形成されることができる。

【0049】

次いで、オーミック接触のための電極を形成した後に、アロイを行う。アロイ条件の一例を以下に示す。

雰囲気、N₂。

熱処理温度、摂氏 600 度。

時間、10 分。

このアロイにより、ソース電極 33a 及びドレイン電極 33b と窒化ガリウム系半導体層 13 との電気的な接触が良好になる。

【0050】

次いで、工程 S111 では、図 3 の (c) 部に示されるように、ソース電極 33a とドレイン電極 33b との間に位置するようにゲート電極 37 を形成する。本実施例では、ゲート電極 37 は、ゲート電極 37 とドレイン電極 33b との距離がゲート電極 37 とソース電極 33a との距離より長くなるように非対称な位置に形成される。図 3 の (b) を参照すると、ソース電極 33a 及びドレイン電極 33b 並びに絶縁膜 25 上に、ショットキ電極のための開口を規定するマスク 39 を工程 S108 と同様に形成する。このマスク 39 は例えばレジストからなることができる。レジストマスク 39 は、例えば、レジスト膜の塗布、見合わせ、露光、現像等に工程を介して形成されることができる。レジストマスク 39 は、本実施例では、トランジスタのゲート電極 37 を形成すべき位置 (第 1 エリア) に開口 39a を有する。この開口 39a において、ゲート電極 37 は、図 3 の (c) 部に示されるように、エピタキシャル基板の窒化ガリウム系半導体表面 (第 1 エリア) に直接に接触するように形成され、これ故にショットキ接触 35b を成す。ゲート電極 37 は例えば Ni/Au 等からなることができる。本実施例では、ゲート電極 37 の材料は例えば Ni/Au である。電極のための金属膜の形成には、例えば真空蒸着法を用いることができる。この電極 37 のための加工には、例えば金属膜の成膜及びリフトオフ法を用いることができる。リフトオフ法のためのマスクは、例えば、レジスト膜の塗布、見合わせ、露光、現像等に工程を介して形成されることができる。ゲート電極 37 は、開口 39a において窒化ガリウム系半導体にショットキ接合を成す柱状部 37a と、この柱状部から絶縁膜 25 の表面に沿って延在する延長部 37b とを含むことができる。

【0051】

この作製方法 (MES 構造トランジスタを作製する方法) では、第 1 の膜応力を提供できる成膜条件で成長を開始して、窒化ガリウム系半導体層 13 に接するように第 1 シリコン窒化物 (以下、絶縁膜 27 と同じく参照符号 27 として参照する) を形成する。

【0052】

第 1 シリコン窒化物膜 27 が窒化ガリウム系半導体層に接して界面を形成しており、チャネル層を流れるキャリアが該界面の界面準位にトラップされると、この捕獲キャリアは電流コラプスの原因になる。しかしながら、この第 1 シリコン窒化物膜 27 の第 1 の膜応力の絶対値が第 2 シリコン窒化物 (以下、絶縁膜 29 と同じく参照符号 29 として参照する) の第 2 の膜応力の絶対値より小さい。これ故に、シリコン窒化物と窒化ガリウム系半導体との界面における界面準位の密度を低減できる。

【0053】

また、第 2 の膜応力を提供できる成膜条件で成長を行って、第 1 シリコン窒化物膜 27 上に第 2 シリコン窒化物膜 29 を形成する。チャネルから離れた第 2 シリコン窒化物にキャリアがトラップされると、膜中の捕獲キャリアの電荷からの電界もチャネルを攪乱する

10

20

30

40

50

。しかしながら、この第2シリコン窒化物膜29の第2の膜応力の絶対値が第1シリコン窒化物膜27の第1の膜応力の絶対値より大きい。これ故に、第2シリコン窒化物膜29の捕獲準位の密度を低減できる。

【0054】

第2シリコン窒化物膜29自体は大きな膜応力を内包するけれども、第1シリコン窒化物膜27が第2シリコン窒化物膜29とチャンネル層との間に設けられるので、絶縁膜全体としても膜応力の増加を避けることができる。絶縁膜25が第1シリコン窒化物膜27及び第2シリコン窒化物膜29を含むので、絶縁膜25に十分な厚さを提供できる。

【0055】

単一の組成のシリコン窒化膜(SiN)からなるパッシベーション膜を用いるGaN系MES電界効果トランジスタ(MESFET)においては、電流コラプス、及びゲート電極-ドレイン電極の間のリーク電流を発生させる原因が、ゲート電極-ソース電極間の窒化ガリウム系半導体表面に成長されたシリコン窒化物パッシベーション膜の品質に起因して引き起こされる。

【0056】

具体的には、発明者らは、電流コラプスは、GaN上に形成したSiN膜中の欠陥及び界面準位にトラップされたキャリア(電子)の両方に起因して生じ、さらに、当該SiN膜中及び半導体-SiN界面のキャリアトラップを減少させることで、電流コラプスも低減できると考えている。

【0057】

また、発明者らは、このGaN系MESFETにおいては、ゲート電極-ドレイン電極間に大きな電圧が印加されるので、パッシベーション膜であるSiN膜にも高い耐圧が要求されると考えている。しかし、発明者らの知見によれば、GaN上に通常のSiN膜を形成した場合、耐圧が十分ではない。

【0058】

このような技術的背景から、GaN系MES電界効果トランジスタ(MESFET)41には、上記の電流コラプスを低減するとともに、リーク電流の小さい十分な耐圧を有するパッシベーション膜が求められている。ゲート電極-ドレイン電極間のリーク電流は、トランジスタの耐圧低下として特性に現れる。電流コラプス低減に加えて、リーク電流低減がGaN系MES電界効果トランジスタ(MESFET)における技術課題となる。

【0059】

本実施の形態における上記の工程により、MES構造トランジスタ41が作製された。なお、このMES構造トランジスタ41の作製方法では、ゲート電極37がエピタキシャル基板E上に絶縁膜25を形成する前に形成されることができる。この工程順序によれば、絶縁膜25をエッチングする工程が省け、プロセス工程が短縮される利点がある。

【0060】

このMES構造トランジスタ41の作製方法は、ゲート電極37がエピタキシャル基板E上に絶縁膜25を形成した後に形成されることができる。このときの絶縁膜25の形成においては、例えばシリコン窒化膜のパターニングが最終工程となるので、ソース電極、ゲート電極及びドレイン電極はシリコン窒化膜に覆われることはない。

【0061】

MES構造トランジスタ41では、第1シリコン窒化物の膜厚は第2シリコン窒化物の膜厚より厚いことがよい。第2シリコン窒化物膜29の膜自体は大きな膜応力を内包するけれども、第1シリコン窒化物膜27の膜厚が第2シリコン窒化物膜29の厚さより厚いので、絶縁膜25全体としても膜応力の増加を避けることができる。

【0062】

第2シリコン窒化物の絶縁層29は例えば20nm以下の膜厚を有することができる。第2シリコン窒化物の膜厚が20nm以下であるので、その大きな膜応力に起因する膜剥がれを避けることができる。第1シリコン窒化物の絶縁層27は例えば30nm程度の膜厚を有することができる。また、絶縁膜25は全体として例えば50nm程度の膜厚を有する

10

20

30

40

50

ことができる。

【0063】

第1シリコン窒化物の絶縁層27及び第2シリコン窒化物の絶縁層29の成膜は、プラズマCVD法で堆積される。マイクロ波プラズマCVD法といった化学的気相成長法によれば、膜応力の調整が容易である。本実施例では、絶縁層29の第2の膜応力は1ギガパスカル以上であることが好ましく、また絶縁層27の第1の膜応力は500メガパスカル以下であることが好ましい。好適な実施例では、窒化ガリウム系半導体層は例えばGaNからなることができる。

【0064】

この製造方法によれば、第2シリコン窒化物の絶縁層29における第2の膜応力がGaN上において1ギガパスカル以上であるので、第2シリコン窒化物の絶縁層29は緻密な膜構造を有する。また、第1シリコン窒化物の絶縁層27における第1の膜応力はGaN上において500メガパスカル以下であるので、パッシベーション用の絶縁膜全体としての膜応力の増大を避けることができる。一方で、絶縁膜25の構造は、絶縁膜全体として、リーク電流を低減できるような膜緻密性を提供できる。また、このような絶縁膜25の構造によれば、ゲート電極からドレイン電極へのチャネル層を流れるホットキャリアが電極間の電界に引かれて絶縁膜25内にトラップされることを低減できる。これは、電流コラプスの低減に寄与する。

【0065】

このような絶縁膜25では、絶縁層29の第2の膜応力は圧縮応力であり、また絶縁層27の第1の膜応力は圧縮応力又は引っ張り応力であることがよい。成膜の際に膜応力の制御が容易になる。

【0066】

図1～図3を参照しながら、MES構造トランジスタ41の製造方法を説明してきたが、引き続き説明においても、理解を容易にするために、可能な場合には、図1～図3における参照番号を用いる。

【0067】

図3の(c)部を参照するとき、MES構造トランジスタ41は、半導体領域21と、ゲート電極37と、ソース電極33a及びドレイン電極33bと、絶縁膜25とを備える。半導体領域21は窒化ガリウム系半導体からなるチャネル層13を含み、本実施例ではチャネル層13は半導体領域21の最表面に位置する。また、半導体領域21は主面21a(13a)は、第1エリア21b(13b)、第2エリア21c(13c)、第3エリア21d(13d)及び第4エリア21e(13e)を含む。ゲート電極37は、半導体領域21の第1エリア21bにショットキ接合35bを成す。ソース電極33a及びドレイン電極33bは、それぞれ、半導体領域21の第2エリア21c及び第3エリア21dに電氣的接触(例えばオーミック接触)35aを成す。絶縁膜25は、半導体領域の第4エリア21eを覆う。第4エリア21eは、第1エリアと第2エリア21bとの間及び第1エリア21bと第3エリア21dとの間に少なくともも存在する。第4エリア21eは第1エリア21b、第2エリア21c及び第3エリア21dを囲むことができる。絶縁膜25は第1シリコン窒化物膜27と第2シリコン窒化物膜29とを備える。第1シリコン窒化物膜27はチャネル層13の窒化ガリウム系半導体に接触を成す。第2シリコン窒化物膜29はゲート電極37に接触を成す。

【0068】

第1シリコン窒化物膜27の厚さは第2シリコン窒化物膜29の厚さより厚く、第1シリコン窒化物膜27における $(Si/N)_1$ は0.80以上であり、第2シリコン窒化物膜29における $(Si/N)_2$ は0.77以下である。第1シリコン窒化物膜27における $(Si/N)_1$ は第2シリコン窒化物膜29における $(Si/N)_2$ より大きい。

【0069】

このMES構造トランジスタ41によれば、理想的なシリコン窒化物における、窒素モル量に対するシリコンモル量の比 (Si/N) は0.75であるので、 $(Si/N)_2$ が

10

20

30

40

50

0.77以下の第2シリコン窒化物膜29は窒化ガリウム系半導体上において大きな膜応力を示し、また非常に緻密な膜である。これ故に、第2シリコン窒化物膜29中の欠陥密度は小さい。また、 $(Si/N)_1$ が0.80以上の第1シリコン窒化物膜27は緻密な膜である一方で、第1シリコン窒化物膜27における第1の膜応力の絶対値は第2シリコン窒化物膜29における第2の膜応力の絶対値より小さい。これ故に、緻密な第2シリコン窒化物膜29が絶縁膜と半導体との界面から離れているので、大きな膜応力に起因する界面準位の増加を避けることができる。

【0070】

第2シリコン窒化物膜29自体は大きな膜応力を内包するけれども、第1シリコン窒化物膜27が第2シリコン窒化物膜29とチャンネル層13との間に設けられるので、絶縁膜25全体としても膜応力の増加を避けることができる。また、絶縁膜25が第1シリコン窒化物膜27及び第2シリコン窒化物膜29を含むので、絶縁膜25に十分な厚さを提供できる。

10

【0071】

一実施例では、第2シリコン窒化物の絶縁層29は20nm以下であることが好ましい。第2シリコン窒化物の絶縁層29の膜厚が20nm以下であるので、その大きな膜応力に起因する膜剥がれを避けることができる。

【0072】

チャンネル層13の窒化ガリウム系半導体は4.1eV以下のバンドギャップを有する。バンドギャップの4.1eV以下の窒化ガリウム系半導体からなるチャンネル層13は、シリコン窒化物膜を含む絶縁膜25を用いることを可能にする。

20

【0073】

ゲート電極37は、開口39aにおいて窒化ガリウム系半導体にショットキ接合を成す柱状部37aと、この柱状部37aから絶縁膜25の表面に沿って延在する延長部37bとを含む。延長部37bとチャンネル層13の間には絶縁膜25が位置する。これ故に、延長部37bはチャンネル層13に対して絶縁膜25をゲート絶縁膜とするMIS構造を形成する。このMIS構造においては、第2シリコン窒化物の絶縁膜29における第2の膜応力の絶対値は第1シリコン窒化物の絶縁膜27における第1の膜応力の絶対値より大きい。ゲート電極37延長部37bが、大きな膜応力の緻密な第2シリコン窒化物膜29に接触するように形成されるので、ゲート電極37の延長部37bから絶縁膜25へのキャリアの漏れ出しをしっかりと抑えてリーク電流を低減させることができる。ゲート電極37の延長部37bの絶縁膜25は、これ故に、ゲート電極37から半導体層への電流経路、及びゲート電極37からソース・ドレイン電極への電流経路に対する障壁を提供できる。また、延長部37bから絶縁膜中の欠陥にキャリアがトラップされることにより生じる現象、例えば電流コラプス等の低減が可能である。

30

【0074】

このMES構造トランジスタ41において、チャンネル層13がGaNを備えるとき、第1シリコン窒化物の絶縁層27における第1の膜応力の絶対値が第2シリコン窒化物の絶縁層29における第2の膜応力の絶対値より小さいので、チャンネル層13におけるピエゾ電界を低減できる。例えば、絶縁層29のためのシリコン窒化物膜は、プラズマCVD法でGaN領域上に成長されるとき、1GPa以上の膜応力を有しており、絶縁層27のためのシリコン窒化物膜は、プラズマCVD法でGaN領域上に成長されるとき、500MPa以下の膜応力を有する。該MIS構造トランジスタにシリコン窒化物膜を適用するに際して、シリコン窒化物膜の品質を膜応力により評価できる。

40

【0075】

MES構造トランジスタについて説明したが、トランジスタに対する技術的寄与は、MES構造の実施例から理解され、また高耐圧のMES構造を有する半導体デバイスに適用される。

【0076】

50

(実施例1)

本実施の形態に係るMES構造トランジスタの絶縁膜に係る特性を評価するためにMIS構造を利用する。引き続き説明では、MIS構造の特性を説明するけれども、これは、MES構造トランジスタのための絶縁膜に係る特性を評価することに関連する。これ故に、以下の実施例において、ゲート絶縁膜として説明されるシリコン窒化物は、本実施の形態における絶縁膜25のための実施例であると考えられる。

【0077】

まず、MIS構造を作製する。サファイア基板を準備する。この基板の主面の面方位は例えばc面を有する。有機金属気相成長法を用いて、サファイア基板上にSiドープn型GaNを成長する。n型GaNの厚さは1.2 μm であり、n型ドーパント濃度は $5 \times 10^{16} \text{cm}^{-3}$ である。このn型GaN上にシリコン窒化膜をマイクロ波プラズマCVD法で成長する。引き続き説明において、原料やキャリアガス等の気体の流量の単位としてsccm (Standard Cubic Centimeter per Minutes) をSI単位系で換算でき、例えば1sccmは $1.69 \times 10^{-3} \text{Pa} \cdot \text{m}^3/\text{sec}$ 、温度25である。

10

【0078】

MIS構造の一例を以下に示す。

n型GaN：厚さ1.2 μm 、シリコンドーパント濃度 $5 \times 10^{16} \text{cm}^{-3}$ 。

オーミック電極：幅300 μm 、電極材Al。

ゲート電極：幅200 μm 、電極材Al。

ゲート電極 - オーミック電極の間隔：40 μm 。

20

【0079】

シリコン窒化膜の成長条件の一例は以下に示す。

成膜温度、摂氏400度。

プラズマパワー、2000ワット。

窒素原料の流量 (Ar : N₂ : H₂)、20 : 75 : 15 (単位sccm)。

シリコン原料の流量、0.5、1.0、5.0 (単位sccm)。

ガス圧力、1.69Pa。

【0080】

図4は、Si原料のSiH₄流量と膜応力との関係を示す図面である。膜応力は光てこ法で行われる。図4の縦軸の負号は、応力が圧縮であることを示す。

30

試料名、流量 (sccm)、膜応力 (MPa)。

M1 : 0.5sccm、 -200MPa (-0.2GPa)。

M2 : 2.0sccm、 -100MPa (-0.1GPa)。

M3 : 5.0sccm、 +100MPa (+0.1GPa)。

M4 : 9.0sccm、 -200MPa (-0.2GPa)。

SiH₄流量が2sccm以下のとき、圧縮1GPa以上の膜応力になり、SiH₄流量が2sccmを超えると、圧縮1GPaより低い膜応力になる。SiH₄流量が4sccm以上のとき、圧縮又は引っ張り500MPa以下の膜応力になる。

【0081】

図5は、Si原料のSiH₄流量と、窒化シリコンの成膜におけるモル比 (Si/N) との関係を示す図面である。モル比 (Si/N) は、X線光電子分光 (XPS) 法によって評価される。

40

試料名、流量 (sccm)、モル比 (Si/N)。

N1 : 0.5sccm、 0.76。

N2 : 2.0sccm、 0.76。

N3 : 5.0sccm、 0.84。

N4 : 9.0sccm、 0.97。

図5において、矢印は、化学量論の窒化シリコン、つまりSi₃N₄を示し、モル比 (Si/N) は0.75である。シラン流量0.5sccm ~ 3.0sccmの窒化膜のモル比 (Si/N) は約0.75であるので、これらの流量範囲で成膜された膜は、化学量論

50

の組成を有する窒化シリコンである。シラン流量5.0 sccmの窒化膜のモル比(Si/N)は0.84であるので、この窒化膜はいわゆるSiリッチの窒化シリコンである。

【0082】

(実施例2)

圧縮応力1 GPaの膜応力及び膜厚40 nmの窒化シリコン膜の観察によれば、膜表面に粒状の様が見られる。走査型電子顕微鏡により該当の個所を詳細に観察すると、ふくれによる膜剥がれの発生が確認された。

【0083】

一方、圧縮応力0.5 GPaの膜応力及び膜厚40 nmの窒化シリコン膜の観察によれば、上記のような膜剥がれは発生していない。また、圧縮応力0.5 GPaの膜応力及び100 nmの膜厚の窒化シリコン膜の観察によれば、膜剥がれは発生していない。これは膜応力が十分に小さいことを示す。また、膜厚40 nm及び引っ張り応力0.1 GPaの膜応力の窒化シリコン膜の観察によれば、同様に膜剥がれは発生していない。

【0084】

しかしながら、圧縮応力1 GPaの膜応力の窒化シリコン膜の観察によれば、膜厚20 nm以下であるとき、膜剥がれは発生していない。また、圧縮応力2 GPaの膜応力の窒化シリコン膜の観察によれば、膜厚20 nm以下であるとき、膜剥がれは発生していない。

【0085】

図6は、GaN基板上に形成された単一の窒化シリコン膜の膜応力とリーク電流との関係を示す。膜を横切るリーク電流の電流密度は、窒化シリコン膜が強い圧縮応力を内包するほど小さくなる。これは、膜中の捕獲準位の密度に関連している。大きな圧縮応力の膜のトラップ準位の密度は低減されている。

【0086】

ゲート電極からGaN基板へ向かう方向に関して、ゲート電極の側に強い圧縮応力を持つ窒化シリコン膜を設けることが好ましく、この圧縮応力が1 GPa以上であるとき、リーク電流は飽和する傾向を示す。製造上のばらつきに対して安定した歩留まり・デバイス特性が得られる。より好ましくは、リーク電流の視点から、強い圧縮応力を内包する窒化シリコンをゲート電極や配線に接触するように設けることがよい。そして、この高応力のSiN膜とGaN系半導体領域との間に、厚く形成可能なSiN膜を設けることが良い。

【0087】

より具体的には、リーク電流の電流密度はSiN膜の圧縮応力が強くなるほど小さくなる。少なくとも上層のシリコン窒化物には強い圧縮応力を持つSiN膜を用いることがよい。また、膜応力が1 GPa(ギガパスカル)以上の圧縮であるときリーク電流は飽和し、製造上安定した結果が得られる。また、GaN半導体上のSiN膜として、圧縮応力0.5 GPa相当の膜条件で成膜した場合(例えば膜厚40 nm)、膜剥がれ等の不具合は生じない(圧縮応力1 GPaの膜応力のSiNをGaN基板上に形成すると、膜剥がれが生じる)。また、引っ張り応力0.1 GPa(膜厚40 nm)の場合では、膜剥がれは生じていない。これらの結果から、膜剥がれに観点では、MES構造のパッシベーション膜として、2層を含むSiN膜構造が好ましいより具体例としては、GaN半導体上に500 MPa以下の圧縮応力又は引っ張り応力(第1の膜応力)を提供できる成膜条件にて第1 SiN膜を形成し、この第1 SiN膜上に、1 GPa以上の圧縮応力(第2の膜応力)を提供できる成膜条件にて、第2 SiN膜を形成することがよい。

【0088】

図7は、作製した三種類のMIS構造X、Y、Zを示す。MIS構造X、Yは2層構造のMIS絶縁膜を用いる。MIS構造Zは単一層のMIS絶縁膜を用いる。

構造X: 0.5 GPa(500 MPa)に相当する膜応力の成膜条件で、GaN基板に接するように第1窒化シリコン膜(厚さ40 nm)を堆積する。1.0 GPaに相当する膜応力の成膜条件で、第1窒化シリコン膜に接するように第2窒化シリコン膜(厚さ20 nm)を堆積する。0.5 GPaに相当する膜応力の成膜条件におけるモノシランの流量は

10

20

30

40

50

4 s c c mであり、1 . 0 G P aに相当する膜応力の成膜条件におけるモンシランの流量は2 s c c mである。

構造Y：1 . 0 G P aに相当する膜応力の成膜条件で、G a N基板に接するように第1窒化シリコン膜（厚さ20nm）を堆積する。0 . 5 G P a（500MPa）に相当する膜応力の成膜条件で、第1窒化シリコン膜に接するように第2窒化シリコン膜（厚さ40nm）を堆積する。0 . 5 G P aに相当する膜応力の成膜条件におけるモノシランの流量は4 s c c mであり、1 . 0 G P aに相当する膜応力の成膜条件におけるモノシランの流量は2 s c c mである。

構造Z：0 . 5 G P a（500MPa）に相当する膜応力の成膜条件で、G a N基板に接するように第1窒化シリコン膜（厚さ60nm）を堆積する。0 . 5 G P aに相当する膜応力の成膜条件におけるモノシランの流量は4 s c c mである。

10

【0089】

このように成膜した窒化シリコン膜上に電極を形成する。図8は、電極を含むM I S構造X、Y、Zの平面構造（上図）および断面構造（下図）を示す。

【0090】

図9は、M I S構造X、Y、Zの電圧 - リーク電流の特性を示す。M I S構造Zのリーク電流は、3構造のうち最も低い電界（1MV/cm以下）で急激に増加する。M I S構造X及びYのリーク電流は、M I S構造Zのリーク電流特性よりも優れる。高圧縮の膜応力を有する窒化シリコン層（高密度の窒化シリコン層）がゲート絶縁膜中に形成されるとき、電極からゲート絶縁膜に注入されてG a N基板に到達する電荷量が低減される。

20

【0091】

M I S構造Yのリーク電流は、2MV/cm程度の電界で急激に増加する。M I S構造Xのリーク電流は、4MV/cm以上の電界でも急激な増加を示さない。M I S構造Xのリーク電流は、M I S構造Yのリーク電流特性よりも優れる。

【0092】

M I S構造Xでは、電極に接触して高圧縮の膜応力を有する窒化シリコン層が形成されるので、電極からゲート絶縁膜に注入される電荷量が低減される。電極からのキャリア量が低減される。これ故に、S i N膜中のキャリア量が低く、この結果、電極間（ゲート電極 - ソース・ドレイン電極間）に流れるリーク電流を低減できる。また、S i N膜中のトラップキャリアに起因して発生する現象（例えば、電流コラプス等）の発生を低減できる。さらに、高圧縮の膜応力を有する窒化シリコン層が、圧電効果を有するG a N系半導体に接触しない。窒化シリコン層の強い応力に起因してG a N系半導体に生成されるピエゾ電荷密度が小さくので、ピエゾ分極の電界に起因するリーク電流を低減できる。

30

【0093】

この実施例では、相対的に高い膜応力を有する窒化シリコン層は、G a N上に形成されるとき、- 2 G P a ~ - 1 G P aであることが好ましく、相対的に低い膜応力を有する窒化シリコン層は、G a N上に形成されるとき、- 0 . 5 G P a ~ +0.1 G P aであることが好ましい。

【0094】

（実施例3）

図10は、作製した三種類のM I S構造A、B、C、Dを示す。M I S構造A、B、Dは2層構造のM I S絶縁膜を用いる。M I S構造Cは単一層のM I S絶縁膜を用いる。M I S構造Dは、マイクロ波プラズマC V D装置において、30秒間のシラン（例えばS i H₄）プラズマ処理の後に、M I S構造Aのための成膜条件で絶縁膜の成長を行った。（プラズマパワー2000W）。

40

【0095】

M I S構造A、Dのためのゲート絶縁膜は、1 . 5 G P a以上の膜応力を示すようなシラン流量0 . 5 s c c mの条件でG a N基板上的S i ドープG a N（厚さ1 . 2 μm、ドーパント濃度 $5 \times 10^{16} \text{ cm}^{-3}$ ）上に直接に成長された下側窒化シリコン（厚さ10nm）と、シラン流量5.0 s c c mの条件で下側窒化シリコン上に直接に成長された上側

50

窒化シリコン（厚さ40nm）を含む。成膜条件は、シラン流量を除いて実施例1と同じである。MIS構造Dの作製は、SiN膜の形成に先立つシランプラズマ処理が行われ、このプラズマ処理は後ほど説明される。

【0096】

MIS構造Bのためのゲート絶縁膜は、1.5GPa以上の膜応力を示すようなシラン流量1.0sccmの条件でGaN基板上的SiドープGaN（厚さ1.2μm、ドーパント濃度 $5 \times 10^{16} \text{ cm}^{-3}$ ）上に直接に成長された下側窒化シリコン（厚さ10nm）と、シラン流量5.0sccmの条件で下側窒化シリコン上に直接に成長された上側窒化シリコン（厚さ40nm）を含む。成膜条件は、シラン流量を除いて実施例1と同じである。

10

【0097】

MIS構造Cのためのゲート絶縁膜は、シラン流量5.0sccmの条件でGaN基板上的SiドープGaN（厚さ1.2μm、ドーパント濃度 $5 \times 10^{16} \text{ cm}^{-3}$ ）上に単一の窒化シリコン（厚さ50nm）を直接に成長する。成膜条件は、シラン流量を除いて実施例1と同じである。

【0098】

このように成膜した窒化シリコン膜上に、図8と同様な構造の電極を形成して、MIS構造A、B、C、Dを作製する。

【0099】

図11の(a)部、(b)部及び(c)部は、MIS構造A、B、CのGaN/SiN界面の界面トラップ密度(Dit)をTerman法による見積りを示す。この見積りは、室温（摂氏25度）、摂氏100度及び摂氏200度で行われる。横軸の(Ec-E)は伝導帯端からの相対的エネルギー差を意味する。MIS構造Aの界面トラップ密度(Dit)は $10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ より大きく、大きな温度依存性を示す。MIS構造Cの界面トラップ密度(Dit)は、摂氏200度の測定においておよそ一桁小さい。下側の低い応力のSiN膜と下地GaNとの界面に低い界面準位密度を実現できる。

20

【0100】

図12は、MIS構造DのGaN/SiN界面の界面トラップ密度(Dit)をTerman法による見積りの結果を示す。Terman法による評価は、室温（摂氏25度）、摂氏100度及び摂氏200度で行われる。MIS構造Dの界面トラップ密度(Dit)は、 $10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ より小さく、また温度依存性も小さい。高い応力を有する上側のSiN膜を有する下側の低い応力のSiN膜は、この下側SiN膜と下地GaNとの界面に低い界面準位密度を実現できる。

30

【0101】

図13は、MIS構造A、B、CのC-V特性(Sample.A、Sample.B、Sample.C)及び理想のC-V特性(Ideal)を示す。MIS構造A、B、C、DのC-V特性をLCRメータを用いて測定する。理想のC-V特性(Ideal)の計算においては、Alの仕事関数、GaNの電子親和力及び誘電率として、それぞれ、4.1eV、4.1eV及び9.5を用いる。MIS構造B、CのC-V特性が理想のC-V特性(Ideal)に近い。MIS構造AのC-V特性は、MIS構造B、C及びC-V特性(Ideal)からシフトしている。また、図14は、MIS構造C、及び、MIS構造CのためのSiN膜の成膜に先立つN2プラズマ処理の適用したMIS構造におけるC-V特性を示す。この比較によれば、N2プラズマ処理の適用は、C-V特性をシフトさせることを示す。このことから、MIS構造Aの成膜条件はN2プラズマ（流量75sccm）に敏感である可能性がある。

40

【0102】

図15は、MIS構造DのC-V特性(Sample.D)及び理想のC-V特性(Ideal)を示す。MIS構造DのC-V特性は理想のC-V特性(Ideal)に近い。MIS構造Dの界面特性はMIS構造Bの界面特性に近い。図15を図13と比較すれば、MIS構造DにおけるSiN膜の形成に先立つシランプラズマ処理は、MIS構造の

50

C - V特性を理想のC - V特性 (I d e a l) に近づけるために役立つ。この技術的寄与は、特定のM I S構造に関係なく適用されると考えられ、M I S構造Aと異なる成膜条件 (例えば、M I S構造Aよりも低い膜応力の成膜条件) でS i N膜をG a N系半導体上に直接に成膜するときにも得られると考えられる。

【 0 1 0 3 】

図16は、M I S構造A、B、C、Dにおける電界 - 電流特性 (J - E特性) を示す図面である。膜中の電界を見積もるために、エリプソメータを用いて光学的な膜厚を測定している。図16によれば、M I S構造A及びDは電界 - 電流特性 (J - E特性) に観点で優れており、成膜に先立つシランプラズマ処理は、高いブレイクダウン電圧及び低い界面トラップ密度のために有用である。

10

【 0 1 0 4 】

本実施の形態では、M E S構造トランジスタを作製する方法を説明してきた。この作製方法は、以下のような手順であってもよい。第1工程において窒化ガリウム系半導体からなる半導体主面を有する複数の基板を準備する。この後に、第2工程で、個々の基板上に窒化シリコン膜を成長するに際して、基板毎に異なる成膜条件を適用して、パッシベーション用絶縁膜のための評価用窒化シリコン膜を形成する。第3工程では、窒化シリコン膜上に第1評価電極及び半導体主面上に第2評価電極を形成して、複数の評価デバイスを形成する。第4工程では、評価デバイスにおいて第1評価電極と第2評価電極との間の電圧 - 電流特性を測定する。第5工程では、測定された電圧 - 電流特性の結果から、パッシベーション用絶縁膜のための窒化シリコン膜のための成膜条件を決定する。第6工程では、M E S構造トランジスタのためのエピタキシャル基板Eを準備する。エピタキシャル基板Eは窒化ガリウム系半導体からなる窒化ガリウム系半導体層を含む。第7工程では、エピタキシャル基板E上に電極・パッシベーション構造を形成する。電極・パッシベーション構造の形成では、エピタキシャル基板Eの主面21aの第1エリア21bにショットキ接合を成すゲート電極37と、エピタキシャル基板Eの第2エリア21c及び第3エリア21dにそれぞれ電氣的接触を成すソース電極33a及びドレイン電極33bとを形成すると共に、エピタキシャル基板Eの第4エリア21e上に設けられた絶縁膜25を形成する。窒化ガリウム系半導体層上に絶縁膜25を形成する成膜条件としては、決定された条件を用いる。成膜条件の各々における窒化シリコン膜の成長は、第1の成膜条件で成長を開始した後に第2の成膜条件で成長を終了するものであり、第1の成膜条件は第2の成膜条件と異なり、第1の成膜条件及び第2の成膜条件は、第1の成膜条件及び第2の成膜条件による窒化シリコンの内部応力が互いに異なるように決定されている。第8工程では、絶縁膜25上にゲート電極37を形成する。

20

30

【 0 1 0 5 】

本発明は、本実施の形態に開示された特定の構成に限定されるものではない。

【 産業上の利用可能性 】

【 0 1 0 6 】

以上説明したように、本実施の形態によれば、電流コラプス現象の影響を低減可能なM E S構造トランジスタを作製する方法を提供できる。また、本実施の形態によれば、電流コラプス現象の影響を低減可能な構造を有するM E S構造トランジスタを提供できる。

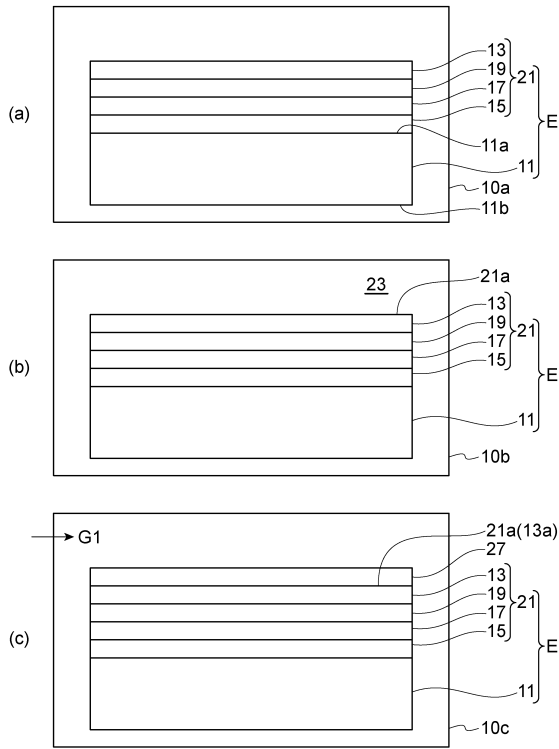
40

【 符号の説明 】

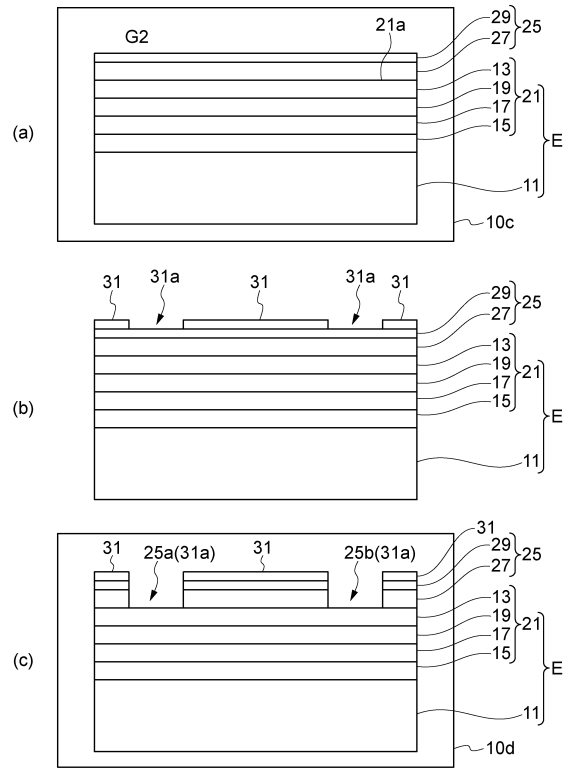
【 0 1 0 7 】

11...基板、13...III族窒化物半導体膜 (窒化ガリウム系半導体層)、15...バッファ層、21...エピタキシャル積層構造、E...エピタキシャル基板、23...フッ化水素酸溶液、10c...成膜装置、25...絶縁膜、27、29...絶縁層、31...マスク、33a...ソース電極、33b...ドレイン電極、37...ゲート電極、41...M E S構造トランジスタ。

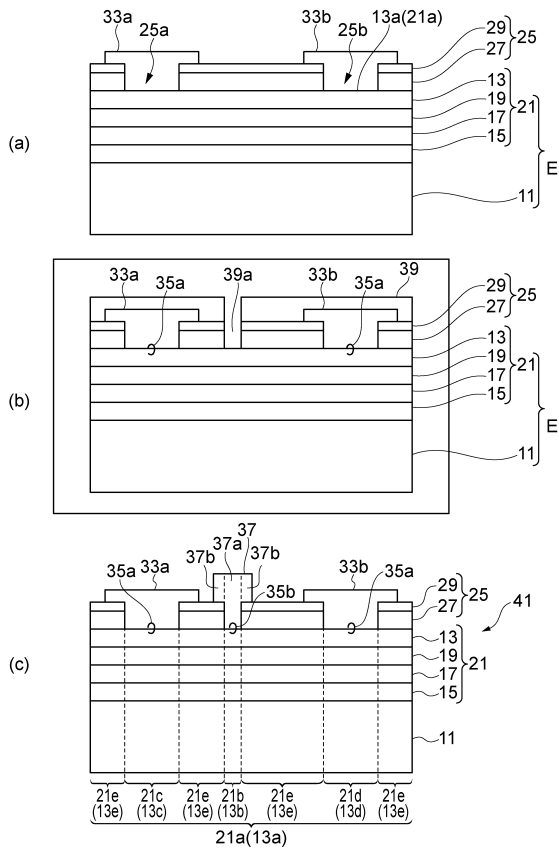
【 図 1 】



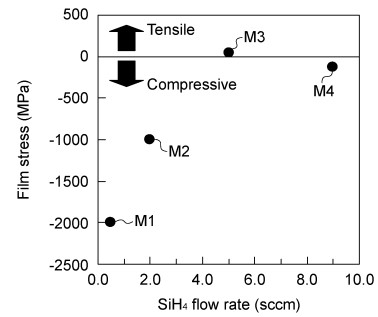
【 図 2 】



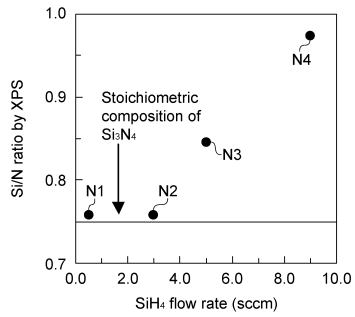
【 図 3 】



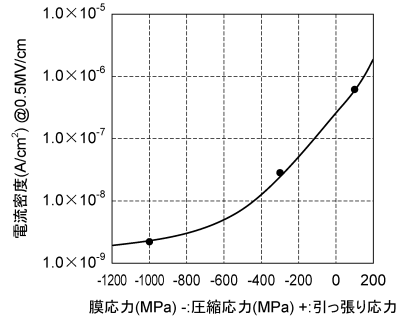
【 図 4 】



【 図 5 】



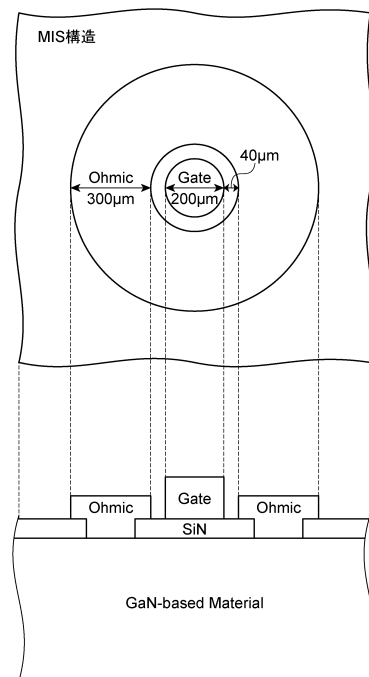
【 図 6 】



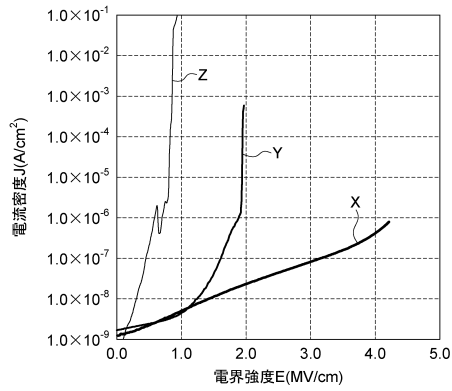
【 図 7 】

| Layer | MIS構造X | MIS構造Y | MIS構造Z |
|--------|------------------------------|------------------------------|------------------------------|
| | Double I | Double II | Single |
| Top | SiH ₄ :2sccm 20nm | SiH ₄ :2sccm 40nm | SiH ₄ :4sccm 60nm |
| Bottom | SiH ₄ :4sccm 40nm | SiH ₄ :4sccm 20nm | |

【 図 8 】



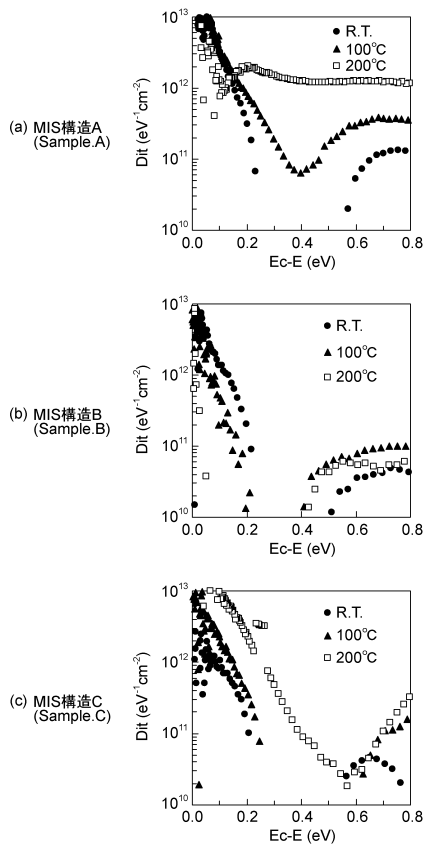
【 図 9 】



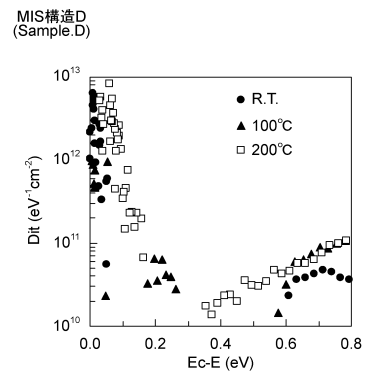
【 図 10 】

| Layer | MIS構造A,D (Sample A,D) | MIS構造B (Sample B) | MIS構造C (Sample C) |
|--------|--------------------------------|--------------------------------|--------------------------------|
| | Double | Double | Single |
| Top | SiH ₄ :5.0sccm 40nm | SiH ₄ :5.0sccm 40nm | SiH ₄ :5.0sccm 50nm |
| Bottom | SiH ₄ :0.5sccm 10nm | SiH ₄ :1.0sccm 10nm | |

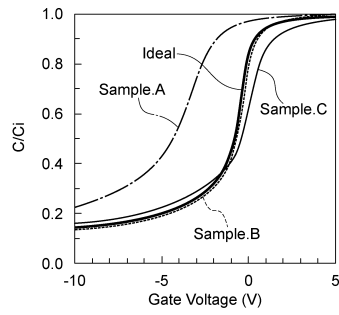
【 図 11 】



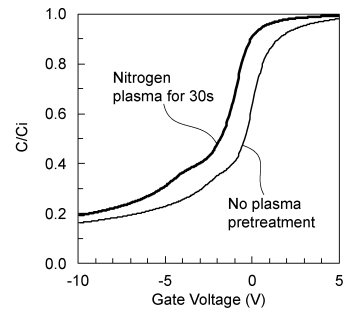
【 図 12 】



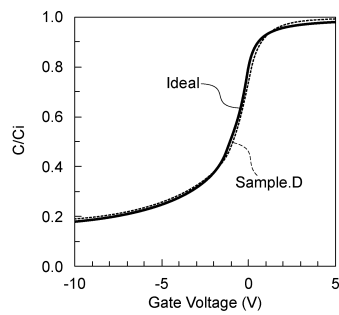
【 図 1 3 】



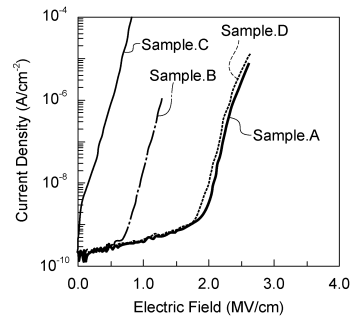
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

(72)発明者 辻 幸洋

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

(72)発明者 寺本 章伸

宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内

審査官 棚田 一也

(56)参考文献 特開2007-173426(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/337-338

H01L 21/318

H01L 27/095-098

H01L 29/778

H01L 29/80-812